

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6131353号
(P6131353)

(45) 発行日 平成29年5月17日(2017.5.17)

(24) 登録日 平成29年4月21日(2017.4.21)

(51) Int.Cl.	F 1
G09F 9/30 (2006.01)	G09F 9/30 338
H01L 51/50 (2006.01)	G09F 9/30 365
H05B 33/14 (2006.01)	G09F 9/30 309
H05B 33/04 (2006.01)	HO5B 33/14 A
	HO5B 33/14 Z

請求項の数 2 (全 25 頁) 最終頁に続く

(21) 出願番号	特願2016-31980 (P2016-31980)
(22) 出願日	平成28年2月23日 (2016.2.23)
(62) 分割の表示	特願2014-244585 (P2014-244585) の分割
原出願日	平成12年10月27日 (2000.10.27)
(65) 公開番号	特開2016-105205 (P2016-105205A)
(43) 公開日	平成28年6月9日 (2016.6.9)
審査請求日	平成28年2月24日 (2016.2.24)
(31) 優先権主張番号	特願平11-307869
(32) 優先日	平成11年10月29日 (1999.10.29)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	小沼 利光 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	犬飼 和隆 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 E L 表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1の配線と、第2の配線と、第3の配線と、画素と、を有し、前記画素は、第1のトランジスタと、第2のトランジスタと、E L 素子と、を有し、前記第1のトランジスタは、前記第1の配線からの信号を前記画素に供給するスイッチとしての機能を有し、前記第2のトランジスタは、前記信号に従って前記E L 素子に流す電流量を制御する機能を有し、前記第1のトランジスタのゲート電極は、前記第2の配線に電気的に接続されており、前記第2のトランジスタのソース又はドレインの一方は、前記第3の配線に電気的に接続されており、前記第2のトランジスタのソース又はドレインの他方は、前記E L 素子に電気的に接続されており、前記第3の配線は、前記第2の配線に沿う方向に配置されている領域を有し、前記第3の配線は、前記領域において前記第2の配線と絶縁膜を介して重なる領域を有することを特徴とするE L 表示装置。

【請求項 2】

第1の配線と、第2の配線と、第3の配線と、第4の配線と、第1の画素と、第2の画素と、を有し、前記第1の画素は、第1のトランジスタと、第2のトランジスタと、第1のE L 素子と

10

20

、を有し、

前記第2の画素は、第3のトランジスタと、第4のトランジスタと、第2のEL素子と、を有し、

前記第1のトランジスタは、前記第1の配線からの第1の信号を前記第1の画素に供給するスイッチとしての機能を有し、

前記第2のトランジスタは、前記第1の信号に従って前記第1のEL素子に流す電流量を制御する機能を有し、

前記第1のトランジスタのゲート電極は、前記第2の配線に電気的に接続されており、

前記第2のトランジスタのソース又はドレインの一方は、前記第3の配線に電気的に接続されており、

前記第2のトランジスタのソース又はドレインの他方は、前記第1のEL素子に電気的に接続されており、

前記第3のトランジスタは、前記第1の配線からの第2の信号を前記第2の画素に供給するスイッチとしての機能を有し、

前記第4のトランジスタは、前記第2の信号に従って前記第2のEL素子に流す電流量を制御する機能を有し、

前記第3のトランジスタのゲート電極は、前記第4の配線に電気的に接続されており、

前記第4のトランジスタのソース又はドレインの一方は、前記第3の配線に電気的に接続されており、

前記第4のトランジスタのソース又はドレインの他方は、前記第2のEL素子に電気的に接続されており、

前記第3の配線は、前記第2の配線に沿う方向に配置されている第1の領域を有し、

前記第3の配線は、前記第4の配線に沿う方向に配置されている第2の領域を有し、

前記第3の配線は、前記第1の領域において前記第2の配線と絶縁膜を介して重なる領域を有することを特徴とするEL表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電極間に発光性材料を挟んだ素子を有する電子装置及びその電子装置を表示部（表示ディスプレイまたは表示モニタ）に用いた電気器具に関する。

特に、EL（Electro Luminescence）が得られる発光性材料（以下、EL材料という）を用いた電子装置に関する。

【0002】

なお、本発明に用いることのできるEL材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光（燐光および／または蛍光）するすべての発光性材料を含む。

【背景技術】

【0003】

近年、発光性材料のEL現象を利用した発光素子（以下、EL素子という）を用いた電子装置（以下、EL表示装置という）の開発が進んでいる。EL表示装置は発光素子を用いた表示装置であるため、液晶ディスプレイのようなバックライトが不要であり、さらに視野角が広いため、屋外で使用する携帯型機器の表示部として注目されている。

【0004】

EL表示装置にはパッシブ型（単純マトリクス型）とアクティブ型（アクティブマトリクス型）の二種類があり、どちらも盛んに開発が行われている。特に現在はアクティブマトリクス型EL表示装置が注目されている。また、ELを発する発光層となるEL材料は、有機EL材料と無機EL材料があり、さらに有機EL材料は、低分子系（モノマー系）有機EL材料と高分子系（ポリマー系）有機EL材料とに区別される。特に、低分子系有機EL材料よりも取り扱いが容易で耐熱性の高いポリマー系有機EL材料が注目されている。なお、有機EL材料を用いた発光装置を欧州ではOLED（Organic Light Emitting Diodes）と呼んでいる。

【0005】

アクティブマトリクス型EL表示装置は、画素部を形成する各画素に電界効果トランジスタ（以下、FETという）を設け、EL素子に流す電流量を前記FETで制御する点に特徴がある。ところが、FETの電気特性が画素間でばらついてしまうと各画素に設けられたEL素子の発光特性もばらついてしまうといった問題が生じていた。

【発明の概要】**【発明が解決しようとする課題】****【0006】**

本発明は上記問題点を鑑みてなされたものであり、画素間においてEL素子の発光特性のばらつきが少なく、色再現性の高い電子装置を提供することを課題とする。また、信頼性の高い電子装置を提供することを課題とする。さらに、その電子装置を表示部として用いた電気器具を提供することを課題とする。10

【0007】

さらに、上記色再現性の高い電子装置の製造コストを低減するためのプロセスを提供することを課題とする。

【課題を解決するための手段】**【0008】**

本発明では、画素間においてFETの電気特性のばらつきが最小限に抑えられるように、基板として単結晶半導体基板を用い、単結晶半導体基板に形成したFETを用いて電子装置を形成することを特徴とする。また、FETを形成しうる程度の厚みを有する単結晶半導体基板は光を透過しないため、陰極がFETと直接接続されるようにEL素子を形成することを特徴とする。20

【0009】

さらに、一つの画素に複数のFETを形成し、各FETの役割に応じて構造を最適化することにより、信頼性の高い電子装置を得ることを特徴とする。具体的には、スイッチング素子及び電流制御素子としてnチャネル型FETを用い、両者のLDD領域の配置を異なるものとすることに特徴がある。

【0010】

また、本発明では大型基板から複数の電子装置を形成するプロセスを用いることで電子装置の製造コストの低減、即ち電子装置の低コスト化を図る。その際、既存の液晶ラインを転用しうるプロセスとし、設備投資を最小限に抑えることで大幅な製造コストの低減を図る点に特徴がある。30

【発明の効果】**【0011】**

本発明により特性ばらつきの小さいFETを用いた画素が実現され、画素間において発光素子の発光特性のばらつきが少なく、色再現性の高い電子装置を得ることができる。また、画素内に、役割に応じて構造の異なるFETを配置することで信頼性の高い電子装置が得られる。

【0012】

さらに、本発明の電子装置を表示部として用いることで高性能で信頼性の高い電気器具が得られる。40

【図面の簡単な説明】**【0013】**

【図1】電子装置の画素部の断面構造を示す図。

【図2】画素部の上面構造及び構成を示す図。

【図3】アクティブマトリクス基板の作製工程を示す図。

【図4】アクティブマトリクス基板の作製工程を示す図。

【図5】アクティブマトリクス基板の作製工程を示す図。

【図6】画素部を拡大した図。

【図7】EL表示装置の回路構成を示す図。

10

20

30

40

50

【図8】EL表示装置の断面構造を示す図。

【図9】画素の回路構成を示す図。

【図10】電流制御用FETの断面構造を示す図。

【図11】EL表示装置の多面取りプロセスを示す図。

【図12】EL表示装置の多面取りプロセスを示す図。

【図13】EL表示装置の多面取りプロセスを示す図。

【図14】電子装置の具体例を示す図。

【図15】電子装置の具体例を示す図。

【発明を実施するための形態】

【0014】

10

本発明の実施の形態について、図1、図2を用いて説明する。図1に示したのは本発明であるEL表示装置の画素部の断面図であり、図2(A)はその上面図、図2(B)はその回路構成である。実際には画素がマトリクス状に複数配列されて画素部(画像表示部)が形成される。なお、図1及び図2で共通の符号を用いているので、適宜両図面を参照すると良い。また、図2の上面図では二つの画素を図示しているが、どちらも同じ構造である。

【0015】

20

図1において、11は単結晶半導体基板、12は素子間を分離するための絶縁膜(以下、フィールド絶縁膜という)である。基板11としては単結晶シリコン基板もしくは単結晶シリコンゲルマニウム基板を用いれば良く、P型基板であってもN型基板であっても良い。

【0016】

ここでは画素内に二つのFETを形成している。201はスイッチング用素子として機能するFET(以下、スイッチング用FETという)、202はEL素子へ流す電流量を制御する電流制御用素子として機能するFET(以下、電流制御用FETという)であり、どちらもnチャネル型FETで形成されている。

【0017】

nチャネル型FETは同じ電流量を流す場合にpチャネル型FETよりも小さい専有面積で形成できる点が有利である。高精細なEL表示装置の画素部においては一画素のサイズが十数μm角程度と非常に微細なものとなるため、nチャネル型FETを用いた方が設計マージンに余裕をもつことができる。

30

【0018】

また、pチャネル型FETはホットキャリア注入が殆ど問題にならず、オフ電流値が低いといった利点があるが、スイッチング用FETとして用いる例や電流制御用FETとして用いる例が既に報告されている。しかしながら本発明では、LDD領域の配置によってnチャネル型FETにおいてもホットキャリア注入の問題を解決し、全ての画素内のFET全てをnチャネル型FETとすることを可能としている。

【0019】

ただし、本発明において、スイッチング用FETと電流制御用FETをnチャネル型FETに限定する必要はなく、両方又はどちらか片方にpチャネル型FETを用いることも可能である。

40

【0020】

スイッチング用FET201は、ソース領域13、ドレイン領域14、LDD領域15a~15f、高濃度不純物領域16a、16b及びチャネル形成領域17a~17c、ゲート絶縁膜18、ゲート電極19a~19c、第1層間絶縁膜20、ソース配線21及びドレイン配線22を有して形成される。ソース領域13、ドレイン領域14、LDD領域15a~15f及び高濃度不純物領域16a、16bは、単結晶半導体基板11に周期表の15族に属する元素を添加することにより形成される。

【0021】

また、図3に示すように、ゲート電極19a~19cはゲート配線211の一部であり、

50

ゲート配線 211 が FET のチャネル形成領域に重なる部分を特にゲート電極と呼んでいる。ここでは二つのチャネル形成領域を有するダブルゲート構造の FET が形成される。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する構造）であっても良い。

【0022】

マルチゲート構造はオフ電流値を低減する上で極めて有効であり、本発明では画素のスイッチング FET 201 をマルチゲート構造とすることによりオフ電流値の低いスイッチング素子を実現している。さらに、スイッチング用 FET 201 においては、LDD 領域 15a～15f は、ゲート絶縁膜 18 を挟んでゲート電極 19a～19c と重ならないように設ける。このような構造はオフ電流値を低減する上で非常に効果的である。

10

【0023】

なお、チャネル形成領域と LDD 領域との間にオフセット領域（チャネル形成領域と同一組成でゲート電圧が印加されない領域）を設けることはオフ電流値を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。

【0024】

このようにマルチゲート構造の FET を画素のスイッチング用 FET 201 として用いると十分にオフ電流値を低くすることができます。即ち、オフ電流値が低いということは電流制御用 FET のゲートにかかる電圧をより長く保持できることを意味しており、特開平 10-189252 号公報の図 2 のような電位保持のためのコンデンサを小さくしたり、省略しても次の書き込み期間まで電流制御用 FET のゲート電圧を維持しうるという利点が得られる。

20

【0025】

次に、電流制御用 FET 202 は、ソース領域 31、ドレイン領域 32、LDD 領域 33 及びチャネル形成領域 34、ゲート絶縁膜 18、ゲート電極 35、第 1 層間絶縁膜 20、ソース配線 36 及びドレイン配線 37 を有して形成される。

なお、ゲート電極 35 はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0026】

スイッチング用 FET 201 のドレインは電流制御用 FET 202 のゲートに接続されている。具体的には電流制御用 FET 202 のゲート電極 35 はスイッチング用 FET 201 のドレイン領域 14 とドレイン配線 22 を介して電気的に接続されている。また、ソース配線 36 は電流供給線（電源供給線ともいう）212（図 2（A）参照）に電気的に接続される。

30

【0027】

電流制御用 FET 202 は EL 素子 203 に注入される電流量を制御するための素子であるが、EL 素子の劣化を考慮するとあまり多くの電流を流すことは好ましくない。そのため、電流制御用 FET 202 に過剰な電流が流れないように、チャネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり 0.5～2 μA（好ましくは 1～1.5 μA）となるようにする。

40

【0028】

以上のことから踏まえると、図 6 に示すように、スイッチング用 FET のチャネル長を L1（但し L1 = L1a + L1b + L1c）、チャネル幅を W1 とし、電流制御用 FET のチャネル長を L2、チャネル幅を W2 とした時、W1 は 0.1～5 μm（代表的には 0.5～2 μm）、W2 は 0.5～10 μm（代表的には 2～5 μm）とするのが好ましい。また、L1 は 0.2～18 μm（代表的には 2～15 μm）、L2 は 1～50 μm（代表的には 10～30 μm）とするのが好ましい。但し、本発明は以上の数値に限定されるものではない。

【0029】

また、スイッチング用 FET 201 に形成される LDD 領域の長さ（幅）は 0.5～3

50

.5 μm、代表的には2.0~2.5 μmとすれば良い。

【0030】

また、図1に示したEL表示装置は、電流制御用FET202において、ドレイン領域31とチャネル形成領域34との間にLDD領域33が設けられ、且つ、LDD領域33がゲート絶縁膜18を挟んでゲート電極35に重なっている点に特徴がある。

【0031】

電流制御用FET202は、EL素子203を発光させるための電流を供給するため、図1に示すようにホットキャリア注入による劣化対策を講じておくことが好ましい。図1のLDD領域33の配置はホットキャリア注入による劣化対策としての構造である。なお、オフ電流値も抑えるために、LDD領域がゲート電極の一部に重なるようにしておくことも有効である。この場合、ゲート電極と重なった領域がホットキャリア注入を抑え、ゲート電極と重ならない領域がオフ電流値を防ぐ。また、電流制御用FET202はキャリア(ここでは電子)の流れる方向が常に同一であるので、ドレイン領域31側のみにLDD領域33を設けておけばホットキャリア対策としては十分である。

10

【0032】

この時、ゲート電極に重なったLDD領域の長さは0.1~3 μm(好ましくは0.3~1.5 μm)にすれば良い。また、ゲート電極に重ならないLDD領域を設ける場合、その長さは1.0~3.5 μm(好ましくは1.5~2.0 μm)にすれば良い。

【0033】

また、ゲート電極と、ゲート絶縁膜を挟んでゲート電極に重なった活性層との間に形成される寄生容量(ゲート容量ともいう)を積極的に電位保持(電荷保持)のためのコンデンサとして用いることも可能である。

20

【0034】

本実施例では、図2に示すLDD領域33を形成することでゲート電極35と活性層(特にLDD領域33)との間のゲート容量を大きくし、そのゲート容量を特開平10-189252号公報の図2のような電位保持のためのコンデンサとして用いている。勿論、別途コンデンサを形成しても構わないが、本実施例のような構造とすることで電位保持のためのコンデンサを用いないで済む。

【0035】

特に、本発明のEL表示装置をデジタル駆動方式により動作させる場合は、上記電位保持のためのコンデンサは非常に小さいもので済む。例えばアナログ駆動方式に比べて1/5程度、さらには1/10程度の容量で済む。具体的な数値はスイッチング用FET及び電流制御用FETの性能によるため一概には示せないが、5~30 fF(フェムトファラード)もあれば良い。

30

【0036】

さらに、図1のようにスイッチング用FETの構造をマルチゲート構造としてオフ電流値の小さいものとすれば、電位保持のためのコンデンサの必要とする容量はさらに小さいものとなる。

【0037】

また、本実施例では電流制御用FET202をシングルゲート構造で図示しているが、複数のFETを直列につなげたマルチゲート構造としても良い。さらに、複数のFETを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

40

【0038】

次に、38は第1パッシベーション膜であり、膜厚は10 nm~1 μm(好ましくは200~500 nm)とすれば良い。材料としては、珪素を含む絶縁膜(特に窒化酸化珪素膜又は窒化珪素膜が好ましい)を用いることができる。また、第1パッシベーション膜38に放熱効果を持たせることは有効である。

【0039】

第1パッシベーション膜38の上には、第2層間絶縁膜(平坦化膜)39を形成し、F

50

E Tによってできる段差の平坦化を行う。第2層間絶縁膜39としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、B C B（ベンゾシクロブテン）等を用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

【0040】

第2層間絶縁膜39によってF E Tによる段差を平坦化することは非常に重要である。後に形成されるE L層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0041】

また、40は反射性が高く、仕事関数の小さい導電膜でなる画素電極（E L素子の陰極）であり、第2層間絶縁膜39及び第1パッシベーション膜38にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用F E T 202のドレイン配線37に接続されるように形成される。画素電極40としてはアルミニウム合金や銅合金など低抵抗な導電膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

10

【0042】

次に、画素電極40の端部（角部）を覆うように絶縁膜41を形成する。画素電極40の端部に発光層等の有機E L材料が形成されると電界集中により集中的に劣化してしまう恐れがあるからである。この絶縁膜41は画素と画素との間（画素電極と画素電極との間）の隙間を埋めるようにして設けられる。

【0043】

20

次に発光層42としてE L材料が形成される。E L材料としては無機E L材料と有機E L材料のどちらを用いても良いが、駆動電圧が低い有機E L材料が好ましい。また、有機E L材料としては、低分子系（モノマー系）有機E L材料または高分子系（ポリマー系）有機E L材料のどちらを用いても良い。

【0044】

モノマー系有機E L材料としては、代表的にはA1q₃（トリス-8-キノリライト-アルミニウム）やDSA（ジスチリルアリーレン誘導体）が知られているが、公知の如何なる材料を用いても良い。

【0045】

また、ポリマー系有機E L材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。勿論、公知の如何なる材料を用いても良い。具体的には、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレンもしくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

30

【0046】

また、発光層中に蛍光物質（代表的には、クマリン6、ルブレン、ナイルレッド、DCM、キナクリドン等）を添加して発光中心を蛍光物質に移し、所望の発光得ることも可能である。公知の蛍光物質は如何なるものを用いても良い。

【0047】

40

発光層42としてモノマー系有機E L材料を用いる場合には、真空蒸着法で成膜すれば良い。また、ポリマー系有機E L材料を用いる場合にはスピンドルコート法、印刷法、インクジェット法もしくはディスペ ns法を用いれば良い。但し、ポリマー系有機E L材料を成膜する際には、処理雰囲気を極力水分の少ない乾燥した不活性雰囲気とすることが望ましい。本実施形態の場合、ポリマー系有機E L材料をスピンドルコート法により形成している。

【0048】

ポリマー系有機E L材料は常圧下で形成されるが、有機E L材料は水分や酸素の存在によって容易に劣化してしまうため、形成する際は極力このようない要因を排除しておく必要がある。例えば、ドライ窒素雰囲気、ドライアルゴン雰囲気等が好ましい。そのためには、発光層の形成装置を、不活性ガスを充填したクリーンブースに設置し、その雰囲気中で

50

発光層の成膜工程を行うことが望ましい。

【0049】

以上のようにして発光層42を形成したら、次に正孔注入層43が形成される。正孔注入層43としては、TPD(トリフェニルアミン誘導体)、CuPc(銅フタロシアニン)、m-MTDATA(スターバーストアミン)などのモノマー系有機材料またはPEDOT(ポリチオフェン)、PAni(ポリアニリン)などのポリマー系有機材料を用いる。勿論、無機材料を用いても良い。膜厚は3~20nm(好ましくは5~15nm)で良い。

【0050】

但し、以上の例は本発明の発光層または正孔注入層として用いることのできる有機材料の一例であって、これに限定する必要はない。また、ここでは発光層と正孔注入層との組み合わせを示したが、他にも正孔輸送層、電子注入層、電子輸送層、正孔阻止層もしくは電子阻止層を組み合わせても良い。

【0051】

正孔注入層43の上には透明導電膜でなる陽極44が設けられる。本実施形態の場合、発光層43で生成された光はFETから遠ざかる方向に向かって放射されるため、陽極は透光性(透明)でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0052】

陽極44まで形成された時点でEL素子203が完成する。なお、ここでいうEL素子203は、画素電極(陰極)40、発光層42、正孔注入層43及び陽極44で形成されたコンデンサを指す。図2に示すように画素電極40は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0053】

ところで、本実施形態では、陽極44の上にさらに第2パッシベーション膜45を設けている。第2パッシベーション膜45としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0054】

また、本発明のEL表示装置は図1のような構造の画素からなる画素部を有し、画素内における役割に応じて構造の異なるFETが配置されている。これによりオフ電流値の十分に低いスイッチング用FETと、ホットキャリア注入に強い電流制御用FETとが同じ画素内に形成でき、高い信頼性を有し、且つ、良好な画像表示が可能な(動作性能の高い)EL表示装置が得られる。

【0055】

また、FETの作製に関して、従来知られているICやLSIの技術が全て利用できるため、非常に電気特性のばらつきが少ないFETを作製することが可能である。これにより画素間においてEL素子の発光特性のばらつきが少なく、色再現性の高いEL表示装置を作製することができる。

【実施例1】

【0056】

本発明の実施例について図3~図5を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部のFETを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0057】

10

20

30

40

50

まず、図3(A)に示すように、P型単結晶シリコン基板300に公知のLOCOS法(選択酸化法)により酸化シリコンでなるフィールド絶縁膜302を形成する。そして、n型を付与する不純物元素(以下、n型不純物元素という)を添加し、nウェル302を形成する。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリン又は砒素を用いれば良い。

【0058】

次に、図3(B)に示すように、酸化シリコン膜でなる保護膜303を130nmの厚さに形成する。この厚さは100~200nm(好ましくは130~170nm)の範囲で選べば良い。また、シリコンを含む絶縁膜であれば他の膜でも良い。この保護膜303は不純物を添加する際に単結晶シリコン膜がプラズマに曝されないようにするためにと、微妙な濃度制御を可能にするために設ける。10

【0059】

そして、その上にレジストマスク304a~304cを形成し、保護膜303を介してn型不純物元素を添加する。なお、本実施例ではフォスфин(PH₃)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを1×10¹⁸atoms/cm³の濃度で添加する。勿論、質量分離を行いうイオンインプランテーション法を用いても良い。

【0060】

この工程により形成されるn型不純物領域305、306には、n型不純物元素が2×10¹⁶~5×10¹⁹atoms/cm³(代表的には5×10¹⁷~5×10¹⁸atoms/cm³)の濃度で含まれるようにドーズ量を調節する。20

【0061】

次に、図3(C)に示すように、レジストマスク304a~304c及び保護膜303を除去し、熱酸化工程を行うことによりゲート絶縁膜307を形成する。またこのとき、添加したn型不純物元素の活性化も同時に進行される。熱酸化膜は30~80nm(好ましくは40~60nm)の膜厚となるように酸化時間及び酸化温度を調節すれば良い。

【0062】

この工程によりn型不純物領域305、306の端部、即ち、n型不純物領域305、306の周囲に存在するn型不純物元素を添加していない領域との境界部(接合部)が明確になる。このことは、後にFETが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。30

【0063】

次に、図3(D)に示すように、200~400nm厚の導電膜を形成し、パターニングを行いゲート電極308~312を形成する。また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、微細加工が可能、具体的には2μm以下の線幅にパターニング可能な材料が好ましい。

【0064】

代表的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層しても良い。40

【0065】

本実施例では、30nm厚の窒化タングステン(WN)膜と、370nm厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。50

【 0 0 6 6 】

またこの時、ゲート電極 309、312 はそれぞれ n 型不純物領域 305、306 の一部とゲート絶縁膜 311 を挟んで重なるように形成する。この重なった部分がホットキャリア注入を抑制するための LDD 領域となる。

【 0 0 6 7 】

次に、図 4 (A) に示すように、ゲート電極 308 ~ 312 をマスクとして自己整合的に n 型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域 313 ~ 319 には n 型不純物領域 305、306 の 1 / 2 ~ 1 / 10（代表的には 1 / 3 ~ 1 / 4）の濃度でリンが添加されるように調節する。

具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³（典型的には $3 \times 10^{17} \sim 3 \times 10^{18}$ atoms/cm³）の濃度が好ましい。10

【 0 0 6 8 】

次に、図 4 (B) に示すように、レジストマスク 320a ~ 320c を形成し、n 型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域 321 ~ 327 を形成する。ここでもフォスフィン（PH₃）を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³（代表的には $2 \times 10^{20} \sim 5 \times 10^{20}$ atoms/cm³）となるように調節する。

【 0 0 6 9 】

この工程によって n チャネル型 FET のソース領域もしくはドレイン領域が形成されるが、スイッチング用 FET では、図 4 (A) の工程で形成した n 型不純物領域 316 ~ 318 の一部を残す。この残された領域が、図 1 におけるスイッチング用 FET の LDD 領域 15a ~ 15f に相当する。20

【 0 0 7 0 】

次に、図 4 (C) に示すように、レジストマスク 320a ~ 320c を除去し、新たにレジストマスク 328 を形成する。そして、p 型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域 329、330 を形成する。ここではジボラン（B₂H₆）を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm³（代表的には $5 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³）の濃度となるようにボロンを添加する。

【 0 0 7 1 】

なお、不純物領域 329、330 には既に $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも 3 倍以上の濃度で添加される。そのため、予め形成されていた n 型の不純物領域は完全に P 型に反転し、P 型の不純物領域として機能する。30

【 0 0 7 2 】

次に、レジストマスク 328 を除去した後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法を行うことができる。本実施例では電熱炉において窒素雰囲気中、800 ℃、1 時間の熱処理を行う。

【 0 0 7 3 】

なお、上記活性化を行う前にゲート電極 308 ~ 312 をマスクとして自己整合的にゲート絶縁膜 307 を除去し、公知のサリサイド工程を行い、FET のソース領域及びドレイン領域にシリサイド層を形成しても良い。このとき、シリサイド層を形成するための熱処理工程を上記活性化で兼ねれば良い。40

【 0 0 7 4 】

次に、図 4 (D) に示すように、第 1 層間絶縁膜 331 を形成する。第 1 層間絶縁膜 331 としては、シリコンを含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は 400 nm ~ 1.5 μm とすれば良い。本実施例では、200 nm 厚の窒化酸化シリコン膜の上に 800 nm 厚の酸化シリコン膜を積層した構造とする。

【 0 0 7 5 】

さらに、3～100%の水素を含む雰囲気中で、300～450で1～12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体の不対結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0076】

なお、水素化処理は第1層間絶縁膜331を形成する間に入れても良い。即ち、200nm厚の窒化酸化シリコン膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化シリコン膜を形成しても構わない。

【0077】

次に、第1層間絶縁膜331に対してコンタクトホールを形成し、ソース配線332～335と、ドレイン配線336～338を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した三層構造の積層膜とする。勿論、他の導電膜でも良い。

【0078】

次に、50～500nm（代表的には200～300nm）の厚さで第1パッシベーション膜339を形成する。本実施例では第1パッシベーション膜339として300nm厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。なお、窒化酸化シリコン膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜331に供給され、熱処理を行うことで、第1パッシベーション膜339の膜質が改善される。それと同時に、第1層間絶縁膜331に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0079】

次に、図5（A）に示すように有機樹脂からなる第2層間絶縁膜340を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜340は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではFETによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。

好ましくは1～5μm（さらに好ましくは2～4μm）とすれば良い。

【0080】

次に、第2層間絶縁膜340及び第1パッシベーション膜339にドレイン配線338に達するコンタクトホールを形成し、画素電極341を形成する。本実施例では画素電極341として300nm厚のアルミニウム合金膜（1wt%のチタンを含有したアルミニウム膜）を形成する。

【0081】

次に、図5（B）に示すように絶縁膜342を形成する。絶縁膜342は100～300nm厚のシリコンを含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。この絶縁膜342は画素と画素との間（画素電極と画素電極との間）を埋めるように形成される。この絶縁膜342は次に形成する発光層等の有機EL材料が画素電極341の端部を覆わないようにするために設けられる。

【0082】

次に、発光層343をスピンドルコート法により形成する。具体的には、発光層343となる有機EL材料をクロロフォルム、ジクロロメタン、キシレン、トルエン、テトラヒドロフラン等の溶媒に溶かして塗布し、その後、熱処理を行うことにより溶媒を揮発させる。こうして有機EL材料となる被膜（発光層）が形成される。本実施例では、緑色に発光する発光層としてポリフェニレンビニレンを50nmの厚さに形成する。また、溶媒としては1,2-ジクロロメタンを用い、80～150のホットプレートで1分の熱処理を行って揮発させる。

【0083】

次に、正孔注入層344を20nmの厚さに形成する。本実施例では正孔注入層344

10

20

30

40

50

としてポリチオフェン(P E D O T)を水溶液としてスピンコート法により塗布し、100～150のホットプレートで1～5分の熱処理を行って水分を揮発させる。この場合、ポリフェニレンビニレンは水に溶けないため、発光層343を溶解させることなく正孔注入層344を形成することが可能である。

【0084】

なお、正孔注入層344として他のポリマー系有機材料やモノマー系有機材料を用いることも可能である。モノマー系有機材料を用いる場合は、蒸着法を用いて形成すれば良い。また、無機材料を用いることもできる。

【0085】

本実施例では発光層及び正孔注入層でなる二層構造とするが、その他に正孔輸送層、電子注入層、電子輸送層等を設けても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0086】

発光層343及び正孔注入層344を形成したら、透明導電膜でなる陽極345を120nmの厚さに形成する。本実施例では、酸化インジウムに10～20wt%の酸化亜鉛を添加した透明導電膜を用いる。成膜方法は、発光層343や正孔注入層344を劣化させないように室温で蒸着法により形成することが好ましい。

【0087】

陽極345を形成したら、プラズマCVD法により窒化酸化シリコン膜でなる第2パッシベーション膜346を300nmの厚さに形成する。このときも成膜温度に留意する必要がある。成膜温度を下げるにはリモートプラズマCVD法を用いると良い。

【0088】

こうして図5(B)に示すような構造のアクティブマトリクス基板が完成する。なお、絶縁膜342を形成した後、パッシベーション膜346を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

【0089】

ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のFETを配置することにより、非常に高い信頼性を示し、動作特性も向上する。

【0090】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するFETを、駆動回路部を形成するCMOS回路のnチャネル型FET205として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、ラッチ、サンプリング回路(サンプル及びホールド回路)、D/Aコンバータなどが含まれる。

【0091】

本実施例の場合、図5(B)に示すように、nチャネル型FET205は、ソース領域355、ドレイン領域356、LDD領域357及びチャネル形成領域358を含み、LDD領域357はゲート絶縁膜307を挟んでゲート電極309と重なっている。この構造は電流制御用FET202と同一である。

【0092】

ドレイン領域側のみにLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型FET205はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、LDD領域357は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。

【0093】

また、CMOS回路のpチャネル型FET206は、ソース領域329、ドレイン領域330及びチャネル形成領域359を含む。この場合、ホットキャリア注入による劣化は殆ど気にならないので、特にLDD領域を設けなくても良いが、設けることも可能である

10

20

30

40

50

。

【0094】

なお、実際には図5(B)まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性気体、不活性固体もしくは不活性液体で充填したり、内部に吸湿性材料(例えば酸化バリウム)を配置するとEL素子の信頼性が向上する。

【0095】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクター(フレキシブルプリントサーキット: FPC)を取り付けて、EL素子を用いた電子装置が完成する。なお、本明細書中における電子装置には、外部から信号を入力するためのコネクターやそのコネクターに接続された集積回路も含まれるものとする。

10

【0096】

また、本実施例のEL表示装置の回路構成例を図7に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本実施例では、ソース側駆動回路701、画素部708及びゲート側駆動回路709を有している。なお、本明細書中において、駆動回路部とはソース側駆動回路およびゲート側駆動回路を含めた総称である。

【0097】

本実施例では画素部708にスイッチング用FETとしてマルチゲート構造のnチャネル型FETが設けられ、このスイッチング用FETはゲート側駆動回路709に接続されたゲート配線とソース側駆動回路701に接続されたソース配線との交点に配置されている。また、スイッチング用FETのドレインは電流制御用FETのゲートに電気的に接続されている。

20

【0098】

ソース側駆動回路701は、シフトレジスタ702、バッファ703、ラッチ(A)704、バッファ705、ラッチ(B)706、バッファ707を設けている。なお、アナログ駆動の場合はラッチ(A)、(B)の代わりにサンプリング回路(サンプル及びホールド回路)を設ければ良い。また、ゲート側駆動回路709は、シフトレジスタ710、バッファ711を設けている。

30

【0099】

なお、図示していないが、画素部708を挟んでゲート側駆動回路709の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

【0100】

なお、上記構成は、図3～5に示した作製工程に従ってFETを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路部の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、補正回路などの論理回路を同一基板上に形成することが可能であり、さらにはメモリやマイクロプロセッサ等を形成しうると考えている。

40

【0101】

さらに、EL素子を保護するための封入工程まで行った後の本実施例のEL表示装置について図8(A)、(B)を用いて説明する。なお、必要に応じて図7で用いた符号を引用する。

【0102】

図8(A)は、EL素子の封入までを行った状態を示す上面図である。点線で示された701はソース側駆動回路、708は画素部、709はゲート側駆動回路である。また、801はカバー材、802は第1シール材、803は第2シール材であり、第1シール材802で囲まれた内側のカバー材801とアクティブマトリクス基板との間には充填材(

50

図示せず)が設けられる。

【0103】

なお、804はソース側駆動回路701及びゲート側駆動回路709に入力される信号を伝達するための接続配線であり、外部入力端子となるFPC805からビデオ信号やクロック信号を受け取る。

【0104】

ここで、図8(A)をA-A'で切断した断面に相当する断面図を図8(B)に示す。なお、図8(A)、(B)では同一の部位に同一の符号を用いている。

【0105】

図8(B)に示すように、単結晶シリコン基板806上には画素部708、ゲート側駆動回路709が形成されており、画素部708は電流制御用FET202とそのドレインに電気的に接続された画素電極341を含む複数の画素により形成される。また、ゲート側駆動回路709はnチャネル型FET205とpチャネル型FET206とを相補的に組み合わせたCMOS回路を用いて形成される。10

【0106】

画素電極341はEL素子の陰極として機能する。また、画素電極341の両端には絶縁膜342が形成され、さらに発光層343、正孔注入層344が形成される。また、その上にはEL素子の陽極345、第2パッシベーション膜346が形成される。

【0107】

本実施例の場合、陽極345は全画素に共通の配線としても機能し、接続配線804を経由してFPC805に電気的に接続されている。さらに、画素部708及びゲート側駆動回路709に含まれる素子は全て第2パッシベーション膜346で覆われている。この第2パッシベーション膜346は省略することも可能であるが、各素子を外部と遮断する上で設けた方が好ましい。20

【0108】

次に、第1シール材802をディスペンサー等で形成し、スペーサー(図示せず)を散布してカバー材801を貼り合わせる。スペーサーはアクティブマトリクス基板とカバー材801との間の距離を確保するために散布される。そして、第1シール材802の内部に充填材807を真空注入法等により充填する。以上のプロセスは液晶ディスプレイのセル組み工程で用いられている技術がそのまま使える。なお、第1シール材802としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。また、第1シール材802はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、第1シール材802の内部に乾燥剤を添加してあっても良い。30

【0109】

EL素子を覆うようにして設けられた充填材807はカバー材801を接着するための接着剤としても機能する。充填材807としては、ポリイミド、アクリル、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。

【0110】

この充填材807の内部に乾燥剤(図示せず)を設けておくと、吸湿効果を保ち続けられるので好ましい。このとき、乾燥剤は充填材に添加されたものであっても良いし、充填材に封入されたものであっても良い。また、上記スペーサー(図示せず)として吸湿性のある材料を用いることも有効である。但し、本実施例の場合は充填材807の設けられた方に発光するため、透光性の充填材を用いる必要がある。40

【0111】

また、本実施例ではカバー材801としては、ガラス板、石英板、プラスチック板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフロライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。本実施例の場合はカバー材801も充填材同様に透光性でなければならない。

【0112】

次に、充填材 807 を用いてカバー材 801 を接着した後、第 1 シール材 802 の側面（露呈面）を覆うように第 2 シール材 803 を設ける。第 2 シール材 803 は第 1 シール材 802 と同じ材料を用いることができる。

【0113】

以上のような方式を用いて EL 素子を充填材 807 に封入することにより、EL 素子を外部から完全に遮断することができ、外部から水分や酸素等の EL 層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い EL 表示装置を作製することができる。

【実施例 2】

【0114】

本実施例では、図 2 (B) に示した回路図とは異なる構造の画素とした場合の例について図 9 に示す。なお、本実施例において、901 はスイッチング用 FET 902 のソース配線、903 はスイッチング用 FET 902 のゲート配線、904 は電流制御用 FET、905 はコンデンサ、906、908 は電流供給線、907 は EL 素子とする。

【0115】

なお、本実施例の場合、電流制御用 FET 904 のゲート容量を電位保持のためのコンデンサ 905 として用いる。そのため、実質的に画素内にはコンデンサ 905 を形成していないため点線で示してある。

【0116】

図 9 (A) は、二つの画素間で電流供給線 906 を共通とした場合の例である。即ち、二つの画素が電流供給線 906 を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0117】

また、図 9 (B) は、電流供給線 908 をゲート配線 903 と平行に設けた場合の例である。なお、図 9 (B) では電流供給線 908 とゲート配線 903 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を挟んで重なるように設けることもできる。この場合、電流供給線 908 とゲート配線 903 とで専有面積を共有させることができるために、画素部をさらに高精細化することができる。

【0118】

また、図 9 (C) は、図 9 (B) の構造と同様に電流供給線 908 をゲート配線 903a、903b と平行に設け、さらに、二つの画素を、電流供給線 908 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 908 をゲート配線 903a または 903b のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0119】

なお、本実施例の構成は、実施例 1 に示した EL 表示装置の画素構造として用いることが可能である。

【実施例 3】

【0120】

本実施例では、図 1 に示した電流制御用 FET 202 の素子構造を異なるものとした例について図 10 を用いて説明する。具体的には、LDD 領域の配置を異なるものとした例を示す。なお、図 1 に示した電流制御用 FET 202 と同一の部分については同一の符号を付す。

【0121】

図 10 (A) に示す電流制御用 FET 202A は、図 1 に示した電流制御用 FET 202 から LDD 領域 33 を省略した構造とした例である。図 1 に示した構造の場合、スイッチング用 FET 201 がトリプルゲート構造なのでオフ電流値が極めて小さく、さらにデジタル駆動方式とすれば、電流制御用 FET 202A のゲートの電位を保持するためのコンデンサは非常に小さい容量で済む。

【0122】

従って、本実施例の図10(A)に示すように、ゲート電極35とドレイン領域32との間に形成されるゲート容量だけでも十分に電流制御用FET202Aのゲートの電位を保持することが可能である。

【0123】

次に、図10(B)に示す電流制御用FET202Bは、ゲート電極35がゲート絶縁膜を挟んでLDD領域51の一部と重なっている例である。この場合、LDD領域51のうちゲート電極35に重なっていない部分は抵抗体として機能するためオフ電流値を低減する効果をもつ。即ち、図10(B)の構造とすることでホットキャリア注入による劣化の抑制とオフ電流値の低減とを同時に図ることが可能である。

10

【0124】

次に、図10(C)に示す電流制御用FET202Cは、図10(B)に示したLDD領域51がソース領域31側だけでなくドレイン領域32側にも設けられている例である。本実施例ではLDD領域52とする。このような構造はアナログ駆動方式の際に用いられるサンプリング回路のように、電子の流れる方向が入れ替わる(ソース領域とドレイン領域とが反転する)ような場合に有効な構造である。

【0125】

従って、図10(C)の構造をスイッチング用FETに用いることも可能である。その場合も、ホットキャリア注入による劣化の抑制とオフ電流値の低減とを同時に図ることが可能である。

20

【0126】

次に、図10(D)に示す電流制御用FET202Dは、図1に示したLDD領域33がソース領域31側とドレイン領域32側の両方に設けられている例である。本実施例ではLDD領域53とする。このような構造はアナログ駆動方式の際に用いられるサンプリング回路のように、電子の流れる方向が入れ替わるような場合に有効な構造である。

【0127】

なお、本実施例の構成はいずれも実施例1の電流制御用FET202との置き換えが可能であり、実施例2と組み合わせることも可能である。

【実施例4】**【0128】**

30

本実施例では、本発明のEL表示装置を大型基板(大型ウェハー)を用いて複数個作製する場合について説明する。説明には図11～図13に示した上面図を用いる。なお、各上面図にはA-A'及びB-B'で切った断面図も併記する。

【0129】

図11(A)は実施例1によって作製されたアクティブマトリクス基板にシール材を形成した状態である。61はアクティブマトリクス基板であり、第1シール材62が複数箇所に設けられている。また、第1シール材62は開口部63を確保して形成される。

【0130】

第1シール材62はフィラー(棒状のスペーサ)を添加したものであっても良い。また、アクティブマトリクス基板61全体に球状のスペーサ64が散布される。スペーサ64の散布は第1シール材62の形成前でも後でも良い。いずれにしてもフィラー(図示せず)もしくはスペーサ64によってアクティブマトリクス基板61とその上のカバー材との距離を確保することが可能である。

40

【0131】

なお、このスペーサ64に吸湿性をもたせることはEL素子の劣化を抑制する上で効果的である。また、スペーサ64は発光層から発した光を透過する材料でなることが望ましい。

【0132】

このシール材62で囲まれた領域65内には画素部及び駆動回路部が含まれている。本明細書中ではこの画素部及び駆動回路部でなる部分をアクティブマトリクス部と呼ぶ。即

50

ち、アクティブマトリクス基板 6 1 は、画素部及び駆動回路部の組み合わせでなるアクティブマトリクス部を 1 枚の大型基板に複数形成してなる。

【 0 1 3 3 】

図 1 1 (B) は、アクティブマトリクス基板 6 1 にカバー材 6 6 を張り合わせた状態である。本明細書中ではアクティブマトリクス基板 6 1 、第 1 シール材 6 2 及びカバー材 6 6 を含むセルをアクティブマトリクスセルと呼ぶ。

【 0 1 3 4 】

以上の張り合わせには液晶のセル組み工程と同様のプロセスを用いれば良い。
また、カバー材 6 6 はアクティブマトリクス基板 6 1 と同じ面積の透明基板（または透明フィルム）を用いれば良い。従って、図 1 1 (B) の状態では、全てのアクティブマトリクス部に共通のカバー材として用いられる。
10

【 0 1 3 5 】

カバー材 6 6 を張り付けたら、アクティブマトリクスセルを分断する。本実施例ではアクティブマトリクス基板 6 1 及びカバー材 6 6 を分断するにあたってスクライバーを用いる。スクライバーとは、基板に細い溝（スクライプ溝）を形成した後でスクライプ溝に衝撃を与え、スクライプ溝に沿った亀裂を発生させて基板を分断する装置である。

【 0 1 3 6 】

なお、基板を分断する装置としては他にもダイサーが知られている。ダイサーとは、硬質カッター（ダイシングソーともいう）を高速回転させて基板に当てて分断する装置である。但し、ダイサー使用時は発熱と研磨粉の飛散を防止するためにダイシングソーに水を噴射する。従って、E L 表示装置を作製する場合には水を用いなくても良いスクライバーを用いることが望ましい。
20

【 0 1 3 7 】

アクティブマトリクス基板 6 1 及びカバー材 6 6 にスクライプ溝を形成する順序としては、まず矢印(a)の方向にスクライプ溝 6 7 a を形成し、次に、矢印(b)の方向にスクライプ溝 6 7 b を形成する。このとき、開口部 6 3 付近を通るスクライプ溝は第 1 シール材 6 2 を切断するように形成する。こうすることでアクティブマトリクスセルの端面に開口部 6 3 が現れるため、後の充填材の注入工程が容易となる。

【 0 1 3 8 】

こうしてスクライプ溝を形成したら、シリコーン樹脂等の弾性のあるバーでスクライプ溝に衝撃を与え、亀裂を発生させてアクティブマトリクス基板 6 1 及びカバー材 6 6 を分断する。
30

【 0 1 3 9 】

図 1 2 (A) は 1 回目の分断後の様子であり、二つのアクティブマトリクス部を含むアクティブマトリクスセル 6 8 、 6 9 に分断される。次に、アクティブマトリクス基板 6 1 、第 1 シール材 6 2 及びカバー材 6 6 で形成された空間内に真空注入法により充填材 7 0 を注入する。真空注入法は液晶注入の技術として良く知られているので説明は省略する。このとき、充填材 7 0 の粘度は 3 ~ 1 5 c p が好ましい。このような粘度の充填材を選択しても良いし、溶媒等で希釈して所望の粘度としても良い。また、充填材に乾燥剤を添加した状態で真空注入法を行っても良い。
40

【 0 1 4 0 】

こうして図 1 2 (A) に示すように充填材 7 0 が充填される。なお、本実施例では複数のアクティブマトリクスセルに対して一度に充填材 7 0 を充填する方式を示したが、このような方式は対角 0 . 5 ~ 1 インチ程度の小さな E L 表示装置の作製時に好適である。一方、対角 5 ~ 3 0 インチ程度の大きめの E L 表示装置を作製する際は、一つずつのアクティブマトリクスセルに分断してから充填材 7 0 を充填すれば良い。

【 0 1 4 1 】

以上のようにして充填材 7 0 を充填した後、充填材 7 0 を硬化させてアクティブマトリクス基板 6 1 とカバー材 6 6 との密着性をさらに高める。充填材 7 0 が紫外線硬化樹脂であれば紫外線を照射し、熱硬化性樹脂であれば加熱する。但し、熱硬化性樹脂を用いる場
50

合は、有機 E L 材料の耐熱性に留意する必要がある。

【 0 1 4 2 】

次に、再びアクティブマトリクス基板 6 1 及びカバー材 6 6 にスクライプ溝を形成する。順序としては、まず矢印(a)の方向にスクライプ溝 7 1 a を形成し、次に、矢印(b)の方向にスクライプ溝 7 1 b を形成する。このとき、分断後にアクティブマトリクス基板 6 1 に比べてカバー材 6 6 の面積が小さくなるようにスクライプ溝を形成しておく。

【 0 1 4 3 】

こうしてスクライプ溝を形成したら、シリコーン樹脂等の弾性のあるバーでスクライプ溝に衝撃を与え、亀裂を発生させてアクティブマトリクスセル 7 2 ~ 7 5 に分断する。図 13 (A) は 2 回目の分断後の様子である。さらに、各アクティブマトリクスセル 7 2 ~ 7 5 には F P C 7 6 を取り付ける。
10

【 0 1 4 4 】

最後に、図 13 (B) に示すように、アクティブマトリクスセル 7 2 ~ 7 5 の基板端面 (第 1 シール材 6 2 または充填材 7 0 の露呈面) 及び F P C 7 6 を覆うようにして第 2 シール材 7 7 を形成する。第 2 シール材 7 7 は脱ガスの少ない紫外線硬化樹脂等で形成すれば良い。

【 0 1 4 5 】

以上のプロセスにより図 13 (B) に示すような E L 表示装置が完成する。以上のように、本実施例を実施することで 1 枚の基板から複数の E L 表示装置を作製することができる。例えば、6 2 0 mm × 7 2 0 mm の基板からは対角 1 3 ~ 1 4 インチの E L 表示装置が 6 個作製可能であり、対角 1 5 ~ 1 7 インチの E L 表示装置が 4 個作製可能である。従って、大幅なスループットの向上と製造コストの削減が達成できる。
20

【 0 1 4 6 】

なお、本実施例の E L 表示装置の作製工程は、実施例 1 ~ 3 のいずれの構成を含む E L 表示装置を作製するにも用いることが可能である。

【 実施例 5 】

【 0 1 4 7 】

本実施例では、実施例 4 において充填材 7 0 を用いない場合の例について説明する。本実施例では、アクティブマトリクスセルを真空下においていた後、第 1 シール材 6 2 で囲まれた領域内に 1 ~ 2 気圧に加圧した乾燥した不活性ガスを封入することを特徴とする。不活性ガスとしては、窒素もしくは希ガス (代表的にはアルゴン、ヘリウムもしくはネオン) を用いれば良い。
30

【 0 1 4 8 】

なお、本実施例は実施例 4 において真空注入する材料を気体とする以外は実施例 4 のプロセスをそのまま用いることができる。従って、本実施例の E L 表示装置の作製工程は、実施例 1 ~ 3 のいずれの構成を含む E L 表示装置を作製するにも用いることが可能である。
。

【 実施例 6 】

【 0 1 4 9 】

実施例 1 ~ 5 では E L 表示装置を例にして説明してきたが、本発明はアクティブマトリクス型のエレクトロクロミクスディスプレイ (E C D) 、フィールドエミッഷョンディスプレイ (F E D) または液晶ディスプレイ (L C D) に用いることもできる。
40

【 0 1 5 0 】

即ち、F E T に電気的に発光素子または受光素子を接続した電子装置のすべてに本発明を用いることが可能である。

【 実施例 7 】

【 0 1 5 1 】

図 1 に示した電子装置においては、第 1 パッシベーション膜 3 8 に窒化珪素膜もしくは窒化酸化珪素膜を設ける構成とすることが好ましい。

【 0 1 5 2 】

このような構造とすると、スイッチング用 TFT 201 および電流制御用 TFT 202 が窒化珪素膜もしくは窒化酸化珪素膜で覆われた構造となり、外部からの水分や可動イオンの侵入を効果的に防ぐことができる。

【0153】

また、第2層間絶縁膜（平坦化膜）39と画素電極40の間に窒化珪素膜もしくは DLC（ダイヤモンドライクカーボン）膜を設け、さらに第2パッシベーション膜45に窒化珪素膜もしくは DLC 膜を用いることは好ましい。

【0154】

このような構造とすると、EL 素子203が窒化珪素膜もしくは DLC 膜で挟まれた構造となり、外部からの水分や可動イオンの侵入を防ぐだけでなく、酸素の侵入をも効果的に防ぐことができる。EL 素子中の発光層などの有機材料は酸素によって容易に酸化して劣化するため、本実施例のような構造とすることで大幅に信頼性を向上することができる。

【0155】

以上のように、TFT を保護するための対策と EL 素子を保護するための対策を併用して施すことで電子装置全体の信頼性を高めることができる。

【0156】

なお、本実施例の構成は、実施例1～実施例6のいずれの構成とも自由に組み合わせることが可能である。

【実施例8】

【0157】

本発明を実施して形成されたEL表示装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）のディスプレイとして本発明のEL表示装置を筐体に組み込んだディスプレイ（以下、ELディスプレイという）を用いるとよい。

【0158】

なお、ELディスプレイには、パソコン用ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電気器具の表示部として本発明のEL表示装置を用いることができる。

【0159】

その様な本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パソコン、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルバーサタイルディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、EL表示装置を用いることが望ましい。それら電気器具の具体例を図14、図15に示す。

【0160】

図14(A)はELディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明は表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができます。

【0161】

図14(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のEL表示装置は表示部2102に用いることができる。

【0162】

10

20

30

40

50

図14(C)は頭部取り付け型のELディスプレイの一部(右片側)であり、本体2201、信号ケーブル2202、頭部固定バンド2203、表示部2204、光学系2205、EL表示装置2206等を含む。本発明はEL表示装置2206に用いることができる。

【0163】

図14(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(DVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305等を含む。表示部(a)は主として画像情報を表示し、表示部(b)は主として文字情報を表示するが、本発明のEL表示装置はこれら表示部(a)、(b)に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。10

【0164】

図14(E)は携帯型(モバイル)コンピュータであり、本体2401、カメラ部2402、受像部2403、操作スイッチ2404、表示部2405等を含む。本発明のEL表示装置は表示部2405に用いることができる。

【0165】

図14(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本発明のEL表示装置は表示部2503に用いることができる。

【0166】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型もしくはリア型のプロジェクターに用いることも可能となる。20

【0167】

また、上記電子装置はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、EL表示装置は動画表示に好ましいが、画素間の輪郭がぼやけてしまっては動画全体もぼけてしまう。従って、画素間の輪郭を明瞭にするという本発明のEL表示装置を電子装置の表示部として用いることは極めて有効である。30

【0168】

また、EL表示装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にEL表示装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0169】

ここで図15(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明のEL表示装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。40

【0170】

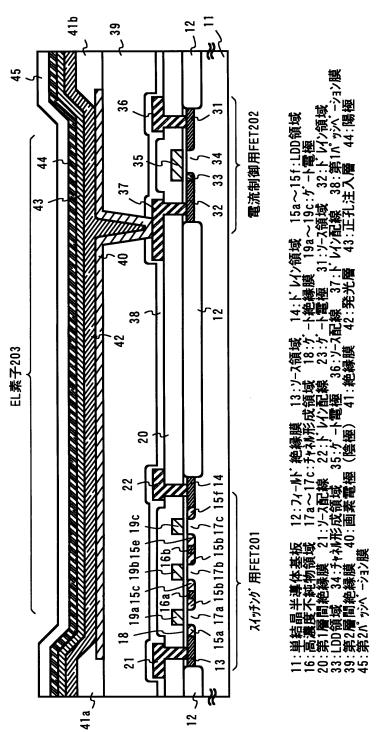
また、図15(B)は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明のEL表示装置は表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部2704は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0171】

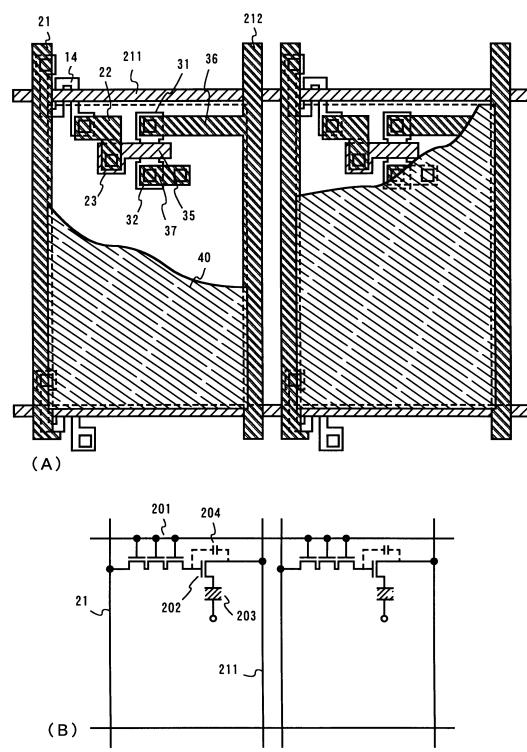
以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1～7に示したいずれの構成の電子装置50

を表示部に用いても良い。

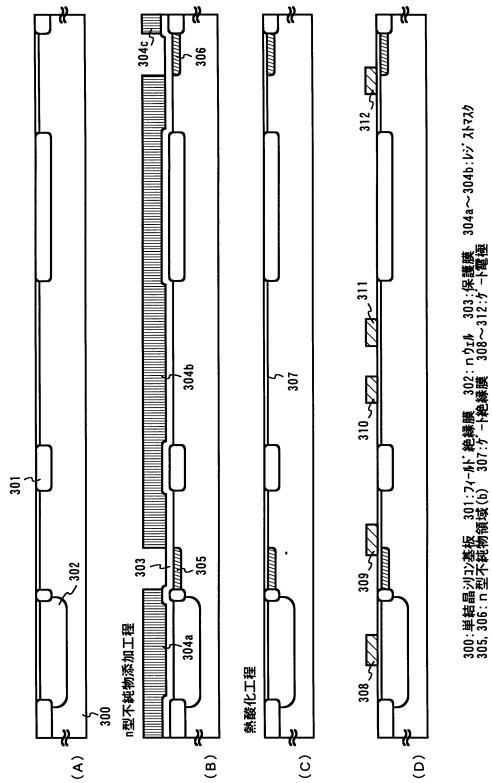
【図1】



【図2】

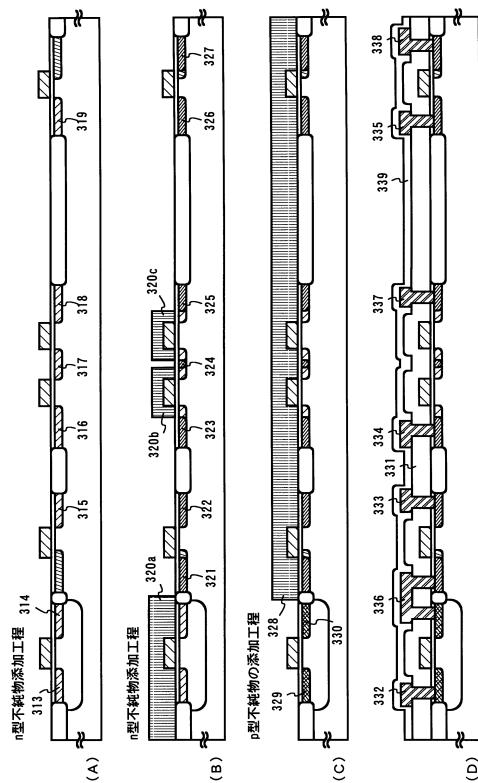


【図3】



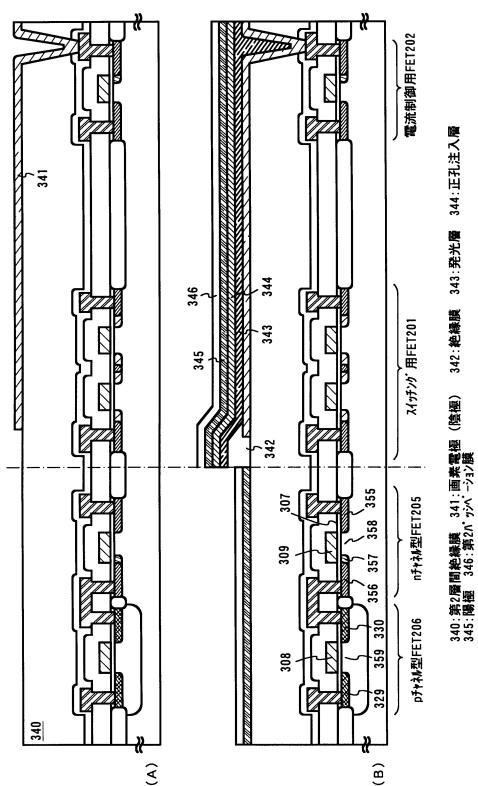
301: 単結晶シリコン板 301-2: 外絶縁膜 302: nウール 303: 保護膜
304a: n型不純物領域 (b) 307: フォトマスク 308: ~312: p+電極

【図4】



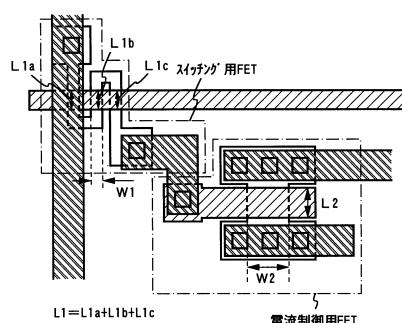
313~319: n型不純物領域 (c) 320a~320c: p+電極
321~327: n型不純物領域 (a) 321~327: n型不純物領域 (b)
329, 330: n型不純物領域 (a) 331: 第1層間絕縁膜 332~335: p+電極
339: 第1層間絶縁膜 336~338: p+電極

【図5】

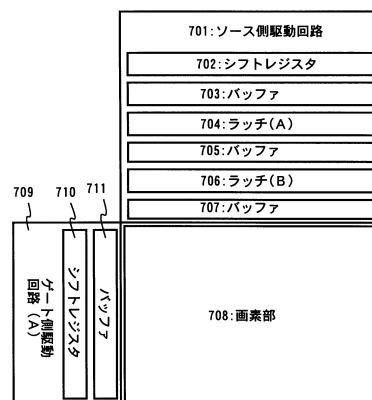


340: 第1層間絶縁膜 341: 画素電極 (底面) 342: 绝縁膜 343: 隔離膜 344: 穡光膜
345: 槽底 346: 槽側壁 347: 槽底 348: 第2層
349: 溜槽 350: 溜槽 356: 第2層 357: 第2層 358: 第2層 355: 第2層
329: 溜槽 359: 溜槽 360: 溜槽 3205: p+接合 FEI205

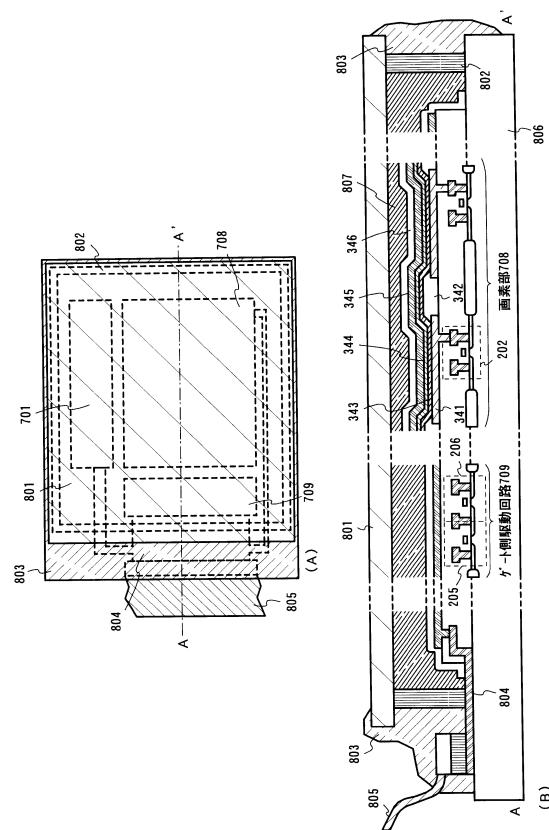
【図6】



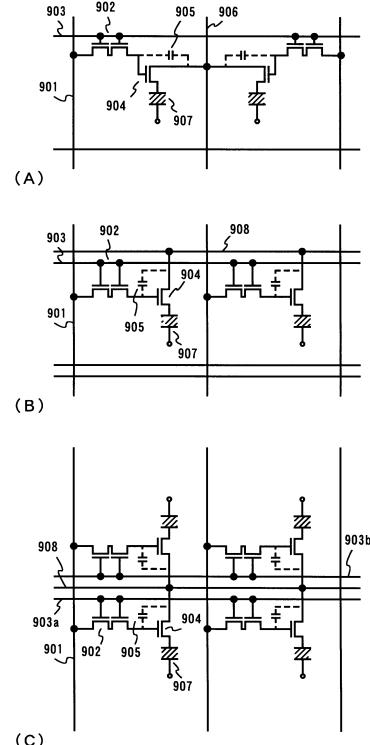
【図7】



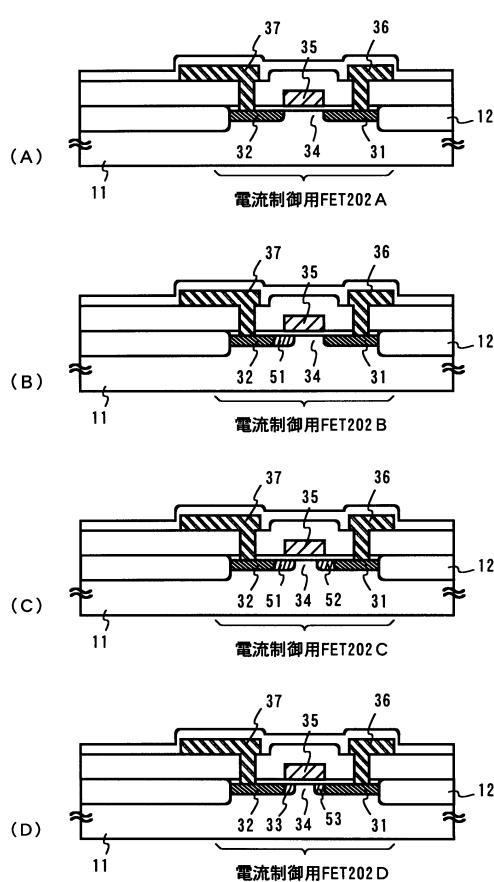
【 四 8 】



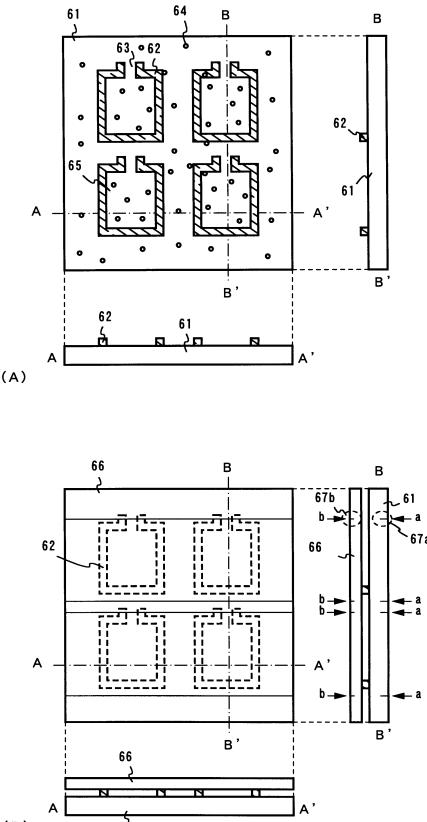
【 四 9 】



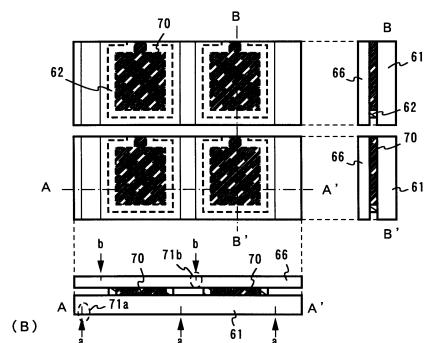
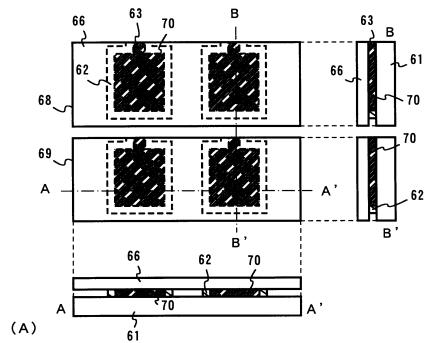
【 図 1 0 】



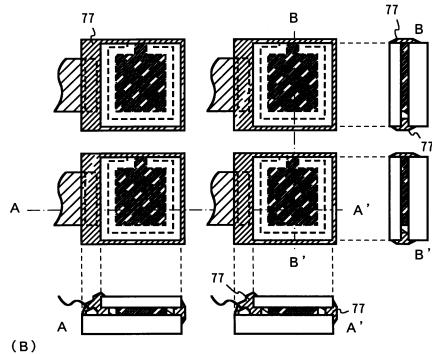
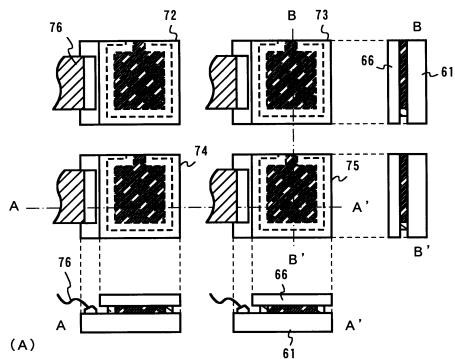
【 図 1 1 】



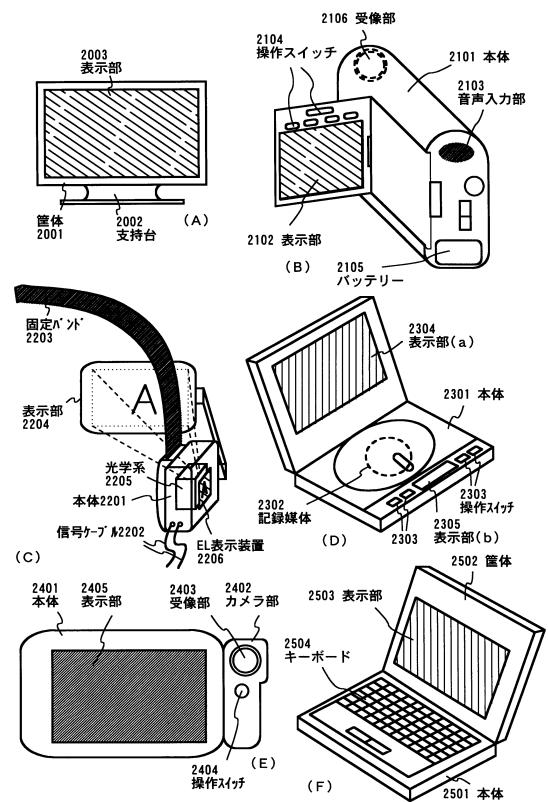
【図12】



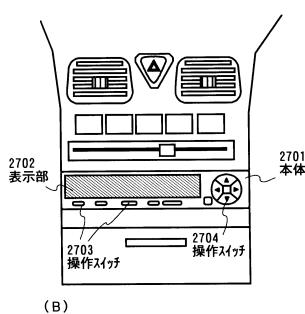
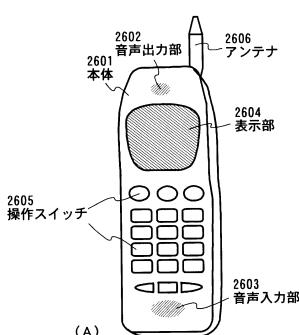
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/04

(72)発明者 水上 真由美
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 小野 博之

(56)参考文献 特開平07-272848(JP, A)
国際公開第1998/036406(WO, A1)
特開昭59-058467(JP, A)
特開平11-231805(JP, A)
特開平11-074073(JP, A)
特開昭52-127790(JP, A)
国際公開第1998/013811(WO, A1)
国際公開第1998/036407(WO, A1)
特開平10-319872(JP, A)
特開平11-24606(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 F 9 / 0 0 - 4 6
G 0 2 F 1 / 1 3 - 1 / 1 3 3 5
1 / 1 3 3 6 3 - 1 / 1 4 1
H 0 1 L 2 1 / 3 3 6
2 7 / 3 2
2 9 / 7 8 6
5 1 / 5 0
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8