



(12)发明专利

(10)授权公告号 CN 103855018 B

(45)授权公告日 2017.03.29

(21)申请号 201210513691.6

H01L 21/265(2006.01)

(22)申请日 2012.12.04

(56)对比文件

(65)同一申请的已公布的文献号

CN 101345195 A, 2009.01.14,

申请公布号 CN 103855018 A

CN 102104001 A, 2011.06.22,

(43)申请公布日 2014.06.11

审查员 冯月华

(73)专利权人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技园区祖冲之路1399号

(72)发明人 隋建国 徐丹 左燕丽

(74)专利代理机构 上海浦一知识产权代理有限公司 31211

代理人 高月红

(51)Int.Cl.

H01L 21/336(2006.01)

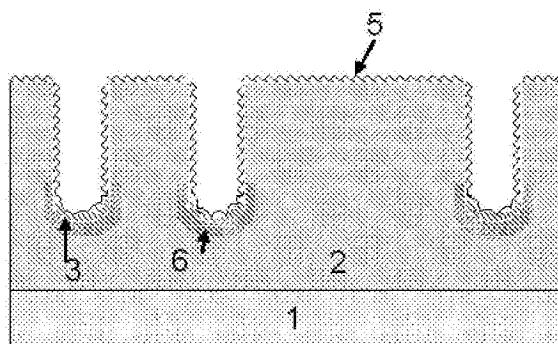
权利要求书1页 说明书3页 附图4页

(54)发明名称

沟槽底部进行离子注入调节BV和改善导通电阻的方法

(57)摘要

本发明公开了一种POWER MOS沟槽底部进行离子注入调节崩溃电压和改善导通电阻的方法，包括：1)在沟槽侧壁和底部以及P型EPI表面沉积杂质掺杂的正硅酸乙酯；2)填充光阻；3)光阻回刻，仅留下沟槽底部的光阻，将露出的杂质参杂的正硅酸乙酯刻蚀去除；4)沟槽底部的光阻去除，淀积无掺杂正硅酸乙酯；5)离子高温扩散；6)正硅酸乙酯刻蚀去除，生长栅极氧化层；7)沟槽的多晶硅淀积、离子注入，多晶硅回刻，接触孔绝缘层淀积，接触孔定义，接触孔金属钨填充、反刻，金属淀积，金属垫定义，引出栅极和源极。本发明避免了沟槽侧壁损伤，可减少牺牲氧化层的生长，沟槽宽度不改变，提高集成密度，调节崩溃电压和改善导通电阻。



1. 一种POWER MOS沟槽底部进行离子注入调节崩溃电压和改善导通电阻的方法,其特征在于,包括步骤:

1) 在P型外延表面生长氧化硅层,作为沟槽刻蚀的硬掩模,光刻定义沟槽位置,刻蚀将硬掩模刻穿,去除硬掩模后,在沟槽侧壁和底部以及P型外延表面进行化学气相沉积杂质掺杂的正硅酸乙酯;

所述步骤1)中,掺杂的杂质为与P型外延同型或异型;杂质掺杂的正硅酸乙酯的厚度为310~450埃;

2) 在P型外延表面和沟槽填充光阻;

3) 光阻回刻,仅留下沟槽底部的光阻,将露出的杂质掺杂的正硅酸乙酯刻蚀去除;

4) 沟槽底部的光阻灰化去除,在沟槽侧壁和底部以及P型外延表面进行化学气相沉积无掺杂的正硅酸乙酯,作为覆盖层;

5) 在900~1100℃进行离子高温扩散,使掺杂的正硅酸乙酯中的杂质扩散到P型外延中,形成沟槽离子扩散层,所述沟槽离子扩散层在所述沟槽底部的厚度通过步骤3)回刻控制杂质掺杂的正硅酸乙酯在所述沟槽内的高度进行调节,所述沟槽离子扩散层用于调节POWER MOS的崩溃电压和改善POWER MOS的导通电阻;

利用所述沟槽离子扩散层通过掺杂的正硅酸乙酯扩散形成的特征使所述沟槽离子扩散层形成后避免所述沟槽的侧壁损伤,从而避免为去除侧壁损伤而使所述沟槽的宽度增加,使所述沟槽的宽度不变,提高集成密度;

6) 正硅酸乙酯刻蚀去除,在沟槽侧壁和底部以及P型外延表面,生长栅极氧化层;

7) 进行沟槽的多晶硅淀积、离子注入,多晶硅回刻,接触孔绝缘层淀积,接触孔定义,接触孔金属钨填充、反刻,金属淀积,金属垫定义,引出栅极和源极。

2. 如权利要求1所述的方法,其特征在于:所述步骤1)中,生长氧化硅层的方式包括:热氧化和化学气相沉积。

3. 如权利要求1所述的方法,其特征在于:所述步骤1)中,去除硬掩模的方法包括:湿法和干法刻蚀。

4. 如权利要求1所述的方法,其特征在于:所述步骤1)中,氧化硅层的厚度为2500~6500埃。

5. 如权利要求1所述的方法,其特征在于:所述步骤2)中,光阻的厚度为1~3μm。

6. 如权利要求1所述的方法,其特征在于:所述步骤3)中,沟槽底部的光阻的厚度为300~1000埃。

7. 如权利要求1所述的方法,其特征在于:所述步骤4)中,沟槽底部的光阻灰化去除中的工艺条件为:250℃60秒;

无掺杂的正硅酸乙酯厚度为230~370埃。

8. 如权利要求1所述的方法,其特征在于:所述步骤5)中,离子高温扩散的时间为20~100分钟。

9. 如权利要求1所述的方法,其特征在于:所述步骤6)中,生长栅极氧化层的方式包括:850℃的热氧化;栅极氧化层的厚度为100~450埃。

10. 如权利要求1所述的方法,其特征在于:所述步骤1)中,掺杂的杂质为与P型外延同型时掺杂的杂质包括硼。

沟槽底部进行离子注入调节BV和改善导通电阻的方法

技术领域

[0001] 本发明涉及一种半导体集成电路制造中的调节BV(Breakdown Voltage, 崩溃电压)和改善导通电阻(RDS_{ON})的方法, 特别是涉及一种POWER MOS沟槽(TCH)底部进行离子注入调节BV和改善RDS_{ON}的方法。

背景技术

[0002] POWER MOS(金属氧化物半导体)器件, 是由金属、氧化物(SiO₂或SiN)及半导体三种材料制成的器件, 它能输出较大的工作电流(几安到几十安), 用于功率输出级的器件。

[0003] 现有的沟槽离子注入进行POWER MOS的制作工艺如下:

[0004] 1) 在P型衬底1(P型EPI)上生长4800埃的氧化层31(作为沟槽刻蚀的硬掩模), 光刻定义沟槽位置, 刻蚀将硬掩模刻穿, 用灰化方式将光阻去除, 然后, 将硅沟槽刻蚀出(根据产品深度要求), 然后, 进行离子注入41(根据需求可注入与EPI同型或反型的离子), 其中, 注入能量可为15~70Kev, 注入剂量可为 $1.0 \times 10^{13} \sim 7 \times 10^{13}$ 个原子每平方厘米(如图1所示);

[0005] 2) 硬掩模湿法刻蚀去除, 在P型EPI 2上和Si沟槽的500~1000埃的牺牲氧化层, 再湿法刻蚀去除牺牲氧化层, 生长栅极氧化层51(如图2所示);

[0006] 3) 多晶硅(Poly)淀积, 多晶硅离子注入, 多晶硅回刻, N阱光刻、离子注入和推进(Drivein), 再进行后续的接触孔/金属层把源极/栅极引出(如图3所示)。

[0007] 但现有技术中, 离子注入损伤沟槽Si表面, 虽然能通过后续500~1000埃的牺牲氧化层来消除, 但会使得沟槽深度增加, 崩溃电压(BV)减小。

发明内容

[0008] 本发明要解决的技术问题是提供一种POWER MOS沟槽底部进行离子注入调节崩溃电压(BV)和改善导通电阻(RDS_{ON})的方法。本发明通过新的方法进行沟槽底部的离子注入, 避免对沟槽侧壁的离子损伤, 实现沟槽底部高度可控的离子注入, 且不改变沟槽宽度、深度, 能进行调节崩溃电压和改善导通电阻。

[0009] 为解决上述技术问题, 本发明的POWER MOS沟槽底部进行离子注入调节崩溃电压和改善导通电阻的方法, 包括步骤:

[0010] 1) 在P型EPI(外延)表面生长氧化硅层, 作为沟槽刻蚀的硬掩模, 光刻定义沟槽位置, 刻蚀将硬掩模刻穿, 去除硬掩模后, 在沟槽侧壁和底部以及P型EPI表面进行化学气相沉积(CVD)杂质掺杂的正硅酸乙酯(TEOS);

[0011] 2) 在P型EPI表面和沟槽填充光阻(PR);

[0012] 3) 光阻回刻, 仅留下沟槽底部的光阻, 将露出的杂质参杂的正硅酸乙酯刻蚀去除;

[0013] 4) 沟槽底部的光阻灰化去除, 在沟槽侧壁和底部以及P型EPI表面进行化学气相沉积(CVD)无掺杂的正硅酸乙酯, 作为覆盖层;

[0014] 5) 在900~1100℃进行离子高温扩散, 使掺杂的正硅酸乙酯中的杂质扩散到P型EPI中;

- [0015] 6) 正硅酸乙酯刻蚀去除,在沟槽侧壁和底部以及P型EPI表面,生长栅极氧化层;
- [0016] 7) 按常规工艺,进行沟槽的多晶硅淀积、离子注入,多晶硅回刻,接触孔绝缘层淀积,接触孔定义,接触孔金属钨(W)填充、反刻,金属(METAL)淀积,金属垫(METAL PAD)定义,引出栅极和源极。
- [0017] 所述步骤1)中,生长氧化硅层的方式包括:热氧化和化学气相沉积(CVD);氧化硅层的厚度为2500~6500埃;去除硬掩模的方法包括:湿法和干法刻蚀;掺杂的杂质可以与P型EPI同型或异型,包括:硼;杂质参杂的正硅酸乙酯的厚度为310~450埃。
- [0018] 所述步骤2)中,光阻的厚度为1~3μm。
- [0019] 所述步骤3)中,沟槽底部的光阻的厚度为300~1000埃。
- [0020] 所述步骤4)中,沟槽底部的光阻灰化去除中的工艺条件为:250℃60秒;无掺杂的正硅酸乙酯(覆盖层)厚度为230~370埃。
- [0021] 所述步骤5)中,离子高温扩散的时间为20~100分钟。
- [0022] 所述步骤6)中,生长栅极氧化层的方式包括:850℃的热氧化,栅极氧化层的厚度为100~450埃。
- [0023] 本发明通过:沟槽刻蚀和硬掩模去除后以CVD方式淀积掺杂的TEOS;光阻覆盖填充硅片/沟槽,用刻蚀的方式做光阻的回刻,到目标值;刻蚀方式将没有光阻覆盖的掺杂TEOS去除,将光阻灰化去除;以CVD方式淀积无掺杂TEOS,做保护层,做离子推进,使掺杂的杂质扩散入沟槽;将TEOS膜全部去除,生长栅极氧化层,其他后续步骤没有改变。由于不采用离子注入的方式,避免了沟槽侧壁损伤,可减少牺牲氧化层的生长,沟槽宽度不改变,提高集成密度,调节崩溃电压和改善导通电阻。

附图说明

- [0024] 下面结合附图与具体实施方式对本发明作进一步详细的说明:
- [0025] 图1是沟槽定义和沟槽注入后的截面示意图;
- [0026] 图2是栅极氧化层生长后的截面示意图;
- [0027] 图3是多晶硅回刻和N阱推进后的截面示意图;
- [0028] 图4是化学气相沉积硼参杂TEOS后的截面示意图;
- [0029] 图5是光阻(PR)填充后的截面示意图;
- [0030] 图6是光阻(PR)PR回刻、露出的TEOS刻蚀去除后的截面示意图;
- [0031] 图7是化学气相沉积TEOS作为覆盖层的截面示意图;
- [0032] 图8是离子高温扩散后的截面示意图;
- [0033] 图9是栅极氧化层生长后的截面示意图;
- [0034] 图10是采用本发明的方法最终形成的POWER MOS的结构示意图。
- [0035] 图中附图标记说明如下:
- [0036] 1为P型衬底,2为P型EPI,31为氧化层,41为离子注入,51为栅极氧化层,61为回刻后的多晶硅,71为离子推进后的N阱;
- [0037] 3为硼掺杂TEOS,4为光阻(PR),5为TEOS,6为沟槽离子扩散层,7为栅极氧化层,8为多晶硅,9为接触孔绝缘层,10为接触孔金属钨,11为金属(METAL),12为N阱注入区,13为阻挡层(PASSIVATION)。

具体实施方式

[0038] 本发明的POWER MOS沟槽底部进行离子注入调节崩溃电压和改善导通电阻的方法,具体步骤可如下:

[0039] 1)在P型EPI 2表面,通过热氧化或CVD沉积生长厚度为2500~6500埃的氧化硅层,作为沟槽刻蚀的硬掩模,光刻定义沟槽位置,刻蚀将硬掩模刻穿,湿法或干法刻蚀去除硬掩模后,在沟槽侧壁和底部以及P型EPI 2表面进行化学气相沉积(CVD)杂质掺杂的正硅酸乙酯(TEOS),如厚度为310~450埃的硼掺杂TEOS 3(如图4所示);

[0040] 2)在P型EPI 2表面和沟槽填充光阻(PR)4,光阻4的厚度为1~3μm(如图5所示);

[0041] 3)光阻4回刻,仅留下沟槽底部的厚度为300~1000埃的光阻4,将露出的硼掺杂TEOS3刻蚀去除(如图6所示);

[0042] 4)沟槽底部的光阻4灰化去除(灰化去除中的工艺条件可为250℃60秒),在沟槽侧壁和底部以及P型EPI 2表面进行化学气相沉积(CVD)厚度为230~370埃的无掺杂的正硅酸乙酯5,作为覆盖层(如图7所示);

[0043] 5)在900~1100℃进行离子高温扩散20~100分钟,使掺杂的正硅酸乙酯中的杂质(硼)扩散到P型EPI 2中,形成沟槽离子扩散层6(如图8所示);

[0044] 6)整个正硅酸乙酯刻蚀去除,在沟槽侧壁和底部以及P型EPI 2表面,可通过850℃的热氧化生长厚度为100~450埃的栅极氧化层7(如图9所示);

[0045] 7)按常规工艺,进行沟槽的多晶硅8淀积、离子注入,多晶硅回刻,接触孔绝缘层9淀积,接触孔定义,接触孔金属钨10填充、反刻,金属(METAL)11淀积,金属垫(METAL PAD)定义,引出栅极和源极,最终形成POWER MOS(如图10所示)。

[0046] 本发明通过沟槽刻蚀完成后,以CVD淀积硼参杂的TEOS作为离子源,用回刻方式将沟槽底部的硼掺杂TEOS留下,用CVD方式淀积无掺杂TEOS作为覆盖层,然后以高温方式使硼扩散到EPI中,再将TEOS膜刻蚀去除,即通过回刻控制硼参杂的TEOS在沟槽内的高度进行沟槽底部可控的参杂。由于采用一种新的方法进行沟槽底部的离子注入,避免了沟槽侧壁损伤,同时,可减少牺牲氧化层的生长(500~1000埃/边),沟槽宽度不改变,提高集成密度,调节崩溃电压和改善导通电阻。

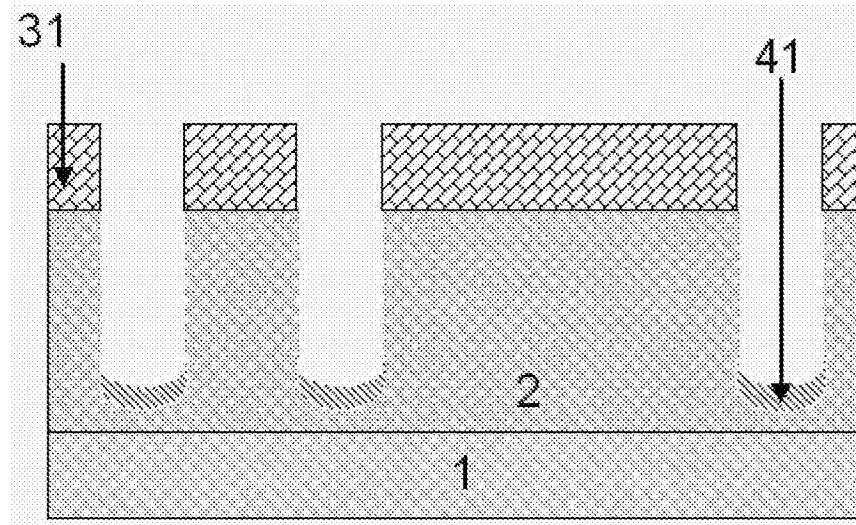


图1

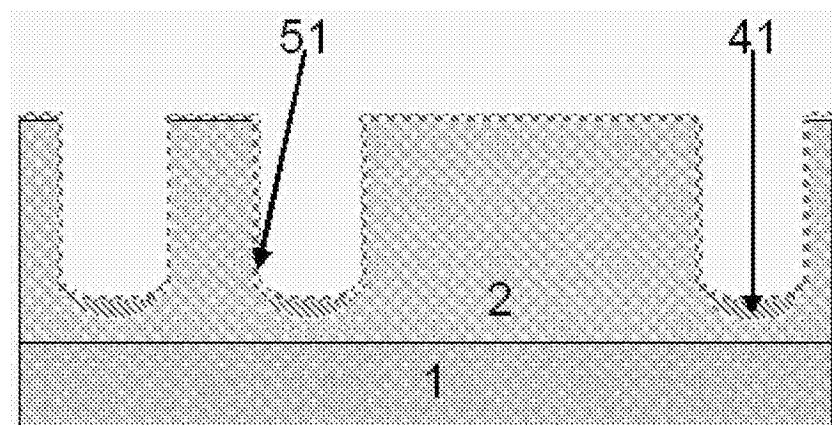


图2

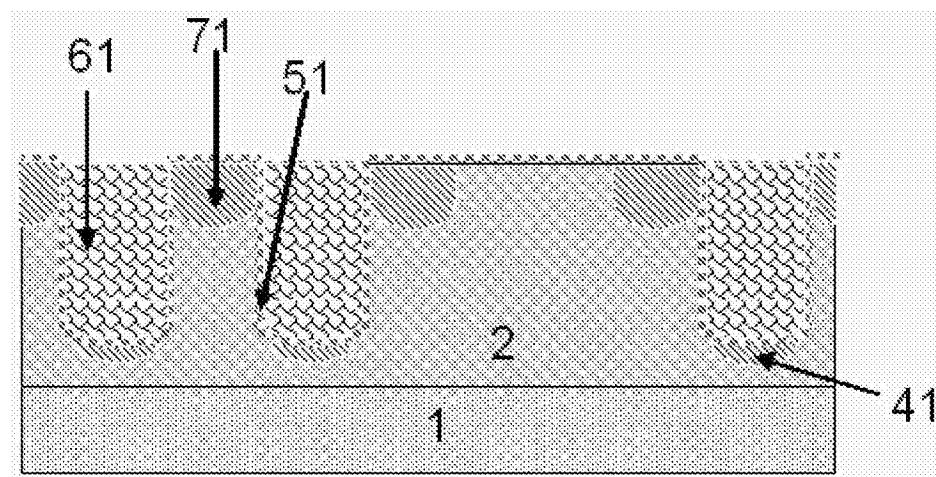


图3

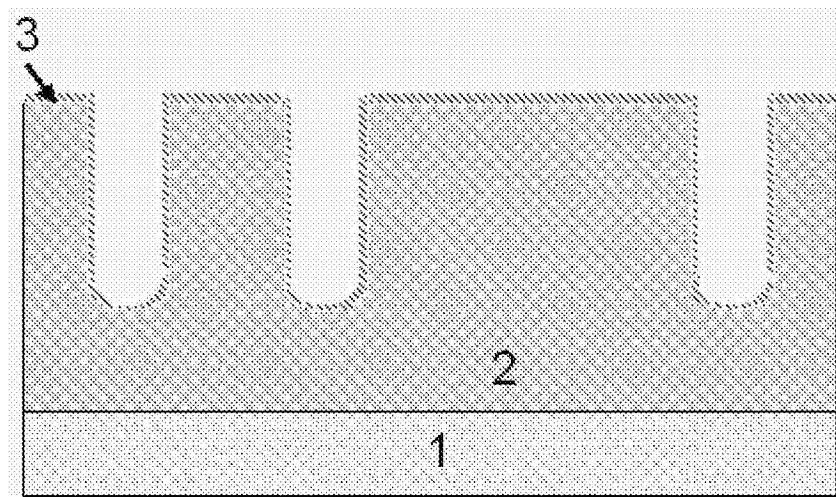


图4

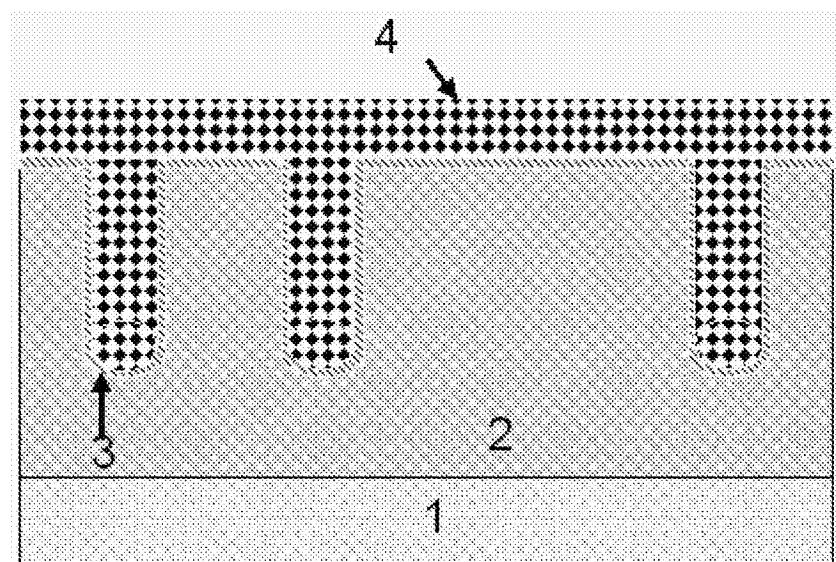


图5

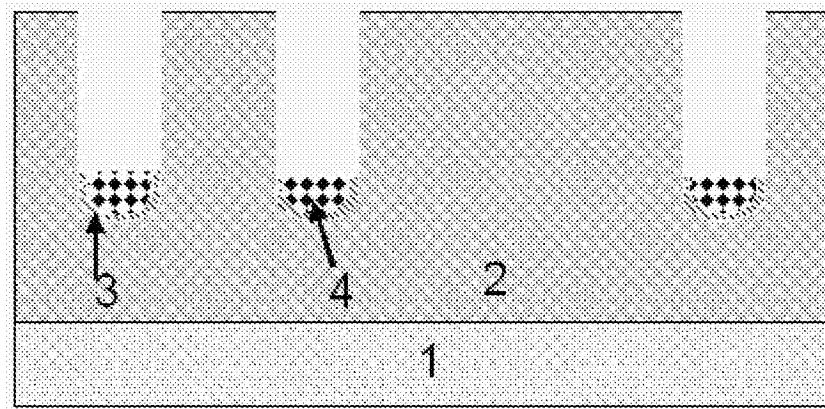


图6

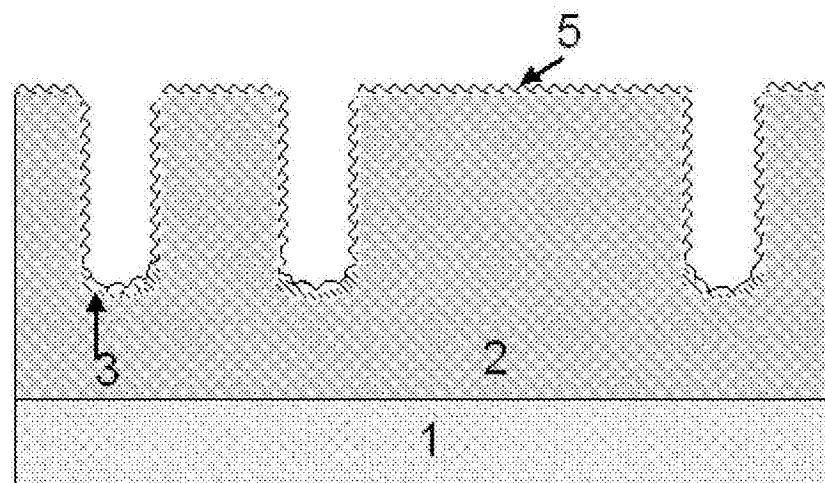


图7

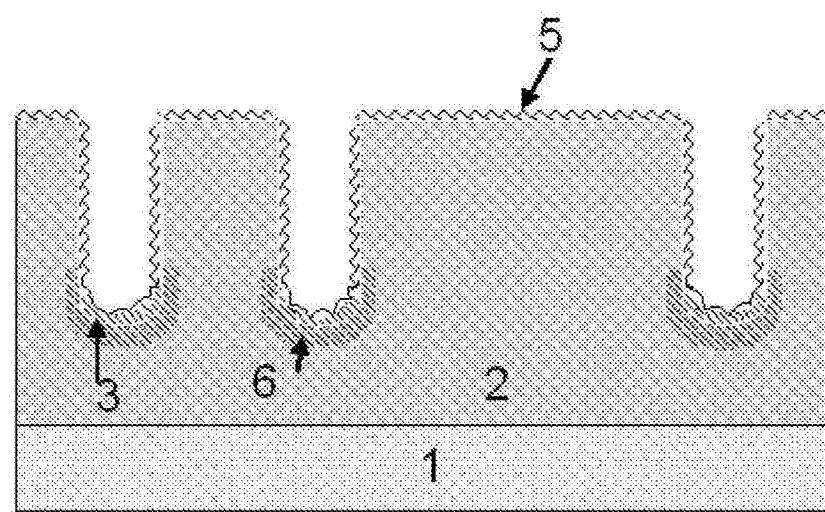


图8

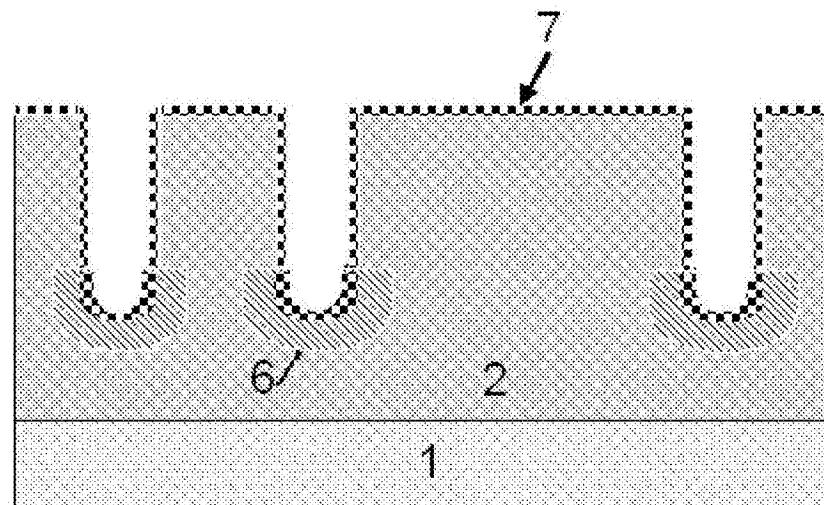


图9

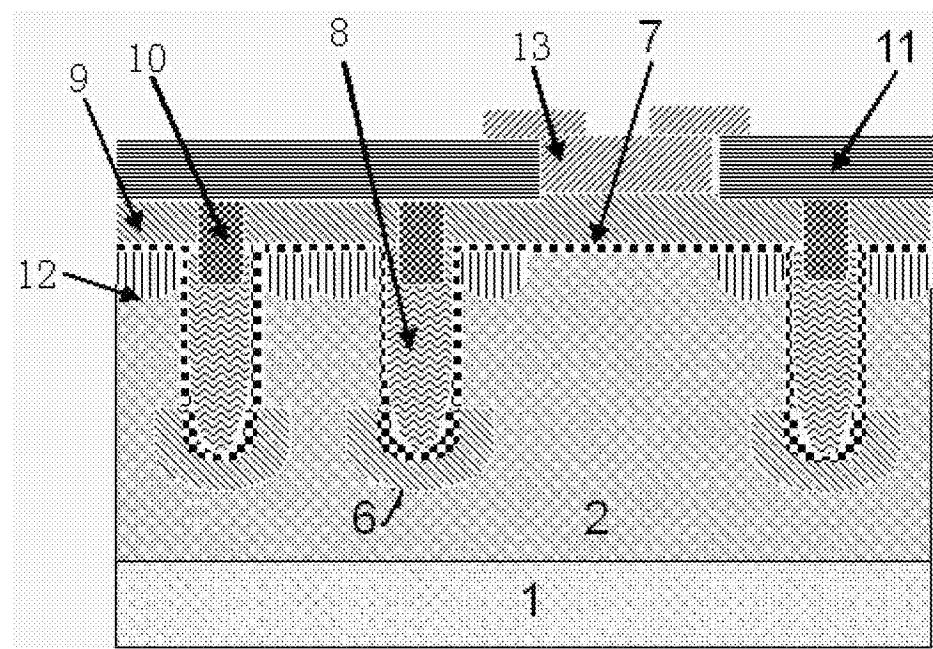


图10