



(12)发明专利

(10)授权公告号 CN 105590646 B

(45)授权公告日 2019.01.08

(21)申请号 201610175017.X

(51)Int.Cl.

(22)申请日 2010.12.17

G11C 11/412(2006.01)

(65)同一申请的已公布的文献号

H01L 21/84(2006.01)

申请公布号 CN 105590646 A

H01L 27/12(2006.01)

(43)申请公布日 2016.05.18

H03K 19/094(2006.01)

(30)优先权数据

G11C 27/02(2006.01)

2009-293982 2009.12.25 JP

(62)分案原申请数据

(56)对比文件

201080059057.9 2010.12.17

CN 102714180 A, 2012.10.03,

(73)专利权人 株式会社半导体能源研究所

CN 101252018 A, 2008.08.27,

地址 日本神奈川县厚木市

CN 101266973 A, 2008.09.17,

(72)发明人 小山润 山崎舜平

CN 1750171 A, 2006.03.22,

(74)专利代理机构 中国专利代理(香港)有限公司 72001

CN 1841750 A, 2006.10.04,

代理人 叶晓勇 刘春元

US 2007/0019460 A1, 2007.01.25,

审查员 戴自立

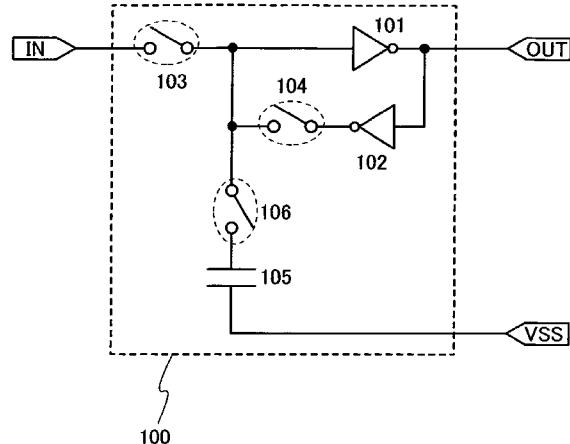
权利要求书3页 说明书55页 附图35页

(54)发明名称

存储器装置、半导体器件和电子装置

(57)摘要

一个目的是提供一种存储器装置，该存储器装置不需要复杂制造过程，并且其功率消耗能够得到抑制，以及一种包括存储器装置的半导体器件。一种解决方案是提供保持数据的电容器以及控制存储器元件的电容器中存储和释放电荷的开关元件。在存储器元件中，诸如倒相器或拍频倒相器之类的倒相元件包括将输入信号的相位倒相并且输出信号。对于开关元件，使用在沟道形成区中包括氧化物半导体的晶体管。在停止向倒相元件施加电源电压的情况下，数据存储在电容器中，使得甚至当停止向倒相元件施加电源电压时，数据也保持在电容器中。



1. 一种存储器装置，包括：

第一晶体管；以及

包括多个存储器元件的存储器元件组，所述多个存储器元件的每个包括：

第一逻辑元件，包括输入端子和输出端子；以及

第二逻辑元件，包括输入端子和输出端子，

其中所述第一逻辑元件的所述输入端子电连接到所述第二逻辑元件的所述输出端子，

其中所述第二逻辑元件的所述输入端子电连接到所述第一逻辑元件的所述输出端子，

其中所述多个存储器元件的每个配置成被提供有高电平电源电位和低电平电源电位，

其中所述高电平电源电位和所述低电平电源电位中的一个通过所述第一晶体管的源极和所述第一晶体管的漏极被提供给所述多个存储器元件的每个，

其中所述第一逻辑元件和所述第二逻辑元件的每个是倒相器或拍频倒相器，以及

其中所述第一晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

2. 根据权利要求1所述的存储器装置，其中所述第一逻辑元件和所述第二逻辑元件的每个配置成被提供有所述高电平电源电位和所述低电平电源电位。

3. 根据权利要求1所述的存储器装置，

其中所述多个存储器元件的每个包括第二晶体管，所述第二晶体管包括第一端子、第二端子和栅极，

其中所述第一逻辑元件的所述输入端子通过所述第二晶体管的所述第一端子和所述第二晶体管的所述第二端子电连接到所述第二逻辑元件的所述输出端子，以及

其中所述第二晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

4. 根据权利要求1所述的存储器装置，

其中所述多个存储器元件的每个包括：

第二晶体管，包括第一端子、第二端子和栅极；以及

第一电容器，包括第一端子和第二端子，

其中所述第二晶体管的所述第一端子电连接到所述第一逻辑元件的所述输入端子和所述第二逻辑元件的所述输出端子，

其中所述第二晶体管的所述第二端子电连接到所述第一电容器的所述第一端子，以及

其中所述第二晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

5. 根据权利要求4所述的存储器装置，

其中所述多个存储器元件的每个包括：

第三晶体管，包括第一端子、第二端子和栅极；以及

第二电容器，包括第一端子和第二端子，

其中所述第三晶体管的所述第一端子电连接到所述第一逻辑元件的所述输出端子和所述第二逻辑元件的所述输入端子，

其中所述第三晶体管的所述第二端子电连接到所述第二电容器的所述第一端子，以及

其中所述第三晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

6. 根据权利要求1所述的存储器装置，

其中所述多个存储器元件的每个包括：

第二晶体管，包括第一端子、第二端子和栅极；以及

电容器，包括第一端子和第二端子，
其中所述第二晶体管的所述第一端子电连接到所述第二逻辑元件的所述输出端子，
其中所述第二晶体管的所述第二端子电连接到所述电容器的所述第一端子和所述第一逻辑元件的所述输入端子，以及
其中所述第二晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

7. 根据权利要求1所述的存储器装置，
其中所述第一晶体管包括：
绝缘表面之上的第一电极；
所述第一电极之上的包括所述沟道形成区的氧化物半导体膜；
所述氧化物半导体膜之上的第二电极；
覆盖所述第一电极、所述氧化物半导体膜和所述第二电极的栅极绝缘膜；以及
所述栅极绝缘膜之上的栅电极，
其中所述第一电极和所述第二电极中的一个是所述源极，以及
其中所述第一电极和所述第二电极中的另一个是所述漏极。

8. 根据权利要求1所述的存储器装置，其中所述多个存储器元件串联连接。

9. 根据权利要求1所述的存储器装置，其中所述多个存储器元件的每个配置成被提供有信号的电位。

10. 根据权利要求1所述的存储器装置，其中所述氧化物半导体包括铟、镓和锌。

11. 一种CPU，包括：
包括存储器装置的寄存器，所述存储器装置包括：
第一晶体管；以及
包括多个存储器元件的存储器元件组，所述多个存储器元件的每个包括：
第一逻辑元件，包括输入端子和输出端子；以及
第二逻辑元件，包括输入端子和输出端子，
其中所述第一逻辑元件的所述输入端子电连接到所述第二逻辑元件的所述输出端子，
其中所述第二逻辑元件的所述输入端子电连接到所述第一逻辑元件的所述输出端子，
其中所述多个存储器元件的每个配置成被提供有高电平电源电位和低电平电源电位，
其中所述高电平电源电位和所述低电平电源电位中的一个通过所述第一晶体管的源极和所述第一晶体管的漏极被提供给所述多个存储器元件的每个，
其中所述第一逻辑元件和所述第二逻辑元件的每个是倒相器或拍频倒相器，以及
其中所述第一晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

12. 根据权利要求11所述的CPU，其中所述第一逻辑元件和所述第二逻辑元件的每个配置成被提供有所述高电平电源电位和所述低电平电源电位。

13. 根据权利要求11所述的CPU，
其中所述多个存储器元件的每个包括第二晶体管，所述第二晶体管包括第一端子、第二端子和栅极，
其中所述第一逻辑元件的所述输入端子通过所述第二晶体管的所述第一端子和所述第二晶体管的所述第二端子电连接到所述第二逻辑元件的所述输出端子，以及
其中所述第二晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

14. 根据权利要求11所述的CPU，

其中所述多个存储器元件的每个包括：

第二晶体管，包括第一端子、第二端子和栅极；以及

第一电容器，包括第一端子和第二端子，

其中所述第二晶体管的所述第一端子电连接到所述第一逻辑元件的所述输入端子和所述第二逻辑元件的所述输出端子，

其中所述第二晶体管的所述第二端子电连接到所述第一电容器的所述第一端子，以及其中所述第二晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

15. 根据权利要求14所述的CPU，

其中所述多个存储器元件的每个包括：

第三晶体管，包括第一端子、第二端子和栅极；以及

第二电容器，包括第一端子和第二端子，

其中所述第三晶体管的所述第一端子电连接到所述第一逻辑元件的所述输出端子和所述第二逻辑元件的所述输入端子，

其中所述第三晶体管的所述第二端子电连接到所述第二电容器的所述第一端子，以及

其中所述第三晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

16. 根据权利要求11所述的CPU，

其中所述多个存储器元件的每个包括：

第二晶体管，包括第一端子、第二端子和栅极；以及

电容器，包括第一端子和第二端子，

其中所述第二晶体管的所述第一端子电连接到所述第二逻辑元件的所述输出端子，

其中所述第二晶体管的所述第二端子电连接到所述电容器的所述第一端子和所述第一逻辑元件的所述输入端子，以及

其中所述第二晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

17. 根据权利要求11所述的CPU，

其中所述第一晶体管包括：

绝缘表面之上的第一电极；

所述第一电极之上的包括所述沟道形成区的氧化物半导体膜；

所述氧化物半导体膜之上的第二电极；

覆盖所述第一电极、所述氧化物半导体膜和所述第二电极的栅极绝缘膜；以及

所述栅极绝缘膜之上的栅电极，

其中所述第一电极和所述第二电极中的一个是所述源极，以及

其中所述第一电极和所述第二电极中的另一个是所述漏极。

18. 根据权利要求11所述的CPU，其中所述多个存储器元件串联连接。

19. 根据权利要求11所述的CPU，其中所述多个存储器元件的每个配置成被提供有信号的电位。

20. 根据权利要求11所述的CPU，其中所述氧化物半导体包括铟、镓和锌。

存储器装置、半导体器件和电子装置

技术领域

[0001] 本发明涉及存储器装置、包括存储器装置的半导体器件以及包括存储器装置的电子装置。

背景技术

[0002] 包括在绝缘表面之上形成的半导体膜的晶体管是半导体器件的必不可少的半导体元件。由于在衬底的容许温度极限方面对晶体管的制造存在限制，所以在有源层中包括能够以较低温度来沉积的非晶硅、能够通过借助于激光束或催化元件的晶化来得到的多晶硅等的晶体管主要用于半导体显示装置。

[0003] 近年来，呈现半导体特性的称作氧化物半导体的金属氧化物作为具有通过多晶硅或微晶硅所得到的高迁移率并且具有通过非晶硅所得到的均匀元件特性的新半导体材料已经引起关注。金属氧化物用于各种应用；例如，氧化铟是众所周知的金属氧化物，并且用作液晶显示装置等中包含的透明电极的材料。呈现半导体特性的这类金属氧化物的示例包括氧化钨、氧化锡、氧化铟和氧化锌，并且其中使用呈现半导体特性的这种金属氧化物来形成沟道形成区的晶体管是已知的（专利文献1和2）。

[0004] [参考文献]

[0005] [专利文献]

[0006] [专利文献1] 日本专利申请公开No. 2007-123861；

[0007] [专利文献2] 日本专利申请公开No. 2007-096055。

发明内容

[0008] 顺便提到，作为存储器装置之一的寄存器是一般包括诸如倒相器或拍频倒相器（clocked inverter）和开关元件之类的逻辑元件的逻辑电路。由于寄存器的操作速度远比用作主存储器的随机存取存储器（RAM）要高，所以寄存器用于处理器中，以便暂时保持用于保持算术处理、程序执行状态等的数据。

[0009] 图16A中，示出其中使用倒相器的寄存器中包含的一个存储器元件。图16A中所示的寄存器1300包括倒相器1301、倒相器1302、开关元件1303和开关元件1304。对倒相器1301的输入端子的信号IN的输入由开关元件1303来控制。将倒相器1301的输出端子的电位作为信号OUT提供给后一个的电路。倒相器1301的输出端子连接到倒相器1302的输入端子，并且倒相器1302的输出端子经由开关元件1304连接到倒相器1301的输入端子。

[0010] 当开关元件1303关断而开关元件1304接通时，经由开关元件1303输入的信号IN的电位保持在寄存器1300中。

[0011] 图16A的寄存器1300的更特定电路配置如图16B所示。图16B中所示的寄存器1300包括倒相器1301、倒相器1302、开关元件1303和开关元件1304。这些电路元件的连接结构与图16A中相同。

[0012] 倒相器1301包括其栅电极相互连接的p沟道晶体管1310和n沟道晶体管1311。另

外,p沟道晶体管1310和n沟道晶体管1311在向其提供高电平电源电位VDD的结点与向其提供低电平电源电位VSS的结点之间串联连接。类似地,倒相器1302包括其栅电极相互连接的p沟道晶体管1312和n沟道晶体管1313。另外,p沟道晶体管1312和n沟道晶体管1313在向其提供高电平电源电位VDD的结点与向其提供低电平电源电位VSS的结点之间串联连接。

[0013] 图16B中所示的倒相器1301进行操作,使得按照供给其栅电极的电位的电平,p沟道晶体管1310和n沟道晶体管1311其中之一接通,而另一个关断。因此,向其提供电源电位VDD的结点与向其提供电源电位VSS的结点之间的电流理想地应当为零。但是,实际上,少量截止态电流在截止态晶体管中流动;因此,结点之间的电流不能为零。类似现象在倒相器1302中发生;因此,甚至在没有写入数据的保持状态中,在寄存器1300中也消耗功率。

[0014] 在例如使用块硅所制造的倒相器的情况下,大约1 pA的截止态电流在室温下以大约3 V的结点之间的电压来生成,但是它取决于晶体管的大小。图16A和图16B所示的存储器元件包括两个倒相器:倒相器1301和倒相器1302;因此,生成大约2 pA的截止态电流。在包括大约 10^7 存储器元件的寄存器的情况下,整个寄存器的截止态电流为20 μ A。当寄存器设置在其中的IC芯片的温度变得更高时,功率消耗变得更大,并且寄存器的截止态电流变为数毫安。

[0015] 为了抑制功率消耗,提出一种用于停止向寄存器提供电源电位的方法。在该方法中,在数据需要长时间在寄存器中保持的情况下,数据暂时传递给设置在寄存器的周边的非易失性存储器装置。这是因为寄存器是易失性存储器装置,其中在停止提供电源电位时擦除数据。但是,由于这种非易失性存储器装置主要使用磁性元件或铁电体来形成,所以制造过程是复杂的。

[0016] 在长时间停止电力供应的情况下,将数据传递给诸如硬盘或闪速存储器之类的存储器装置,并且然后能够停止电力供应;但是,在短时间停止电力供应的情况下,这种存储器装置不是适合的,因为需要用于放回数据的时间。

[0017] 鉴于上述问题,本发明的一个实施例的目的是提供一种不需要复杂制造过程并且其功率消耗能够得到抑制的存储器装置、包括该存储器装置的半导体器件以及包括该存储器装置的电子装置。具体来说,本发明的一个实施例的目的是提供一种其功率消耗能够通过短时间停止电力供应来得到抑制的存储器装置、包括该存储器装置的半导体器件以及包括该存储器装置的电子装置。

[0018] 在包括用以将输入信号的相位倒相并且输出信号的诸如倒相器或拍频倒相器之类的逻辑元件(以下称作倒相元件)的存储器元件中,设置保持数据的电容器以及控制存储和释放电容器中的电荷的开关元件。对于开关元件,使用在沟道形成区中包括氧化物半导体的晶体管。

[0019] 具体来说,存储器元件至少包括两个倒相元件、定时器以及控制电容器中的电荷的存储和释放的开关元件。将包括输入到存储器元件的数据的信号提供给第一倒相元件的输入端子。第一倒相元件的输出端子连接到第二倒相元件的输入端子。第二倒相元件的输出端子连接到第一倒相元件的输入端子。将第一倒相元件的输出端子或者第二倒相元件的输入端子的电位作为信号输出到后一级的存储器元件或另一个电路。

[0020] 每个倒相元件具有一种结构,其中其栅电极相互连接的至少一个p沟道晶体管和至少一个n沟道晶体管在第一结点与第二结点之间串联连接。

[0021] 电容器经由开关元件连接到向其提供上述信号的电位的结点,以使得根据需要来存储输入到存储器元件的信号的数据。

[0022] 在第一结点与第二结点之间提供电源电压的状态中,当包括数据的信号输入到第一倒相元件的输入端子时,数据保持在第一倒相元件和第二倒相元件中。在停止第一结点与第二结点之间电源电压的施加的情况下,在停止电源电压的施加之前,上述开关元件接通,并且信号的数据存储在电容器中。通过上述结构,甚至当停止向倒相元件的至少一个施加电源电压时,数据也能够保持在存储器元件中。

[0023] 用于上述开关元件的晶体管的沟道形成区包括高度纯化氧化物半导体,并且因此晶体管具有极低截止态电流的特性。

[0024] 氧化物半导体是呈现半导体特性的金属氧化物,并且具有通过微晶或多晶硅所得到的高迁移率以及通过非晶硅所得到的均匀元件特性。另外,通过降低用作电子施主(施主)的诸如水分或氢之类的杂质来高度纯化的氧化物半导体(纯化OS)是i型半导体(本征半导体)或者极接近i型半导体(基本上i型半导体)。具体来说,去除氧化物半导体中包含的诸如水分或氢之类的杂质,使得通过二次离子质谱法(SIMS)所测量的氧化物半导体中的氢浓度的值小于或等于 $5 \times 10^{19} / \text{cm}^3$,优选地小于或等于 $5 \times 10^{18} / \text{cm}^3$,更优选地小于或等于 $5 \times 10^{17} / \text{cm}^3$,甚至更优选地小于 $1 \times 10^{16} / \text{cm}^3$ 。通过上述结构,能够通过霍耳效应测量来测量的氧化物半导体膜的载流子密度能够小于 $1 \times 10^{14} \text{ cm}^{-3}$,优选地小于 $1 \times 10^{12} \text{ cm}^{-3}$,更优选地小于 $1 \times 10^{11} \text{ cm}^{-3}$ —它小于或等于测量极限。也就是说,氧化物半导体膜的载流子密度能够极接近零。此外,氧化物半导体的带隙大于或等于2 eV,优选地大于或等于2.5 eV,更优选地大于或等于3 eV。因此,借助于通过充分降低诸如水分或氢之类的杂质的浓度来高度纯化的氧化物半导体膜,晶体管的截止态电流能够降低。

[0025] 在这里注意氧化物半导体膜和导电膜中的氢浓度的分析。氧化物半导体膜和导电膜中的氢浓度通过二次离子质谱法(SIMS)来测量。由于SIMS分析的原理,已知难以得到样本表面附近或者使用不同材料所形成的层叠膜之间的界面附近的准确数据。因此,在膜的厚度方向的氢浓度的分布通过SIMS来分析的情况下,其中能够得到几乎相同的值而没有显著变化的膜的区域中的氢浓度的平均值用作氢浓度。另外,当膜的厚度较小时,由于相邻膜的氢浓度的影响,在一些情况下无法找到其中能够得到几乎相同的值的区域。在这种情况下,膜的区域中的氢浓度的最大值或最小值用作膜中的氢浓度。此外,在膜的任何区域中不存在指示最大值的山形峰值以及指示最小值的谷形峰值的情况下,拐点的值用作氢浓度。

[0026] 注意,已知的是,通过溅射等所形成的氧化物半导体膜包含诸如水分或氢之类的大量杂质。水分或氢易于形成施主能级,并且因而用作氧化物半导体中的杂质。在本发明的一个实施例中,为了降低氧化物半导体膜中的诸如水分或氢之类的杂质,氧化物半导体膜在降低压力气、氮的惰性气体气、稀有气体等、氧气体气或超干空气气(水分含量为20 ppm(通过转换成露点为-55°C)或以下,优选地为1 ppm或以下,更优选地为10 ppb或以下,在测量由露点计通过腔衰荡(cavity ring down)激光谱(CRDS)方法来执行的情况下)中经过热处理。热处理的温度范围优选地高于或等于500°C但低于或等于850°C(或者低于或等于玻璃衬底的应变点的温度),更优选地高于或等于550°C但低于或等于750°C。注意,这种热处理在不超过待使用衬底的容许温度极限的温度下执行。通过热处理来消除水分或氢的效果通过热解吸谱(TDS)得到证实。

[0027] 电炉中的热处理或者快速热退火方法(RTA方法)用于热处理。作为RTA方法,能够采用使用灯光源的方法或者其中对传递到加热气体中的衬底执行短时间热处理的方法。借助于RTA方法,热处理所需的时间能够小于0.1小时。

[0028] 具体来说,包括通过上述热处理来高度纯化作为有源层的高度纯化氧化物半导体膜的晶体管具有极低截止态电流。具体来说,甚至当元件的沟道宽度(W)为 $1 \times 10^6 \mu\text{m}$ 和沟道长度(L)为10 μm 时,截止态电流(当栅电极与源电极之间的电压小于或等于0 V时的漏极电流)在从1 V至10 V的源电极与漏电极之间的电压(漏极电压)下能够小于或等于半导体参数分析器的测量极限,即,小于或等于 $1 \times 10^{-13} \text{ A}$ 。因此,与通过将截止态电流除以晶体管的沟道宽度来计算的数值对应的截止态电流密度小于或等于 $100 \text{ zA}/\mu\text{m}$ 。按照测量,进一步发现,晶体管能够在3 V的晶体管的源电极与漏电极之间的电压下具有从 $10 \text{ zA}/\mu\text{m}$ 至 $100 \text{ zA}/\mu\text{m}$ 的低许多的截止态电流密度。在测量中,包括高度纯化氧化物半导体膜和100 nm厚的栅绝缘膜的晶体管用于存储存储电容器的电荷的开关元件,并且晶体管的截止态电流通过每单位小时的存储电容器中的电荷量的变化来测量。因此,在作为本发明的一个实施例的存储器装置中,包括高度纯化氧化物半导体膜作为有源层的晶体管的截止态电流密度能够小于或等于 $100 \text{ zA}/\mu\text{m}$,优选地小于或等于 $10 \text{ zA}/\mu\text{m}$,更优选地小于或等于 $1 \text{ zA}/\mu\text{m}$ 。相应地,包括高度纯化氧化物半导体膜作为有源层的晶体管具有远比包括具有结晶度的硅的晶体管要低的截止态电流。

[0029] 另外,包括高度纯化氧化物半导体的晶体管几乎没有呈现截止态电流的温度相关性。原因之一在于,导电率变为与本征半导体极为接近,并且费米能级位于禁带中间,因为氧化物半导体通过去除氧化物半导体中用作电子施主(施主)的杂质来高度纯化。另一个原因为,氧化物半导体具有大于或等于3 eV的能隙,并且包括极少热激发载流子。几乎没有温度相关性的又一个原因在于,源电极和漏电极处于简并状态。晶体管的操作主要通过从简并源电极注入氧化物半导体的载流子来执行,并且载流子密度没有温度相关性;因此,不可能呈现截止态电流的温度相关性。

[0030] 通过使用具有上述结构的晶体管作为保持电容器中存储的电荷的开关元件,能够防止来自电容器的泄漏电流;因此,即使没有施加电源电压,数据也不会被擦除而能够保持。在数据保持在电容器时的期间中,电源电压不一定施加到倒相元件的至少一个;因此,因用于倒相元件的晶体管的截止态电流引起的剩余功率消耗能够降低,并且存储器装置以及还有包括存储器装置的整个半导体器件的功率消耗能够抑制为较低。

[0031] 注意,在用于倒相元件的晶体管中,能够使用除了氧化物半导体之外的半导体,例如非晶硅、微晶硅、多晶硅、单晶硅、非晶锗、微晶锗、多晶锗或单晶锗。另外,在上述晶体管中,可使用半导体薄膜或体半导体衬底。只要能够制造包括氧化物半导体膜的p沟道晶体管,则存储器元件中的所有晶体管能够包括氧化物半导体膜作为有源层,使得过程能够得到简化。

[0032] 在本发明的一个实施例中,向存储器元件施加电源电压能够借助于在沟道形成区中的氧化物半导体的晶体管来控制。如上所述,在沟道形成区中包括氧化物半导体的晶体管具有3.0 eV至3.5 eV的带隙,这大约是硅的三倍大。由于在沟道形成区中包括氧化物半导体的晶体管具有高耐受电压,所以通过借助于晶体管来控制向存储器元件施加电源电压,能够提高半导体器件的可靠性。

[0033] 作为氧化物半导体,能够使用诸如In-Sn-Ga-Zn-O基氧化物半导体之类的四金属元素的氧化物、诸如In-Ga-Zn-O基氧化物半导体、In-Sn-Zn-O基氧化物半导体、In-Al-Zn-O基氧化物半导体、Sn-Ga-Zn-O基氧化物半导体、Al-Ga-Zn-O基氧化物半导体或Sn-Al-Zn-O基氧化物半导体之类的三金属元素的氧化物、诸如In-Zn-O基氧化物半导体、Sn-Zn-O基氧化物半导体、Al-Zn-O基氧化物半导体、Zn-Mg-O基氧化物半导体、Sn-Mg-O基氧化物半导体、In-Mg-O基氧化物半导体或In-Ga-O基氧化物半导体之类的二金属元素的氧化物、In-O基氧化物半导体、Sn-O基氧化物半导体、Zn-O基氧化物半导体等。注意,在本说明书中,例如,In-Sn-Ga-Zn-O基氧化物半导体表示包含铟(In)、锡(Sn)、镓(Ga)和锌(Zn)的金属氧化物,而对化学计量组成比没有具体限制。上述氧化物半导体可包括硅。

[0034] 备选地,氧化物半导体能够由化学式 $InM_0_3 (ZnO)_m$ ($m > 0$) 来表示。在这里,M表示从Ga、Al、Mn和Co中所选的一种或多种金属元素。

[0035] 通过本发明的一个实施例,有可能提供一种能够抑制功率消耗的存储器装置以及包括该存储器装置的半导体器件。

附图说明

- [0036] 图1是存储器元件的电路图。
- [0037] 图2是存储器元件的电路图。
- [0038] 图3是存储器元件的电路图。
- [0039] 图4是存储器元件的电路图。
- [0040] 图5是存储器元件的电路图。
- [0041] 图6是存储器元件的电路图。
- [0042] 图7A至图7E是示出用于制造存储器装置的方法的视图。
- [0043] 图8A至图8D是示出用于制造存储器装置的方法的视图。
- [0044] 图9A和图9B是示出用于制造存储器装置的方法的视图。
- [0045] 图10A至图10C是示出用于制造存储器装置的方法的视图。
- [0046] 图11A和图11B是示出用于制造存储器装置的方法的视图。
- [0047] 图12A至图12C是存储器装置的截面图。
- [0048] 图13A和图13B是示出存储器装置的结构的视图。
- [0049] 图14A和图14B是收发器的截面图和顶视图。
- [0050] 图15A至图15E是示出用于制造存储器装置的方法的视图。
- [0051] 图16A和图16B是常规存储器元件的电路图;
- [0052] 图17是其中使用存储器装置的CPU的框图。
- [0053] 图18A至图18F是示出电子装置的结构的视图。
- [0054] 图19是包括氧化物半导体的晶体管的截面图。
- [0055] 图20是沿图19所示的A-A'截面的能带图(示意图)。
- [0056] 图21A是示出其中正电压($V_G > 0$)施加到栅电极(GE)的状态的视图,以及图21B是示出其中负电压($V_G < 0$)施加到栅电极(GE)的状态的视图。
- [0057] 图22是示出真空能级与金属的功函数(Φ_M)之间以及真空能级与氧化物半导体的电子亲合势(x)之间的关系的视图。

- [0058] 图23是存储器装置的截面图。
- [0059] 图24是示出存储器装置的操作的定时。
- [0060] 图25是示出存储器装置的操作的定时。
- [0061] 图26是示出存储器装置的操作的定时。
- [0062] 图27是示出存储器装置的操作的定时。
- [0063] 图28是示出存储器装置的操作的定时。
- [0064] 图29是示出存储器装置的操作的定时。

具体实施方式

[0065] 下面将参照附图详细描述本发明的实施例。但是，本发明并不局限于以下描述，本领域的技术人员易于理解，模式和细节能够以各种方式进行变更，而没有背离本发明的范围和精神。相应地，本发明不应当被理解为局限于以下实施例的描述。

[0066] 本发明在其范围内包括其中能够使用存储器装置的如列各种半导体器件：诸如微处理器、图像处理电路、数字信号处理器(DSP)之类的集成电路以及包括微控制器、RF标签和半导体显示装置之类的大规模集成电路(LSI)。另外，半导体显示装置在其范围内包括如下：液晶显示装置、其中为各像素设置以有机发光元件(OLED)为代表的发光元件的发光装置、电子纸、数字微镜装置(DMD)、等离子体显示面板(PDP)、场致发射显示器(FED)以及其中使用半导体膜的电路元件包含在驱动器电路中的其它半导体显示装置。

[0067] (实施例1)

[0068] 作为本发明的一个实施例的存储器装置包括能够存储1位数据的一个或多个存储器元件。图1中，示出本发明的存储器装置中包含的存储器元件的电路图的示例。图1所示的存储器元件100至少包括用以将输入信号的相位倒相并且输出信号的第一倒相元件101和第二倒相元件102、开关元件103、开关元件104、电容器105和电容器开关元件106。

[0069] 包括输入到存储器元件100的数据的信号IN经由开关元件103提供给第一倒相元件101的输入端子。第一倒相元件101的输出端子连接到第二倒相元件102的输入端子。第二倒相元件102的输出端子经由开关元件104连接到第一倒相元件101的输入端子。将第一倒相元件101的输出端子或者第二倒相元件102的输入端子的电位作为信号OUT输出到后一级的存储器元件或另一个电路。

[0070] 注意，图1中，示出倒相器用作第一倒相元件101和第二倒相元件102的示例；但是，除了倒相器之外，拍频倒相器也能够用作第一倒相元件101或第二倒相元件102。

[0071] 电容器105经由开关元件103和电容器开关元件106连接到存储器元件100的输入端子、即向其提供信号IN的电位的结点，使得能够根据需要来存储输入到存储器元件100的信号IN的数据。具体来说，电容器105是包括一对电极之间的电介质的电容器。电极之一经由电容器开关元件106连接到第一倒相元件101的输入端子。电极的另一个连接到向其提供低电平电源电位VSS或者诸如地电位之类的固定电位的结点。

[0072] 对于电容器开关元件106，使用在沟道形成区中包括高度纯化氧化物半导体的晶体管。

[0073] 注意，存储器元件100还可根据需要包括另一个电路元件，例如二极管、电阻器或电感。

[0074] 接下来,图1的存储器元件的更具体电路图的示例如图2所示。图2所示的存储器元件100包括第一倒相元件101、第二倒相元件102、开关元件103、开关元件104、电容器105和电容器开关元件106。这些电路元件的连接结构与图1中相同。

[0075] 图2中的第一倒相元件101具有一种结构,其中其栅电极相互连接的p沟道晶体管107和n沟道晶体管108在向其提供高电平电源电位VDD的第一结点与向其提供低电平电源电位VSS的第二结点之间串联连接。具体来说,p沟道晶体管107的源电极连接到向其提供电源电位VDD的第一结点,以及n沟道晶体管108的源电极连接到向其提供电源电位VSS的第二结点。另外,p沟道晶体管107的漏电极连接到n沟道晶体管108的漏电极,以及两个漏电极的电位能够被看作是第一倒相元件101的输出端子的电位。另外,p沟道晶体管107的栅电极和n沟道晶体管108的栅电极的电位能够被看作是第一倒相元件101的输入端子的电位。

[0076] 图2中的第二倒相元件102具有一种结构,其中其栅电极相互连接的p沟道晶体管109和n沟道晶体管110在向其提供高电平电源电位VDD的第一结点与向其提供低电平电源电位VSS的第二结点之间串联连接。具体来说,p沟道晶体管109的源电极连接到向其提供电源电位VDD的第一结点,以及n沟道晶体管110的源电极连接到向其提供电源电位VSS的第二结点。另外,p沟道晶体管109的漏电极连接到n沟道晶体管110的漏电极,以及两个漏电极的电位能够被看作是第二倒相元件102的输出端子的电位。另外,p沟道晶体管109的栅电极和n沟道晶体管110的栅电极的电位能够被看作是第二倒相元件102的输入端子的电位。

[0077] 图2中,作为示例示出晶体管用于开关元件103的情况,并且晶体管的开/关通过提供给其栅电极的信号Sig 1来控制。另外,作为示例示出晶体管用于开关元件104的情况,并且晶体管的开/关通过提供给其栅电极的信号Sig 2来控制。

[0078] 注意,图2中,示出开关元件103和开关元件104的每个仅包括一个晶体管的结构;但是,本发明并不局限于这种结构。在本发明的一个实施例中,开关元件103或开关元件104可包括多个晶体管。在用作开关元件的多个晶体管包含在开关元件103或开关元件104的情况下,多个晶体管可并联、串联或者以并联连接和串联连接的组合相互连接。

[0079] 图2中,在沟道形成区中包括氧化物半导体的晶体管用于电容器开关元件106,并且晶体管的开/关通过提供给其栅电极的信号Sig 3来控制。由于用于电容器开关元件106的晶体管在沟道形成区中包括高度纯化氧化物半导体,所以截止态电流极低,如上所述。

[0080] 注意,图2中,示出电容器开关元件106仅包括一个晶体管的结构;但是,本发明并不局限于这种结构。在本发明的一个实施例中,电容器开关元件106可包括多个晶体管。在用作开关元件的多个晶体管包含在电容器开关元件106的情况下,多个晶体管可并联、串联或者以并联连接和串联连接的组合相互连接。

[0081] 注意,在本说明书中,晶体管相互串联连接的状态表示只有第一晶体管的源电极和漏电极其中之一连接到第二晶体管的源电极和漏电极其中之一的状态。另外,晶体管相互并联连接的状态表示第一晶体管的源电极和漏电极其中之一连接到第二晶体管的源电极和漏电极其中之一,并且第一晶体管的源电极和漏电极中的另一个连接到第二晶体管的源电极和漏电极中的另一个。

[0082] 在本发明的一个实施例中,用于电容器开关元件106中的开关元件的至少一个晶体管可在沟道形成区中包括高度纯化氧化物半导体。相应地,用于第一倒相元件101、第二倒相元件102、开关元件103或开关元件104的晶体管能够包括除了氧化物半导体之外的半

导体，例如非晶硅、微晶硅、多晶硅、单晶硅、非晶锗、微晶锗、多晶锗或单晶锗。另外，在上述晶体管中，可使用半导体薄膜或体半导体衬底。只要能够制造包括氧化物半导体膜的p沟道晶体管，则存储器元件中的所有晶体管能够包括氧化物半导体膜作为有源层，使得过程能够得到简化。

[0083] 注意，本说明书中的“连接”表示电连接，并且对应于能够提供、施加或传导电流、电压或电位的状态。因此，连接的状态不一定始终表示直接连接的状态，而是在其范围内包括经由诸如布线、电阻器、二极管或晶体管之类的电路元件的间接连接的状态，其中能够提供、施加或传导电流、电压或电位。

[0084] 还要注意，甚至当电路图示出单独组件、好像它们相互连接一样时，也存在一个导电膜具有多个组件的功能的情况，例如布线的一部分还用作电极的情况。本说明书中的“连接”在其范围内包括一个导电膜具有多个组件的功能的这种情况。

[0085] 晶体管中包含的“源电极”和“漏电极”根据晶体管的极性或者提供给相应电极的电位电平之间的差来彼此互换。一般来说，在n沟道晶体管中，向其提供较低电位的电极称作源电极，而向其提供较高电位的电极称作漏电极。此外，在p沟道晶体管中，向其提供较低电位的电极称作漏电极，而向其提供较高电位的电极称作源电极。在本说明书中，为了方便起见，虽然假定源电极和漏电极在一些情况下是固定的来描述晶体管的连接关系；但是，实际上，源电极和漏电极的名称根据电位之间的关系而彼此互换。

[0086] 接下来，将描述图1所示存储器元件的操作的示例。

[0087] 首先，在写入数据中，开关元件103接通，开关元件104关断，以及电容器开关元件106关断。然后，将电源电位VDD提供给第一结点，并且将电源电位VSS提供给第二结点，由此电源电压施加在第一结点与第二结点之间。提供给存储器元件100的信号IN的电位经由开关元件103提供给第一倒相元件101的输入端子，由此第一倒相元件101的输出端子的电位是信号IN的倒相电位。然后，开关元件104接通，并且第一倒相元件101的输入端子连接到第二倒相元件102的输出端子，由此将数据写入第一倒相元件101和第二倒相元件102中。

[0088] 随后，在输入数据保持在第一倒相元件101和第二倒相元件102的情况下，在开关元件104保持在通态而电容器开关元件106保持在截止态的状态中，开关元件103关断。通过关断开关元件103，输入数据保持在第一倒相元件101和第二倒相元件102中。这时，将电源电位VDD提供给第一结点，并且将电源电位VSS提供给第二结点，由此保持电源电压施加在第一结点与第二结点之间的状态。

[0089] 第一倒相元件101的输出端子的电位反映第一倒相元件101和第二倒相元件102中保持的数据。因此，通过读出该电位，能够从存储器元件100读出数据。

[0090] 注意，为了降低保持数据中的功率消耗，在输入数据保持在电容器105的情况下，首先，开关元件103接通，开关元件104接通，并且电容器开关元件106接通。然后，经由电容器开关元件106，具有与第一倒相元件101和第二倒相元件102中保持的数据的值对应的量的电荷存储在电容器105中，由此将数据写入电容器105中。在电容器105中存储数据之后，电容器开关元件106关断，由此保持电容器105中存储的数据。在关断电容器开关元件106之后，例如，将电源电位VSS提供给第一结点和第二结点的每个，使得结点具有相等电位，并且停止在第一结点与第二结点之间施加电源电压。注意，在电容器105中存储数据之后，开关元件104可关断。

[0091] 这样,在电容器105中保持输入数据的情况下,第一结点与第二结点之间的电源电压的施加是不必要的;因此,经由第一倒相元件101中包含的p沟道晶体管107和n沟道晶体管108或者经由第二倒相元件102中包含的p沟道晶体管109和n沟道晶体管110在第一结点与第二结点之间流动的截止态电流能够极接近零。因此,因保持数据中的存储器元件的截止态电流引起的功率消耗能够显著降低,并且存储器装置以及还有包括存储器装置的整个半导体器件的功率消耗能够抑制为较低。

[0092] 由于用于电容器开关元件106的晶体管在沟道形成区中包括高度纯化氧化物半导体,所以截止态电流密度能够小于或等于 $100 \text{ zA}/\mu\text{m}$,优选地小于或等于 $10 \text{ zA}/\mu\text{m}$,更优选地小于或等于 $1 \text{ zA}/\mu\text{m}$ 。相应地,包括高度纯化氧化物半导体膜作为有源层的晶体管具有远比包括具有结晶度的硅的晶体管要低的截止态电流。因此,当晶体管用于其中的电容器开关元件106处于截止态时,电容器105中存储的电荷很难被释放;因此,保持数据。

[0093] 在读出电容器105中存储的数据的情况下,开关元件103接通。然后,将电源电位VDD再次提供给第一结点,并且将电源电位VSS再次提供给第二结点,由此电源电压施加在第一结点与第二结点之间。然后,通过接通电容器开关元件106,具有反映数据的电位的信号OUT能够从存储器元件100读出。

[0094] 接下来,图24是在图2所示的电路中没有停止提供电源电位VDD的情况下的时序图的示例。当信号Sig 1设置为低电平而Sig 2设置为高电平时,阻塞信号IN,形成返回环路,并且能够保持状态。当信号Sig 1再次设置为高电平而信号Sig 2设置为低电平时,信号IN经由第一倒相元件101来输入和输出。这时,信号Sig 3设置为低电平。

[0095] 图25是在图2所示的电路中停止提供电源电位VDD的情况下的时序图的示例。当信号Sig 1设置为低电平而Sig 2设置为高电平时,阻塞信号IN,形成返回环路,并且能够保持状态。此后,信号Sig 3设置为高电平,由此电容器105存储数据(图25中,这种状态示为高电平)。甚至当此后停止提供电源电位VDD时,也保持电容器105的电位。此后,当提供电源电位VDD并且信号Sig 3再次设置为高电平时,电容器105的电位经由第一倒相元件101来输出(图25中,这种状态示为低电平)。

[0096] (实施例2)

[0097] 在这个实施例中,将描述本发明的存储器装置中包含的存储器元件的另一个示例。图3中,这个实施例的存储器元件的电路图示为一个示例。

[0098] 图3所示的存储器元件200至少包括用以将输入信号的相位倒相并且输出信号的第一倒相元件201、第二倒相元件202和第三倒相元件207、开关元件203、开关元件204、开关元件208、开关元件209、电容器205和电容器开关元件206。

[0099] 包括输入到存储器元件200的数据的信号IN经由开关元件203提供给第一倒相元件201的输入端子。第一倒相元件201的输出端子连接到第二倒相元件202的输入端子。第二倒相元件202的输出端子经由开关元件204连接到第一倒相元件201的输入端子。将第一倒相元件201的输出端子或者第二倒相元件202的输入端子的电位作为信号OUT经由开关元件208输出到后一级的存储器元件或另一个电路。

[0100] 电容器205经由电容器开关元件206连接到存储器元件200的输入端子、即向其提供信号IN的电位的结点,使得能够根据需要来存储输入到存储器元件200的信号IN的数据。具体来说,电容器205是包括一对电极之间的电介质的电容器。电极之一经由电容器开关元

件206连接到向其提供信号IN的电位的结点。电极的另一个连接到向其提供低电平电源电位VSS或者诸如地电位之类的固定电位的结点。

[0101] 另外,电容器205的电极之一连接到第三倒相元件207的输入端子。第三倒相元件207的输出端子的电位经由开关元件209作为信号OUT输出到后一级的存储器元件或另一个电路。

[0102] 注意,图3中,示出倒相器用作第一倒相元件201、第二倒相元件202和第三倒相元件207的示例;但是,除了倒相器之外,拍频倒相器也能够用作第一倒相元件201、第二倒相元件202或第三倒相元件207。

[0103] 对于电容器开关元件206,使用在沟道形成区中包括高度纯化氧化物半导体的晶体管。

[0104] 注意,存储器元件200还可根据需要包括另一个电路元件,例如二极管、电阻器或电感。

[0105] 接下来,图3的存储器元件的更具体电路图的示例如图4所示。图4所示的存储器元件200至少包括第一倒相元件201、第二倒相元件202、第三倒相元件207、开关元件203、开关元件204、开关元件208、开关元件209、电容器205和电容器开关元件206。这些电路元件的连接结构与图3中相同。

[0106] 图4中的第一倒相元件201具有一种结构,其中其栅电极相互连接的p沟道晶体管210和n沟道晶体管211在向其提供高电平电源电位VDD的第一结点与向其提供低电平电源电位VSS的第二结点之间串联连接。具体来说,p沟道晶体管210的源电极连接到向其提供电源电位VDD的第一结点,以及n沟道晶体管211的源电极连接到向其提供电源电位VSS的第二结点。另外,p沟道晶体管210的漏电极连接到n沟道晶体管211的漏电极,以及两个漏电极的电位能够被看作是第一倒相元件201的输出端子的电位。另外,p沟道晶体管210的栅电极和n沟道晶体管211的栅电极的电位能够被看作是第一倒相元件201的输入端子的电位。

[0107] 图4中的第二倒相元件202具有一种结构,其中其栅电极相互连接的p沟道晶体管212和n沟道晶体管213在向其提供高电平电源电位VDD的第一结点与向其提供低电平电源电位VSS的第二结点之间串联连接。具体来说,p沟道晶体管212的源电极连接到向其提供电源电位VDD的第一结点,以及n沟道晶体管213的源电极连接到向其提供电源电位VSS的第二结点。另外,p沟道晶体管212的漏电极连接到n沟道晶体管213的漏电极,以及两个漏电极的电位能够被看作是第二倒相元件202的输出端子的电位。另外,p沟道晶体管212的栅电极和n沟道晶体管213的栅电极的电位能够被看作是第二倒相元件202的输入端子的电位。

[0108] 图4中的第三倒相元件207具有一种结构,其中其栅电极相互连接的p沟道晶体管214和n沟道晶体管215在向其提供高电平电源电位VDD的第三结点与向其提供低电平电源电位VSS的第四结点之间串联连接。具体来说,p沟道晶体管214的源电极连接到向其提供电源电位VDD的第三结点,以及n沟道晶体管215的源电极连接到向其提供电源电位VSS的第四结点。另外,p沟道晶体管214的漏电极连接到n沟道晶体管215的漏电极,以及两个漏电极的电位能够被看作是第三倒相元件207的输出端子的电位。另外,p沟道晶体管214的栅电极和n沟道晶体管215的栅电极的电位能够被看作是第三倒相元件207的输入端子的电位。

[0109] 注意,第一结点和第三结点可作为一个结点相互电连接。还要注意,第二结点和第四结点可作为一个结点相互电连接。

[0110] 图4中,作为示例示出晶体管用于开关元件203的情况,并且晶体管的开/关通过提供给其栅电极的信号Sig 1来控制。另外,作为示例示出晶体管用于开关元件204的情况,并且晶体管的开/关通过提供给其栅电极的信号Sig 2来控制。此外,作为示例示出晶体管用于开关元件209的情况,并且晶体管的开/关通过提供给其栅电极的信号Sig 4来控制。

[0111] 注意,图4中,示出开关元件203、开关元件204和开关元件209的每个仅包括一个晶体管的结构;但是,本发明并不局限于这种结构。在本发明的一个实施例中,开关元件203、开关元件204或开关元件209可包括多个晶体管。在用作开关元件的多个晶体管包含在开关元件203、开关元件204或开关元件209中的情况下,多个晶体管可并联、串联或者以并联连接和串联连接的组合相互连接。

[0112] 图4中,在沟道形成区中包括氧化物半导体的晶体管用于电容器开关元件206,并且晶体管的开/关通过提供给其栅电极的信号Sig 3来控制。由于用于电容器开关元件206的晶体管在沟道形成区中包括高度纯化氧化物半导体,所以截止态电流极低,如上所述。

[0113] 注意,图4中,示出电容器开关元件206仅包括一个晶体管的结构;但是,本发明并不局限于这种结构。在本发明的一个实施例中,电容器开关元件206可包括多个晶体管。在用作开关元件的多个晶体管包含在电容器开关元件206中的情况下,多个晶体管可并联、串联或者以并联连接和串联连接的组合相互连接。

[0114] 在本发明的一个实施例中,用于电容器开关元件206中的开关元件的至少一个晶体管可在沟道形成区中包括高度纯化氧化物半导体。相应地,用于第一倒相元件201、第二倒相元件202、第三倒相元件207、开关元件203、开关元件204、开关元件208或开关元件209的晶体管能够包括除了氧化物半导体之外的半导体,例如非晶硅、微晶硅、多晶硅、单晶硅、非晶锗、微晶锗、多晶锗或单晶锗。另外,在上述晶体管中,可使用半导体薄膜或体半导体衬底。只要能够制造包括氧化物半导体膜的p沟道晶体管,则存储器元件中的所有晶体管能够包括氧化物半导体膜作为有源层,使得过程能够得到简化。

[0115] 接下来,将描述图3所示存储器元件的操作的示例。

[0116] 首先,在写入数据中,开关元件203接通,开关元件204关断,开关元件208关断,开关元件209关断,并且电容器开关元件206接通。然后,将电源电位VDD提供给第一结点,并且将电源电位VSS提供给第二结点,由此电源电压施加在第一结点与第二结点之间。提供给存储器元件200的信号IN的电位经由开关元件203提供给第一倒相元件201的输入端子,由此第一倒相元件201的输出端子的电位是信号IN的倒相电位。然后,开关元件204接通,并且第一倒相元件201的输入端子连接到第二倒相元件202的输出端子,由此将数据写入第一倒相元件201和第二倒相元件202中。

[0117] 在写入数据中,经由电容器开关元件206,具有与信号IN的数据的值对应的量的电荷存储在电容器205中,由此数据也写入电容器205中。

[0118] 注意,在写入数据中,在第三结点与第四结点之间施加电源电压是不必要的。因此,例如,将电源电位VSS提供给第三结点和第四结点的每个,使得结点具有相等电位。

[0119] 随后,在输入数据保持在第一倒相元件201和第二倒相元件202中的情况下,在开关元件204保持在通态、开关元件208保持在截止态以及电容器开关元件209保持在截止态的状态中,开关元件203关断,并且电容器开关元件206关断。通过关断开关元件203,输入数据保持在第一倒相元件201和第二倒相元件202中。这时,将电源电位VDD提供给第一结点,

并且将电源电位VSS提供给第二结点,由此保持电源电压施加在第一结点与第二结点之间的状态。

[0120] 另外,通过关断电容器开关元件206,还保持写入电容器205的数据。

[0121] 第一倒相元件201的输出端子的电位反映第一倒相元件201和第二倒相元件202中保持的数据。因此,通过经由接通开关元件208读出该电位,能够从存储器元件200读出数据。

[0122] 注意,为了降低保持数据中的功率消耗,在输入数据仅保持在电容器205中的情况下,例如,将电源电位VSS提供给第一结点和第二结点的每个,使得结点具有相等电位,并且停止在第一结点与第二结点之间施加电源电压。当停止在第一结点与第二结点之间施加电源电压时,擦除第一倒相元件201和第二倒相元件202中保持的数据,但是写入电容器205中的数据仍然被保持。

[0123] 这样,在电容器205中保持输入数据的情况下,第一结点与第二结点之间的电源电压的施加是不必要的;因此,经由第一倒相元件201中包含的p沟道晶体管210和n沟道晶体管211或者经由第二倒相元件202中包含的p沟道晶体管212和n沟道晶体管213,在第一结点与第二结点之间流动的截止态电流能够极接近零。因此,因保持数据中的存储器元件的截止态电流引起的功率消耗能够显著降低,并且存储器装置以及还有包括存储器装置的整个半导体器件的功率消耗能够抑制为较低。

[0124] 另外,在电容器205中保持输入数据的情况下,第三结点与第四结点之间的电源电压的施加是不必要的。因此,经由第三倒相元件207中包含的p沟道晶体管214和n沟道晶体管215,在第三结点与第四结点之间流动的截止态电流能够极接近零。因此,因保持数据中的存储器元件的截止态电流引起的功率消耗能够显著降低,并且存储器装置以及还有包括存储器装置的整个半导体器件的功率消耗能够抑制为较低。

[0125] 由于用于电容器开关元件206的晶体管在沟道形成区中包括高度纯化氧化物半导体,所以截止态电流密度能够小于或等于 $100 \text{ zA}/\mu\text{m}$,优选地小于或等于 $10 \text{ zA}/\mu\text{m}$,更优选地小于或等于 $1 \text{ zA}/\mu\text{m}$ 。相应地,包括高度纯化氧化物半导体膜作为有源层的晶体管具有远比包括具有结晶度的硅的晶体管要低的截止态电流。因此,当晶体管用于其中的电容器开关元件206处于截止态时,电容器205中存储的电荷很难被释放;因此,保持数据。

[0126] 在读出电容器205中存储的数据的情况下,将电源电位VDD提供给第三结点并且将电源电位VSS提供给第四结点,由此电源电压施加在第三结点与第四结点之间。当电源电压施加在第三结点与第四结点之间时,第三倒相元件207的输出端子提供有其输入端子的电位的倒相电位。注意,第三倒相元件207的输入端子提供有具有与电容器205中存储的电荷量对应的电平的电位;因此,其输出端子的电位反映数据。因此,通过接通开关元件209,具有反映数据的电位的信号OUT能够从存储器元件200读出。

[0127] 图26是在图4所示的电路中没有停止提供电源电位VDD的情况下的时序图的示例。当信号Sig 1设置为低电平而Sig 2设置为高电平时,阻塞信号IN,形成返回环路,并且能够保持状态。当信号Sig 1再次设置为高电平而信号Sig 2设置为低电平时,信号IN经由第一倒相元件201来输入和输出。这时,信号Sig 3和信号Sig 4设置为低电平,而信号Sig 5设置为高电平。

[0128] 图27是在图4所示的电路中停止提供电源电位VDD的情况下的时序图的示例。当信

号Sig 1设置为低电平而Sig 2设置为高电平时,阻塞信号IN,形成返回环路,并且能够保持状态。另一方面,信号Sig 3设置为高电平,由此电容器205存储数据(图27中,这种状态示为低电平)。甚至当此后停止提供电源电位VDD时,也保持电容器205的电位。此后,当提供电源电位VDD并且信号Sig 5和信号Sig 3设置为低电平而信号Sig 4设置为高电平时,电容器205的电位经由第三倒相元件207来输出(图27中,这种状态示为高电平)。

[0129] 这个实施例能够通过与上述实施例适当地结合来实现。

[0130] (实施例3)

[0131] 在这个实施例中,将描述本发明的存储器装置中包含的存储器元件的另一个示例。图5中,这个实施例的存储器元件的电路图示为一个示例。

[0132] 图5所示的存储器元件300至少包括用以将输入信号的相位倒相并且输出信号的第一倒相元件301和第二倒相元件302、开关元件303、开关元件304、电容器305、电容器开关元件306、电容器307和电容器开关元件308。

[0133] 包括输入到存储器元件300的数据的信号IN经由开关元件303提供给第一倒相元件301的输入端子。第一倒相元件301的输出端子连接到第二倒相元件302的输入端子。第二倒相元件302的输出端子经由开关元件304连接到第一倒相元件301的输入端子。将第一倒相元件301的输出端子或者第二倒相元件302的输入端子的电位作为信号OUT输出到后一级的存储器元件或另一个电路。

[0134] 电容器305经由开关元件303和电容器开关元件306连接到存储器元件300的输入端子、即向其提供信号IN的电位的结点,使得能够根据需要来存储输入到存储器元件300的数据。具体来说,电容器305是包括一对电极之间的电介质的电容器。电极之一经由电容器开关元件306连接到第一倒相元件301的输入端子。电极的另一个连接到向其提供低电平电源电位VSS或者诸如地电位之类的固定电位的结点。

[0135] 按照与电容器305相似的方式,电容器307经由开关元件303、第一倒相元件301和电容器开关元件308连接到存储器元件300的输入端子、即向其提供信号IN的电位的结点,使得能够根据需要来存储输入到存储器元件300的数据。具体来说,电容器307是包括一对电极之间的电介质的电容器。电极之一经由电容器开关元件308连接到第一倒相元件301的输出端子。电极的另一个连接到向其提供低电平电源电位VSS或者诸如地电位之类的固定电位的结点。

[0136] 注意,图5中,示出倒相器用作第一倒相元件301和第二倒相元件302的示例;但是,除了倒相器之外,拍频倒相器也能够用作第一倒相元件301或第二倒相元件302。

[0137] 对于电容器开关元件306和电容器开关元件308的每个,使用在沟道形成区中包括高度纯化氧化物半导体的晶体管。

[0138] 注意,存储器元件300还可根据需要包括另一个电路元件,例如二极管、电阻器或电感。

[0139] 接下来,图5的存储器元件的更具体电路图的示例如图6所示。图6所示的存储器元件300至少包括第一倒相元件301、第二倒相元件302、开关元件303、开关元件304、电容器305、电容器开关元件306、电容器307和电容器开关元件308。这些电路元件的连接结构与图5中相同。

[0140] 图6中的第一倒相元件301具有一种结构,其中其栅电极相互连接的p沟道晶体管

309和n沟道晶体管310在向其提供高电平电源电位VDD的第一结点与向其提供低电平电源电位VSS的第二结点之间串联连接。具体来说，p沟道晶体管309的源电极连接到向其提供电源电位VDD的第一结点，以及n沟道晶体管310的源电极连接到向其提供电源电位VSS的第二结点。另外，p沟道晶体管309的漏电极连接到n沟道晶体管310的漏电极，以及两个漏电极的电位能够被看作是第一倒相元件301的输出端子的电位。另外，p沟道晶体管309的栅电极和n沟道晶体管310的栅电极的电位能够被看作是第一倒相元件301的输入端子的电位。

[0141] 图6中的第二倒相元件302具有一种结构，其中其栅电极相互连接的p沟道晶体管311和n沟道晶体管312在向其提供高电平电源电位VDD的第一结点与向其提供低电平电源电位VSS的第二结点之间串联连接。具体来说，p沟道晶体管311的源电极连接到向其提供电源电位VDD的第一结点，以及n沟道晶体管312的源电极连接到向其提供电源电位VSS的第二结点。另外，p沟道晶体管311的漏电极连接到n沟道晶体管312的漏电极，以及两个漏电极的电位能够被看作是第二倒相元件302的输出端子的电位。另外，p沟道晶体管311的栅电极和n沟道晶体管312的栅电极的电位能够被看作是第二倒相元件302的输入端子的电位。

[0142] 图6中，作为示例示出晶体管用于开关元件303的情况，并且晶体管的开/关通过提供给其栅电极的信号Sig 1来控制。另外，作为示例示出晶体管用于开关元件304的情况，并且晶体管的开/关通过提供给其栅电极的信号Sig 2来控制。

[0143] 注意，图6中，示出开关元件303和开关元件304的每个仅包括一个晶体管的结构；但是，本发明并不局限于这种结构。在本发明的一个实施例中，开关元件303或开关元件304可包括多个晶体管。在用作开关元件的多个晶体管包含在开关元件303或开关元件304的情况下，多个晶体管可并联、串联或者以并联连接和串联连接的组合相互连接。

[0144] 图6中，在沟道形成区中包括氧化物半导体的晶体管用于电容器开关元件306，并且晶体管的开/关通过提供给其栅电极的信号Sig 3来控制。由于用于电容器开关元件306的晶体管在沟道形成区中包括高度纯化氧化物半导体，所以截止态电流极低，如上所述。

[0145] 图6中，在沟道形成区中包括氧化物半导体的晶体管用于电容器开关元件308，并且晶体管的开/关通过提供给其栅电极的信号Sig 4来控制。由于用于电容器开关元件308的晶体管在沟道形成区中包括高度纯化氧化物半导体，所以截止态电流极低，如上所述。

[0146] 注意，图6中，示出电容器开关元件306或电容器开关元件308仅包括一个晶体管的结构；但是，本发明并不局限于这种结构。在本发明的一个实施例中，电容器开关元件306或电容器开关元件308可包括多个晶体管。在用作开关元件的多个晶体管包含在电容器开关元件306或电容器开关元件308的情况下，多个晶体管可并联、串联或者以并联连接和串联连接的组合相互连接。

[0147] 在本发明的一个实施例中，用于电容器开关元件306或电容器开关元件308中的开关元件的至少一个晶体管可在沟道形成区中包括高度纯化氧化物半导体。相应地，用于第一倒相元件301、第二倒相元件302、开关元件303或开关元件304的晶体管能够包括除了氧化物半导体之外的半导体，例如非晶硅、微晶硅、多晶硅、单晶硅、非晶锗、微晶锗、多晶锗或单晶锗。另外，在上述晶体管中，可使用半导体薄膜或体半导体衬底。只要能够制造包括氧化物半导体膜的p沟道晶体管，则存储器元件中的所有晶体管能够包括氧化物半导体膜作为有源层，使得过程能够得到简化。

[0148] 接下来，将描述图5或图6所示存储器元件的操作的示例。

[0149] 首先,在写入数据中,开关元件303接通,开关元件304关断,电容器开关元件306关断,以及电容器开关元件308关断。然后,将电源电位VDD提供给第一结点,并且将电源电位VSS提供给第二结点,由此电源电压施加在第一结点与第二结点之间。提供给存储器元件300的信号IN的电位经由开关元件303提供给第一倒相元件301的输入端子,由此第一倒相元件301的输出端子的电位是信号IN的倒相电位。然后,开关元件304接通,并且第一倒相元件301的输入端子连接到第二倒相元件302的输出端子,由此将数据写入第一倒相元件301和第二倒相元件302中。

[0150] 随后,在输入数据保持在第一倒相元件301和第二倒相元件302中的情况下,在开关元件304保持在通态、电容器开关元件306保持在截止态以及电容器开关元件308保持在截止态的状态中,开关元件303关断。通过关断开关元件303,输入数据保持在第一倒相元件301和第二倒相元件302中。这时,将电源电位VDD提供给第一结点,并且将电源电位VSS提供给第二结点,由此保持电源电压施加在第一结点与第二结点之间的状态。

[0151] 第一倒相元件301的输出端子的电位反映第一倒相元件301和第二倒相元件302中保持的数据。因此,通过读出该电位,能够从存储器元件300读出数据。

[0152] 注意,为了降低保持数据中的功率消耗,在电容器305和电容器307中保持输入数据的情况下,开关元件303关断,开关元件304接通,电容器开关元件306接通,以及电容器开关元件308接通。然后,经由电容器开关元件306,具有与第一倒相元件301和第二倒相元件302中保持的数据的值对应的量的电荷存储在电容器305中,由此将数据写入电容器305中。另外,经由电容器开关元件308,具有与第一倒相元件301和第二倒相元件302中保持的数据的值对应的量的电荷存储在电容器307中,由此将数据写入电容器307中。注意,电容器305中包含的一对电极之间的电压以及电容器307中包含的一对电极之间的电压的极性彼此相反。

[0153] 在电容器305中存储数据之后,电容器开关元件306关断,由此保持电容器305中存储的数据。另外,在电容器307中存储数据之后,电容器开关元件308关断,由此保持电容器307中存储的数据。在关断电容器开关元件306和电容器开关元件308之后,例如,将电源电位VSS提供给第一结点和第二结点的每个,使得结点具有相等电位,并且停止在第一结点与第二结点之间施加电源电压。

[0154] 这样,在电容器305和电容器307中保持输入数据的情况下,第一结点与第二结点之间的电源电压的施加是不必要的;因此,经由第一倒相元件301中包含的p沟道晶体管309和n沟道晶体管310或者经由第二倒相元件302中包含的p沟道晶体管311和n沟道晶体管312,在第一结点与第二结点之间流动的截止态电流能够极接近零。因此,因保持数据中的存储器元件的截止态电流引起的功率消耗能够显著降低,并且存储器装置以及还有包括存储器装置的整个半导体器件的功率消耗能够抑制为较低。

[0155] 由于用于电容器开关元件306和电容器开关元件308的每个的晶体管在沟道形成区中包括高度纯化氧化物半导体,所以截止态电流密度能够小于或等于 $100 \text{ zA}/\mu\text{m}$,优选地小于或等于 $10 \text{ zA}/\mu\text{m}$,更优选地小于或等于 $1 \text{ zA}/\mu\text{m}$ 。相应地,包括高度纯化氧化物半导体膜作为有源层的晶体管具有远比包括具有结晶度的硅的晶体管要低的截止态电流。因此,当晶体管用于其中的电容器开关元件306处于截止态时,电容器305中存储的电荷很难被释放;因此,保持数据。另外,当晶体管用于其中的电容器开关元件308处于截止态时,电容器

307中存储的电荷很难被释放;因此,保持数据。

[0156] 在读出电容器305和电容器307中存储的数据的情况下,将电源电位VDD提供给第一结点并且将电源电位VSS提供给第二结点,由此电源电压施加在第一结点与第二结点之间。在这种状态中,电容器开关元件306接通。当电源电压施加在第一结点与第二结点之间时,第一倒相元件301的输出端子提供有其输入端子的电位的倒相电位。注意,第一倒相元件301的输入端子提供有具有与电容器305中存储的电荷量对应的电平的电位;因此,其输出端子的电位反映数据。另外,通过接通电容器开关元件308,将具有与电容器305中存储的电荷量对应的电平的电位提供给第一倒相元件301的输出端子。因此,具有反映数据的电位的信号OUT能够从存储器元件300来读出。

[0157] 图28是在图6所示的电路中没有停止提供电源电位VDD的情况下的时序图的示例。当信号Sig 1设置为低电平而Sig 2设置为高电平时,阻塞信号IN,形成返回环路,并且能够保持状态。当信号Sig 1再次设置为高电平而信号Sig 2设置为低电平时,信号IN经由第一倒相元件301来输入和输出。这时,信号Sig 3和信号Sig 4设置为低电平。

[0158] 图29是在图6所示的电路中停止提供电源电位VDD的情况下的时序图的示例。当信号Sig 1设置为低电平而Sig 2设置为高电平时,阻塞信号IN,形成返回环路,并且能够保持状态。此后,信号Sig 3和信号Sig 4设置为高电平,由此电容器305和电容器307存储数据。甚至当此后停止电源电位VDD的提供时,也保持电容器305和电容器307的电位(图29中,电容器305具有高电平电位,而电容器307具有低电平电位)。此后,当提供电源电位VDD并且信号Sig 3和信号Sig 4再次设置为高电平时,电容器305的电位经由第一倒相元件301输出,并且电容器307的电位被输出(图29中,电容器305和电容器307均具有低电平电位)。

[0159] 这个实施例能够通过与任何上述实施例适当地结合来实现。

[0160] (实施例4)

[0161] 作为本发明的一个实施例的半导体器件包括其中包含磷的晶体管以及其中包含氧化物半导体的晶体管。包含硅的晶体管能够使用硅晶圆、SOI(绝缘体上硅)衬底、绝缘表面之上的硅薄膜等形成。

[0162] SOI衬底能够使用例如以Smart Cut(注册商标)、外延层转移(ELTRAN)(注册商标)、介电分隔方法、等离子体辅助化学蚀刻(PACE)、通过注入氧分隔(SIMOX)等为代表的UNIBOND(注册商标)来制造。

[0163] 在具有绝缘表面的衬底之上形成的硅的半导体膜可通过已知技术来晶化。作为晶化的已知技术,给出使用激光束的激光晶化方法以及使用催化元件的晶化方法。备选地,使用催化元件的晶化方法以及激光晶化方法可以相结合。在使用诸如石英之类的耐热衬底的情况下,有可能结合下列晶化方法的任一种:采用电加热炉的热晶化方法、采用红外光的灯退火晶化方法、采用催化元件的晶化方法以及在大约950°C下的高温退火方法。

[0164] 另外,使用上述方法所制造的半导体元件可转移到由塑料等所形成的柔性衬底上,使得形成半导体器件。能够使用各种转移方法。转移方法的示例包括:一种方法,其中金属氧化物膜设置在衬底与半导体元件之间,并且金属氧化物膜通过晶化来脆化,使得半导体元件被分离开并且转移;一种方法,其中包含氢的非晶硅膜设置在衬底与半导体元件之间,并且非晶硅膜通过激光束照射或蚀刻被去除,使得半导体元件从衬底分离开并且转移;一种方法,其中对其设置了半导体元件的衬底通过机械切割或者经由溶液或气体的蚀刻被

去除,使得半导体元件从衬底被切割并且转移;等等。

[0165] 在这个实施例中,半导体器件的结构以及用于制造半导体器件的方法将通过给出一个示例来描述,在该示例中,借助于SOI(绝缘体上硅)衬底,制造包含硅的晶体管,并且然后制造包含氧化物半导体的晶体管。

[0166] 首先,如图7A所示,清洁接合衬底500,并且然后绝缘膜501在接合衬底500的表面之上形成。

[0167] 作为接合衬底500,能够使用采用硅所形成的单晶半导体衬底。备选地,接合衬底500可以是使用具有晶格失真的硅、通过向硅添加锗所得到的硅锗等所形成的半导体衬底。

[0168] 注意,在用于接合衬底500的单晶半导体衬底中,晶轴的方向优选地是均匀的;但是衬底不一定使用其中完全消除了诸如点缺陷、线缺陷或平面缺陷之类的晶格缺陷的理想晶体来形成。

[0169] 另外,接合衬底500的形状并不局限于圆形,并且衬底能够处理为除了圆形之外的形状。考虑到接合衬底500后来与其附连的基板503的形状一般为矩形并且诸如微缩投影曝光设备之类的曝光设备的曝光区为矩形等,接合衬底500可处理为例如矩形形状。接合衬底500能够通过切割市场销售的圆形单晶半导体衬底来处理。

[0170] 绝缘膜501可以是单绝缘膜或者多个绝缘膜的叠层。考虑到包含杂质的区域将在后来被去除,绝缘膜501的厚度优选地大于或等于15 nm但小于或等于500 nm。

[0171] 作为绝缘膜501中包含的膜,能够使用包含硅或锗作为其成分的绝缘膜,例如氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化锗膜、氮化锗膜、氧氮化锗膜或者氮氧化锗膜。另外,能够使用包含诸如氧化铝、氧化钽或氧化铪之类的金属氧化物的绝缘膜、包含诸如氮化铝之类的金属氮化物的绝缘膜、包含诸如氧氮化铝膜之类的金属氧氮化物的绝缘膜、或者包含诸如氮氧化铝膜之类的金属氮氧化物的绝缘膜。

[0172] 在这个实施例中,描述通过接合衬底500的热氧化所形成的氧化硅用作绝缘膜501的示例。注意,图7A中,绝缘膜501形成为使得覆盖接合衬底500的整个表面;但是,绝缘膜501可在接合衬底500的至少一个表面上形成。

[0173] 注意,在本说明书中,氧氮化物是包含氧和氮以使得氧的量比氮要大的物质,而氮氧化物是包含氧和氮以使得氮的量比氧要大的物质。

[0174] 在绝缘膜501通过接合衬底500的表面的热氧化来形成的情况下,其中使用具有少量水分的氧的干式氧化、其中将诸如氯化氢之类的包含卤素的气体加入氧气氛的热氧化等能够用作热氧化。另外,湿式氧化、例如其中采用氧来燃烧氢以生成水的热氧化或者其中以100°C或更高的温度加热高纯度水以生成水蒸汽并且借助于水蒸汽来执行氧化的水蒸汽氧化可用于形成绝缘膜501。

[0175] 在基板503包括降低半导体器件的可靠性的诸如碱金属或碱土金属之类的杂质的情况下,绝缘膜501优选地包括能够防止杂质从基板503扩散到将在分离之后形成的半导体膜中的至少一层势垒膜。作为能够用作势垒膜的绝缘膜,能够给出氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等。例如,用作势垒膜的绝缘膜优选地形成为15 nm至300 nm厚。另外,具有比势垒膜更低比例的氮的绝缘膜、例如氧化硅膜或氧氮化硅膜可在势垒膜与接合衬底500之间形成。具有更低比例的氮的绝缘膜可形成为大于或等于5 nm但小于或等于200 nm的厚度。

[0176] 在将氧化硅用于绝缘膜501的情况下,绝缘膜501能够通过借助于硅烷和氧的混合气体、TEOS(四乙氧基甲硅烷)和氧的混合气体等的诸如热CVD、等离子体CVD、常压CVD或偏置ECRCVD之类的气相沉积方法来形成。在这种情况下,绝缘膜501的表面可经过氧等离子体处理,以便增加密度。同时,在将氮化硅用于绝缘膜501的情况下,绝缘膜501能够通过借助于硅烷和氨的混合气体的诸如等离子体CVD之类的气相沉积方法来形成。

[0177] 备选地,绝缘膜501可使用氧化硅、通过借助于有机硅烷气体的化学气相沉积方法来形成。作为有机硅烷气体,能够使用例如四乙氧基甲硅烷(TEOS)(化学式:Si(OC₂H₅)₄)、四甲基硅烷(TMS)(化学式:Si(CH₃)₄)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅胺烷(HMDS)、三乙氧基甲硅烷(化学式:SiH(OC₂H₅)₃)或三(二甲基氨基)硅烷(化学式:SiH(N(CH₃)₂)₃)等含硅化合物。

[0178] 通过将有机硅烷气体用于源气体,具有平坦表面的氧化硅膜能够在350℃或更低的加工温度下形成。备选地,绝缘膜能够通过热CVD方法、使用在高于或等于200℃但低于或等于500℃的加热温度下形成的低温氧化物(LTO)来形成。能够通过使用甲硅烷(SiH₄)、乙硅烷(Si₂H₆)等作为硅源气体,并且使用二氧化氮(NO₂)等作为氧源气体,来形成LTO。

[0179] 例如,在将TEOS和O₂用于源气体来形成作为绝缘膜501的氧化硅膜的情况下,条件可设置如下:TEOS的流率为15 sccm,O₂的流率为750 sccm,沉积压力为100 Pa,沉积温度为300℃,RF输出为300 W,以及电源频率为13.56 MHz。

[0180] 注意,在较低温度下形成的绝缘膜、例如使用有机硅烷所形成的氧化硅膜或者在低温下形成的氮氧化硅膜在其表面具有多个OH基。OH基与水分子之间的氢接合形成硅烷醇基,并且在低温下接合基板和绝缘膜。作为共价键的硅氧键最后在基板与绝缘膜之间形成。与Smart Cut(注册商标)等中的没有OH基或者具有极少OH基的热氧化膜相比,诸如使用有机硅烷或者在较低温度下形成的LTE所形成的上述氧化硅膜绝缘膜之类的绝缘膜适合在低温下接合。

[0181] 绝缘膜501在接合衬底500的表面之上形成平坦并且亲水的接合平面。因此,绝缘膜501的平均表面粗糙度Ra优选地小于或等于0.7 nm,更优选地小于或等于0.4 nm。绝缘膜501的厚度可大于或等于5 nm但小于或等于500 nm,优选地大于或等于10 nm但小于或等于200 nm。

[0182] 随后,如图7B所示,接合衬底500采用由箭头所示通过绝缘膜501的电场所加速的离子束来照射,由此具有微孔的脆化层502在离接合衬底500的表面的预定深度的区域中形成。例如,脆化层表示通过晶体结构的无序来局部脆化的层,并且脆化层的状态取决于用于形成脆化层的部件。注意,可存在范围从接合衬底的一个表面到脆化层的区域被脆化到某种程度的区域;但是,本说明书中的脆化层表示其中后来执行的分隔的区域及其邻近区域。

[0183] 形成脆化层502的深度能够通过离子束的加速能量以及离子束进入的角度来调整。脆化层502能够在与离子的平均渗透深度相同或基本上相同的深度来形成。将与接合衬底500分离的半导体膜504的厚度通过注入离子的深度来确定。形成脆化层502的深度能够设置在例如大于或等于50 nm但小于或等于500 nm、优选地大于或等于50 nm但小于或等于200 nm的范围内。

[0184] 离子通过离子掺杂方法合乎需要地注入接合衬底500,其中没有执行质量分离,因为循环时间能够缩短;但是,本发明可采用其中执行质量分离的离子注入方法。

[0185] 当氢(H_2)用于源气体时, H^+ 、 H_2^+ 和 H_3^+ 能够通过激发氢气体来产生。从源气体所产生的离子种类的比例能够通过调整等离子体激发方法、用于生成等离子体的气氛的压力、所提供源气体的量等而改变。在离子注入通过离子掺杂方法来执行的情况下,优选的是,相对于离子束中的 H^+ 、 H_2^+ 和 H_3^+ 的总量以50%或以上、更优选地以80%或以上包含 H_3^+ 。在以80%或以上包含 H_3^+ 时,离子束中的 H_2^+ 离子的比例变得较低,这引起离子束中包含的氢离子的平均渗透深度的较小变化。因此,离子注入效能得到改进,并且循环时间能够缩短。

[0186] H_3^+ 具有比 H^+ 和 H_2^+ 更大的质量。将包含更高比例的 H_3^+ 的离子束与包含更高比例的 H^+ 和 H_2^+ 的进行比较时,甚至当掺杂时的加速电压相同时,前者也能够将氢注入接合衬底500中比后者更浅的区域。此外,前者具有沿厚度方向注入接合衬底500的氢的陡浓度分布,因此,脆化层502本身的厚度能够较小。

[0187] 在通过借助于氢气体的离子掺杂方法来执行离子注入的情况下,加速电压设置为大于或等于10 kV但小于或等于200 kV,以及剂量设置为大于或等于 1×10^{16} 离子/ cm^2 但小于或等于 6×10^{16} 离子/ cm^2 。在这种条件下,脆化层502能够在接合衬底500的大于或等于50 nm但小于或等于500 nm的深度的区域中形成,但是取决于离子束中包含的离子种类及其比例以及绝缘膜501的膜厚度。

[0188] 例如,在接合衬底500是单晶硅衬底并且绝缘膜501使用100 nm厚的热氧化物膜来形成的情况下,厚度大约为146 nm的半导体膜能够在如下条件下与接合衬底500分离:作为源气体的100%氢气体的流率为50 sccm,射束电流密度为5 $\mu A/cm^2$,加速电压为50 kV,以及剂量为 2.0×10^{16} 原子/ cm^2 。注意,甚至在将氢加入接合衬底500时的条件没有发生变化时,也使绝缘膜501的厚度较大,由此能够使半导体膜的厚度较小。

[0189] 备选地,氦(He)能够用作离子束的源气体。由于通过激发氦所产生的大多数离子种类为 He^+ ,但是 He^+ 能够甚至通过其中没有执行质量分离的离子掺杂主要地注入接合衬底500中。因此,能够通过离子掺杂方法在脆化层502中有效地形成微孔。在通过使用氦的离子掺杂方法来执行离子注入的情况下,加速电压能够设置为大于或等于10 kV但小于或等于200 kV,以及剂量能够大于或等于 1×10^{16} 离子/ cm^2 但小于或等于 6×10^{16} 离子/ cm^2 。

[0190] 诸如氯气体(Cl_2 气体)或氟气体(F_2 气体)之类的卤素气体能够用作源气体。

[0191] 在通过离子掺杂方法对接合衬底500执行离子注入的情况下,离子掺杂设备中存在的杂质连同离子一起注入到处理对象;因此,存在诸如S、Ca、Fe和Mo之类的杂质存在于绝缘膜501的表面之上和附近的可能性。因此,其中杂质数量被认为是最大的绝缘膜501的表面之上或附近的区域可通过蚀刻、抛光等被去除。具体来说,可去除在离绝缘膜501的表面的10 nm至100 nm、优选地大约30 nm至70 nm的深度的区域。蚀刻可通过诸如反应离子蚀刻(RIE)方法之类的干式蚀刻方法来执行;例如,能够使用电感耦合等离子体(ICP)蚀刻方法、电子回旋加速器共振(ECR)蚀刻方法、平行板(电容耦合类型)蚀刻方法、磁控管等离子体蚀刻方法、双频等离子体蚀刻方法、螺旋波等离子体蚀刻方法等。例如,在通过ICP蚀刻方法去除氮氧化硅膜的表面之上和附近的区域的情况下,该区域能够在如下条件下被去除到离表面大约50 nm的深度:作为蚀刻气体的 CHF_3 的流率为7.5 sccm,He的流率为100 sccm,反应压力为5.5 Pa,下电极的温度为70°C,施加到线圈形状电极的RF(13.56 MHz)电力为475 W,施加到下电极(或偏置侧)的电力为300 W,以及蚀刻时间为10秒。

[0192] 代替作为氟基气体的 CHF_3 ,诸如 Cl_2 、 BCl_3 、 $SiCl_4$ 或 CCl_4 之类的氯基气体、诸如 CF_4 、

SF₆或NF₃之类的另一种氟基气体或者O₂能够适当地用于蚀刻气体。此外,除了He之外的惰性气体可加入蚀刻气体。例如,从Ne、Ar、Kr和Xe中选取的一种或多种元素能够用作加入蚀刻气体的惰性元素。在通过湿式蚀刻去除氮氧化硅膜的表面之上和附近的区域的情况下,包含氟化氢铵、氟化铵等的水溶液可用作蚀刻剂。能够通过CMP(化学机械抛光)、液体喷射抛光等,来执行抛光。

[0193] 在形成脆化层502之后,绝缘膜501的表面之上和附近被极大污染的区域通过蚀刻、抛光等被去除,由此进入在基板503之上形成的半导体膜504的杂质质量能够受到抑制。此外,在最终完成的半导体器件中,有可能防止杂质引起晶体管的可靠性的降低以及诸如阈值电压的变化或者泄漏电流的增加之类的电特性的降低。

[0194] 为了去除杂质,有可能执行原子束或离子束照射处理、等离子体处理或自由基处理(radical treatment)。在使用原子束或离子束的情况下,能够使用使用氩等的惰性气体中性原子束或惰性气体离子束。

[0195] 随后,如图7C所示,接合衬底500和基板503相互附连,使得绝缘膜501夹入它们之间。

[0196] 注意,在附连基板503和接合衬底500之前,用于附连的表面、即接合衬底500之上形成的绝缘膜501的表面以及基板503的表面在这个实施例中优选地经过用于增加绝缘膜501与基板503之间的接合强度的表面处理。

[0197] 作为表面处理的示例,能够给出湿式处理、干式处理以及湿式处理和干式处理的组合。不同的湿式处理或者不同的干式处理可结合执行。湿式处理的示例包括使用臭氧水的臭氧处理(臭氧水清洁)、诸如超音速清洁之类的超声清洁、二流体清洁(其中诸如纯水或氧化水之类的功能水以及诸如氮之类的载流子气体共同喷射的方法)、采用盐酸和过氧化氢溶液的清洁等。作为干式处理的示例,能够给出惰性气体中性原子束处理、惰性气体离子束处理、紫外线处理、臭氧处理、等离子体处理、采用偏置施加的等离子体处理、自由基处理等。通过执行上述表面处理,用于附连的表面的亲水性和清洁度能够提高。因此,接合强度能够得到提高。

[0198] 对于附连,在接合衬底500之上形成的基板503和绝缘膜501设置成相互紧密接触,以及然后将大致大于或等于1 N/cm²但小于或等于500 N/cm²、优选地大于或等于11 N/cm²但小于或等于20 N/cm²的压力施加到基板503和接合衬底500相互重叠的部分。当施加压力时,基板503与绝缘膜501之间的接合从引起其中基板503和绝缘膜501相互紧密接触的整个表面的接合的部分开始。

[0199] 通过范德瓦尔斯力或氢接合来执行,使得接合甚至在室温下也是牢固的。注意,由于上述接合能够在低温下执行,所以各种衬底能够用于基板503。例如,用于电子工业的诸如铝硅酸盐玻璃衬底、钡硼硅酸盐玻璃衬底或铝硼硅酸盐玻璃衬底之类的各种衬底、石英衬底、陶瓷衬底、蓝宝石衬底等能够用作基板503。备选地,作为基板503,能够使用由硅、砷化镓、磷化铟等所形成的半导体衬底。进一步备选地,基板503可以是包括不锈钢衬底的金属衬底。热膨胀系数大于或等于 25×10^{-7} /°C但小于或等于 50×10^{-7} /°C(优选地大于或等于 30×10^{-7} /°C但小于或等于 40×10^{-7} /°C)并且应变点大于或等于580°C但小于或等于680°C(优选地大于或等于600°C但小于或等于680°C)的衬底优选地用作玻璃衬底,其中玻璃衬底用作基板503。当玻璃衬底是无碱玻璃衬底时,半导体器件的杂质污染能够得到抑

制。

[0200] 作为玻璃衬底,能够使用为生产液晶面板所研制的母板玻璃衬底。作为这种母板玻璃衬底,具有如下尺寸的衬底是已知的:第三代(550毫米×650毫米);第3.5代(600毫米×720毫米);第四代(680毫米×880毫米或730毫米×920毫米);第五代(1100毫米×1300毫米);第六代(1500毫米×1850毫米);第七代(1870毫米×2200毫米);第八代(2200毫米×2400毫米);等等。当SOI衬底采用用作基板503的大面积母板玻璃衬底来制造时,能够得到大面积SOI衬底。SOI衬底的尺寸增加能够通过使用诸如母板玻璃衬底之类的大衬底作为基板503来实现。当SOI衬底能够具有较大面积时,诸如IC或LSI之类的大量芯片能够通过使用一个衬底来制造。生产率能够急剧增加。

[0201] 虽然对于能够用作基板503的衬底没有具体限制,然而必要的是,衬底至少具有对后来执行的热处理的充分耐热性。例如,能够使用通过熔化方法或浮动方法所制造的玻璃衬底。当后来执行的热处理的温度较高时,应变点为730°C或更高的玻璃衬底优选地用作玻璃衬底。作为玻璃衬底,例如使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃或钡硼硅酸盐玻璃之类的玻璃材料。一般来说,通过包含氧化钡(BaO)和氧化硼以使得氧化钡的量比氧化硼要大,能够得到耐热并且具有更大实际用途的玻璃衬底。因此,优选地使用包含使得BaO的量比B₂O₃要大的BaO和B₂O₃的玻璃衬底。注意,为了避免通过收缩而引起的这种有缺陷接合,基板503可在接合步骤之前预先经过热处理。

[0202] 此外,绝缘膜可在基板503之上预先形成。基板503的表面上不一定提供有绝缘膜。但是,在基板503的表面上形成绝缘膜能够防止基板503的诸如碱金属和碱土金属之类的杂质进入接合衬底500。此外,在基板503的表面上形成绝缘膜的情况下,基板503之上的绝缘膜接合到绝缘膜501;因此,更多种衬底能够用作基板503。一般来说,由诸如塑料之类的柔性合成树脂所形成的衬底的温度上限趋向于较低。但是,只要衬底能够耐受后来执行的半导体器件元件的制造步骤中的加工温度,则由这类树脂所形成的衬底在基板503之上形成绝缘膜的情况下能够用作基板503。塑料衬底的示例包括以聚对苯二甲酸乙二醇酯(PET)、聚醚砜(PES)、聚萘乙烯(PEN)、聚碳酸酯(PC)、聚醚醚酮(PEEK)、聚砜(PSF)、聚醚酰亚胺(PEI)、多芳基化合物(PAR)、对苯二甲酸聚丁烯(PBT)、聚酰亚胺、丙烯腈-丁二烯-苯乙烯树脂、聚氯乙烯。聚丙烯、多乙酸乙烯酯、丙烯酸树脂等为代表的聚酯。在基板503之上形成绝缘膜的情况下,基板503和接合衬底500的相互附连优选地在按照与绝缘膜501相似的方式对这种绝缘膜的表面执行表面处理之后执行。

[0203] 在接合衬底500附连到基板503之后,优选地执行热处理,以便增加基板503与绝缘膜501之间的接合界面处的接合强度。这种处理以脆化层502中不会生成裂纹的温度来执行,并且能够以高于或等于200°C但低于或等于400°C的范围之内的温度来执行。通过在这个温度范围之内将接合衬底500附连到基板503,能够使基板503与绝缘膜501之间的接合强度牢固。

[0204] 当接合平面在将接合衬底500和基板503相互附连的时候受到灰尘等污染时,没有接合被污染部分。为了避免接合平面的污染,接合衬底500和基板503的附连优选地在气密室中执行。在将接合衬底500和基板503相互附连时,处理室可具有降低到大约 5.0×10^{-3} Pa的压力,并且可清洁接合处理的气氛。

[0205] 随后执行热处理,由此,在脆化层502中彼此相邻的微孔相结合,使得微孔的体积

增加。因此,如图7D所示,作为接合衬底500的一部分的半导体膜504沿脆化层502与接合衬底500分离。由于绝缘膜501和基板503相接合,所以与接合衬底500分离的半导体膜504固定到基板503。用于将半导体膜504与接合衬底500分离的热处理优选地在不超过基板503的应变点的温度下执行。

[0206] 对于这种热处理,能够使用快速热退火(RTA)设备、电阻加热炉或微波加热设备。对于RTA设备,能够使用气体快速热退火(GRTA)设备或灯快速热退火(LRTA)设备。当使用GRTA设备时,加热温度能够设置在高于或等于500℃但低于或等于650℃的温度,并且处理时间能够设置在大于或等于0.5分钟但小于或等于60分钟。当使用电阻加热设备时,加热温度能够设置在高于或等于200℃但低于或等于650℃,并且处理时间能够设置在大于或等于2小时但小于或等于4小时。

[0207] 热处理可通过采用诸如微波之类的高频波的介电加热来执行。通过介电加热的热处理能够通过采用在高频发生器处生成的处于300 MHz至3 THz的范围之内的高频波照射接合衬底500来执行。具体来说,例如,采用在900 W下的频率为2.45 GHz的微波的照射执行14分钟,以便组合在脆化层中彼此相邻的微孔,由此接合衬底500能够沿脆化层最终分割。

[0208] 描述了使用具有电阻加热的竖炉的热处理的具体处理方法。接合衬底500与其附连的基板503设置在竖炉的舟皿上,并且这个舟皿输送到竖炉的室中。为了抑制接合衬底500的氧化,首先排空室,使得形成真空状态。真空中度大约为 5×10^{-3} Pa。在获得真空状态之后,将氮供给室,使得室具有大气压力下的氮气氛。在这个期间中,加热温度增加到200℃。

[0209] 在使室具有在大气压力下的氮气氛之后,执行2小时在200℃下的加热。然后,温度增加到400℃,为时1小时。在400℃的加热温度下的状态变稳定之后,温度增加到600℃,为时1小时。在600℃的加热温度下的状态变稳定之后,执行2小时在600℃下的加热。然后,加热温度降低到400℃,为时一个小时,并且在10分钟至30分钟之后,从室中带出舟皿。接合衬底500和半导体膜504与其附连并且设置在舟皿上的基板503在空气气氛中冷却。

[0210] 通过接连执行用于增加绝缘膜501与基板503之间的接合强度的热处理以及用于分割脆化层502的热处理,来执行使用上述电阻加热炉的热处理。在不同设备中执行这两种热处理的情况下,例如,在电阻加热炉中以200℃执行2小时热处理,并且然后从炉中带出相互接合的基板503和接合衬底500。随后,热处理由RTA设备在高于或等于600℃但低于或等于700℃的加工温度下执行一分钟至数小时,使得接合衬底500沿脆化层502分割。

[0211] 注意,在一些情况下,接合衬底500的周边没有接合到基板503。这看上去是因为接合衬底500的周边经过斜切或者具有曲率,使得基板503和绝缘膜501没有相互紧密接触,或者脆化层502在接合衬底500的周边难以分割。另一个原因在于,在制造接合衬底500中执行的诸如CMP之类的抛光在接合衬底500的周边是不充分的,使得其表面在周边比在中心更为粗糙。又一个原因在于,在输送接合衬底500时载体等损坏接合衬底500的周边的情况下,损坏使得难以将周边接合到基板503。由于这些原因,比接合衬底500要小的半导体膜504附连到基板503。

[0212] 注意,接合衬底500可在接合衬底500被分割前经过氧化处理。氧化处理例如在氢气气氛中以350℃执行大约2小时。

[0213] 当多个接合衬底500附连到基板503时,多个接合衬底500可具有不同的晶面取向。

半导体中的多数载流子的迁移率取决于晶面取向。因此，半导体膜504可通过适当地选择具有适合于待形成半导体元件的晶面取向的接合衬底500来形成。例如，在通过使用半导体膜504来形成n型半导体元件的情况下，半导体元件中的多数载流子的迁移率能够通过形成具有{100}平面的半导体膜504来增加。相比之下，例如，在通过使用半导体膜504来形成p型半导体元件的情况下，半导体元件中的多数载流子的迁移率能够通过形成具有{110}平面的半导体膜504来增加。然后，在形成作为半导体元件的晶体管的情况下，半导体膜504的接合方向考虑信道方向和晶面取向来确定。

[0214] 随后，半导体膜504的表面可通过抛光来平面化。平面化不一定是必要的；但是，平面化使得有可能改进半导体膜506和507与后来形成的栅绝缘膜之间的界面的特性。具体来说，抛光可以是化学机械抛光(CMP)、液体喷射抛光等。半导体膜504的厚度通过上述平面化来减小。平面化可对蚀刻之前的半导体膜504来执行；备选地，平面化可对通过蚀刻所形成的半导体膜506和507来执行。

[0215] 不是抛光而是蚀刻可对半导体膜504的表面来执行，以便平面化半导体膜504的表面。蚀刻可通过诸如反应离子蚀刻(RIE)方法之类的干式蚀刻方法来执行；例如，可使用电感耦合等离子体(ICP)蚀刻方法、电子回旋加速器共振(ECR)蚀刻方法、平行板(电容耦合类型)蚀刻方法、磁控管等离子体蚀刻方法、双频等离子体蚀刻方法、螺旋波等离子体蚀刻方法等。

[0216] 例如，当使用ICP蚀刻方法时，蚀刻可在如下条件下执行：作为蚀刻气体的氯的流率为40 sccm至100 sccm，施加到线圈类型电极的电力为100 W至200 W，施加到下电极(在偏置侧)的电力为40 W至100 W，以及反应压力为0.5 Pa至1.0 Pa。例如，半导体膜504的厚度能够通过在如下条件下执行蚀刻来减小到大约50 nm至60 nm：作为蚀刻气体的氯的流率为100 sccm，反应压力为1.0 Pa，下电极的温度为70°C，施加到线圈形状电极的RF(13.56 MHz)电力为150 W，施加到下电极(在偏置侧)的电力为40 W，以及蚀刻时间为大约25秒至27秒。对于蚀刻气体，能够适当地使用诸如氯、氯化硼、氯化硅或四氯化碳之类的氯基气体、诸如四氟化碳、氟化硫或氟化氮之类的氟基气体或者氧。

[0217] 蚀刻能够不仅使半导体膜504具有对于后来将要形成的半导体元件是最佳的膜厚度，而且还平面化半导体膜504的表面。

[0218] 注意，在与基板503紧密接触的半导体膜504中，因脆化层502的形成而形成晶体缺陷以及沿脆化层502的狭缝，或者半导体膜504的表面的平面度受到损害。因此，在本发明的一个实施例中，为了降低晶体缺陷并且改进平面度，在去除半导体膜504的表面上形成的诸如自然氧化物膜之类的氧化物膜的过程之后，采用激光束来照射半导体膜504。

[0219] 在本发明的这个实施例中，将半导体膜504浸入氟化氢浓度为0.5 wt%的DHF中为时110秒，由此去除氧化物膜。

[0220] 激光束照射优选地采用使得部分熔化半导体膜504的能量密度来执行。这是因为，当半导体膜504完全熔化时，因半导体膜504的再结晶而生成微晶体伴有液相的半导体膜504的无序核化，并且半导体膜504的结晶度降低。通过部分熔化半导体膜504，其中晶体生长从未熔化固态部分继续进行的所谓纵向生长在半导体膜504中发生。由于通过纵向生长的再结晶，降低半导体膜504的晶体缺陷，并且恢复其结晶度。其中半导体膜504完全熔化的状态表示其中半导体膜504对于绝缘膜501的界面熔化为处于液相的状态。另一方面，其中

半导体膜504部分熔化的状态表示其中其上部被熔化并且处于液相而其下部处于固相的状态。

[0221] 作为这种激光束照射,脉冲激光束照射对于部分数字化半导体膜504是优选的。例如,在脉冲激光器的情况下,重复率小于或等于1 MHz,并且脉冲宽度大于或等于10纳秒但小于或等于500纳秒。例如,能够使用重复率为10 Hz至300 Hz、脉冲宽度为25纳秒以及波长为308 nm的XeCl受激准分子。

[0222] 作为激光束,优选地使用由半导体有选择地吸收的固态激光的基波或二次谐波。具体来说,例如,能够使用具有在大于或等于250 nm但小于或等于700 nm的范围之内的波长的激光束。能够考虑激光束的波长、激光束的趋肤深度、半导体膜504的厚度等,来确定激光束的能量。例如,在半导体膜504的厚度大约为120 nm并且使用发射波长为308 nm的激光束的脉冲激光器情况下,激光束的能量密度可设置为600 mJ/cm²至700 mJ/cm²。

[0223] 能够使用下列脉冲激光器:Ar激光器、Kr激光器、受激准分子激光器、CO₂激光器、YAG激光器、Y₂O₃激光器、YVO₄激光器、YLF激光器、Y₃Al₅O₁₂激光器、玻璃激光器、红宝石激光器、翠绿宝石激光器、钛蓝宝石激光器、铜蒸汽激光器和金蒸汽激光器。

[0224] 在这个实施例中,在半导体膜504的厚度大约为146 nm的情况下,激光束照射能够按照下列方式来执行。作为发射激光束的激光器,使用XeCl受激准分子激光器(波长为308 nm,脉冲宽度为20纳秒,以及重复率为30 Hz)。通过光学系统将激光的截面整形为大小为0.4 mm×120 mm的线性形式。采用激光扫描速度为0.5 mm/s的激光束来照射半导体膜504。然后,通过激光束照射,如图7E所示形成修复了其晶体缺陷的半导体膜505。

[0225] 注意,优选地在诸如稀有气体气氛或氮气氛之类的惰性气氛或者降低压力气氛中执行激光束照射。在上述气氛的情况下,激光照射可在其气氛受到控制的气密室中执行。在没有使用室时,惰性气氛中的激光束照射能够通过向将要采用激光束照射的表面喷射诸如氮气体的惰性气体来实现。激光束照射在惰性气氛或降低压力气氛而不是空气气氛中执行,由此进一步防止形成自然氧化物膜,能够防止裂纹或倾斜条纹在激光束照射之后形成的半导体膜505中形成,能够改进半导体膜505的平面性,并且能够拓宽激光束的可适用能量范围。

[0226] 激光束优选地通过光学系统使其截面整形为具有同质能量分布的线性形状。相应地,激光束照射能够以高吞吐量同质地执行。通过比基板503的一侧更长的激光束的射束长度,附连到基板503的整个半导体膜504能够采用激光束通过扫描激光束一次来照射。当激光束的射束长度比基板503的一侧更短时,射束长度可设置成使得附连到基板503的整个半导体膜504能够采用激光通过扫描若干次来照射。

[0227] 为了在降低压力气氛或者诸如稀有气体气氛或氮气氛之类的惰性气氛中执行激光束照射,激光束照射可在其气氛受到控制的气密室中执行。在没有使用室时,惰性气氛中的激光束照射能够通过向将要采用激光束照射的表面喷射诸如氮气体的惰性气体来实现。激光束照射在惰性气氛或降低压力气氛而不是空气气氛中执行,由此进一步防止形成自然氧化物膜,能够防止裂纹或倾斜条纹在激光束照射之后形成的半导体膜505中形成,能够改进半导体膜505的平面性,并且能够拓宽激光束的可适用能量范围。

[0228] 在激光束照射之前通过干式蚀刻来平面化半导体膜504的表面的情况下,诸如晶体缺陷之类的损坏因干式蚀刻而可能在半导体膜504的表面之上或附近生成。但是,上述激

光束照射能够甚至恢复由干式蚀刻所引起的损坏。

[0229] 随后,在激光束照射之后,可蚀刻半导体膜505的表面。在激光束照射之后蚀刻半导体膜505的表面时,不一定在激光束照射之前蚀刻半导体膜504的表面。此外,在激光束照射之前蚀刻半导体膜504的表面时,不一定在激光束照射之后蚀刻半导体膜505的表面。备选地,可在激光束照射之后以及激光束照射之前蚀刻半导体膜505的表面。

[0230] 蚀刻能够不仅使半导体膜505具有对于后来将要形成的半导体元件是最佳的膜厚度,而且还平面化半导体膜505的表面。

[0231] 在激光束照射之后,半导体膜505优选地以高于或等于500℃但低于或等于650℃经过热处理。热处理能够消除半导体膜505的尚未通过激光束照射来修复的缺陷,并且能够降低半导体膜505的变形。对于这种热处理,能够使用快速热退火(RTA)设备、电阻加热炉或微波加热设备。对于RTA设备,能够使用气体快速热退火(GRTA)设备或灯快速热退火(LRTA)设备。例如,当使用电阻加热炉时,热处理可在600℃下执行4小时。

[0232] 随后,如图8A所示,部分蚀刻半导体膜505,以便形成岛状半导体膜506和507。当进一步蚀刻半导体膜505时,能够去除半导体膜505的一个端部中接合强度不充分的区域。虽然半导体膜506和507在这个实施例中通过蚀刻一个半导体膜505来形成,但是形成的半导体膜的数量并不局限于二。

[0233] 注意,半导体膜505与其分离的接合衬底500的表面经过平面化,由此半导体膜505能够再次与接合衬底500分离。

[0234] 具体来说,主要保留在接合衬底500的边缘的绝缘膜501通过蚀刻等被去除。在绝缘膜501使用氧化硅、氧氮化硅或氮氧化硅来形成的情况下,能够采用使用氢氟酸的湿式蚀刻。

[0235] 随后,因半导体膜505和过多包含氢的剩余脆化层的分离而在接合衬底500的边缘部分所形成的凸出部分被去除。对于接合衬底500的蚀刻,优选地使用湿式蚀刻,并且氢氧化四甲铵(缩写为TMAH)溶液能够用作蚀刻剂。

[0236] 然后,抛光接合衬底500的表面。对于抛光,能够使用CMP。为了平滑接合衬底500的表面,该表面在厚度上合乎需要地抛光大约1 μm至10 μm。在抛光之后,执行使用氢氟酸等的RCA清洁,因为磨粒等留在接合衬底500的表面上。

[0237] 通过再使用接合衬底500,半导体衬底的材料的成本能够降低。

[0238] 为了控制阈值电压,赋予p型导电的诸如硼、铝或镓之类的杂质元素或者赋予n型导电的诸如磷或砷之类的杂质元素可加入半导体膜506和507。用于控制阈值电压的杂质元素可加入形成图案之前的半导体膜或者在图案形成之后所形成的半导体膜506和507。备选地,用于控制阈值电压的杂质元素可加入接合衬底。进一步备选地,杂质元素可加入接合衬底,以便粗略地控制阈值电压,并且杂质元素还可加入形成图案之前的半导体膜或者在形成图案之后形成的半导体膜506和507,以便最终控制阈值电压。

[0239] 硼,栅绝缘膜508形成为覆盖半导体膜506和507,如图8B所示。栅绝缘膜508能够通过经由高密度等离子体处理对半导体膜506和507的表面的氧化或氮化来形成。例如通过使用诸如He、Ar、Kr或Xe之类的惰性气体和氧、氧化氮、氨、氮、氢等的混合气体来执行高密度等离子体处理。在这种情况下,通过引入微波来执行等离子体的激发,能够生成具有低电子温度和高密度的等离子体。半导体膜的表面通过经由这种高密度等离子体所产生的氧自由

基(它在一些情况下包括OH自由基)或氮自由基(它在一些情况下包括NH自由基)来氧化或氮化,由此1 nm至20 nm厚、理想地为5 nm至10 nm厚的绝缘膜形成为与半导体膜相接触。5 nm至10 nm厚的绝缘膜用作栅绝缘膜508。例如,一氧化二氮(N₂O)采用Ar来稀释1至3倍(流率),并且以10 Pa至30 Pa的压力来施加3 kW至5 kW的微波(2.45 GHz)电力,以便氧化或氮化半导体膜506和507的表面。通过这种处理,形成厚度为1纳米至10纳米(优选地为2纳米至6纳米)的绝缘膜。此外,引入一氧化氮(N₂O)和硅烷(SiH₄),并且3 kW至5 kW的微波(2.45 GHz)电力以10 Pa至30 Pa的压力施加到绝缘膜,以便通过汽相生长方法来形成作为栅绝缘膜的氧氮化硅膜。通过固相反应和通过气相沉积方法的反应的组合,能够形成具有低界面状态密度和优良耐受电压的栅绝缘膜。

[0240] 由于通过高密度等离子体处理的半导体膜的氧化或氮化通过固相反应来进行,所以栅绝缘膜508与半导体膜506和507的每个之间的界面状态密度能够急剧降低。此外,由于半导体膜506和507通过高密度等离子体处理来直接氧化或氮化,所以待形成绝缘膜的厚度的变化能够得到抑制。此外,在半导体膜具有结晶度的情况下,半导体膜的表面采用固态反应通过高密度等离子体处理来氧化,以便阻止仅在晶粒边缘中的快速氧化;因此,能够形成具有均匀性和低界面状态密度的栅绝缘膜。其中通过高密度等离子体处理所形成的绝缘膜包含在栅绝缘膜的一部分或者整个栅绝缘膜中的晶体管可降低特性变化。

[0241] 备选地,栅绝缘膜508可通过对半导体膜506和507进行热氧化来形成。进一步备选地,栅绝缘膜508可通过等离子体CVD方法、溅射方法等,作为包含氧化硅、氮氧化硅、氧氮化硅、氮化硅、氧化铪、氧化铝和氧化钽的一个或多个的膜的层的单层或叠层来形成。

[0242] 然后,如图8C所示在栅绝缘膜508之上形成导电膜之后,将导电膜处理(形成图案)为预定形状,使得电极509在半导体膜506和507的每个之上形成。CVD方法、溅射方法等能够用于形成导电膜。作为导电膜,能够使用钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)、铌(Nb)等。此外,可使用包含上述金属作为主要成分的合金或者包含上述金属的化合物。备选地,导电膜可由诸如采用向半导体膜赋予导电的磷之类的杂质元素所掺杂的多晶硅半导体来形成。

[0243] 在形成二层导电膜的情况下,第一层可由氮化钽或钽来形成,并且第二层能够由钨来形成。此外,给出下列组合:氮化钨和钨、氮化钼和钼、铝和钽、铝和钛等。由于钨和氮化钽具有高耐热性,所以能够在形成二层导电膜之后执行用于热活化的热处理。备选地,作为二层导电膜的组合,能够使用掺杂有赋予n型导电的杂质元素的硅和硅化镍、掺杂有赋予n型导电的杂质元素的硅和硅化钨等。

[0244] 注意,虽然在这个实施例中,电极509由单层导电膜来形成,但是这个实施例并不局限于这种结构。电极509可由层叠的多个导电膜来形成。在使用层叠有三层以上导电膜的三层结构的情况下,钼膜、铝膜和钼膜的层叠结构是优选的。

[0245] 注意,可通过无需使用掩模的微滴排放方法有选择地形成电极509。

[0246] 注意,微滴排放方法表示一种方法,其中,通过从小孔隙排放或喷出包含预定组成的微滴来形成预定图案,并且喷墨方法包含在该类别中。

[0247] 在形成导电膜之后,通过使用ICP(电感耦合等离子体)蚀刻方法并且适当地控制蚀刻条件(例如,施加到线圈电极层的电量、施加到衬底侧的电极层的电量或者衬底侧的电极温度),能够将电极509蚀刻为预期锥形形状。另外,锥形形状的角等也可通过掩模的形状

来控制。注意，作为蚀刻气体，能够适当地使用诸如氯、氯化硼、氯化硅或四氯化碳之类的氯基气体、诸如四氟化碳、氟化硫或氟化氮之类的氟基气体或者氧。

[0248] 随后，如图8D所示，赋予一种导电类型的杂质元素通过使用电极509作为掩模来加入半导体膜506和507。在这个实施例中，将赋予n型导电的杂质元素(例如磷或砷)加入半导体膜506，并且将赋予p型导电的杂质元素(例如硼)加入半导体膜507。注意，在将赋予p型导电的杂质元素加入导电膜507时，将对其添加赋予n型导电的杂质元素的半导体膜506覆盖有掩模等，使得有选择地添加赋予p型导电的杂质元素。另一方面，在将赋予n型导电的杂质元素加入导电膜506时，将对其添加赋予p型导电的杂质元素的半导体膜507覆盖有掩模等，使得有选择地添加赋予n型导电的杂质元素。备选地，在将赋予p型和n型导电其中之一的杂质元素加入半导体膜506和507之后，赋予另一种导电的杂质元素可有选择地以比先前添加杂质更高的浓度仅添加到半导体膜506和507其中之一。通过添加杂质元素，杂质区510在半导体膜506中形成，以及杂质区511在半导体膜507中形成。

[0249] 随后，如图9A所示，在电极509的侧表面上形成侧壁512。例如，能够按照如下方式来形成侧壁512：使得重新形成绝缘膜，以便覆盖栅绝缘膜508和电极509，并且通过各向异性蚀刻来部分蚀刻绝缘膜，其中蚀刻主要在垂直方向执行。通过各向异性蚀刻，部分蚀刻重新形成的绝缘膜，在电极509的侧表面形成侧壁512。注意，还可通过各向异性蚀刻来部分地蚀刻栅绝缘膜508。用于形成侧壁512的绝缘膜可以是通过LPCVD方法、等离子体CVD方法、溅射方法等所形成的硅膜、氧化硅膜、氧氮化硅膜、氮氧化硅膜以及包括诸如有机树脂之类的有机材料的膜中的一个或多个的单层或者层的叠层。在这个实施例中，100 nm厚的氧化物硅膜通过等离子体CVD方法来形成。作为蚀刻气体，能够使用CHF₃和氦的混合气体。注意，用于形成侧壁512的过程并不局限于这个过程。

[0250] 随后，如图9B所示，赋予一种导电类型的杂质元素以电极509和侧壁512作为掩模来加入半导体膜506和507。注意，赋予与前一步骤中已经添加的杂质元素相同的导电类型的杂质元素以比前一步骤中更高的浓度加入半导体膜506和507。注意，在将赋予p型导电的杂质元素加入导电膜507时，将对其添加赋予n型导电的杂质元素的半导体膜506覆盖有掩模等，使得有选择地添加赋予p型导电的杂质元素。相比之下，在将赋予n型导电的杂质元素加入导电膜506时，将对其添加赋予p型导电的杂质元素的半导体膜507覆盖有掩模等，使得有选择地添加赋予n型导电的杂质元素。

[0251] 另外，通过杂质元素的上述添加，一对高浓度杂质区513、一对低浓度杂质区514和沟道形成区515在半导体膜506中形成。此外，通过添加杂质元素，一对高浓度杂质区516、一对低浓度杂质区517和沟道形成区518在半导体膜507中形成。高浓度杂质区513和516用作源区或漏区，而低浓度杂质区514和517用作LDD(轻掺杂漏)区。注意，不一定设置LDD区，并且可以仅形成用作源和漏区的杂质区。备选地，LDD区可在源区侧或漏区侧上形成。

[0252] 注意，在使用硅的晶体管的情况下，源区和漏区分别用作源电极和漏电极。

[0253] 注意，在半导体膜507之上形成的侧壁512以及在半导体膜506之上形成的侧壁512可形成为在载流子流动方向具有相同宽度或不同宽度。优选的是，构成p沟道晶体管的一部分的半导体膜507之上的各侧壁512的宽度大于构成n沟道晶体管的一部分的半导体膜506之上的各侧壁512的宽度。这是因为被添加以用于形成p沟道晶体管的源区和漏区的硼易于扩散，并且易于引起短沟道效应。在使p沟道晶体管中的各侧壁512的宽度比n沟道晶体管中

的各侧壁512要大时,硼能够以高浓度加入源区和漏区,并且因而源区和漏区的电阻能够降低。

[0254] 随后,为了进一步降低源区和漏区的电阻,硅化物在半导体膜506和507中形成,使得可形成硅化物层。硅化物按照如下方式来形成:使得使金属与半导体膜相接触,并且通过热处理、GRTA方法、LRTA方法等使半导体膜中的硅与金属发生反应。硅化物层可由硅化钴或硅化镍来形成。在半导体膜506和507较薄的情况下,硅化物反应可继续进行到这个区域中的半导体膜506和507的底部。作为用于形成硅化物的金属材料,能够使用下列材料:钛(Ti)、镍(Ni)、钨(W)、钼(Mo)、钴(Co)、锆(Zr)、铪(Hf)、钽(Ta)、钒(V)、钕(Nd)、铬(Cr)、铂(Pt)、钯(Pd)等。优选地,硅化物可通过激光照射、使用灯的光照射等形式。

[0255] 通过上述步骤,形成n沟道晶体管520和p沟道晶体管521。

[0256] 在图9B所示的步骤完成之后,在n沟道晶体管520和p沟道晶体管521之上制造包括氧化物半导体的晶体管。

[0257] 首先,如图10A所示,绝缘膜530形成为覆盖n沟道晶体管520和p沟道晶体管521。通过设置绝缘膜530,当执行热处理时,能够防止电极509的表面的氧化。具体来说,优选地将氮化硅、氮氧化硅、氧氮化硅、氮化铝、氧化铝、氧化硅等用于绝缘膜530。在这个实施例中,厚度大约为50 nm的氧氮化硅膜用作绝缘膜530。

[0258] 随后,如图10B所示,绝缘膜531和绝缘膜532在绝缘膜530之上形成为覆盖n沟道晶体管520和p沟道晶体管521。绝缘膜531和532使用能够耐受后一制造步骤中的热处理的温度的材料来形成。具体来说,例如,氧化硅、氮化硅、氮氧化硅、氧氮化硅、氮化铝、氧化饮料化铝等的无机绝缘膜能够用于绝缘膜531和532。

[0259] 注意,在这个实施例中,绝缘膜531和532层叠在绝缘膜530之上;但是,绝缘膜530之上形成的绝缘膜可以是单层的绝缘膜或者其中层叠三层或更多层的绝缘层。

[0260] 可通过CMP方法等,来平面化绝缘膜532的表面。

[0261] 随后,如图10B所示,栅电极601和电极602在绝缘膜532之上形成。

[0262] 栅电极601和电极602能够以使用一个或多个导电膜的单层或叠层来形成,其中导电膜使用诸如钼、钛、铬、钽、钨、钕或钪之类的金属材料、包含任何这些金属材料作为主要成分的合金材料或者任何这些金属的氮化物。注意,铝或铜也可用作这类金属材料,只要铝或铜能够耐受后来的过程中执行的热处理的温度。铝或铜优选地与难熔金属材料相结合,以使得防止耐热性问题和腐蚀问题。作为难熔金属材料,能够使用钼、钛、铬、钽、钨、钕、钪等。

[0263] 例如,作为栅电极601和电极602的二层结构,下列结构是优选的:其中钼膜层叠在铝膜之上的二层结构,其中钼膜层叠在铜膜之上的二层结构,其中氮化钛膜或氮化钽膜层叠在铜膜之上的二层结构,以及其中层叠氮化钛膜和钼膜的二层结构。作为栅电极601和电极602的三层结构,下列结构是优选的:一种层叠结构,在中间层中包含铝膜、铝和硅的合金膜、铝和钛的合金膜或者铝和钕的合金膜,以及在顶层和底层中包含钨膜、氮化钨膜、氮化钛膜和钛膜的任一种。

[0264] 此外,氧化铟、氧化铟锡、氧化铟-氧化锌合金、氧化锌、氧化锌铝、氧氮化锌铝、氧化锌镓等的透光氧化物导电膜可用作栅电极601和电极602。

[0265] 栅电极601和电极602的厚度为10 nm至400 nm,优选地为100 nm至200 nm。在这个

实施例中,用于栅电极的导电膜通过使用钨靶的溅射方法来形成为150 nm的厚度,并且然后导电膜通过蚀刻来处理(形成图案)为预期形状;这样,形成栅电极601和电极602。注意,所形成的栅电极的端部优选地逐渐变细,在这种情况下,其上层叠的栅绝缘膜的覆盖得到改进。注意,抗蚀剂掩模可通过喷墨方法来形成。通过喷墨方法来形成抗蚀剂掩模不需要光掩模;因此,制造成本能够降低。

[0266] 随后,如图10C所示,栅绝缘膜603在栅电极601和电极602之上形成。可通过等离子体CVD方法、溅射方法等,使用具有氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氮氧化铝膜、氧化铪膜和氧化钽膜的一个或多个的单层或叠层,来形成栅绝缘膜603。优选的是,栅绝缘膜603尽可能少地包含诸如水分或氢之类的杂质。在通过溅射方法来形成氧化硅膜的情况下,硅靶或石英靶用作靶,并且氧或者氧和氩的混合气体用作溅射气体。

[0267] 在这里,通过去除杂质来制作作为本征半导体或基本上本征半导体的氧化物半导体(经过高度纯化的氧化物半导体)对界面状态和界面电荷极为敏感;因此,高度纯化氧化物半导体与栅绝缘膜603之间的界面是重要的。因此,与高度纯化氧化物半导体相接触的栅绝缘膜(GI)需要具有较高质量。

[0268] 例如,使用微波(2.45 GHz)的高密度等离子体CVD是优选的,因为能够形成具有高耐受电压的密集高质量绝缘膜。这是因为,当高度纯化氧化物半导体与高质量栅绝缘膜紧密接触时,界面状态能够降低,并且界面性质能够是有利的。

[0269] 不用说,能够使用诸如溅射方法或等离子体CVD方法之类的不同沉积方法,只要能够形成作为栅绝缘膜的高质量绝缘膜。备选地,可使用在栅绝缘膜与氧化物半导体之间的其膜质量和界面特性通过在形成绝缘膜之后执行的热处理得到改进的绝缘膜。在任一种情况下,能够使用任何绝缘膜,只要作为栅绝缘膜的膜质量较高,栅绝缘膜与氧化物半导体之间的界面状态密度降低,并且能够形成有利界面。

[0270] 栅绝缘膜603可具有一种结构,其中层叠使用具有高势垒性质的材料所形成的绝缘膜以及使用具有较低比例的氮的氧化硅膜、氧氮化硅膜等所形成的绝缘膜。在那种情况下,诸如氧化硅膜或氧氮化硅膜之类的绝缘膜在具有高势垒性质的绝缘膜与氧化物半导体膜之间形成。作为具有高势垒性质的绝缘膜,例如能够给出氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等。使用具有高势垒性质的绝缘膜,使得能够防止气氛中诸如水分或氢之类的杂质或者衬底中包含的诸如碱金属或重金属之类的杂质进入氧化物半导体膜、栅绝缘膜603或者氧化物半导体膜与另一个绝缘膜之间的界面及其邻近区域。另外,具有较低比例的氮的诸如氧化硅膜或氧氮化硅膜之类的绝缘膜形成为使得与氧化物半导体膜相接触,使得能够防止具有高势垒性质的绝缘膜与氧化物半导体膜直接接触。

[0271] 例如,厚度为100 nm的叠层膜可按如下所述作为栅绝缘膜603来形成:厚度大于或等于50 nm但小于或等于200 nm的氮化硅膜(SiN_y ($y>0$))通过溅射方法作为第一栅绝缘膜来形成,并且厚度大于或等于5 nm但小于或等于300 nm的氧化硅膜(SiO_x ($x>0$))作为第二栅绝缘膜层叠在第一栅绝缘膜之上。栅绝缘膜603的厚度可根据晶体管的预期特性来适当地设置。厚度可大约为350 nm至400 nm。

[0272] 在这个实施例中,栅绝缘膜603形成为具有一种结构,其中通过溅射方法所形成的100 nm厚的氧化硅膜层叠在通过溅射方法所形成的50 nm厚的氮化硅膜之上。

[0273] 注意,为了在栅绝缘膜603中尽可能少地包含氢、羟基和水分,优选的是,其上形成栅电极601和电极602的基板503在溅射设备的预热室中预先加热,使得消除和排空吸附到基板503的诸如水分或氢之类的杂质,作为膜形成之前的预处理。预热的温度高于或等于100°C但低于或等于400°C,优选地高于或等于150°C但低于或等于300°C。作为设置在预热室中的排空单元,低温泵是优选的。注意,能够省略这种预热处理。

[0274] 随后,在栅绝缘膜603之上,形成厚度大于或等于2 nm但小于或等于200 nm、优选地大于或等于3 nm但小于或等于50 nm、更优选地大于或等于3 nm但小于或等于20 nm的氧化物半导体膜。氧化物半导体膜通过使用氧化物半导体作为靶的溅射方法来形成。此外,氧化物半导体膜能够通过溅射方法在稀有气体(例如氩)气氛、氧气气氛或者包含稀有气体(例如氩)和氧的混合气氛下形成。

[0275] 注意,在氧化物半导体膜通过溅射方法来形成之前,附于栅绝缘膜603的表面的灰尘优选地通过其中引入氩气体并且生成等离子体的反向溅射被去除。反向溅射表示一种方法,其中通过将电压施加到衬底侧而不是靶侧,在氩气氛中借助于RF电源,并且通过在衬底附近生成等离子体,来修正衬底的表面。注意,代替氩气氛,可使用氮气氛、氦气氛等。备选地,可使用添加了氧、一氧化二氮等的氩气氛。备选地,可使用添加了氯、四氟化碳等的氩气氛。

[0276] 上述氧化物半导体能够用于氧化物半导体膜。

[0277] 在这个实施例中,作为氧化物半导体膜,使用通过溅射方法、使用包括铟(In)、镓(Ga)和锌(Zn)的金属氧化物靶所得到的厚度为30 nm的In-Ga-Zn-O基非单晶膜。作为靶,例如,能够使用金属的组成比为In:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1或In:Ga:Zn=1:1:2的金属氧化物靶。靶可包含大于或等于2 wt%但小于或等于10 wt%的SiO₂。包含In、Ga和Zn的金属氧化物靶的填充率高于或等于90%但低于或等于100%,优选地高于或等于95%但低于或等于99.9%。借助于具有高填充率的金属氧化物靶,所沉积的氧化物半导体膜具有高密度。

[0278] 在这个实施例中,氧化物半导体膜按如下所述在基板503之上形成:衬底保持在降低了压力的处理室中,去除处理室中剩余的水分,引入去除了氢和水分的溅射气体,并且使用上述靶。在那时,衬底可在高于或等于100°C但低于或等于600°C、优选地高于或等于200°C但低于或等于400°C的温度下加热。膜形成在加热衬底的同时执行,由此能够降低所形成的氧化物半导体膜中的杂质浓度。另外,通过溅射引起的损坏能够降低。为了去除处理室中剩余的水分,优选地使用捕集真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。排空单元可以是提供有冷阱的涡轮泵。在采用低温泵排空的处理室中,例如,去除氢原子、诸如水(H₂O)之类的包含氢原子的化合物(更优选地,还有包含碳原子的化合物)等,由此能够降低处理室中形成的氧化物半导体膜的杂质浓度。

[0279] 作为沉积条件的一个示例,衬底与靶之间的距离为100 mm,压力为0.6 Pa,直流(DC)电源为0.5 kW,以及气氛为氧气气氛(氧流率的比例为100%)。注意,脉冲直流(DC)电源是优选的,因为能够降低膜形成中生成的称作微粒的粉状物质,并且膜厚度能够是均匀的。

[0280] 注意,为了在氧化物半导体膜中尽可能少地包含氢、羟基和水分,优选的是,其上形成一直到并且包括栅绝缘膜603的层的基板503在溅射设备的预热室中预先加热,使得消除和排空吸附到基板503的诸如氢和水分之类的杂质,作为膜形成之前的预处理。预热的温度高于或等于100°C但低于或等于400°C,优选地高于或等于150°C但低于或等于300°C。作

为设置在预热室中的排空单元,低温泵是优选的。注意,能够省略这种预热处理。此外,在绝缘膜612的形成之前,这种预热可对其上形成一直到并且包括源电极607和漏电极608、布线609至611的层的基板503类似地执行。

[0281] 溅射方法的示例包括:RF溅射方法,其中高频电力用于溅射电源;DC溅射方法;以及脉冲DC溅射方法,其中以脉冲方式来施加偏压。RF溅射方法主要用于形成绝缘膜的情况,而DC溅射方法主要用于形成金属膜的情况。

[0282] 另外,还存在多源溅射设备,其中能够设置不同材料的多个靶。通过多源溅射设备,不同材料的膜能够形成为层叠在同一室中,或者多种材料的膜能够通过在同一室中同时放电来形成。

[0283] 备选地,能够使用提供有室内部的磁体系统并且用于磁控管溅射方法的溅射设备或者用于ECR溅射方法、其中使用借助于微波所生成的等离子体而没有使用光辉放电的溅射设备。

[0284] 此外,作为使用溅射方法的沉积方法,能够使用其中靶物质和溅射气体成分在沉积期间相互起化学反应以形成其化合物薄膜的反应溅射方法或者其中电压在沉积期间还施加到衬底的偏压溅射方法。

[0285] 栅绝缘膜603和氧化物半导体膜可在没有暴露于空气的情况下接连形成。没有暴露于空气的连续膜形成使得有可能得到叠层之间的各界面,该界面没有受到大气成分或者漂浮在空气中的诸如水、烃等的杂质元素污染。因此,能够降低晶体管的特性的变化。

[0286] 随后,如图10C所示,氧化物半导体膜通过蚀刻等处理(形成图案)为预期形状,由此岛状氧化物半导体膜605在栅绝缘膜603之上的岛状氧化物半导体膜605与栅电极601重叠的位置处形成。

[0287] 用于形成岛状氧化物半导体膜605的抗蚀剂掩模可通过喷墨方法来形成。通过喷墨方法来形成抗蚀剂掩模不需要光掩模;因此,制造成本能够降低。

[0288] 注意,用于形成岛状氧化物半导体膜605的蚀刻可以是干式蚀刻、湿式蚀刻或者干式蚀刻和湿式蚀刻两者。作为用于干式蚀刻的蚀刻气体,优选地使用包含氯的气体(氯基气体,例如氯(Cl₂)、氯化硼(BCl₃)、氯化硅(SiCl₄)或四氯化碳(CCl₄))。备选地,能够使用包含氟的气体(氟基气体,例如四氟化碳(CF₄)、六氟化硫(SF₆)、三氟化氮(NF₃)或三氟甲烷(CHF₃));溴化氢(HBr);氧(O₂);对其添加了诸如氦(He)或氩(Ar)之类的稀有气体的任何这些气体;等等。

[0289] 作为干式蚀刻方法,能够使用平行板RIE(反应离子蚀刻)方法或ICP(电感耦合等离子体)蚀刻方法。为了将膜蚀刻成预期形状,蚀刻条件(施加到线圈形状电极的电量、施加到衬底侧的电极的电量和衬底侧的电极的温度等)经过适当调整。

[0290] 作为用于湿式蚀刻的蚀刻剂,能够使用通过混合磷酸、醋酸和硝酸所得到的溶液、氨过氧化氢混合物(31 wt%的过氧化氢水:28 wt%的氨水:水=5:2:2)等。备选地,可使用ITO-07N(Kanto Chemical Co., Inc.制造)。湿式蚀刻之后的蚀刻剂连同被蚀刻材料一起通过清洗被去除。包含蚀刻剂和蚀刻掉的材料的废液可经过纯化,并且材料可再使用。当氧化物半导体膜中包含的诸如铟之类的材料在蚀刻之后从废液中被收集并且再使用时,能够有效地使用资源,并且能够降低成本。

[0291] 注意,优选的是,反向溅射可在后一步骤中形成导电膜之前执行,使得附于岛状氧

化物半导体膜605和栅绝缘膜603的表面的抗蚀剂残余等被去除。

[0292] 随后,氧化物半导体膜605在降低压力气氛、诸如氮气氛或稀有气体气氛之类的惰性气体气氛、氧气气氛或超干空气(在由露点计通过腔衰荡激光谱(CRDS)方法来执行测量的情况下,水分含量为20 ppm(转换为露点为-55°C)或以下,优选地为1 ppm或以下,更优选地为10 ppb或以下)中经过热处理。通过对氧化物半导体膜605执行热处理,能够消除氧化物半导体膜605中的水分或氢。具体来说,可在高于或等于300°C但低于或等于850°C(或者低于或等于玻璃衬底的应变点的温度)、更优选地高于或等于550°C但低于或等于750°C下执行热处理。例如,热处理可在600°C下执行大于或等于3分钟但小于或等于6分钟。通过用于热处理的RTA方法,脱水或脱氢能够在短时间中执行;因此,处理能够甚至在高于玻璃衬底的应变点的温度下执行。备选地,热处理可在衬底温度为450°C的状态中执行大约1小时。

[0293] 在这个实施例中,借助于作为热处理设备之一的电炉,在氮气氛中以600°C的衬底温度对氧化物半导体膜605执行6分钟热处理,然后氧化物半导体膜没有暴露于空气,并且防止水或氢进入氧化物半导体膜。

[0294] 注意,热处理设备并不局限于电炉,并且热处理设备可提供有用于通过来自诸如电阻加热元件之类的加热元件的热传导或热辐射来加热待处理对象的装置。例如,能够使用诸如GRTA(气体快速热退火)设备或LRTA(灯快速热退火)设备之类的RTA(快速热退火)设备。LRTA设备是用于通过从诸如卤素灯、金属卤化物灯、氩弧灯、碳弧灯、高压钠灯或高压水银灯之类的灯泡所发射的光(电磁波)的辐射来加热待处理对象的设备。GRTA设备是用于使用高温气体的热处理的设备。作为气体,使用诸如氮之类的不会通过热处理来与待处理对象发生反应的惰性气体或者诸如氩之类的稀有气体。

[0295] 例如,热处理能够采用GRTA,其中将衬底移入以650°C至700°C的高温所加热的惰性气体中,并且在其中加热数分钟,然后将衬底从高温惰性气体移出。通过GRTA,能够实现短时间段的高温热处理。

[0296] 注意,在热处理中,优选的是,水分、氢等没有包含在氮或者诸如氦、氖或氩之类的稀有气体中。优选的是,引入热处理设备中的氮或者诸如氦、氖或氩之类的稀有气体的纯度设置为6N(99.9999%)或更高、优选地为7N(99.99999%)或更高(也就是说,杂质浓度为1 ppm或更低,优选地为0.1 ppm或更低)。

[0297] 在诸如水分或氢之类的杂质加入氧化物半导体时,在栅极偏置温度应力测试(BT测试,测试条件为例如在85°C下以 2×10^6 V/cm进行12小时)中,杂质与氧化物半导体的主要成分之间的接合被高电场(B:偏置)和高温度(T:温度)破坏,并且所生成的悬挂键引起阈值电压(V_{th})的漂移。但是,按照上述方式,通过改进栅绝缘膜与氧化物半导体膜之间的界面特性,并且尽可能多地去除氧化物半导体膜中的杂质、特别是氢、水分等,能够得到甚至相对于BT测试也保持稳定的晶体管。

[0298] 通过上述步骤,氧化物半导体膜605中的氢的浓度能够降低,并且岛状氧化物半导体膜经过高度纯化。因此,能够使氧化物半导体膜稳定。另外,在低于或等于玻璃转变温度的温度下的热处理使得有可能形成其中载流子密度极低的具有宽带隙的氧化物半导体膜。因此,晶体管能够使用大尺寸衬底来制造,使得生产率能够提高。另外,通过使用其中降低氢浓度并且提高纯度的氧化物半导体膜,有可能制造具有高耐受电压、降低的短沟道效应和高通-断比的晶体管。

[0299] 注意,在加热氧化物半导体膜的情况下,虽然取决于氧化物半导体膜的材料或加热条件,但是在一些情况下,板状晶体在氧化物半导体膜的顶面之上形成。板状晶体优选地形成单晶体,其中晶体沿一般垂直于氧化物半导体膜的表面的方向c轴定向。甚至当板状晶体没有形成单晶体时,板状晶体也优选地形成多晶体,其中各晶体沿一般垂直于氧化物半导体膜的表面的方向c轴定向。在上述多晶体中,除了c轴取向之外,晶体还优选地具有相同的a-b平面、a轴或b轴。注意,在氧化物半导体膜的基底表面不均匀的情况下,板状晶体形成多晶体。因此,优选的是,基底的表面尽可能地是平面的。

[0300] 随后,部分蚀刻绝缘膜530、绝缘膜531、绝缘膜532和栅绝缘膜603,使得形成达到n沟道晶体管520中包含的高浓度杂质区513的接触孔、达到p沟道晶体管521中包含的高浓度杂质区516的接触孔以及达到电极602的接触孔。然后,用于源电极或漏电极(包括在与源电极或漏电极相同的层中形成的布线)的导电膜通过溅射方法或真空蒸发方法在氧化物半导体膜605之上,并且然后通过蚀刻等对导电膜形成图案,由此,如图11A所示,形成氧化物半导体膜605之上的源电极607和漏电极608、与电极602高浓度杂质区513相接触的布线609、与高浓度杂质区516相接触的布线610以及与高浓度杂质区513和高浓度杂质区516相接触的布线611。

[0301] 作为将要作为源电极和漏电极(包括在与源电极和漏电极相同的层中形成的布线)的导电膜的材料,存在从Al、Cr、Cu、Ta、Ti、Mo和W中选取的元素、包含任何上述元素作为成分的合金、组合地包含任何这些元素的合金膜等。此外,可采用一种结构,其中使用诸如Cr、Ta、Ti、Mo或W之类的高熔点金属所形成的膜层叠在诸如Al或Cu之类的金属膜的下侧或上侧。又备选地,当使用添加了诸如Si、Ti、Ta、W、Mo、Cr、Nd、Sc或Y之类的防止Al膜中生成小丘和触须的元素的Al材料时,耐热性能够提高。

[0302] 此外,导电膜可具有单层结构或者两层或更多层的分层结构。例如,可给出包含硅的铝膜的单层结构、其中钛膜层叠在铝膜之上的二层结构、其中钛膜、铝膜和钛膜按照这种顺序层叠的三层结构等等。

[0303] 备选地,将要作为源和漏电极(包括在与源和漏电极相同的层中形成的布线)的导电膜可使用导电金属氧化物来形成。作为导电金属氧化物,能够使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟锡($In_2O_3-SnO_2$,缩写成ITO)、氧化铟和氧化锌的合金(In_2O_3-ZnO)或者任何包含硅或氧化硅的金属氧化物材料。

[0304] 在形成导电膜之后执行热处理的情况下,导电膜优选地具有耐受热处理的足够耐热性。

[0305] 注意,各材料和蚀刻条件经过适当调整,使得氧化物半导体膜605尽可能多地没有在蚀刻导电膜中被去除。取决于蚀刻条件,部分蚀刻岛状氧化物半导体膜605的外露部分,使得在一些情况下形成具有凹槽(凹陷部分)的岛状氧化物半导体膜605。

[0306] 在这个实施例中,由于钛膜用作导电膜,所以能够借助于氨过氧化氢混合物(31 wt%的过氧化氢水:28 wt%的氨水:水=5:2:2)来对导电膜有选择地执行湿式蚀刻,在这种情况下,在一些情况下还蚀刻氧化物半导体膜605的一部分。备选地,可借助于包含氯(Cl_2)、氯化硼(BCl_3)等,来对导电膜执行干式蚀刻。

[0307] 为了减少光刻过程中的光掩模和步骤的数量,可借助于使用作为光线透过其中的曝光掩模的多色调掩模所形成的抗蚀剂掩模来执行蚀刻步骤,以使得具有多种强度。借助

于多色调掩模所形成的抗蚀剂掩模具有多个厚度并且还能够通过蚀刻来改变形状,因此,抗蚀剂掩模能够在多个蚀刻步骤中用于处理为不同图案。因此,与至少两种或更多种不同图案对应的抗蚀剂掩模能够通过一个多色调掩模来形成。因此,曝光掩模的数量能够减少,并且对应光刻过程的数量也能够减少,由此能够实现过程的简化。

[0308] 随后,采用诸如N₂O、N₂或Ar之类的气体来执行等离子体处理。通过等离子体处理,去除附于或者吸附到氧化物半导体膜的外露表面的水等。等离子体处理也可使用氧和氩的混合气体来执行。

[0309] 在等离子体处理之后,如图11B所示,绝缘膜612形成为使得覆盖源电极607、漏电极608、布线609至611以及氧化物半导体膜605。绝缘膜612优选地包含尽可能少的诸如水分或氢之类的杂质,并且绝缘膜612可使用单层绝缘膜或层叠的多个绝缘膜来形成。当氢包含在绝缘膜612中时,可发生氢进入氧化物半导体膜或者通过氢抽取氧化物半导体膜中的氧,由此使氧化物半导体膜的背沟道部分具有较低电阻(作为n型),使得可形成寄生沟道。因此,优选的是,采用其中没有使用氢的形成方法,以便形成包含尽可能少的氢的绝缘膜612。具有高势垒性质的材料优选地用于绝缘膜612。例如,作为具有高势垒性质的绝缘膜,能够使用氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等。当使用层叠的多个绝缘膜时,具有较低比例的氮的绝缘膜、如氧化硅膜或氧氮化硅膜在比具有高势垒性质的绝缘膜更接近氧化物半导体膜605的一侧来形成。然后,具有高势垒性质的绝缘膜形成为使得与源电极607、漏电极608和氧化物半导体膜605重叠,其中具有较低比例的氮的绝缘膜处于具有高势垒性质的绝缘膜与源电极607、漏电极608和岛状氧化物半导体膜605之间。当使用具有高势垒性质的绝缘膜时,能够防止诸如水分或氢之类的杂质进入氧化物半导体膜605、栅绝缘膜603或者氧化物半导体膜605与另一个绝缘膜之间的界面或者其邻近区域。另外,具有氮的较低比例的诸如氧化硅膜或氧氮化硅膜之类的绝缘膜形成为使得与氧化物半导体膜605相接触,使得能够防止使用具有高势垒性质的材料所形成的绝缘膜与氧化物半导体膜605直接接触。

[0310] 在这个实施例中,形成具有一种结构的绝缘膜612,在这种结构中,采用溅射方法所形成的厚度为100 nm的氮化硅膜层叠在采用溅射方法所形成的厚度为200 nm的氧化硅膜之上。膜形成中的衬底温度可高于或等于室温但低于或等于300°C,并且在这个实施例中为100°C。

[0311] 注意,在形成绝缘膜612之后,可执行热处理。优选地在降低压力气氛、诸如氮气气氛或稀有气体气氛之类的惰性气体气氛、氧气体气氛或者超干空气气氛(在由露点计通过腔衰荡激光谱(CRDS)方法来执行测量的情况下,水分含量为20 ppm(转换为露点为-55°C)或以下、优选地为1 ppm或以下、更优选地为10 ppb或以下)中,以高于或等于200°C但低于或等于400°C、例如高于或等于250°C但低于或等于350°C的温度下,执行热处理。在这个实施例中,在氮气气氛中以250°C执行1小时热处理。备选地,在高温下的短时间的RTA处理可在形成源电极607、漏电极608和布线609至611之前按照与对氧化物半导体膜所执行的热处理相似的方式来执行。甚至在氧化物半导体膜605中因对氧化物半导体膜的先前热处理而产生缺氧时,通过在包含氧的绝缘膜612形成为与设置在源电极607和漏电极608之间的氧化物半导体膜605的外露区域相接触之后执行热处理,也将氧提供给氧化物半导体膜605。通过将氧提供给与绝缘膜612相接触的氧化物半导体膜605的区域,用作施主的缺氧降低,并且

能够满足化学计量组成比。因此,能够使氧化物半导体膜605成为i型半导体膜或者基本上i型半导体膜。相应地,晶体管的电特性能够得到改进,并且其电特性的变化能够降低。这种热处理的定时没有具体限制,只要它在形成绝缘膜612之后,并且通过兼任诸如用于形成树脂膜的热处理或者用地降低透明导电膜的电阻的热处理之类的另一个步骤,使得能够使氧化物半导体膜605成为i型半导体膜或者基本上i型半导体膜,能够在无需增加制造步骤的数量的情况下执行这种热处理。

[0312] 随后,在绝缘膜612之上形成导电膜之后,通过对导电膜形成图案,背栅电极可形成为使得重叠氧化物半导体膜605。当形成背栅电极时,绝缘膜形成为使得覆盖背栅电极。背栅电极能够使用与栅电极601、电极602、源电极607、漏电极608、布线609、布线610或布线611相似的材料和结构来形成。

[0313] 背栅电极的厚度为10 nm至400 nm,优选地为100 nm至200 nm。在这个实施例中,背栅电极可按照如下方式来形成:使得形成其中层叠钛膜、铝膜和钛膜的导电膜,抗蚀剂掩模通过光刻方法等形成,以及不必要部分通过蚀刻被去除,使得导电膜处理(形成图案)为预期形状。

[0314] 绝缘膜优选地使用具有高势垒性质的材料来形成,这能够防止气氛中的水分、氢、氧等影响晶体管的特性。例如,有可能通过等离子体CVD方法、溅射方法等,形成氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等的单层结构或者叠层结构,作为具有高势垒性质的绝缘膜。为了得到势垒性质的效果,例如,绝缘膜优选地形成为15 nm至400 nm厚。

[0315] 在这个实施例中,绝缘膜通过等离子体CVD方法来形成为300 nm厚。绝缘膜在如下条件下形成:硅烷气体流率为4 sccm;一氧化二氮(N₂O)的流率为800 sccm;以及衬底温度为400℃。

[0316] 通过上述步骤,形成用作开关元件的晶体管620、形成倒相元件的n沟道晶体管520和p沟道晶体管521以及电容器623。注意,电容器623在电极602与源电极607隔着绝缘膜603相互重叠的区域中形成。还要注意,电容器623不一定在与晶体管620相同的层之上形成;例如,电容器623可在与n沟道晶体管520和p沟道晶体管621相同的层之上形成。

[0317] 晶体管620包括栅电极601、栅电极601之上的栅绝缘膜603、栅绝缘膜603之上并且与栅电极610重叠的氧化物半导体膜605以及在氧化物半导体膜605之上形成的一对源电极607和漏电极608。晶体管620还可包括设置在氧化物半导体膜605之上作为其成分的绝缘膜612。注意,图11B所示的晶体管620具有沟道蚀刻结构,其中氧化物半导体膜605的一部分在源电极607与漏电极608之间暴露。

[0318] 虽然使用单栅晶体管作为晶体管620来给出描述,但是可根据需要来形成通过包括相互电连接的多个栅电极601来包括多个沟道形成区的多栅晶体管。

[0319] 注意,氧化物半导体的能带隙为3 eV至3.5 eV。碳化硅的带隙和氮化镓的带隙分别为3.26 eV和3.39 eV,它们是硅的大约三倍。因此,诸如碳化硅和氮化镓之类的这些化合物半导体与氧化物半导体相似,因为它们均是宽带隙半导体。宽带隙的特性对于改进耐受电压、降低半导体器件的电力损耗等是有利的。

[0320] 但是,诸如碳化硅或氮化镓之类的化合物半导体需要比氧化物半导体高许多的加工温度或处理温度。碳化硅的加工温度大约为1500℃,并且氮化镓的加工温度大约为1100℃,在不允许在能够易于得到的硅晶圆或者其容许温度极限较低的玻璃衬底之上的膜形

成。因此,无法使用廉价衬底,并且此外,当衬底的尺寸增加时,无法应用化合物半导体,使得使用诸如碳化硅或氮化镓之类的化合物半导体器件的大规模生产性较低。相比之下,氧化物半导体能够在300°C至850°C的热处理中沉积,以使得沉积在玻璃衬底之上。另外,如这个实施例中所述,有可能在使用正常半导体材料的集成电路之上形成使用氧化物半导体的半导体元件。

[0321] 接下来将描述如何如同这个实施例中那样通过尽可能多地去除氧化物半导体膜中包含的诸如水分或氢之类的杂质对氧化物半导体膜的高度纯化来影响晶体管的特性。

[0322] 图19是包括氧化物半导体的晶体管的截面图。氧化物半导体膜(OS)隔着栅绝缘膜(GI)设置在栅电极(GE)之上,并且源电极(S)和漏电极(D)设置在其之上。绝缘膜在源电极(S)和漏电极(D)之上形成。

[0323] 图20是沿图19所示的A-A'截面的能带图(示意图)。图20中,黑圆圈(●)和白圆圈(○)分别表示电子和空穴,并且具有电荷(-q, +q)。其中正电压($V_D > 0$)施加到漏电极(D)但没有电压($V_G = 0$)施加到栅电极(GE)的情况通过虚线示出,以及其中正电压($V_D > 0$)施加到漏电极(D)并且正电压($V_G > 0$)施加到栅电极(GE)的情况通过实线示出。在没有电压施加到栅电极(GE)的情况下,载流子(电子)由于高电位势垒而没有从源电极(S)注入到氧化物半导体膜(OS)侧,使得电流没有流动,这表示截止态。相反,当正电压施加到栅电极(GE)时,电位势垒降低,使得电流在氧化物半导体膜(OS)中流动,这表示通态。

[0324] 图21A和图21B是沿图19所示的B-B'截面的能带图(示意图)。图21A示出其中正电压($V_G > 0$)施加到栅电极(GE)的状态以及载流子(电子)在源电极与漏电极之间流动的通态。图21B示出其中负电压($V_G < 0$)施加到栅电极(GE)并且晶体管处于截止态的状态。

[0325] 图22示出真空能级与金属的功函数(ϕ_M)以及真空能级与氧化物半导体的电子亲合势(x)之间的关系。

[0326] 在正常温度下,金属中的电子简并,并且费米能级位于导带中。另一方面,一般来说,常规氧化物半导体是n型半导体,并且其费米能级(Ef)位于更接近远离位于带隙中心的本征费米能级(Ei)的导带(Ec)。注意,已知氧化物半导体中的氢的一部分用作施主以及使氧化物半导体成为n型半导体的因素之一。另外,缺氧也已知为使氧化物半导体具有n型导电的因素之一。

[0327] 相比之下,在本发明的一个实施例中,通过从氧化物半导体中去除作为n型杂质的氢,高度纯化氧化物半导体以使得尽可能多地防止除了氧化物半导体的主要成分之外的杂质包含在其中,并且去除缺氧,来使氧化物半导体成为本征(i型)半导体或者极接近本征半导体。也就是说,氧化物半导体不是通过添加杂质而是通过尽可能多地去除诸如水分或氢之类的杂质以及缺氧以具有高纯度,来成为i型半导体,使得得到作为本征(i型)半导体或者极接近本征(i型)半导体的氧化物半导体。通过上述结构,费米能级(Ef)能够极接近与本征费米能级(Ei)相同的能级,如箭头所示。

[0328] 据说,氧化物半导体的带隙(Eg)为3.15 eV,以及其电子亲合势(x)为4.3 eV。在钛(Ti)用作用于形成源电极和漏电极的材料的情况下,钛(Ti)的功函数基本上等于氧化物半导体的电子亲合势(x)。在那种情况下,在金属与氧化物半导体之间的界面处没有形成电子的肖特基势垒。存在满足这种条件的除了钛之外的材料。

[0329] 在这种情况下,如图21A所示,电子沿氧化物半导体的最低部分在栅绝缘膜与高度

纯化氧化物半导体之间的界面处移动,这在能量上是稳定的。

[0330] 图21B中,当负电压施加到栅电极(GE)时,作为少数载流子的空穴基本上为零;因此,电流极接近零。

[0331] 例如,甚至当元件具有 $1 \times 10^6 \mu\text{m}$ 的沟道宽度(W)以及 $10 \mu\text{m}$ 的沟道长度(L)时,截止态电流也能够小于或等于半导体参数分析器的测量极限,即,在从1 V至10 V的源电极与漏电极之间的电压(漏极电压)下小于或等于 $1 \times 10^{-13} \text{ A}$ 。按照测量,晶体管能够在3 V的晶体管的源电极与漏电极之间的电压下具有从 $10 \text{ zA}/\mu\text{m}$ 至 $100 \text{ zA}/\mu\text{m}$ 的低许多的截止态电流密度。在测量中,包括高度纯化氧化物半导体膜和 100 nm 厚的栅绝缘膜的晶体管用于存储存储电容器的电荷的开关元件,并且晶体管的截止态电流通过每单位小时的存储电容器中的电荷量的变化来测量。也就是说,其中高度纯化氧化物半导体膜用作有源层的晶体管的截止态电流密度能够小于或等于 $100 \text{ zA}/\mu\text{m}$,优选地小于或等于 $10 \text{ zA}/\mu\text{m}$,更优选地小于或等于 $1 \text{ zA}/\mu\text{m}$ 。

[0332] 这样,氧化物半导体膜经过高度纯化,使得尽可能少地包含除了氧化物半导体的主要成分之外的诸如水分或氢之类的杂质,由此晶体管的操作能够是有利的。

[0333] 这个实施例能够通过与任何上述实施例适当地结合来实现。

[0334] (实施例5)

[0335] 在这个实施例中,描述包括具有与实施例4的晶体管不同的结构的氧化物半导体膜的晶体管。

[0336] 按照与实施例4相似的方式,图12A所示的存储装置包括各包含晶体硅的n沟道晶体管520和p沟道晶体管521。另外,具有沟道保护结构并且包括氧化物半导体膜的底栅晶体管630在图12A中的n沟道晶体管520和p沟道晶体管521之上形成。

[0337] 晶体管630包括设置在绝缘膜532之上的栅电极631、设置在栅电极631之上的栅绝缘膜632、在栅绝缘膜632之上与栅电极631重叠的氧化物半导体膜633、设置在岛状氧化物半导体膜633之上以与栅电极631重叠的沟道保护膜634以及设置在氧化物半导体膜633之上的源电极635和漏电极636。晶体管630还可包括设置在氧化物半导体膜633之上作为其成分的绝缘膜637。

[0338] 沟道保护膜634能够防止用作沟道形成区的氧化物半导体膜633的一部分在后一步骤中被损坏(例如因等离子体或蚀刻中的蚀刻剂引起的厚度的减小)。因此,晶体管的可靠性能够提高。

[0339] 包含氧的无机材料(氧化硅、氮氧化硅、氧氮化硅、氧化铝、氧氮化铝等)能够用于沟道保护膜634。沟道保护膜634能够通过诸如等离子体CVD方法或热CVD方法之类的气相沉积方法或者溅射方法来形成。在形成沟道保护膜634之后,其形状通过蚀刻来处理。在这里,沟道保护膜634按照如下方式来形成:使得氧化硅膜通过溅射方法来形成,并且通过使用由光刻所形成的掩模的蚀刻来处理。

[0340] 通过将包含氧的无机材料用于沟道保护膜634,甚至在氧化物半导体膜633中因用于降低水分或氢的热处理而产生缺氧时,至少与沟道保护膜634相接触的氧化物半导体膜633的区域也能够提供有氧,并且用作施主的缺氧能够降低,使得能够得到满足化学计量组成比的结构。因此,能够使沟道形成区成为i型半导体或者基本上i型半导体,因缺氧引起的晶体管的电特性的变化能够降低,并且电特性能够得到改进。

[0341] 注意，晶体管630还可包括绝缘膜637之上的背栅电极。背栅电极形成为使得与氧化物半导体膜633中的沟道形成区重叠。此外，背栅电极可以是电绝缘的并且处于浮态，或者可处于其中背栅电极提供有电位的状态。在后一种情况下，背栅电极可提供有具有与栅电极631相同的电平的电位，或者可提供有诸如地电位之类的固定电位。提供给背栅电极的电位的电平受到控制，由此晶体管630的阈值电压能够受到控制。

[0342] 按照与实施例4相似的方式，图12B所示的存储装置包括各包含晶体硅的n沟道晶体管520和p沟道晶体管521。另外，包括氧化物半导体膜的底栅晶体管640在图12B中的n沟道晶体管520和p沟道晶体管521之上形成。

[0343] 晶体管640包括设置在绝缘膜532之上的栅电极641、设置在栅电极641之上的栅绝缘膜642、设置在栅绝缘膜642之上的源电极643和漏电极644以及与栅电极641重叠的氧化物半导体膜645。晶体管640还可包括设置在氧化物半导体膜645之上作为其成分的绝缘膜646。

[0344] 在图12B所示的底接触晶体管640的情况下，源电极643和漏电极644的每个的厚度优选地比实施例4中所述的底栅晶体管要小，以便防止后来形成的氧化物半导体膜645的断开连接。具体来说，源电极643和漏电极644的厚度为10 nm至200 nm，优选地为50 nm至75 nm。

[0345] 注意，晶体管640还可包括绝缘膜646之上的背栅电极。背栅电极形成为使得与氧化物半导体膜645中的沟道形成区重叠。此外，背栅电极可以是电绝缘的并且处于浮态，或者可处于其中背栅电极提供有电位的状态。在后一种情况下，背栅电极可提供有具有与栅电极641相同的电平的电位，或者可提供有诸如地电位之类的固定电位。提供给背栅电极的电位的电平受到控制，由此晶体管640的阈值电压能够受到控制。

[0346] 按照与实施例4相似的方式，图12C所示的存储装置包括各包含晶体硅的n沟道晶体管520和p沟道晶体管521。另外，包括氧化物半导体膜的顶栅晶体管650设置在图12C中的n沟道晶体管520和p沟道晶体管521之上。

[0347] 晶体管650包括设置在绝缘膜532之上的源电极651和漏电极652、设置在源电极651和漏电极652之上的氧化物半导体膜653、设置在氧化物半导体膜653之上的栅绝缘膜654以及在栅绝缘膜654之上与氧化物半导体膜653重叠的栅电极655。另外，晶体管650还可包括设置在栅电极655之上作为其成分的绝缘膜656。

[0348] 在图12C所示的顶栅晶体管650的情况下，源电极651和漏电极652的每个的厚度优选地比实施例4中所述的底栅晶体管要小，以便防止后来形成的氧化物半导体膜653的断开连接。具体来说，源电极651和漏电极652的厚度为10 nm至200 nm，优选地为50 nm至75 nm。

[0349] 在作为本发明的一个实施例的存储器装置中，倒相元件、开关元件等可包括使用大块单晶半导体衬底来制造的晶体管。图23中，作为示例示出其中包括氧化物半导体的晶体管在使用大块单晶半导体衬底来形成的晶体管之上形成的存储器装置的截面图。

[0350] 图23所示的存储器装置包括设置在半导体衬底660之上的n沟道晶体管661和p沟道晶体管662、设置在覆盖n沟道晶体管661和p沟道晶体管662的绝缘膜663之上并且用作电容器开关元件的晶体管664以及电容器665。

[0351] 虽然作为示例来描述其中晶体管664在沟道形成区中包括氧化物半导体并且具有实施例4中所述的结构的情况，但是该结构可以是图12A至图12C所示的结构。

[0352] 半导体衬底660能够是例如具有n型或p型导电的单晶硅衬底、化合物半导体衬底(例如GaAs衬底、InP衬底、GaN衬底、SiC衬底、蓝宝石衬底或ZnSe衬底)等。图23中,作为示例示出其中使用具有n型导电的单晶硅衬底的情况。

[0353] 另外,n沟道晶体管661和p沟道晶体管662通过元件隔离绝缘膜666来电隔离。对于形成元件隔离绝缘膜666,能够使用选择性氧化方法(硅的局部氧化(LOCOS)方法)、沟槽隔离方法等。

[0354] 在形成p沟道晶体管662的区域中,称作p阱667的区域通过有选择地引入赋予p型导电的杂质元素来形成。在使用具有p型导电的半导体衬底的情况下,赋予n型导电的杂质元素可有选择地引入其中形成n沟道晶体管661的区域,使得形成n阱。

[0355] 这个实施例能够通过与任何上述实施例适当地结合来实现。

[0356] (实施例6)

[0357] 在这个实施例中,将描述作为本发明的一个实施例的存储器装置的结构。在存储器装置中,在沟道形成区中包括高度纯化氧化物半导体的晶体管用于控制向存储器元件提供电源电位的开关元件。

[0358] 图13A中,作为示例示出这个实施例的存储器装置的结构。图13A所示的存储器装置包括开关元件401以及包括多个存储器元件402的存储器元件组403。具体来说,作为存储器元件402的每个,能够使用具有实施例1至5中所述的结构的任一个的存储器元件。存储器元件组403中包含的存储器元件402的每个经由开关元件401提供有高电平电源电位VDD。此外,存储器元件组403中包含的存储器元件402的每个提供有信号IN的电位和低电平电源电位VSS。

[0359] 图13A中,在沟道形成区中包括氧化物半导体的晶体管用于器开关元件401,并且晶体管的开/关通过提供给其栅电极的信号Sig A来控制。由于用于开关元件401的晶体管在沟道形成区中包括高度纯化氧化物半导体,所以截止态电流极低,如上所述。

[0360] 注意,图13A中,示出开关元件401仅包括一个晶体管的结构;但是,本发明并不局限于这种结构。在本发明的一个实施例中,开关元件401可包括多个晶体管。在用作开关元件的多个晶体管包含在开关元件401中的情况下,多个晶体管可并联、串联或者以并联连接和串联连接的组合相互连接。

[0361] 虽然开关元件401控制向图13A的存储器元件组403中包含的存储器元件402的每个提供高电平电源电位VDD,但是开关元件401可控制低电平电源电位VSS的提供。图13B中,示出其中存储器元件组403中包含的存储器元件402的每个经由开关元件401提供有低电平电源电位VSS的存储器装置的示例。向存储器元件组403中包含的存储器元件402的每个提供低电平电源电位VSS能够由开关元件401来控制。

[0362] 接下来将描述能够控制比实施例4或实施例5中所述的在沟道形成区中包括氧化物半导体的晶体管更高的电压或更高的电流的电力装置的晶体管的结构。通过将具有这种结构的晶体管,用于开关元件401,存储器装置的可靠性能够进一步提高。注意,与实施例4或实施例5相同的部分或者具有与实施例4或实施例5相似的功能的部分能够如同实施例4或实施例5那样来形成,并且与实施例4或实施例5相同的步骤或者与实施例4或实施例5相似的步骤能够按照与实施例4或实施例5相似的方式来执行;因此,省略对其的重复描述。

[0363] 图14A中,示出这个实施例中所述的晶体管420的截面图。图14B是晶体管420的顶

视图。沿图14B的虚线B1-B2的截面图对应于图14A。

[0364] 晶体管420包括绝缘表面之上的第一电极421。

[0365] 使用从铝、铬、铜、钽、钛、钼、钨和钇中选取的金属元素、包含任何这些金属元素作为成分的合金、组合地包含这些金属元素的合金等,来形成第一电极421。备选地,能够使用从锰、镁、锆和铍中选取的一种或多种金属元素。另外,第一电极421能够具有单层结构或者具有两层或更多层的层叠结构。例如,能够给出包含硅的铝膜的单层结构、其中钛膜层叠在铝膜之上的二层结构、其中钛膜层叠在钨膜之上的二层结构、其中钛膜、铝膜和钛膜按照此顺序层叠的三层结构等。备选地,可使用包含铝以及从钛、钽、钨、钼、铬、钕和钪中选取的一种元素或多种元素的膜、合金膜或者氮化物膜。

[0366] 能够使用诸如氧化铟锡、包含氧化钨的氧化铟、包含氧化钨的氧化锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锌或者添加了氧化硅的氧化铟锡之类的透光导电材料来形成第一电极421。另外,第一电极421能够具有使用上述透光导电材料和上述金属元素所形成的叠层结构。

[0367] 第一电极421能够按照如下方式来形成:使得导电膜通过溅射方法、CVD方法或真空蒸发方法在绝缘表面之上形成,抗蚀剂掩模在光刻过程中在导电膜之上形成,以及导电膜使用抗蚀剂掩模来蚀刻。备选地,第一电极421在没有使用光刻过程的情况下通过印刷方法或喷墨方法来形成,使得步骤的数量能够减少。注意,第一电极421的端部优选地具有锥形形状,使得后来形成的栅绝缘膜的覆盖得到改进。当第一电极421的端部与其上形成第一电极421的绝缘表面之间的角度大于或等于30°但小于或等于60°、优选地大于或等于40°但小于或等于50°时,后来形成的栅绝缘膜的覆盖能够得到改进。

[0368] 在这个实施例中,作为用于形成第一电极421的导电膜,通过溅射方法来形成50 nm厚的钛膜,形成100 nm厚的铝膜,以及形成50 nm厚的钛膜。随后,使用在光刻过程中形成的抗蚀剂掩模来执行蚀刻,由此形成第一电极421。通过使用喷墨方法而不是在光刻过程中形成的抗蚀剂掩模来形成抗蚀剂掩模,步骤的数量能够减少。

[0369] 晶体管420包括第一电极421之上的岛状氧化物半导体膜422。氧化物半导体膜422能够通过溅射方法、涂层方法、印刷方法等形式形成。在这个实施例中,在氧化物半导体膜通过溅射方法在第一电极421之上形成之后,氧化物半导体膜通过蚀刻等被处理为预期形状,使得形成岛状氧化物半导体膜422。此外,氧化物半导体膜能够通过溅射方法在稀有气体(例如氩)气氛、氧气气氛或者包含稀有气体(例如氩)和氧的气氛下形成。

[0370] 注意,用于形成岛状氧化物半导体膜422的蚀刻可按照实施例4中的氧化物半导体膜的蚀刻的描述来执行。注意,在通过蚀刻来形成的岛状氧化物半导体膜422的端部与第一电极421之间形成的角度优选地大于或等于30°但小于或等于60°、更优选地大于或等于40°但小于或等于50°,由此后来形成的栅绝缘膜的覆盖能够得到改进。

[0371] 注意,在氧化物半导体膜通过溅射来形成之前,第一电极421表面上的灰尘优选地通过其中引入氩气体并且生成等离子体的反向溅射被去除。反向溅射表示一种方法,其中通过将电压施加到衬底侧而不是靶侧,在氩气氛中借助于RF电源,并且通过在衬底附近生成等离子体,来修正衬底的表面。注意,代替氩气氛,可使用氮气氛、氦气氛等。备选地,可使用添加了氧、一氧化二氮等的氩气氛。备选地,可使用添加了氯、四氟化碳等的氩气氛。

[0372] 对于氧化物半导体膜422,能够使用上述氧化物半导体。

[0373] 在这个实施例中,通过溅射方法、使用包含铟(In)、镓(Ga)和锌(An)的氧化物半导体靶所得到的厚度为30 nm的In-Ga-Zn-O基非单晶膜用作氧化物半导体膜422。作为靶,例如,能够使用以In:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1或In:Ga:Zn=1:1:2的组成比包含各金属原子的金属氧化物靶。另外,氧化物半导体膜能够通过溅射方法在稀有气体(通常为氩)气氛、氧气气氛或者稀有气体(通常为氩)和氧的气氛中形成。在使用溅射方法的情况下,包含大于或等于2 wt%但小于或等于10 wt%的SiO₂的靶可用于形成膜。包含In、Ga和Zn的金属氧化物靶的填充率高于或等于90%但低于或等于100%,优选地高于或等于95%但低于或等于99.9%。借助于具有高填充率的金属氧化物靶,所形成的氧化物半导体膜具有高密度。

[0374] 将衬底保持在控制为降低压力的处理室中,将从其中去除了氢和水分的溅射气体引入从其中去除了剩余水分的处理室中,并且通过将金属氧化物用作靶在衬底422之上形成氧化物半导体膜422。在膜形成中,衬底温度可高于或等于100°C但低于或等于600°C,优选地高于或等于200°C但低于或等于400°C。膜形成在加热衬底的同时执行,由此能够降低所形成的氧化物半导体膜中的杂质浓度。另外,通过溅射引起的损坏能够降低。为了去除处理室中剩余的水分,优选地使用捕集真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。排空单元可以是提供有冷阱的涡轮泵。在采用低温泵排空的处理室中,例如,去除氢原子、诸如水(H₂O)之类的包含氢原子的化合物(更优选地,还有包含碳原子的化合物)等,由此能够降低处理室中形成的氧化物半导体膜的杂质浓度。

[0375] 在这个实施例中,作为氧化物半导体膜的膜形成条件的示例,应用下列条件:衬底温度为室温,衬底与靶之间的距离为110 mm,压力为0.4 Pa,直流(DC)电源为0.5 kW,以及气氛包含氧和氩(氧流率为15 sccm,氩流率为30 sccm)。注意,脉冲直流(DC)电源是优选的,因为能够降低膜形成中生成的称作微粒的灰尘,并且膜厚度能够是均匀的。氧化物半导体膜的厚度大于或等于1 μm,优选地大于或等于3 μm,更优选地大于或等于10 μm。注意,优选厚度根据氧化物半导体膜材料来改变;因此,适当厚度可根据材料来确定。

[0376] 注意,为了在氧化物半导体膜422中尽可能少地包含氢、羟基和水分,优选的是,其上形成一直到并且包括第一电极421的层的衬底在溅射设备的预热室中预先加热,使得消除和排空吸附到衬底的诸如氢和水分之类的杂质,作为膜形成之前的预处理。预热的温度高于或等于100°C但低于或等于400°C,优选地高于或等于150°C但低于或等于300°C。作为设置在预热室中的排空单元,低温泵是优选的。注意,能够省略这种预热处理。还要注意,这种预热可在形成绝缘膜之前对其上形成一直到并且包括栅电极的衬底类似地执行。

[0377] 溅射方法的示例包括:RF溅射方法,其中高频电力用于溅射电源;DC溅射方法;以及脉冲DC溅射方法,其中以脉冲方式来施加偏压。RF溅射方法主要用于形成绝缘膜的情况,而DC溅射方法主要用于形成金属膜的情况。

[0378] 另外,还存在多源溅射设备,其中能够设置不同材料的多个靶。通过多源溅射设备,不同材料的膜能够形成为层叠在同一室中,或者多种材料的膜能够通过在同一室中同时放电来形成。

[0379] 备选地,能够使用提供有室内部的磁体系统并且用于磁控管溅射方法的溅射设备或者用于ECR溅射方法、其中使用借助于微波所生成的等离子体而没有使用光辉放电的溅射设备。

[0380] 此外,作为使用溅射方法的沉积方法,能够使用其中靶物质和溅射气体成分在膜

形成期间相互起化学反应以形成其化合物薄膜的反应溅射方法或者其中电压在膜形成期间还施加到衬底的偏压溅射方法。

[0381] 注意,在降低压力气氛、诸如氮和稀有气体之类的惰性气体的气氛、氧气氛或超干空气气氛(在由露点计通过腔衰荡激光谱(CRDS)方法来执行测量的情况下,水分含量为20 ppm(转换为露点为-55°C)或以下,优选地为1 ppm或以下,更优选地为10 ppb或以下)中,对氧化物半导体膜422执行热处理。在对氧化物半导体膜422执行热处理时,形成消除了水分或氢的氧化物半导体膜422。具体来说,热处理可在高于或等于300°C但低于或等于850°C(或者低于或等于玻璃衬底的应变点的温度)下执行。由于脱水或脱氢能够采用RTA方法来短时间执行,所以热处理能够甚至在超过玻璃衬底的应变点的温度下执行。在这个实施例中,借助于作为热处理设备之一的电炉,在氮气氛中以450°C的衬底温度对氧化物半导体膜422执行1小时热处理,然后氧化物半导体膜没有暴露于空气,并且防止水和氢进入。诸如水分或氢之类的杂质通过热处理来消除,使得氧化物半导体膜422成为i型(本征)半导体或者基本上i型半导体;因此,能够防止助长因杂质引起的诸如阈值电压的偏移之类的晶体管的特性的退化,并且能够降低截止态电流。

[0382] 用于热处理的热处理设备的详细描述已经在实施例4中进行,并且因此在此略去。

[0383] 注意,优选的是,在热处理中,水分、氢等没有包含在氮或者诸如氦、氖或氩之类的稀有气体中。优选的是,引入热处理设备中的氮或者诸如氦、氖或氩之类的稀有气体的纯度设置为6N(99.9999%)或更高、优选地为7N(99.99999%)或更高(也就是说,杂质浓度为1 ppm或更低,优选地为0.1 ppm或更低)。

[0384] 在杂质加入氧化物半导体时,在栅极偏置温度应力测试(BT测试,测试条件为例如在85°C下以 2×10^6 V/cm进行12小时)中,杂质与氧化物半导体的主要成分之间的接合被高电场(B:偏置)和高温度(T:温度)破坏,并且所生成的悬挂键引起阈值电压(V_{th})的漂移。但是,按照上述方式,通过改进栅绝缘膜与氧化物半导体膜之间的界面特性,并且尽可能多地去除氧化物半导体膜中的杂质、特别是氢、水等,能够得到甚至相对于BT测试也保持稳定的晶体管。

[0385] 通过上述步骤,氧化物半导体膜中的氢浓度能够降低,并且氧化物半导体膜能够高度纯化。因此,能够使氧化物半导体膜稳定。另外,在低于或等于玻璃转变温度的温度下的热处理使得有可能形成其中载流子密度极低的具有宽带隙的氧化物半导体膜。因此,晶体管能够使用大尺寸衬底来制造,使得生产率能够提高。另外,通过使用其中降低氢浓度并且提高纯度的氧化物半导体膜,有可能制造具有高耐受电压、降低的短沟道效应和高通-断比的晶体管。

[0386] 晶体管420还包括氧化物半导体膜422之上的第二电极423。用于第二电极423的导电膜的材料和结构能够与第一电极421相似。另外,用于形成第二电极423的方法能够与第一电极421相似。

[0387] 在这个实施例中,抗蚀剂掩模在光刻过程中在用作第二电极423的导电膜之上形成,,并且导电膜使用抗蚀剂掩模来蚀刻,使得形成第二电极423。在这里,作为用于形成第二电极423的导电膜,50 nm厚的钛膜、100 nm厚的铝膜和50 nm厚的钛膜按照此顺序层叠。在第二电极423的端部与氧化物半导体膜422之间形成的角度优选地大于或等于30°但小于或等于60°、优选地大于或等于40°但小于或等于50°时,后来形成的栅绝缘膜的覆盖能够得

到改进。另外，第二电极423远离第一电极421来形成，以便没有与第一电极421相接触。

[0388] 第一电极421和第二电极423其中之一用作晶体管的源电极，而另一个用作其漏电极。

[0389] 热处理可在形成第二电极423之后执行。热处理的温度高于或等于400°C但低于或等于850°C，优选地高于或等于400°C但低于衬底的应变点。在这个实施例中，将衬底引入作为热处理设备之一的电炉中，并且在诸如氮气或稀有气体气体之类的惰性气体气氛中以450°C对氧化物半导体膜422执行1小时热处理，并且然后氧化物半导体膜没有暴露于空气。相应地，能够防止氢、水、羟基、氢化物等混合到氧化物半导体膜中，氢浓度进一步降低，并且氧化物半导体膜经过高度纯化，由此能够得到i型氧化物半导体膜或者基本上i型氧化物半导体膜。

[0390] 注意，优选的是，在热处理中，氢、水、羟基、氢化物等没有包含在氮或者诸如氦、氖或氩之类的稀有气体中。备选地，引入热处理设备中的氮或者诸如氦、氖或氩之类的稀有气体的纯度优选地为6N (99.9999%) 或更高、更优选地为7N (99.99999%) 或更高(也就是说，杂质浓度为1 ppm或更低，优选地为0.1 ppm或更低)。

[0391] 晶体管420还包括覆盖第一电极421、氧化物半导体膜422和第二电极423的栅绝缘膜424以及在栅绝缘膜424之上形成的栅电极425。可通过等离子体CVD、溅射等，使用具有包括氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氮氧化铝膜、氧化铪膜和氧化钽膜的一个或多个的单层或叠层，来形成栅绝缘膜424。

[0392] 当栅绝缘膜424使用诸如硅酸铪 (HfSiO_x)、添加了N的 $\text{HfSi}_{x,y}$ 、添加了N的铝酸铪 (HfAlO_x)、氧化铪或氧化钇之类的高k材料来形成时，栅极泄漏电流能够降低。此外，能够使用其中层叠高k材料以及氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜和氧化铝膜中的一个或多个的层叠结构。栅绝缘膜424的厚度优选地大于或等于50 nm但小于或等于500 nm。当栅绝缘膜424的厚度较大时，栅极泄漏电流能够降低。

[0393] 优选的是，栅绝缘膜424尽可能少地包含诸如水分或氢之类的杂质。在氧化硅膜通过溅射方法来形成的情况下，硅靶或石英靶用作靶，并且氧和氩的混合气体用作溅射气体。

[0394] 通过去除杂质来制作为本征氧化物半导体或者基本上本征氧化物半导体的氧化物半导体(经过高度纯化的氧化物半导体)对界面状态和界面电荷极为敏感；因此，氧化物半导体与栅绝缘膜424之间的界面是重要的。因此，与高度纯化氧化物半导体相接触的栅绝缘膜(GI)需要具有较高质量。

[0395] 例如，使用微波 (2.45 GHz) 的高密度等离子体CVD是优选的，因为能够形成具有高耐受电压的密集高质量绝缘膜。这是因为，当高度纯化氧化物半导体与高质量栅绝缘膜紧密接触时，界面状态能够降低，并且界面性质能够是有利的。

[0396] 不用说，能够采用诸如溅射方法或等离子体CVD方法之类的另一种方法，只要该方法实现作为栅绝缘膜424的良好质量绝缘膜的形成。另外，能够使用任何绝缘膜，只要膜质量以及与栅绝缘膜424的氧化物半导体的界面性质通过在沉积之后执行的热处理来修正。在任一种情况下，能够使用任何绝缘膜，只要作为栅绝缘膜的膜质量较高，与氧化物半导体的界面状态密度降低，并且能够形成有利界面。

[0397] 栅绝缘膜424可具有一种结构，其中层叠使用具有高势垒性质的材料所形成的绝缘膜以及具有较低比例的氮的诸如氧化硅膜、氧氮化硅膜之类的绝缘膜。在这种情况下，诸

如氧化硅膜或氧氮化硅膜之类的绝缘膜在具有势垒性质的绝缘膜与氧化物半导体膜之间形成。作为具有高势垒性质的绝缘膜,例如能够给出氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等。使用具有势垒性质的绝缘膜,使得能够防止气氛中诸如水分或氢之类的杂质或者衬底中包含的诸如碱金属或重金属之类的杂质进入氧化物半导体膜、栅绝缘膜424或者氧化物半导体膜与另一个绝缘膜之间的界面及其邻近区域。另外,具有氮的较低比例的诸如氧化硅膜或氧氮化硅膜之类的绝缘膜形成为使得与氧化物半导体膜相接触,使得能够防止使用具有高势垒性质的材料所形成的绝缘膜与氧化物半导体膜直接接触。

[0398] 例如,总厚度为100 nm的栅绝缘膜可按照如下方式来形成:厚度大于或等于5 nm但小于或等于300 nm的氧化硅膜(SiO_x ($x > 0$))作为第一栅绝缘膜来形成,并且厚度大于或等于50 nm但小于或等于200 nm的氮化硅膜(SiN_y ($y > 0$))通过溅射作为第二栅绝缘膜层叠在第一栅绝缘膜之上。在这个实施例中,100 nm厚的氧化硅膜通过RF溅射方法在如下条件下形成:压力为0.4 Pa,高频功率为1.5 kW,以及使用包含氧和氩的气氛(25 sccm的氧流率:25 sccm的氩流率=1:1)。

[0399] 注意,为了在栅绝缘膜424中尽可能少地包含氢、羟基和水分,优选的是,其上形成第一电极421、氧化物半导体膜422和第二电极423的衬底在溅射设备的预热室中预先加热,使得消除和排空吸附到衬底的诸如氢和水分之类的杂质,作为膜形成之前的预处理。预热的温度高于或等于100°C但低于或等于400°C,优选地高于或等于150°C但低于或等于300°C。作为设置在预热室中的排空单元,低温泵是优选的。注意,能够省略这种预热处理。

[0400] 注意,在形成栅绝缘膜424之后,可执行热处理。在空气气氛或惰性气体气氛(氮、氦、氖、氩等)中,以高于或等于200°C但低于或等于400°C、例如以高于或等于250°C但低于或等于350°C的温度,来执行热处理。在这个实施例中,例如,在氮气氛中以250°C执行1小时热处理。通过在栅绝缘膜424中包含的氧化硅与氧化物半导体膜422相接触的状态下执行热处理,氧甚至在用于消除水分或氢的上述热处理中产生缺氧时也从氧化硅提供,由此形成施主的缺氧能够降低,能够得到满足化学计量组成比的结构,并且使氧化物半导体膜422成为i型半导体膜或者基本上i型半导体膜。对这种处理的定时没有具体限制,只要它是在形成栅绝缘膜424之后。热处理可在另一个步骤之后、例如在形成栅电极425、绝缘膜426和布线434、435、436的任一个之后执行。通过兼任诸如用于降低透明导电膜的电阻的热处理之类的另一个步骤,这种热处理能够在没有增加制造步骤的情况下执行。

[0401] 栅电极425能够使用包括诸如钼、钛、铬、钽、钨、钕或钪之类的金属材料、包含任何这些金属材料作为主要成分的合金材料或者任何这些金属的氮化物的一个或多个导电膜的单层或叠层来形成。注意,铝或铜也可用作这类金属材料,只要铝或铜能够耐受后来的过程中执行的热处理的温度。铝或铜优选地与难熔金属材料相结合,以使得防止耐热性问题和腐蚀问题。作为难熔金属材料,能够使用钼、钛、铬、钽、钨、钕、钪等。

[0402] 例如,作为栅电极425的二层结构,下列结构是优选的:其中钼膜层叠在铝膜之上的二层结构,其中钼膜层叠在铜膜之上的二层结构,其中氮化钛膜或氮化钽膜层叠在铜膜之上的二层结构,以及其中层叠氮化钛膜和钼膜的二层结构。作为栅电极425的三层结构,下列结构是优选的:一种层叠结构,在中间层中包含铝膜、铝和硅的合金膜、铝和钛的合金膜或者铝和钕的合金膜,以及在顶层和底层中包含钨膜、氮化钨膜、氮化钛膜和钛膜的任一种。

[0403] 此外,通过将氧化铟、氧化铟锡、氧化铟-氧化锌合金、氧化锌、氧化锌铝、氮化锌铝、氧化锌镓等的透光氧化物导电膜用于栅电极425,像素部分的孔径比能够增加。

[0404] 栅电极425形成为10 nm至400 nm厚,优选地为100 nm至200 nm厚。在这个实施例中,在用于栅电极的厚度为150 nm的导电膜通过使用钨靶的溅射方法来形成之后,导电膜通过蚀刻来处理(形成图案)成具有预期形状,使得形成栅电极425。栅电极425至少形成为使得与隔着栅绝缘膜424与氧化物半导体膜422的端部重叠。在氧化物半导体膜422的端部,沟道形成区在隔着栅绝缘膜424与栅电极425重叠的部分中形成。注意,栅电极425优选地具有锥形形状,因为其上层叠的绝缘膜426的覆盖能够得到改进。注意,抗蚀剂掩模可通过喷墨方法来形成。通过喷墨方法来形成抗蚀剂掩模不需要光掩模;因此,制造成本能够降低。

[0405] 晶体管420还包括覆盖第一电极421的绝缘膜426、氧化物半导体膜422、第二电极423、栅绝缘膜424和栅电极425。绝缘膜426优选地包含尽可能少的诸如水分或氢之类的杂质,并且可使用单层绝缘膜或层叠的多个绝缘膜来形成。绝缘膜426使用例如诸如氧化硅膜、氮化硅膜、氧化铝膜或氮化铝膜之类的氧化物绝缘膜、诸如氮化硅膜、氮氧化硅膜、氮化铝膜或氮氧化铝膜之类的氮化物绝缘膜来形成。备选地,能够层叠氧化物绝缘膜和氮化物绝缘膜。例如氮化硅膜、氮氧化硅膜、氮化铝膜或氮氧化铝膜等具有高势垒性质的绝缘膜可用于绝缘膜426,使得能够防止诸如水分或氢之类的杂质进入氧化物半导体膜422、栅绝缘膜424或者氧化物半导体膜422与另一个绝缘膜之间的界面以及其邻近区域。

[0406] 在这个实施例中,绝缘膜426形成为具有一种结构,其中通过溅射方法所形成的100 nm厚的氮化硅膜层叠在通过溅射方法所形成的200 nm厚的氧化硅膜之上。注意,当绝缘膜426通过溅射方法来形成时,将衬底加热到100°C至400°C的温度,引入去除了氢、水、羟基、氢化物等的溅射气体,并且绝缘膜426可使用硅半导体靶来形成。又在这种情况下,优选地在去除了处理室中剩余的氢、水、羟基、氢化物等的状态中形成绝缘膜。

[0407] 注意,在形成绝缘膜426之后,可执行热处理。在惰性气体气氛(氮、氦、氖、氩等)中,以高于或等于200°C但低于或等于400°C、例如以高于或等于250°C但低于或等于350°C的温度,来执行热处理。

[0408] 接触孔431、432和433按如下所述来形成:抗蚀剂掩模通过光刻过程来形成,并且使用抗蚀剂掩模来有选择地蚀刻栅绝缘膜424和绝缘膜426的部分。栅电极425的一部分在接触孔431中暴露,第二电极423的一部分在接触孔432中暴露,以及栅电极425的一部分在接触孔433中暴露。在形成这些接触孔时,使得暴露第一电极421的接触孔可在第一电极421的没有覆盖有栅电极425的区域中形成。

[0409] 布线434、布线435和布线436分别通过在绝缘膜426中形成的接触孔431、接触孔432和接触孔433连接到栅电极425、第二电极423和栅电极425。注意,在形成这些布线中,可形成通过接触孔连接到第一电极421的布线。

[0410] 布线434、435和436能够使用具有与第一电极421相似的结构和材料的导电膜、通过与第一电极421相似的制造方法来形成。

[0411] 图14B中,布线440是与布线434、435和436同时形成的布线,并且通过接触孔441连接到第一电极421。

[0412] 通过上述步骤,氧化物半导体膜中的氢浓度能够降低,并且氧化物半导体膜能够高度纯化。因此,能够使氧化物半导体膜稳定。另外,在低于或等于玻璃转变温度的温度下

的热处理使得有可能形成其中载流子密度极低的具有宽带隙的氧化物半导体膜。因此，晶体管能够使用大尺寸衬底来制造，使得生产率能够提高。另外，通过使用其中降低氢浓度并且提高纯度的氧化物半导体膜，有可能制造具有高耐受电压、降低的短沟道效应和高通-断比的晶体管。

[0413] 虽然在与形成第二电极423的区域不同的区域中形成的氧化物半导体膜422的所有部分在这个实施例中覆盖有栅电极425，但是本发明并不局限于这种结构，只要在与形成第二电极423的区域不同的区域中形成的氧化物半导体膜422的部分的至少一部分覆盖有栅电极425。

[0414] 在这里，下面描述在这个实施例中所述的晶体管的漏极耐受电压。

[0415] 当半导体中的电场达到某个阈值时，碰撞电离发生，由高电场所加速的载流子碰撞耗尽层中的晶格，由此生成电子和空穴对。当电场变得甚至更高时，通过碰撞电离所生成的电子和空穴对通过电场进一步加速，并且碰撞电离重复进行，从而引起雪崩击穿，其中电流指数地增加。因为载流子（电子和空穴）具有大于或等于半导体的带隙的动能，所以碰撞电离发生。因此，当带隙较大时，需要引起碰撞电离的电场更大。

[0416] 由于氧化物半导体的带隙为3.15 eV，这大于1.74 eV的非晶硅的带隙要大，所以预计雪崩击穿不太可能发生。因此，包括氧化物半导体的晶体管具有高漏极耐受电压，并且预计当施加高电场时，通态电流的指数突然增加不太可能发生。

[0417] 接下来将描述包括氧化物半导体的晶体管的热载流子降级。

[0418] 热载流子降级表示晶体管特性的退化，例如阈值电压或泄漏电流的变化，这由如下原因引起：加速为快速的电子被注入沟道中的漏极附近的栅绝缘膜，并且成为固定电荷或者在栅绝缘膜与氧化物半导体之间的界面处形成陷阱能级。热载流子降级的因素是例如沟道热电子注入 (CHE注入) 和漏极雪崩热载流子注入 (DAHC注入)。

[0419] 由于硅的带隙较窄，所以电子因雪崩击穿而可能像雪崩那样被产生，并且加速为如此迅速以致超过势垒转到栅绝缘膜的电子的数量增加。但是，这个实施例中所述的氧化物半导体膜具有宽带隙；因此，雪崩击穿不可能发生，并且对热载流子降级的抗性比硅要高。注意，虽然作为具有高耐受电压的材料之一的碳化硅的带隙以及氧化物半导体的带隙基本上彼此相等，但是与碳化硅的情况相比，不太可能加速电子，不太可能引起热载流子降级，并且漏极耐受电压在氧化物半导体中较高，因为氧化物半导体的迁移率比碳化硅要低大约两个数量级。

[0420] 通过以上所述，包括氧化物半导体的晶体管具有高漏极耐受电压；具体来说，这种晶体管能够具有大于或等于100 V、优选地大于或等于500 V、更优选地大于或等于1 kV的漏极耐受电压。

[0421] 下面将描述作为晶体管的典型示例的使用碳化硅的晶体管与使用氧化物半导体的晶体管之间的比较。在这里，4H-SiC用作碳化硅。

[0422] 氧化物半导体和4H-SiC具有某些共同方面。一个示例是本征载流子密度。使用正常温度下的费米-迪拉克分布，氧化物半导体的本征载流子密度被估计大约为 10^{-7} cm^{-3} ，这像4H-SiC的载流子密度、即 $6.7 \times 10^{-11} \text{ cm}^{-3}$ 那样是极低的。

[0423] 另外，氧化物半导体的能带隙为3.0 eV至3.5 eV，并且4H-SiC的能带隙为3.26 eV，这表示氧化物半导体和碳化硅均为宽隙半导体。

[0424] 但是,包括氧化物半导体的晶体管的制造温度以及包括碳化硅的晶体管的制造温度完全不同。碳化硅一般需要在1500°C至2000°C下的热处理。相比之下,氧化物半导体能够通过在300°C至850°C下的热处理来形成,这允许晶体管在大尺寸衬底之上制造。另外,吞吐量能够提高。

[0425] 此外,使用PN结的包括碳化硅的晶体管的制造过程涉及采用能够作为施主或受主的杂质元素(例如磷或硼)进行掺杂的步骤;因此,制造步骤的数量增加。另一方面,包括氧化物半导体的晶体管不需要提供有PN结;因此,制造步骤的数量能够减少,并且吞吐量能够提到,此外还能够使用大尺寸衬底。

[0426] 注意,已经进行关于氧化物半导体的性质、如带隙中的状态密度(DOS)的大量研究工作;但是,研究工作没有包括充分降低DOS本身的思路。在这个实施例中,通过去除可能引起来自氧化物半导体的DOS的水或氢,来形成高度纯化氧化物半导体。这基于充分降低DOS本身的思路。这种高度纯化氧化物半导体实现极优良工业产品的制造。

[0427] 此外,还有可能通过将氧提供给通过氧空位所生成的金属的悬挂键并且降低因氧缺陷而引起的DOS,来形成更为高度纯化(i型)的氧化物半导体。例如,包含过剩氧的氧化物膜形成为与沟道形成区紧密接触,并且然后氧从氧化物膜提供给沟道形成区,使得因氧缺陷而引起的DOS能够降低。

[0428] 能够考虑,氧化物半导体的缺陷的一个因素是因在低于导带的0.1 eV至0.2 eV的过剩氢引起的浅能级。彻底去除氢并且充分提供氧以用于消除这种缺陷作为一种技术思想是正确的。

[0429] 氧化物半导体一般被认为是n型半导体;但是,在这个实施例中,通过去除杂质、特别是水或氢,来实现i型氧化物半导体。在这点上,与通过向半导体添加诸如硅之类的杂质来形成i型半导体的常规技术思想相比,本发明的技术思想是新的。

[0430] 通过使氧化物半导体成为i型氧化物半导体,能够得到晶体管的有利温度特性;具体来说,根据晶体管的电流与电压特性,通态电流、截止态电流、场效应迁移率、S值和阈值电压在范围从-25°C至150°C的温度下几乎不会波动,并且电流与电压特性几乎不会随温度而降级。

[0431] 在使用这个实施例中描述的氧化物半导体的晶体管中,迁移率比使用碳化硅的晶体管要低大约两个数量级;但是,晶体管的电流值和装置特性能够通过增加漏极电压和沟道宽度(W)得到改进。

[0432] 这个实施例的技术思路在于,没有将物质加入氧化物半导体,而是相反,通过有意去除其中不合需要存在的诸如水或氢之类的杂质,来高度纯化氧化物半导体本身。换言之,通过去除形成施主能级的水或氢,降低缺氧,并且充分提供作为氧化物半导体的成分的氧,来高度纯化氧化物半导体。

[0433] 在沉积时,氧化物半导体包含大约 10^{20} cm^{-3} - 通过二次离子质谱法(SIMS)来测量 - 的氢。氧化物半导体经过高度纯化,并且通过有意去除形成施主能级的水或氢,并且进一步通过将在与去除水或氢的同时被减少的氧(氧化物半导体的成分之一)加入氧化物半导体,使其成为电i型(本征)半导体。

[0434] 在这个实施例中,氧化物半导体中的水和氢的含量优选地尽可能小,并且氧化物半导体中的载流子的数量优选地尽可能小。具体来说,低于 $1 \times 10^{14} \text{ cm}^{-3}$ 的、优选地低于 $1 \times$

10^{12} cm^{-3} 、更优选地低于 $1 \times 10^{11} \text{ cm}^{-3}$ - 这低于或等于测量极限 - 的载流子密度是合乎需要的。降低或者优选地消除氧化物半导体中的载流子，换言之，使氧化物半导体成为i型(本征)半导体，使得氧化物半导体用作晶体管中载流子经过的通路。因此，当晶体管截止时，截止态电流能够极小。以上是这个实施例的技术思路。

[0435] 另外，氧化物半导体用作通路，并且氧化物半导体本身是i型(本征)半导体，该半导体经过高度纯化，以便没有包含载流子或者包含极少载流子，并且因而载流子由源电极和漏电极来提供。

[0436] 与其中如实施例4中所述与衬底基本上平行地形成沟道的水平晶体管相比，具有这个实施例中所述结构的晶体管能够更少占用衬底表面。因此，有可能使晶体管小型化。

[0437] 如上所述，氧化物半导体膜经过高度纯化，使得尽可能少地包含除了氧化物半导体膜的主要成分之外的通常为氢、水、羟基或氢化物等的杂质，由此能够得到晶体管的良好操作。具体来说，耐受电压能够较高，短沟道效应能够降低，并且能够实现高通-断比。

[0438] 这个实施例能够通过与任何上述实施例适当地结合来实现。

[0439] (实施例7)

[0440] 在这个实施例中，参照图15A至图15E来描述一种用于形成与实施例4中不同的氧化物半导体膜的方法。

[0441] 首先，栅电极701和栅电极702在绝缘表面之上形成，并且然后栅绝缘膜703在栅电极701和栅电极702之上形成(参见图15A)。由于在实施例4中已经描述栅电极701、栅电极702和栅绝缘膜703的材料、结构和厚度，所以在这个实施例中省略其详细描述。

[0442] 随后，如图15A所示，厚度大于或等于2 nm但小于或等于15 nm的第一氧化物半导体膜730在栅绝缘膜703之上形成。第一氧化物半导体膜730能够通过溅射方法在稀有气体(通常为氩)气氛、氧气气氛或者包含稀有气体(例如氩)和氧的混合气氛中形成。

[0443] 注意，在第一氧化物半导体膜730通过溅射方法来形成之前，栅绝缘膜703表面上的灰尘优选地通过其中引入氩气体并且生成等离子体的反向溅射被去除。反向溅射表示一种方法，其中通过将电压施加到衬底侧而不是靶侧，在氩气氛中借助于RF电源，并且通过在衬底附近生成等离子体，来修正衬底的表面。注意，代替氩气氛，可使用氮气氛、氦气氛等。备选地，可使用添加了氧、一氧化二氮等的氩气氛。备选地，可使用添加了氯、四氟化碳等的氩气氛。

[0444] 对于第一氧化物半导体膜730，能够使用上述氧化物半导体。

[0445] 在这个实施例中，作为第一氧化物半导体膜730，使用通过溅射方法、使用包括铟(In)、镓(Ga)和锌(An)的金属氧化物靶所得到的厚度为5 nm的In-Ga-Zn-O基非单晶膜。作为靶，例如，能够使用金属原子的组成比为In:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1或In:Ga:Zn=1:1:2的金属氧化物靶。在这个实施例中，优选地使用趋向于被晶化的金属氧化物靶，以便通过后来执行的热处理来有意执行晶化。包含In、Ga和Zn的金属氧化物靶的填充率高于或等于90%但低于或等于100%，并且优选地高于或等于95%但低于或等于99.9%。当使用具有高填充率的金属氧化物靶时，待形成的氧化物半导体膜中的杂质浓度能够降低，使得能够得到具有优良电特性或高可靠性的晶体管。

[0446] 将衬底保持在控制为降低压力的处理室中，将从其中去除了氢和水分的溅射气体引入从其中去除了剩余水分的处理室中，并且通过将金属氧化物用作靶在绝缘表面之上形

成第一氧化物半导体膜730。在膜形成中,衬底温度可高于或等于100℃但低于或等于600℃,优选地高于或等于200℃但低于或等于400℃。膜形成在加热衬底的同时执行,由此能够降低所形成的氧化物半导体膜中的杂质浓度。另外,通过溅射引起的损坏能够降低。为了去除处理室中剩余的水分,优选地使用捕集真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。排空单元可以是提供有冷阱的涡轮泵。在采用低温泵排空的处理室中,例如,去除氢原子、诸如水(H_2O)之类的包含氢原子的化合物(更优选地,还有包含碳原子的化合物)等,由此能够降低处理室中形成的氧化物半导体膜的杂质浓度。

[0447] 沉积条件的一个示例如下所述:衬底与靶之间的距离为170 mm,压力为0.4 Pa,直流(DC)电源为0.5 kW,以及气氛为氧气气(氧的流率为100%)。注意,脉冲直流(DC)电源是优选的,因为能够降低膜形成中生成的称作微粒的灰尘,并且膜厚度能够是均匀的。氧化物半导体膜的厚度优选地为大于或等于5 nm但小于或等于30 nm。由于适当厚度取决于所使用的氧化物半导体材料,所以厚度能够根据材料来适当地确定。

[0448] 注意,为了在第一氧化物半导体膜730中尽可能少地包含氢、羟基和水分,优选的是,其上形成一直到并且包括栅绝缘膜703的层的衬底在溅射设备的预热室中预先加热,使得消除和排空吸附到衬底的诸如氢和水分之类的杂质,作为膜形成之前的预处理。预热的温度高于或等于100℃但低于或等于600℃,优选地高于或等于150℃但低于或等于300℃。作为对预热室所设置的排空单元,低温泵是优选的。注意,能够省略这种预热处理。

[0449] 溅射方法的示例包括:RF溅射方法,其中高频电力用于溅射电源;DC溅射方法;以及脉冲DC溅射方法,其中以脉冲方式来施加偏压。RF溅射方法主要用于形成绝缘膜的情况,而DC溅射方法主要用于形成金属膜的情况。

[0450] 另外,还存在多源溅射设备,其中能够设置不同材料的多个靶。通过多源溅射设备,不同材料的膜能够形成为层叠在同一室中,或者多种材料的膜能够通过在同一室中同时放电来形成。

[0451] 备选地,能够使用提供有室内部的磁体系统并且用于磁控管溅射方法的溅射设备或者用于ECR溅射方法、其中使用借助于微波所生成的等离子体而没有使用光辉放电的溅射设备。

[0452] 此外,作为使用溅射方法的沉积方法,能够使用其中靶物质和溅射气体成分在沉积期间相互起化学反应以形成其化合物薄膜的反应溅射方法或者其中电压在沉积期间还施加到衬底的偏压溅射方法。

[0453] 栅绝缘膜703和第一氧化物半导体膜730可在没有暴露于空气的情况下接连形成。没有暴露于空气的连续膜形成使得有可能得到叠层之间的各界面,该界面没有受到大气成分或者漂浮在空气中的诸如水、烃等的杂质元素污染。因此,能够降低晶体管的特性的变化。

[0454] 随后,执行第一热处理,并且晶体如图15B所示从第一氧化物半导体膜730的表面来生长,使得得到其至少一部分被晶化或者成为单晶的第一氧化物半导体膜731。在高于或等于450℃但低于或等于850℃、优选地高于或等于600℃但低于或等于700℃下执行第一热处理。加热时间大于或等于1分钟但小于或等于24小时。单晶层从表面生长到内部部分,并且包含其平均厚度大于或等于2 nm但小于或等于10 nm的板状晶体。在表面所形成的晶体层具有a-b平面,并且沿垂直于该表面的方向c轴定向。在这个实施例中,描述整个第一氧化

物半导体膜731通过第一热处理来晶化(晶体又称作共生长(CG)晶体)的示例。

[0455] 注意,在第一热处理中,优选的是,水、氢等没有包含在氮、氧或者诸如氦、氖或氩之类的稀有气体中。另外,引入热处理设备中的氮或者诸如氦、氖或氩之类的稀有气体的纯度优选地具有6N(99.9999%)或更高、更优选地为7N(99.99999%)或更高(也就是说,杂质浓度为低于或等于1 ppm,优选地低于或等于0.1 ppm)。此外,第一热处理可在H₂O浓度低于或等于20 ppm的干燥空气气氛中执行。

[0456] 在这个实施例中,在干燥空气气氛中以700°C执行1小时作为第一热处理的热处理。

[0457] 注意,热处理设备并不局限于电炉,而是可提供有用于通过来自诸如电阻加热元件之类的加热元件的热传导或热辐射来加热待处理对象的任何装置。例如,能够使用诸如GRTA(气体快速热退火)设备或LRTA(灯快速热退火)设备之类的RTA(快速热退火)设备。LRTA设备是用于通过从诸如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压水银灯之类的灯泡所发射的光(电磁波)的辐射来加热待处理对象的设备。GRTA设备是用于使用高温气体的热处理的设备。作为气体,使用诸如氮之类的不会通过热处理来与待处理对象发生反应的惰性气体或者诸如氩之类的稀有气体。

[0458] 例如,热处理能够采用GRTA,其中将衬底移入以650°C至700°C的高温所加热的惰性气体中,并且在其中加热数分钟,然后将衬底从高温惰性气体移出。通过GRTA,能够实现短时间段的高温热处理。

[0459] 随后,如图15C所示,第二氧化物半导体膜732在包括板状单晶的第一氧化物半导体膜731之上形成。第二氧化物半导体膜732的厚度至少大于第一氧化物半导体膜731的厚度但小于或等于10 μm。注意,第二氧化物半导体膜732的适当厚度可通过具体根据所制造的装置来确定。例如,在制造底栅晶体管的情况下,第一氧化物半导体膜731和第二氧化物半导体膜732的总厚度大于或等于10 nm但小于或等于200 nm。另外,例如,在制造晶体管的情况下,第一氧化物半导体膜731和第二氧化物半导体膜732的总厚度大于或等于10 nm但小于或等于50 nm。第二氧化物半导体膜732能够通过溅射方法在稀有气体(通常为氩)气氛、氧气或包含稀有气体(通常为氩)和氧的气氛中形成。

[0460] 上述氧化物半导体能够用于第二氧化物半导体膜732。

[0461] 优选的是,第一氧化物半导体膜731和第二氧化物半导体膜732使用包含相同成分的材料来形成,或者具有相同晶体结构和相近晶格常数(晶格失配小于或等于1%)。在使用包含相同成分的材料的情况下,在后来执行的晶化中从第一氧化物半导体膜731的单晶层进一步促进晶体生长。另外,当材料包含相同成分时,诸如粘附力或电特性之类的界面的物理性质是有利的。注意,第二氧化物半导体膜732优选地使用其电特性(例如迁移率、阈值电压或带隙)比结晶度增加时的第一氧化物半导体膜731得到更大改进的材料来形成。

[0462] 随后,执行第二热处理,使得晶体从第一氧化物半导体膜731朝第二氧化物半导体膜732生长。在高于或等于450°C但低于或等于850°C、优选地高于或等于550°C但低于或等于650°C下执行第二热处理。加热时间大于或等于1分钟但小于或等于24小时。通过第二热处理,如图15D所示,能够得到包括晶化的第一氧化物半导体膜731和晶化的第二氧化物半导体膜735的氧化物半导体膜733。

[0463] 在用于第一氧化物半导体膜731和第二氧化物半导体膜735的氧化物半导体材料

包含相同成分的情况下,第一氧化物半导体膜731和第二氧化物半导体膜735具有相同的晶体结构。第二氧化物半导体膜735通过轴向生长或外延生长从第一氧化物半导体膜731来形成,并且因而第二氧化物半导体膜735和第一氧化物半导体膜731的c轴彼此相同。因此,在氧化物半导体膜733中,第一氧化物半导体膜731与第二氧化物半导体膜735之间的边界实际上是不清楚的。

[0464] 在一些情况下,氧化物半导体膜733在与栅绝缘膜的不均匀部分重叠的区域中包括多晶体,由此包括晶体边界。另外,用作沟道形成区的氧化物半导体膜733的区域至少与栅绝缘膜的平坦部分重叠,并且因此存在第一氧化物半导体膜731和第二氧化物半导体膜735包括c轴定向的单晶的情况。在第一氧化物半导体膜731和第二氧化物半导体膜735是c轴定向时,第一氧化物半导体膜731和第二氧化物半导体膜735合乎需要地具有相同的a-b平面、a轴或b轴;但是,a轴或b轴的方向在一些情况下可以是不同的。

[0465] 注意,又在第二热处理中,优选的是,水、氢等没有包含在氮、氧或者诸如氦、氖或氩之类的稀有气体中。备选地,引入热处理设备中的氮或者诸如氦、氖或氩之类的稀有气体的纯度优选地具有6N或更高、更优选地为7N或更高(也就是说,杂质浓度为低于或等于1 ppm,优选地低于或等于0.1 ppm)。此外,第二热处理可在H₂O浓度为20 ppm或更低的超干空气气氛中执行。另外,在增加第二热处理中的温度时,电炉的气氛可以是氮气氛,并且气氛可在执行冷却时切换到氧气气氛。

[0466] 注意,用于第二热处理的热处理设备并不局限于特定设备,并且该设备可提供有用于通过来自诸如电阻加热元件之类的加热元件的热辐射或热传导来加热待处理对象的装置。例如,能够使用电炉或者诸如GRTA设备或LRTA设备之类的RTA设备。

[0467] 随后,氧化物半导体膜733的形状通过光刻方法来处理,使得岛状氧化物半导体膜734和岛状氧化物半导体膜736形成为分别与栅电极701和栅电极702重叠。注意,用于形成岛状氧化物半导体膜的抗蚀剂掩模可通过喷墨方法来形成。通过喷墨方法来形成抗蚀剂掩模不需要光掩模;因此,制造成本能够降低。

[0468] 按照在实施例4的图11A所示用于形成源电极和漏电极的步骤之后的步骤,能够制造用作存储器单元的开关元件的晶体管。

[0469] 这个实施例能够通过与任何上述实施例适当地结合来实现。

[0470] (实施例8)

[0471] 在这个实施例中,将描述CPU、即各作为本发明的一个实施例的半导体器件之一的结构。

[0472] 图17中,示出这个实施例的CPU的结构。图17所示的CPU主要包括衬底900之上的算术逻辑单元(ALU)901、ALU控制器902、指令解码器903、中断控制器904、定时控制器905、寄存器906、寄存器控制器907、总线接口(总线I/F)908、可重写ROM 909以及ROM接口(ROM I/F)920。此外,ROM 909和ROM I/F 920可设置在另一个芯片之上。不用说,图17所示的CPU只是其中简化配置的一个示例,并且实际CPU可具有取决于使用的各种配置。

[0473] 通过总线I/F 908输入到CPU的指令被输入到指令解码器903并且在其中解码,然后输入到ALU控制器902、中断控制器904、寄存器控制器907和定时控制器905。

[0474] ALU控制器902、中断控制器904、寄存器控制器907和定时控制器905基于解码指令来进行各种控制。具体来说,ALU控制器902生成用于控制ALU 901的驱动的信号。当CPU正运

行程序时,中断控制器904基于其优先级或掩码状态来关断来自外部输入/输出装置或外围电路的中断请求,并且处理该请求。寄存器控制器907生成寄存器906的地址,以及按照CPU的状态从/向寄存器906来读取/写入数据。

[0475] 定时控制器905生成用于控制ALU 901、ALU控制器902、指令解码器903、中断控制器904和寄存器控制器907的驱动定时的信号。例如,定时控制器905提供有用于基于参考时钟信号CLK1来生成内部时钟信号CLK2的内部时钟发生器,并且向上述各种电路提供时钟信号CLK2。

[0476] 在这个实施例的CPU中,具有上述实施例的任一个中所述结构的存储器元件设置在寄存器906中。寄存器控制器907按照来自ALU 901的指令来选择寄存器906中的保持操作。也就是说,在寄存器906所包含的存储器元件中,选择数据是保持在倒相元件还是电容器中。在进行选择以使得数据保持在倒相元件的情况下,将电源电压提供给寄存器906中的存储器元件。在进行选择以使得数据保持在电容器的情况下,将数据写入电容器中,并且能够停止向寄存器906中的存储器元件施加电源电压。能够通过在存储器元件组与向其提供电源电位VDD或电源电位VSS的结点之间设置开关元件,来停止电源供应,如图13A或13B所示。

[0477] 这样,甚至在暂时停止CPU的操作并且停止电源电压的施加的情况下,也能够保持数据并且能够降低功率消耗。具体来说,例如,当个人计算机的用户没有将数据输入到输入装置、如键盘时,能够停止CPU的操作,使得功率消耗能够降低。

[0478] 虽然CPU在这个实施例中作为示例给出,但是本发明的半导体器件并不局限于CPU,而是能够适用于LSI,例如DSP、定制LSI或者现场可编程门阵列(FPGA)。

[0479] 这个实施例能够通过与任何上述实施例适当地结合来实现。

[0480] [示例1]

[0481] 使用作为本发明的一个实施例的半导体器件,使得能够提供极可靠电子装置和具有低功率消耗的电子装置。具体来说,在连续接收电力方面有困难的便携电子装置的情况下,将作为本发明的一个实施例、具有低功率消耗的半导体器件加入装置的组件,由此能够得到增加连续操作时间的优点。此外,借助于具有低截止态电流的晶体管,防护高截止态电流所引起的故障所需的冗余电路设计是不必要的;因此,用于半导体器件的集成电路的密度能够增加,并且半导体器件能够具有更高性能。

[0482] 作为本发明的一个实施例的半导体器件能够用于显示装置、个人计算机或者提供有记录介质的图像再现装置(通常为再现诸如数字多功能光盘(DVD)之类的记录介质的内容并且具有用于显示再现图像的显示器的装置)。另外,作为能够包括作为本发明的一个实施例的半导体器件的电子装置,能够给出移动电话、包括便携游戏机的游戏机、便携信息终端、电子书阅读器、摄像机、数字照相机、眼镜式显示器(头戴式显示器)、导航系统、音频再现装置(例如汽车音频系统和数字音频播放器)、复印机、传真机、打印机、多功能打印机、自动柜员机(ATM)、售货机等。这些电子装置的具体示例如图18A至图18F所示。

[0483] 图18A示出包括壳体7001、显示部分7002等的电子书阅读器。作为本发明的一个实施例的半导体器件能够用于控制电子书阅读器的驱动的集成电路。通过将作为本发明的一个实施例的半导体器件用于控制电子书阅读器的驱动的集成电路,能够提供极可靠电子书阅读器以及具有低功率消耗的电子书阅读器。当使用柔性衬底时,半导体器件和半导体器

件显示装置能够具有灵活性,由此能够提供灵活轻便的用户友好电子书阅读器。

[0484] 图18B示出包括壳体7011、显示部分7012、支承底座7013等的显示装置。作为本发明的一个实施例的半导体器件能够用于控制显示装置的驱动的集成电路。通过将作为本发明的一个实施例的半导体器件用于控制显示装置的驱动的集成电路,能够提供极可靠显示装置以及具有低功率消耗的显示装置。注意,显示装置在其范畴内包括用于显示信息的所有显示装置,例如用于个人计算机、用于接收电视广播以及用于广告的显示装置。

[0485] 图18C示出包括壳体7021、显示部分7022等的显示装置。作为本发明的一个实施例的半导体器件能够用于控制显示装置的驱动的集成电路。通过将作为本发明的一个实施例的半导体器件用于控制显示装置的驱动的集成电路,能够提供极可靠显示装置以及具有低功率消耗的显示装置。当使用柔性衬底时,半导体器件和半导体器件显示装置能够具有灵活性,由此能够提供灵活轻便的用户友好显示装置。相应地,如图18C所示,能够在固定到织物等时使用显示装置,并且半导体显示装置的应用范围显著拓宽。

[0486] 图18D示出包括壳体7031、壳体7032、显示部分7033、显示部分7034、话筒7035、扬声器7036、操作按键7037、触控笔7038等的便携游戏机。作为本发明的一个实施例的半导体器件能够用于控制便携游戏机的驱动的集成电路。通过将作为本发明的一个实施例的半导体器件用于控制便携游戏机的驱动的集成电路,能够提供极可靠便携游戏机以及具有低功率消耗的便携游戏机。虽然图18D所示的便携游戏机具有两个显示部分7033和7034,但是便携游戏机中包含的显示部分的数量并不局限于此。

[0487] 图18E示出包括壳体7041、显示部分7042、音频输入部分7043、音频输出部分7044、操作按键7045、光接收部分7046等的移动电话。在光接收部分7046中接收的光线转换为电信号,由此能够加载外部图像。作为本发明的一个实施例的半导体器件能够用于控制移动电话的驱动的集成电路。通过将作为本发明的一个实施例的半导体器件用于控制移动电话的驱动的集成电路,能够提供极可靠移动电话以及具有低功率消耗的移动电话。

[0488] 图18F示出包括壳体7051、显示部分7052、操作按键7053等的便携信息终端。在图18F所示的便携信息终端中,调制解调器可结合在壳体7051中。作为本发明的一个实施例的半导体器件能够用于控制便携信息终端的驱动的集成电路。通过将作为本发明的一个实施例的半导体器件用于控制便携信息终端的驱动的集成电路,能够提供极可靠便携信息终端以及具有低功率消耗的便携信息终端。

[0489] 示例1能够通过与任何上述实施例适当地结合来实现。

[0490] 本申请基于2009年12月25日向日本专利局提交的序号为2009-293982的日本专利申请,通过引用将其完整内容结合于此。

参考标号说明

100: 存储器元件, 101: 倒相元件, 102: 倒相元件, 103: 开关元件,
104: 开关元件, 105: 电容器, 106: 电容器开关元件, 107: p 沟道
晶体管, 108: n 沟道晶体管, 109: p 沟道晶体管, 110: n 沟道晶体
管, 200: 存储器元件, 201: 倒相元件, 202: 倒相元件, 203: 开关
元件, 204: 开关元件, 205: 电容器, 206: 电容器开关元件, 207:
倒相元件, 208: 开关元件, 209: 开关元件, 210: p 沟道晶体管, 211:
n 沟道晶体管, 212: p 沟道晶体管, 213: n 沟道晶体管, 214: p 沟道
晶体管, 215: n 沟道晶体管, 300: 存储器元件, 301: 倒相元件, 302:
倒相元件, 303: 开关元件, 304: 开关元件, 305: 电容器, 306: 电
容器开关元件, 307: 电容器, 308: 电容器开关元件, 309: p 沟道晶
体管, 310: n 沟道晶体管, 311: p 沟道晶体管, 312: n 沟道晶体管,
401: 开关元件, 402: 存储器元件, 403: 存储器元件组, 420: 晶体
管, 421: 第一电极, 422: 氧化物半导体膜, 423: 第二电极, 424:
栅绝缘膜, 425: 栅电极, 426: 绝缘膜, 431: 接触孔, 432: 接触孔,
433: 接触孔, 434: 布线, 435: 布线, 436: 布线, 440: 布线, 441:
接触孔, 500: 接合衬底, 501: 绝缘膜, 502: 脆化层, 503: 基底衬
底, 504: 半导体膜, 505: 半导体膜, 506: 半导体膜, 507: 半导体
膜, 508: 栅绝缘膜, 509: 电极, 510: 杂质区, 511: 杂质区, 512:
侧壁, 513: 高浓度杂质区, 514: 低浓度杂质区, 515: 沟道形成区,
516: 高浓度杂质区, 517: 低浓度杂质区, 518: 沟道形成区, 520: n
沟道晶体管, 521: p 沟道晶体管, 530: 绝缘膜, 531: 绝缘膜, 532:
绝缘膜, 601: 栅电极, 602: 电极, 603: 栅绝缘膜, 605: 氧化物半
导体膜, 607: 源电极, 608: 漏电极, 609: 布线, 610: 布线, 611:
布线, 612: 绝缘膜, 620: 晶体管, 623: 电容器, 630: 晶体管, 631:
栅电极, 632: 栅绝缘膜, 633: 氧化物半导体膜, 634: 沟道保护膜,
635: 源电极, 636: 漏电极, 637: 绝缘膜, 640: 晶体管, 641: 栅电
极, 642: 栅绝缘膜, 643: 源电极, 644: 漏电极, 645: 氧化物半导

[0491]

[0492]

体膜，646：绝缘膜，650：晶体管，651：源电极，652：漏电极，653：氧化物半导体膜，654：栅绝缘膜，655：栅电极，656：绝缘膜，660：半导体衬底，661：n 沟道晶体管，662：p 沟道晶体管，663：绝缘膜，664：晶体管，665：电容器，666：元件隔离绝缘膜，701：栅电极，702：栅电极，703：栅绝缘膜，730：氧化物半导体膜，731：氧化物半导体膜，732：氧化物半导体膜，733：氧化物半导体膜，734：氧化物半导体膜，735：氧化物半导体膜，736：氧化物半导体膜，900：衬底，901：ALU，902：ALU 控制器，903：指令解码器，904：中断控制器，905：定时控制器，906：寄存器，907：寄存器控制器，908：总线 I/F，909：ROM，920：ROM I/F，1300：寄存器，1301：倒相器，1302：倒相器，1303：开关元件，1304：开关元件，1310：p 沟道晶体管，1311：n 沟道晶体管，1312：p 沟道晶体管，1313：n 沟道晶体管，7001：壳体，7002：显示部分，7011：壳体，7012：显示部分，7013：支承底座，7021：壳体，7022：显示部分，7031：壳体，7032：壳体，7033：显示部分，7034：显示部分，7035：话筒，7036：扬声器，7037：操作按键，7038：触控笔，7041：壳体，7042：显示部分，7043：音频输入部分，7044：音频输出部分，7045：操作按键，7046：光接收部分，7051：壳体，7052：显示部分，7053：操作按键。

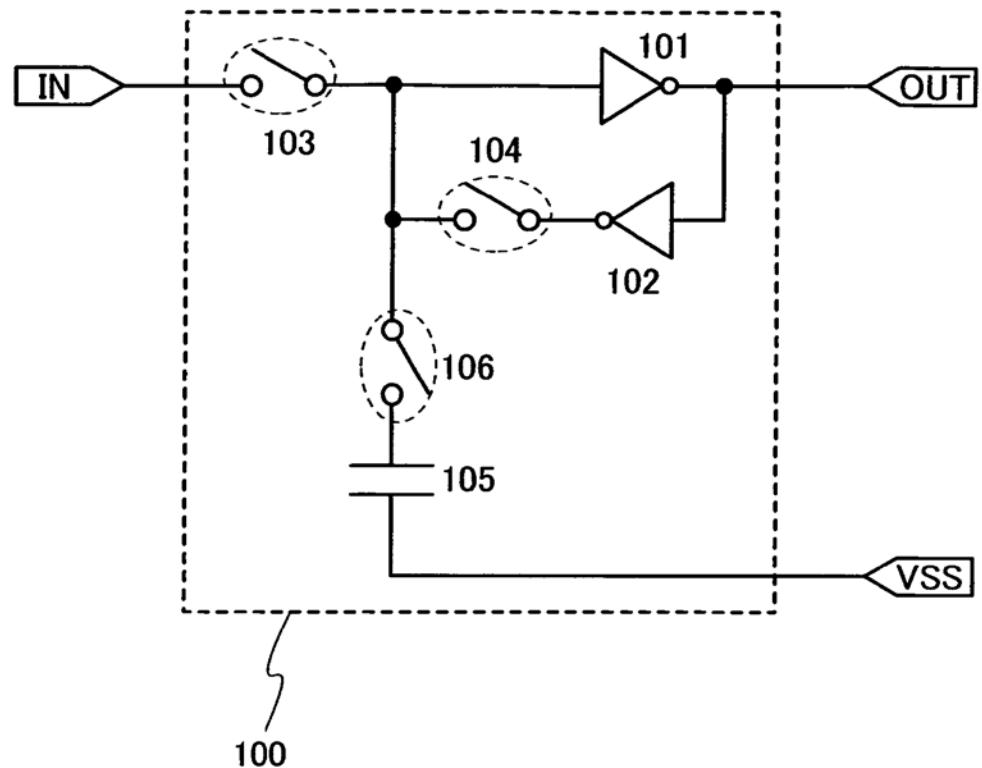


图 1

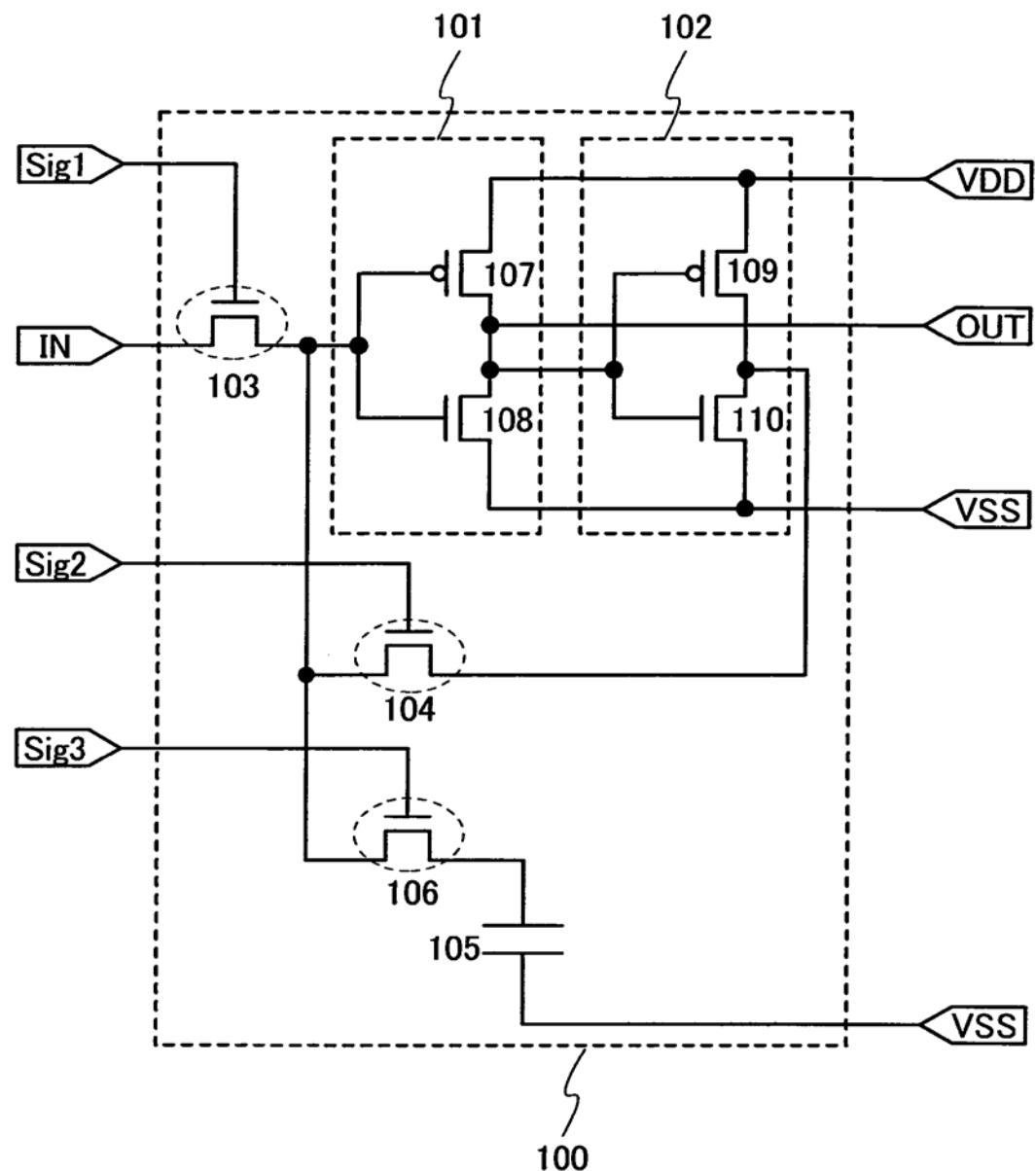


图 2

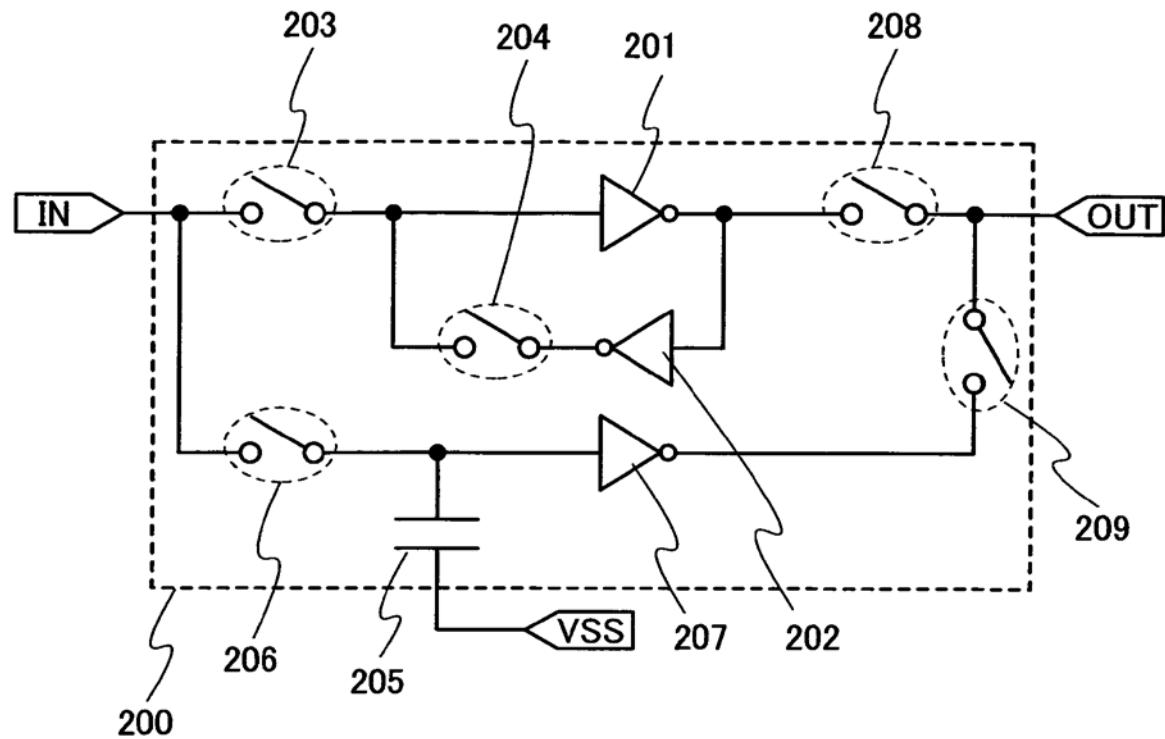


图 3

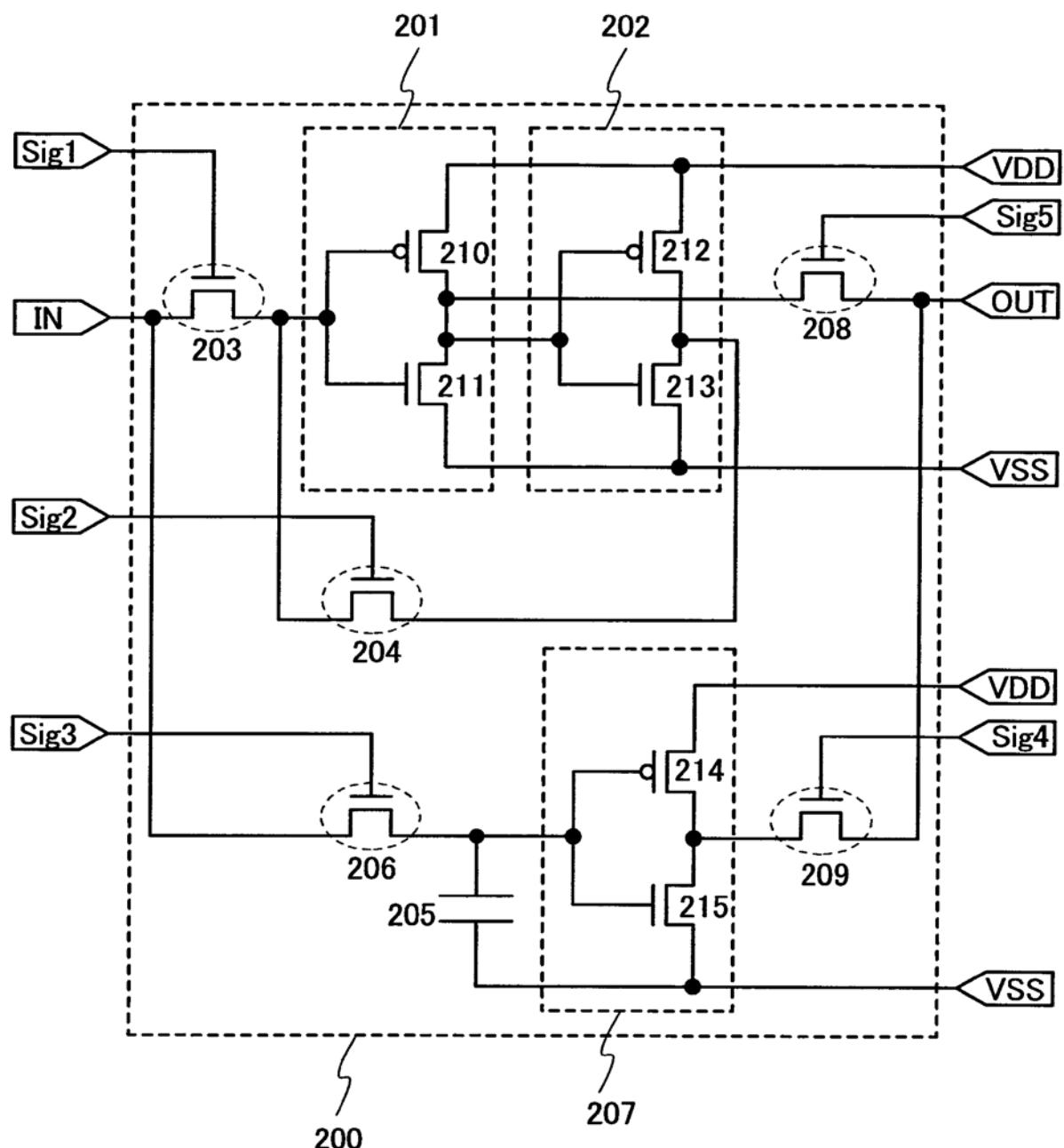


图 4

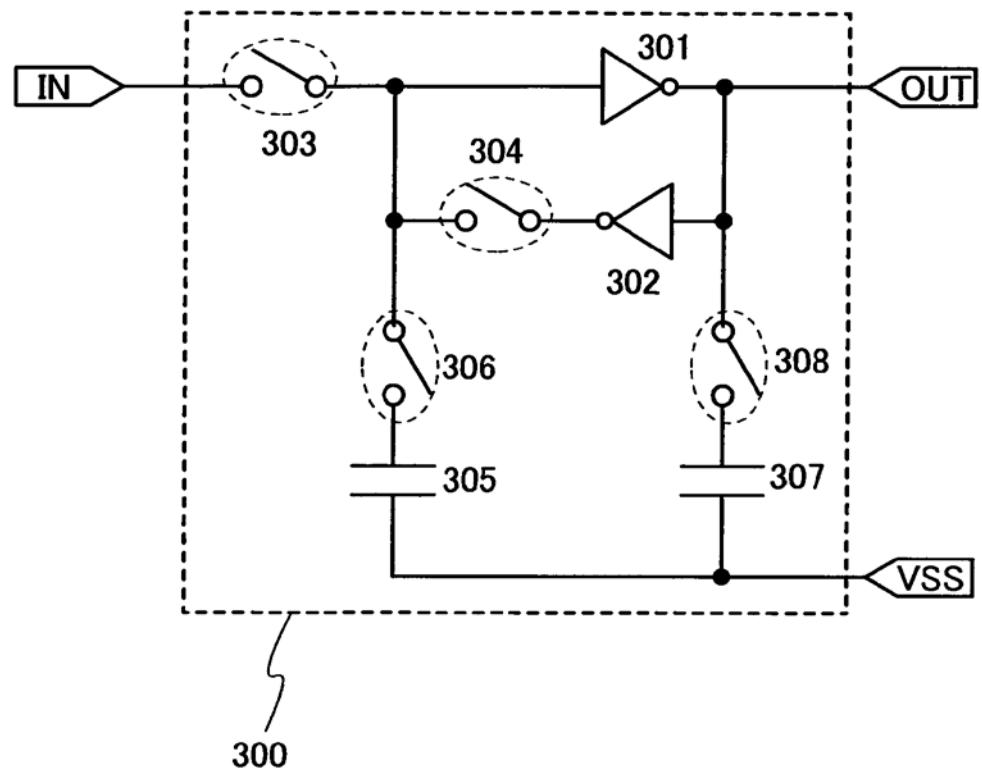


图 5

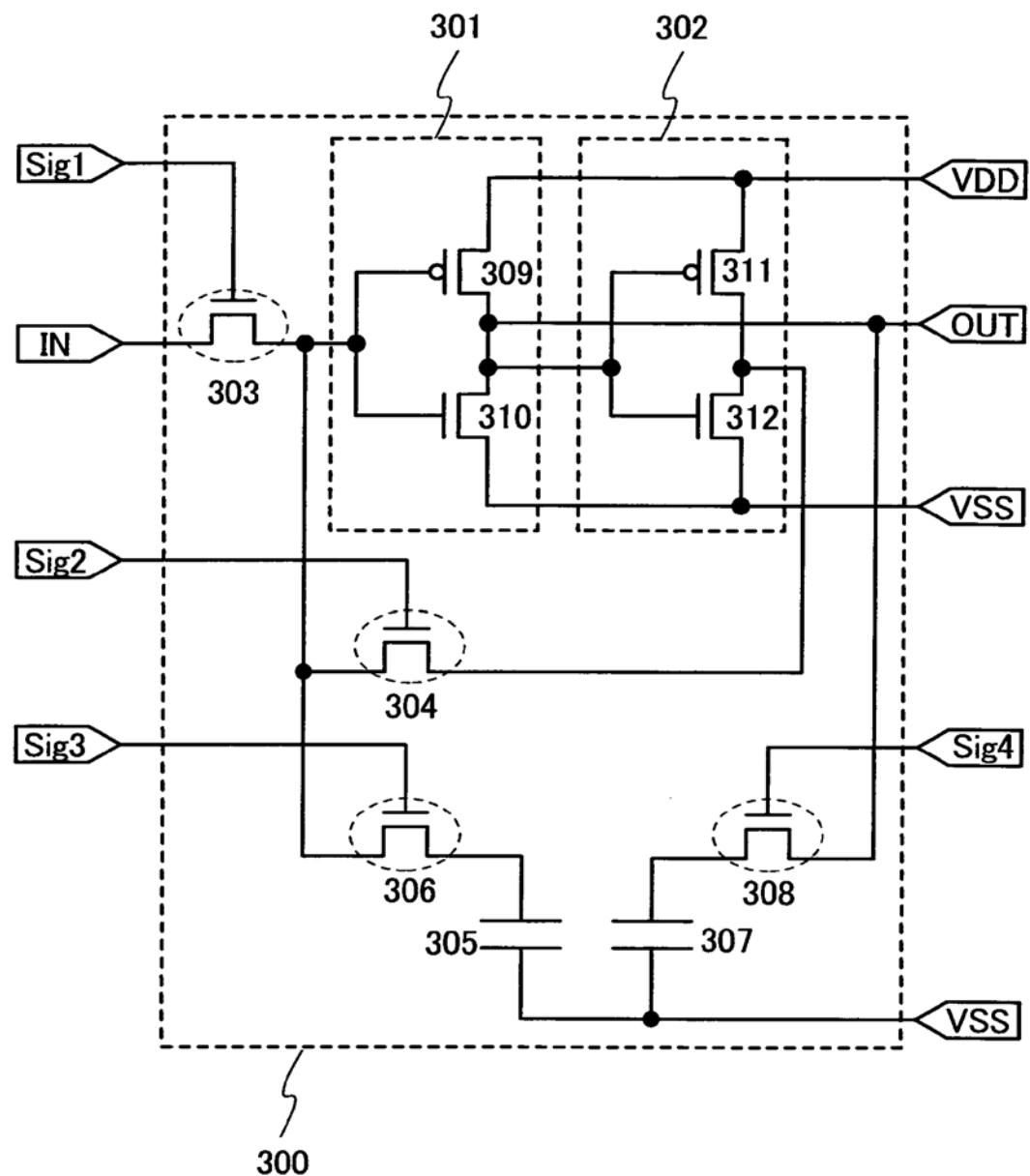


图 6

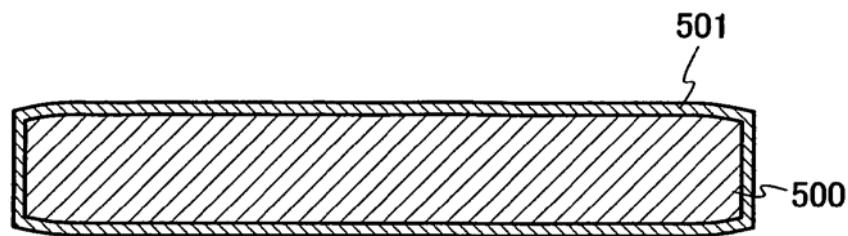


图 7A

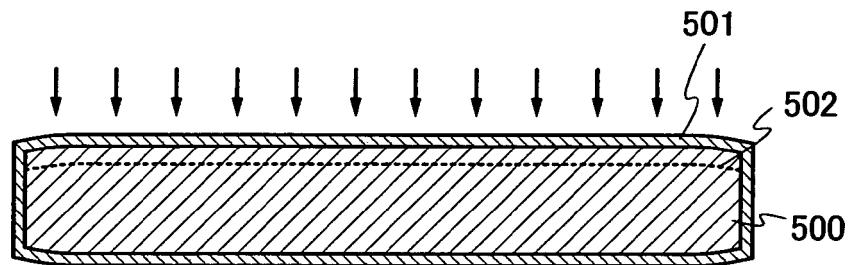


图 7B

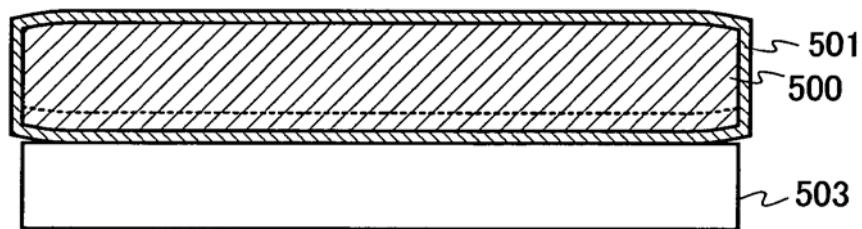


图 7C

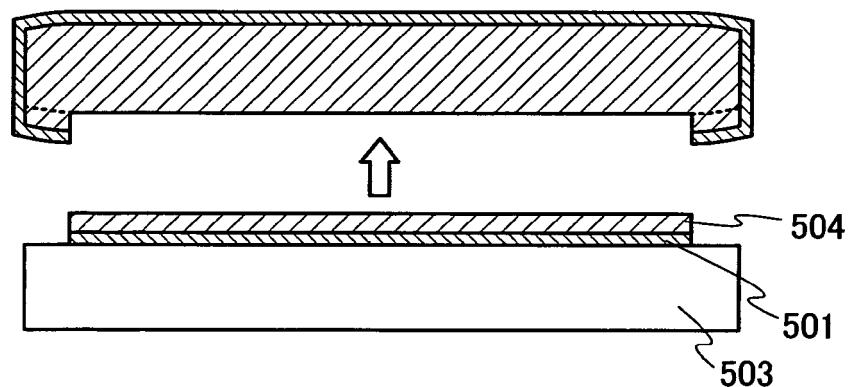


图 7D

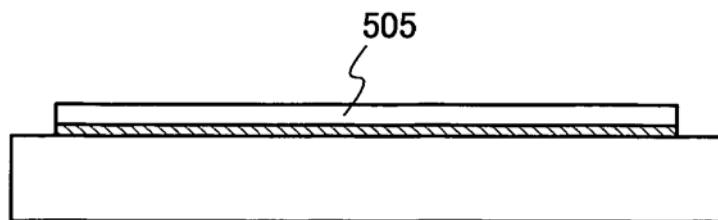


图 7E

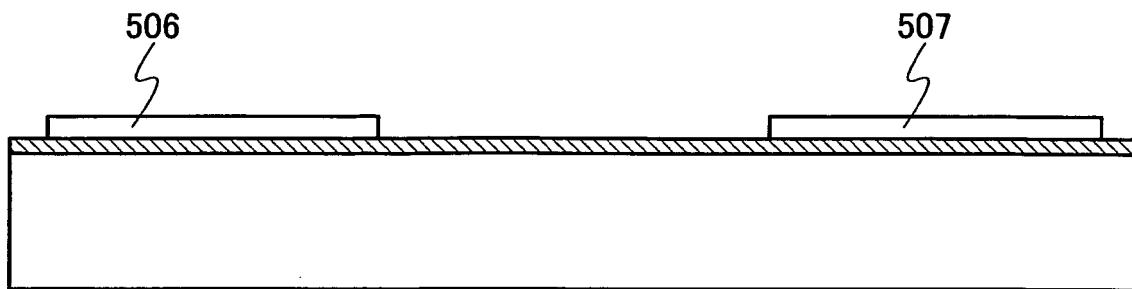


图 8A

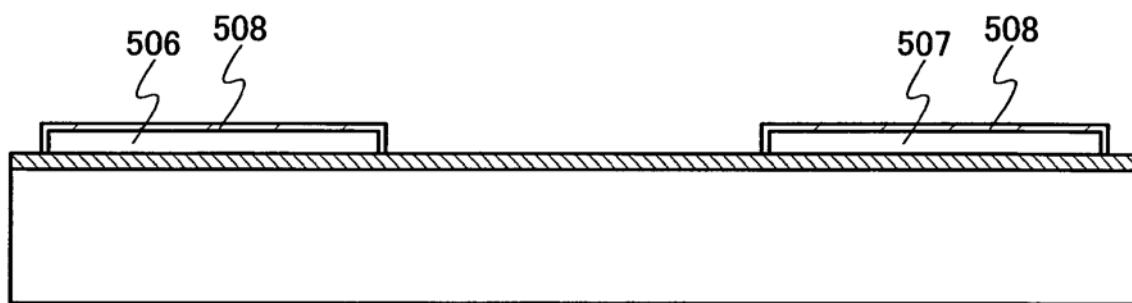


图 8B

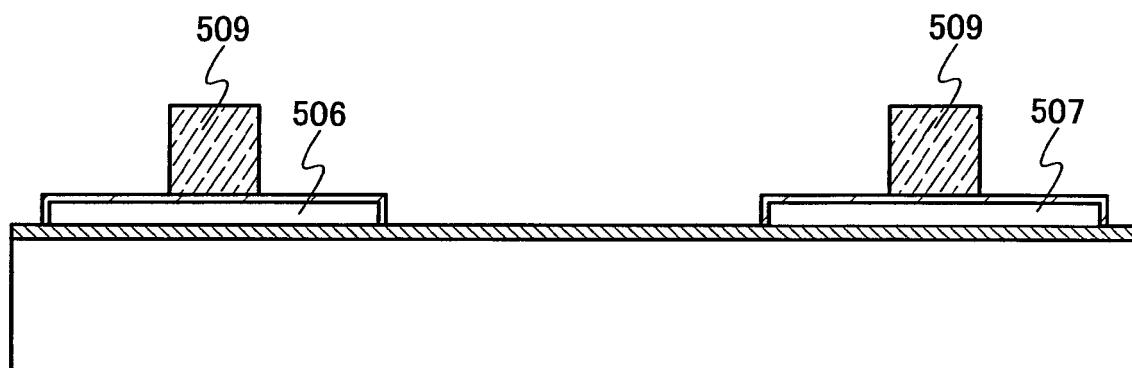


图 8C

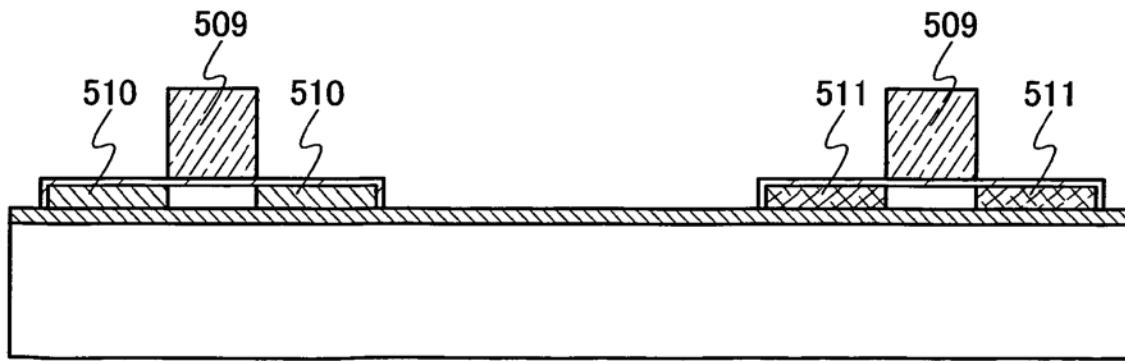


图 8D

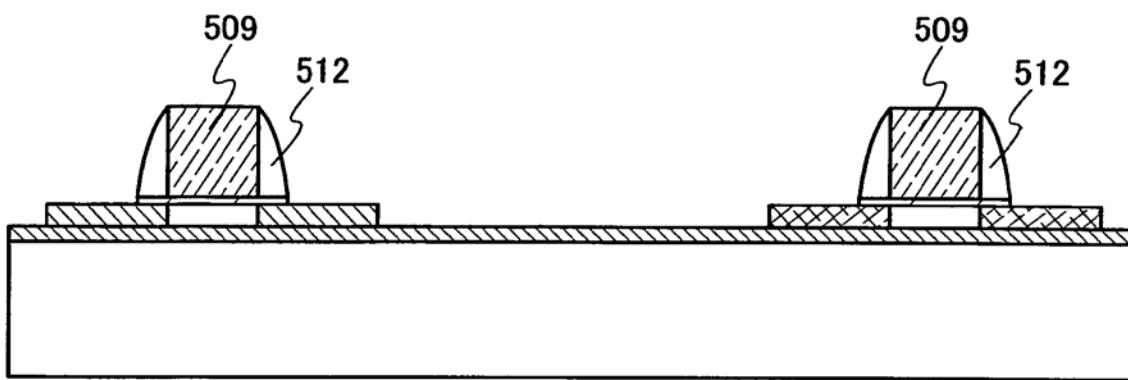


图 9A

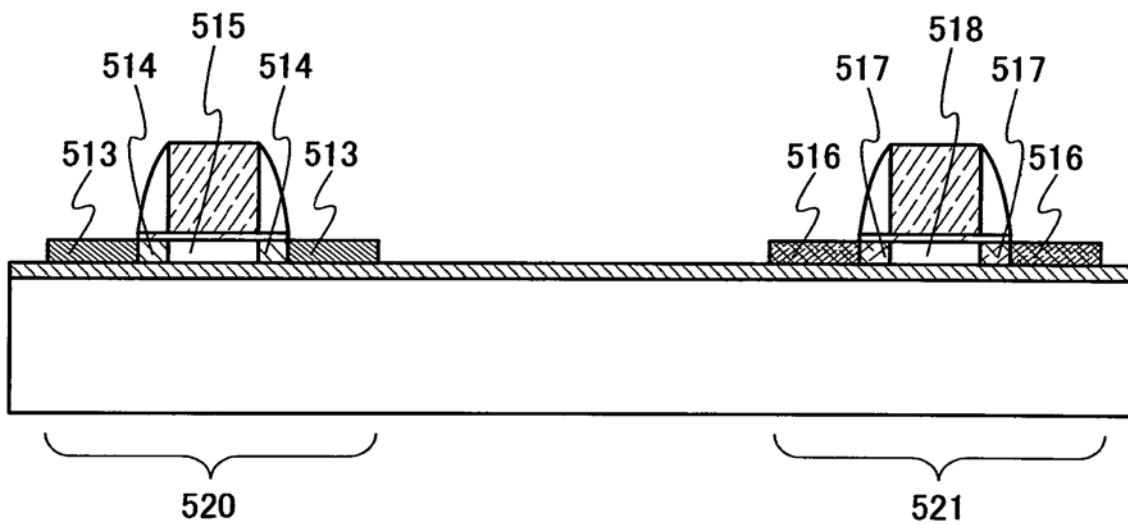


图 9B

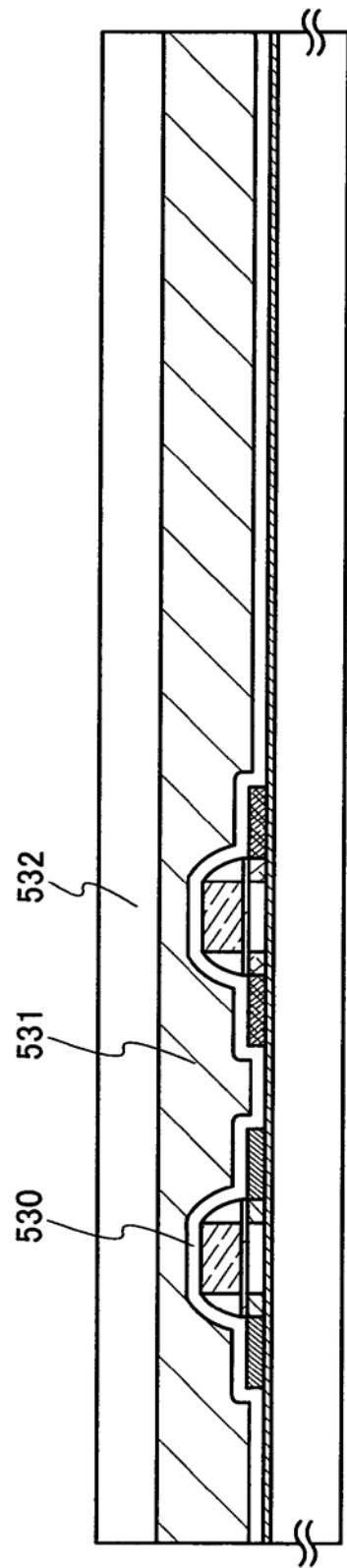


图 10A

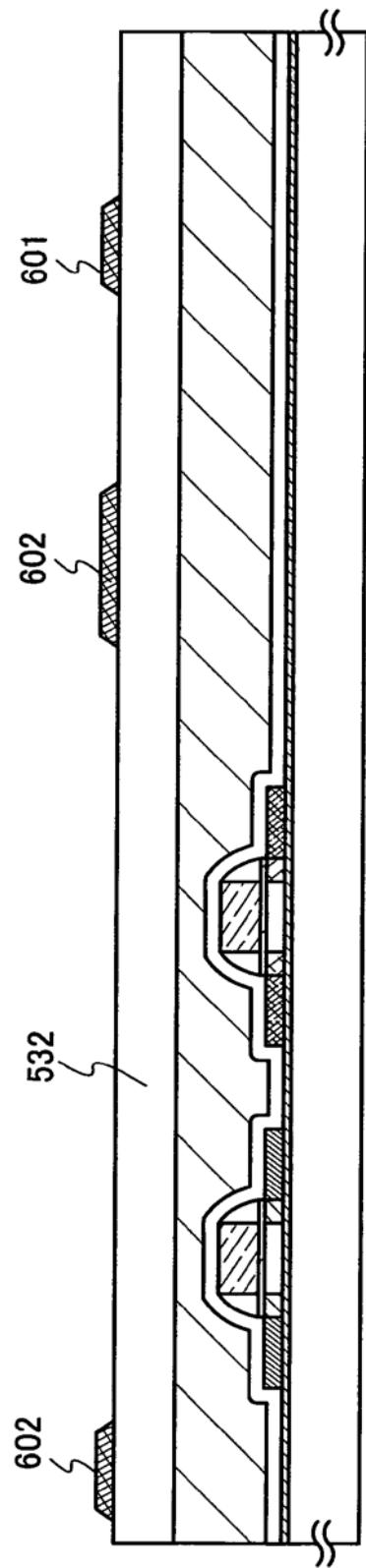


图 10B

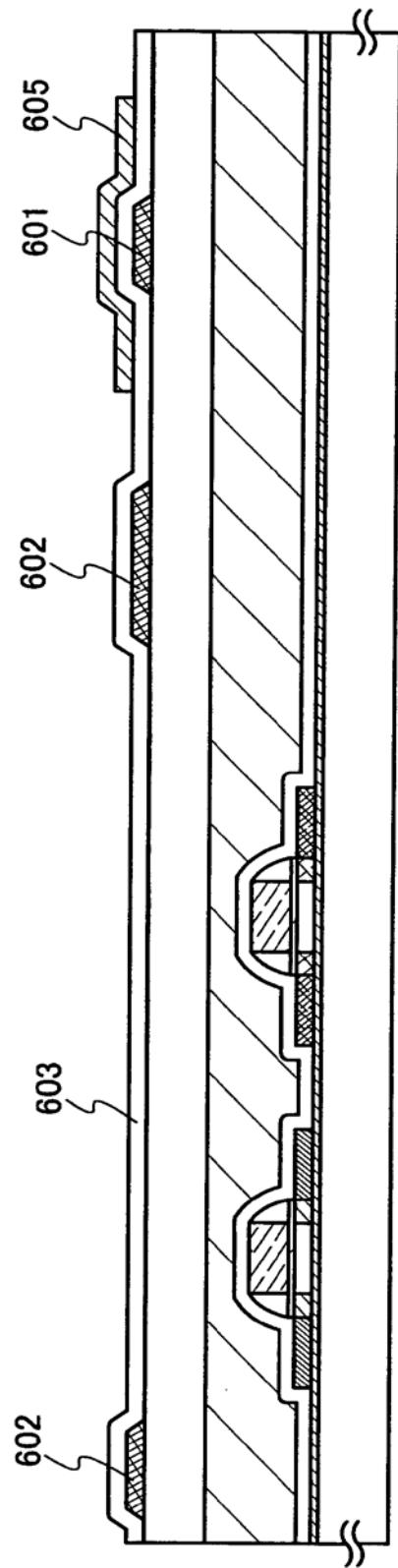


图 10C

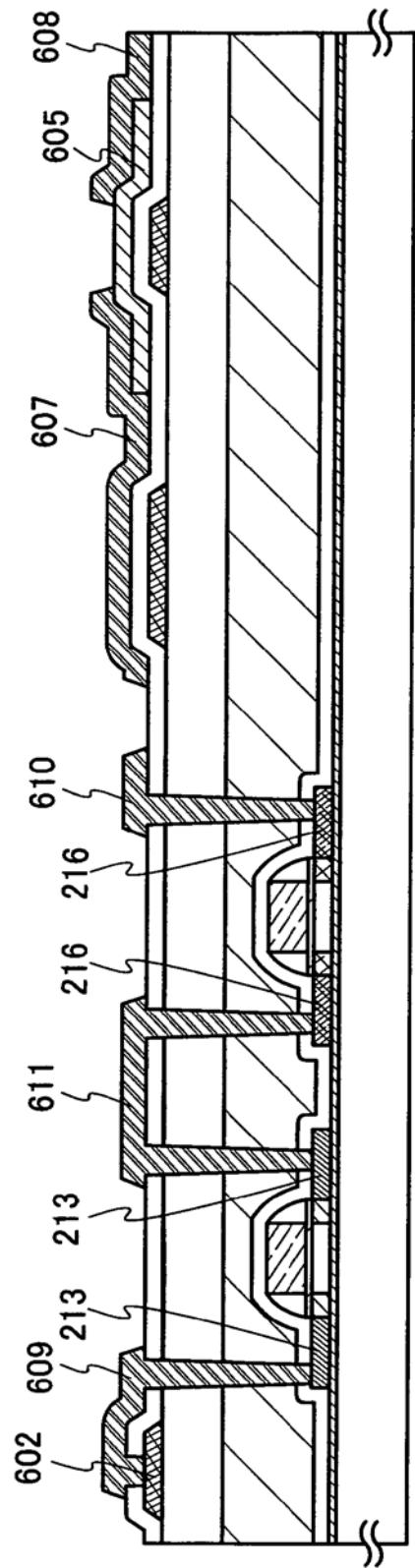


图 11A

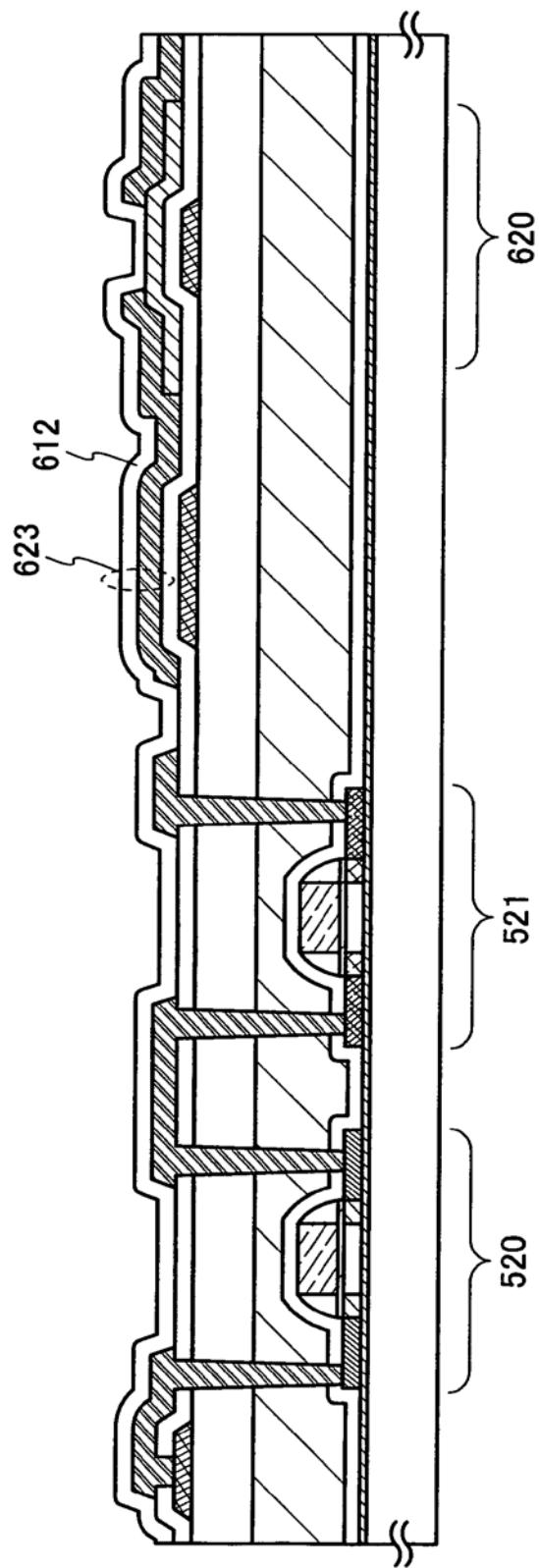


图 11B

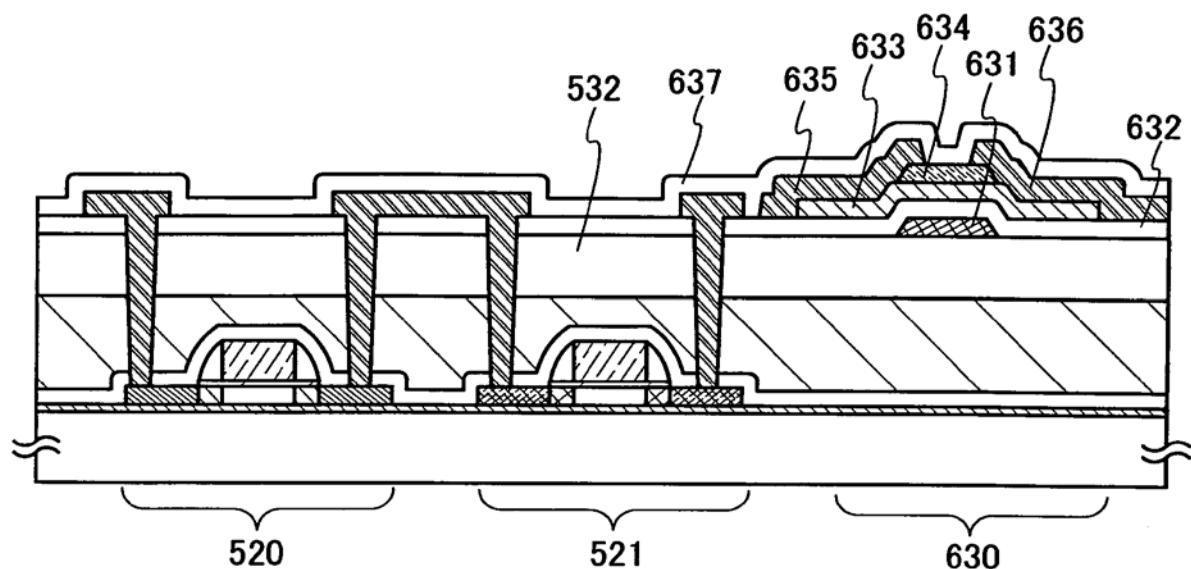


图 12A

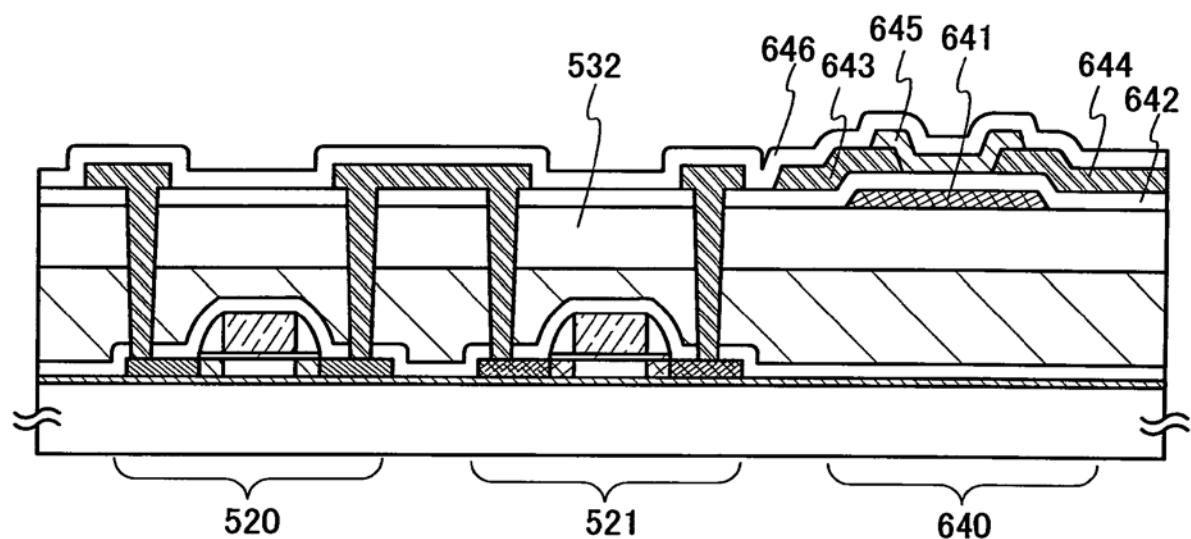


图 12B

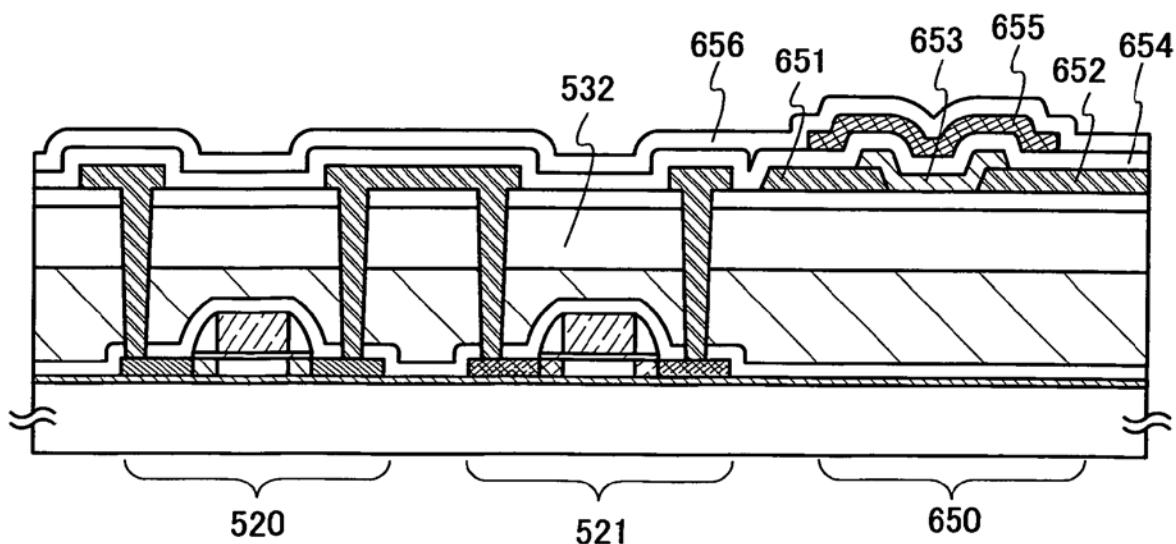


图 12C

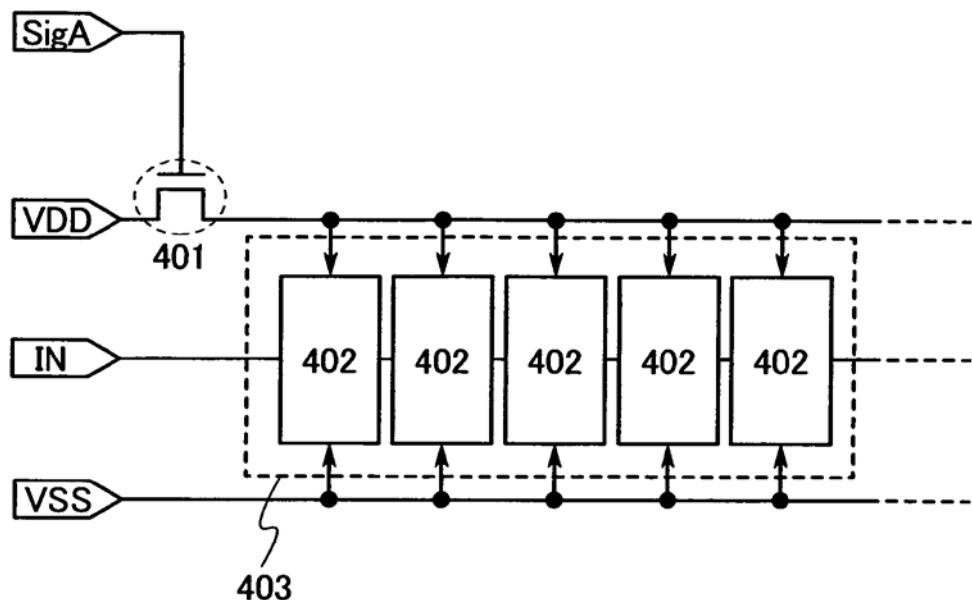


图 13A

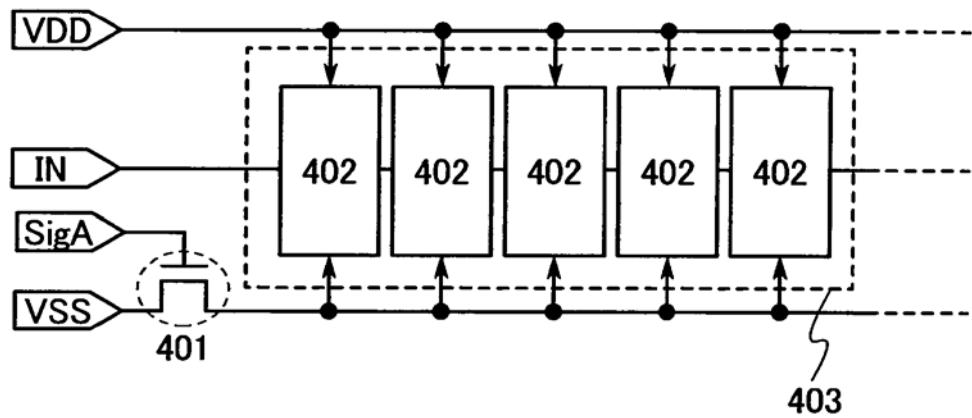


图 13B

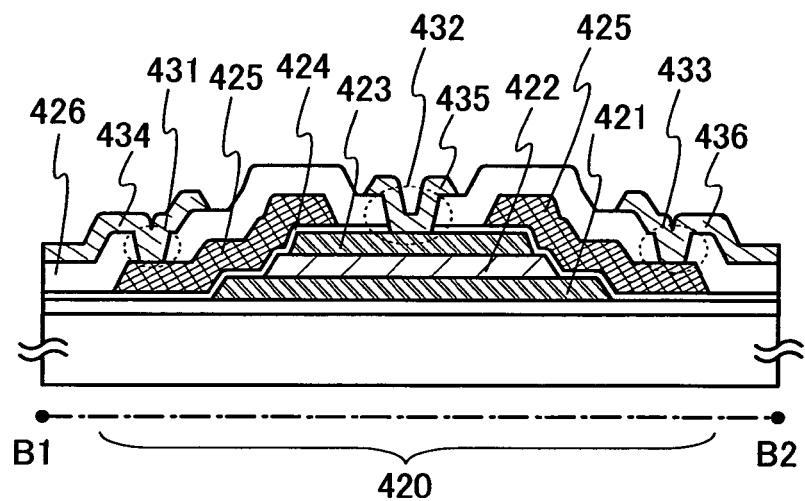


图 14A

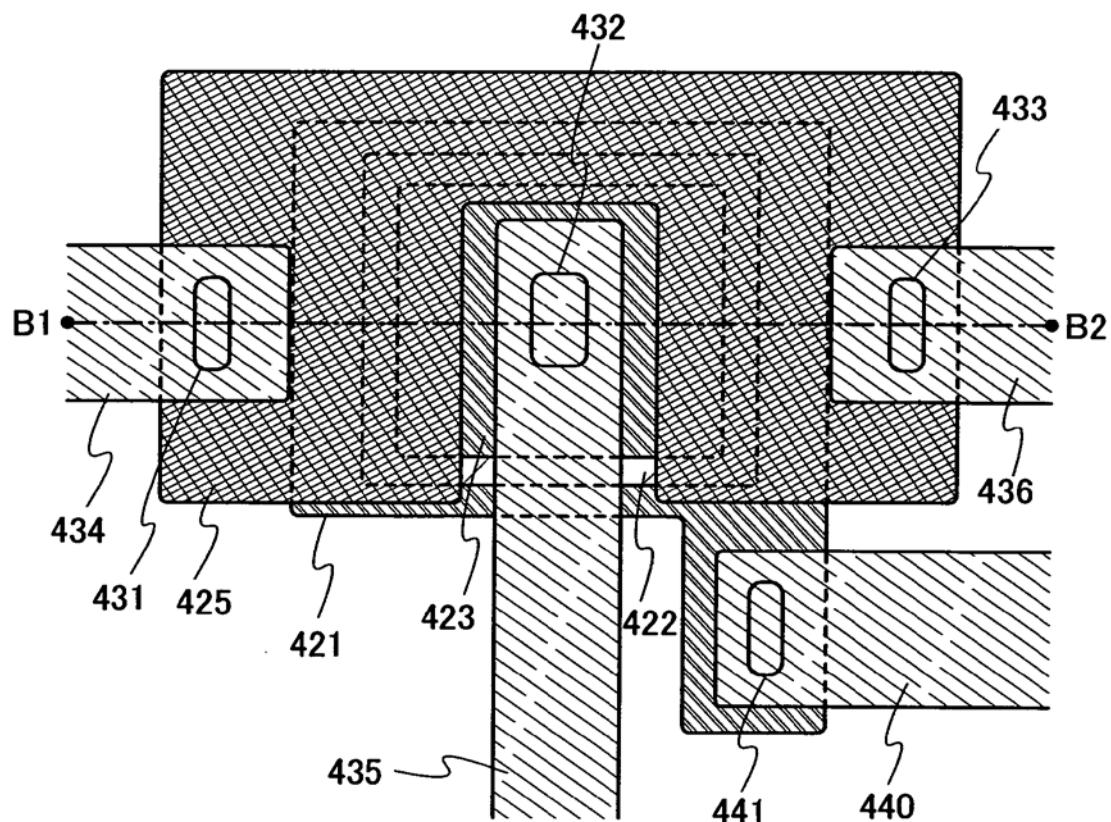


图 14B

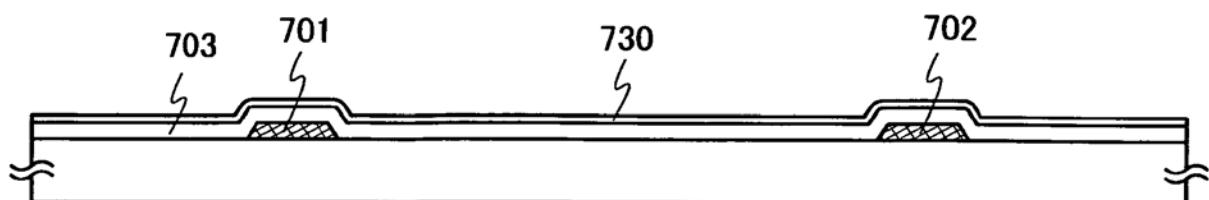


图 15A

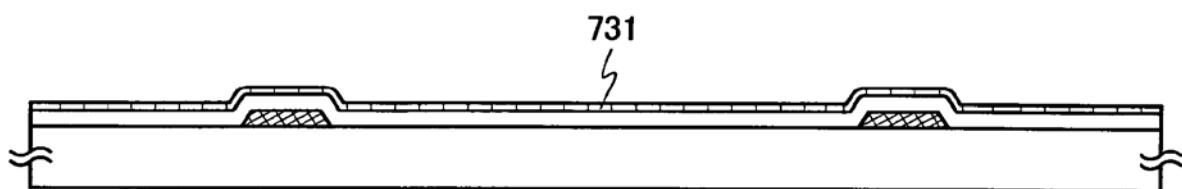


图 15B

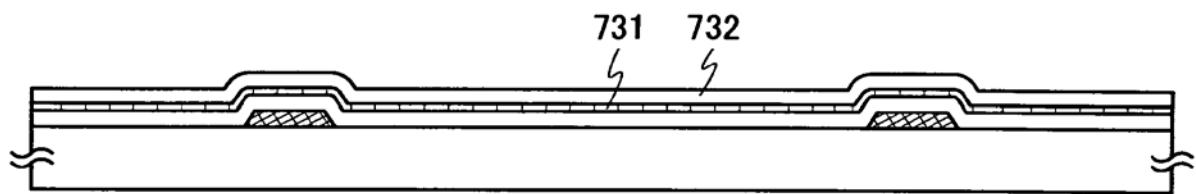


图 15C

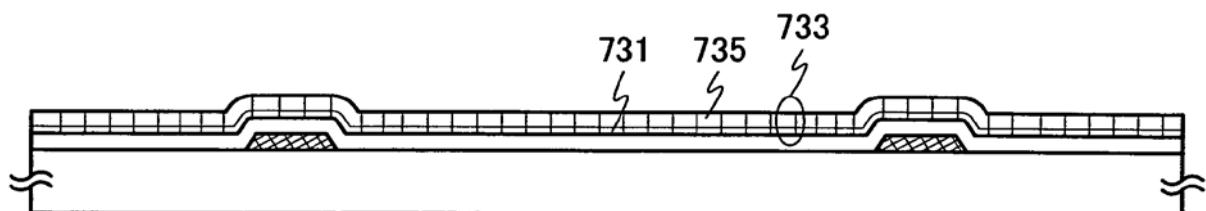


图 15D

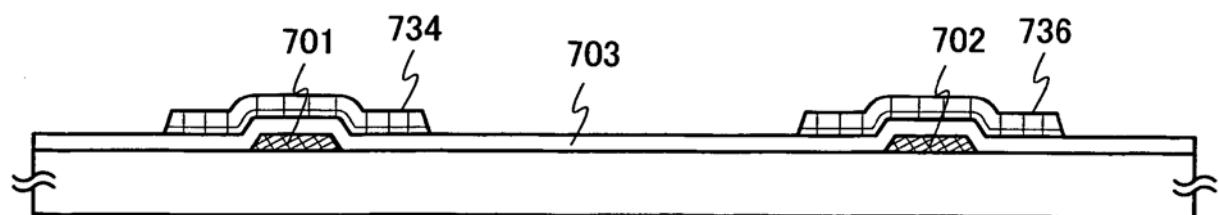


图 15E

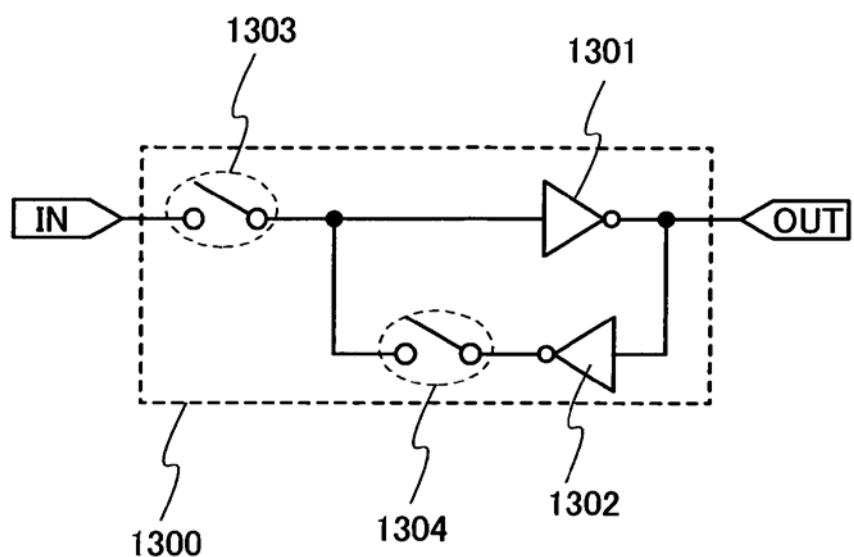


图 16A

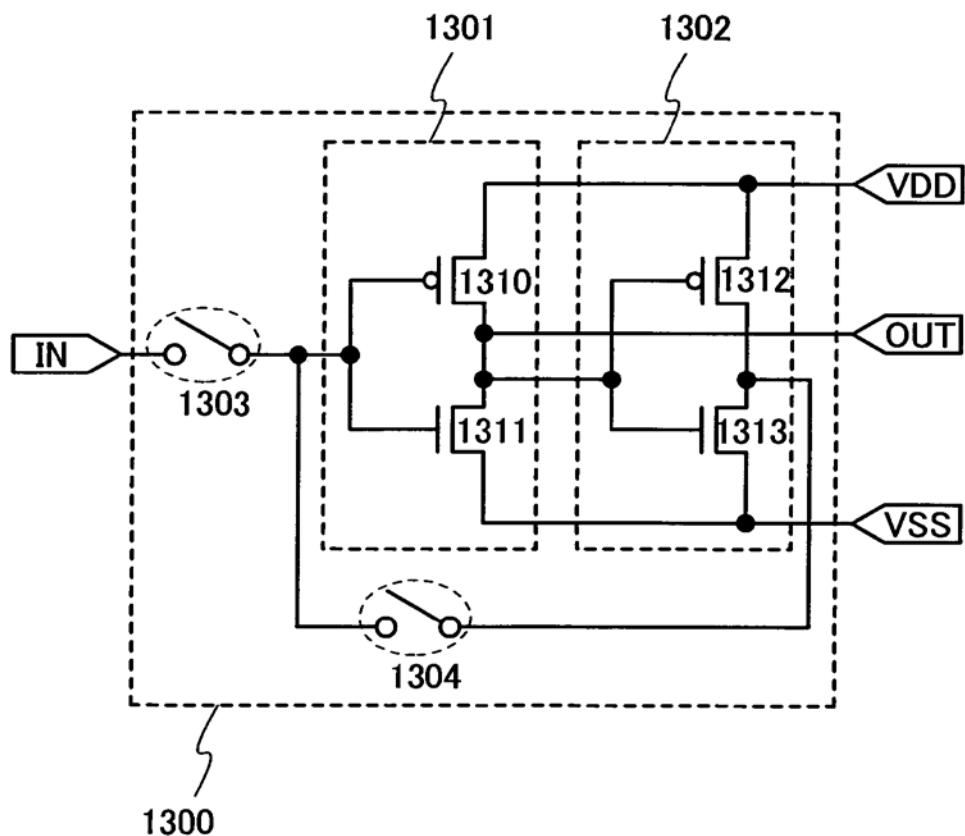


图 16B

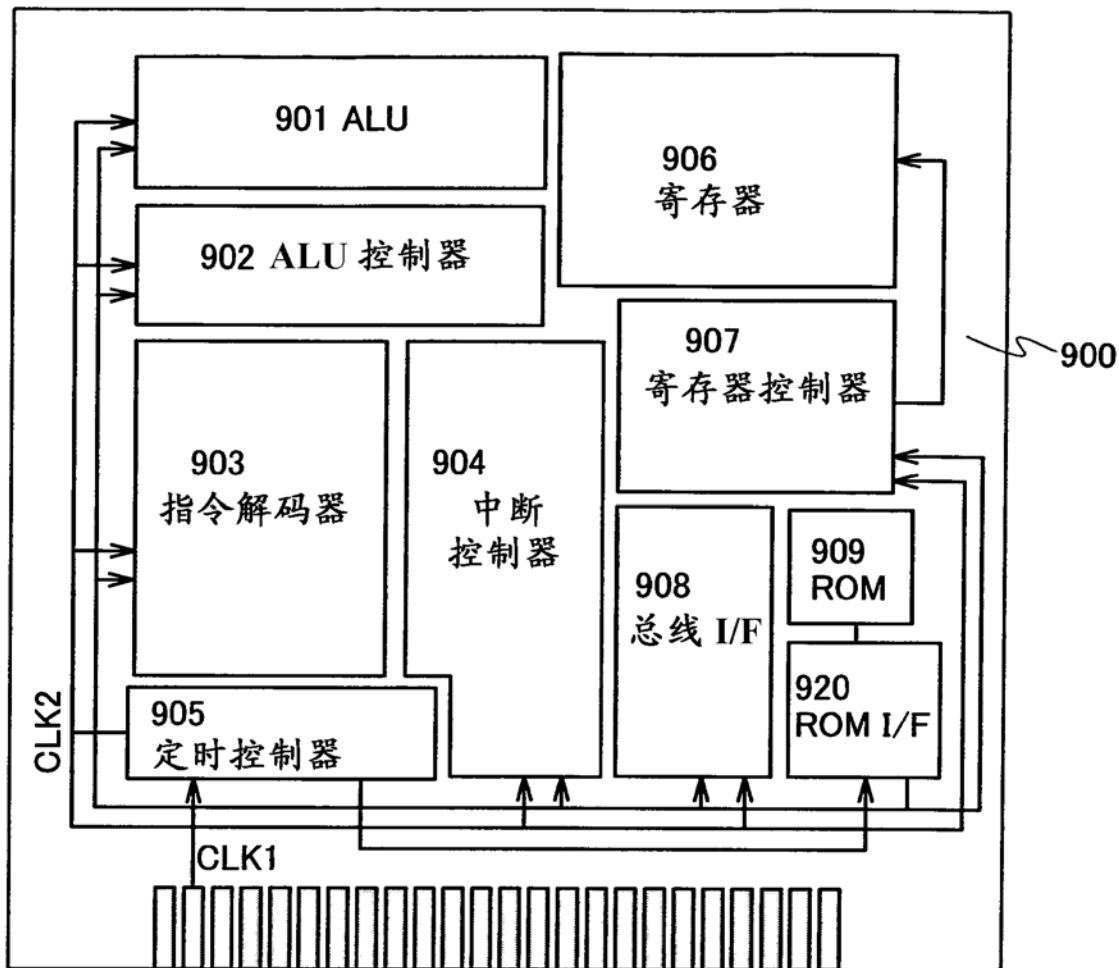


图 17

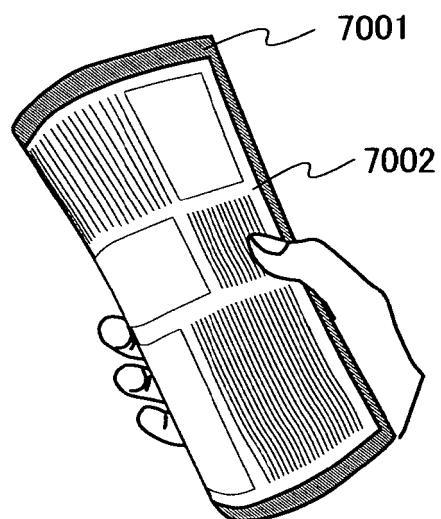


图 18A

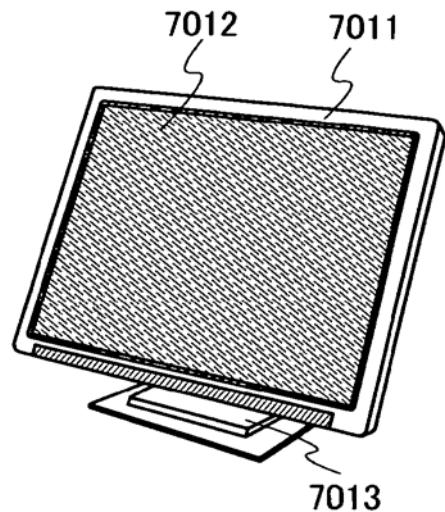


图 18B

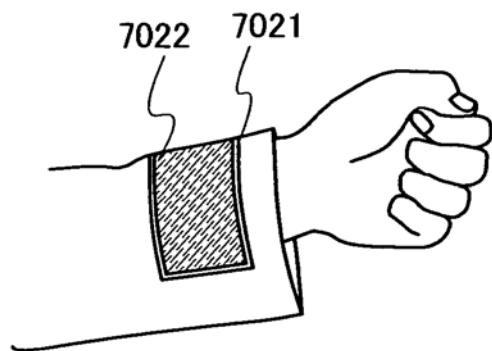


图 18C

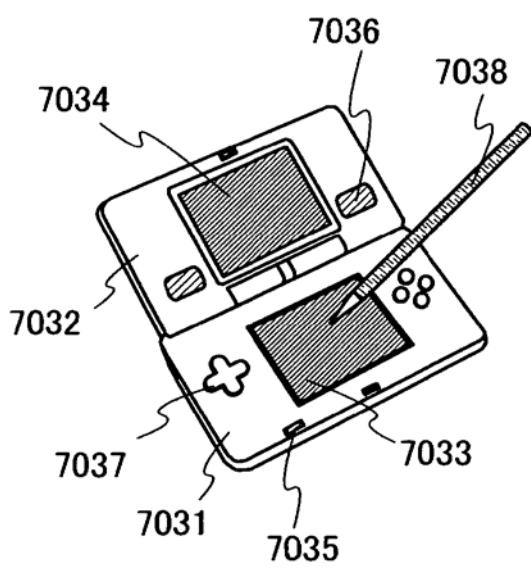


图 18D

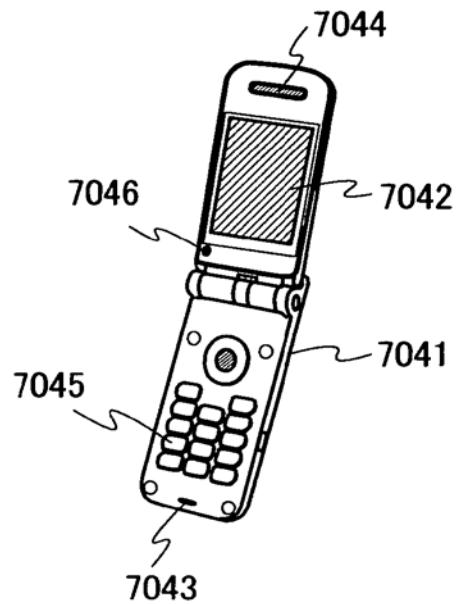


图 18E

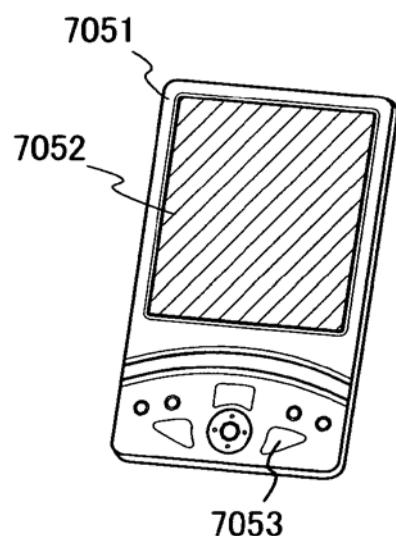


图 18F

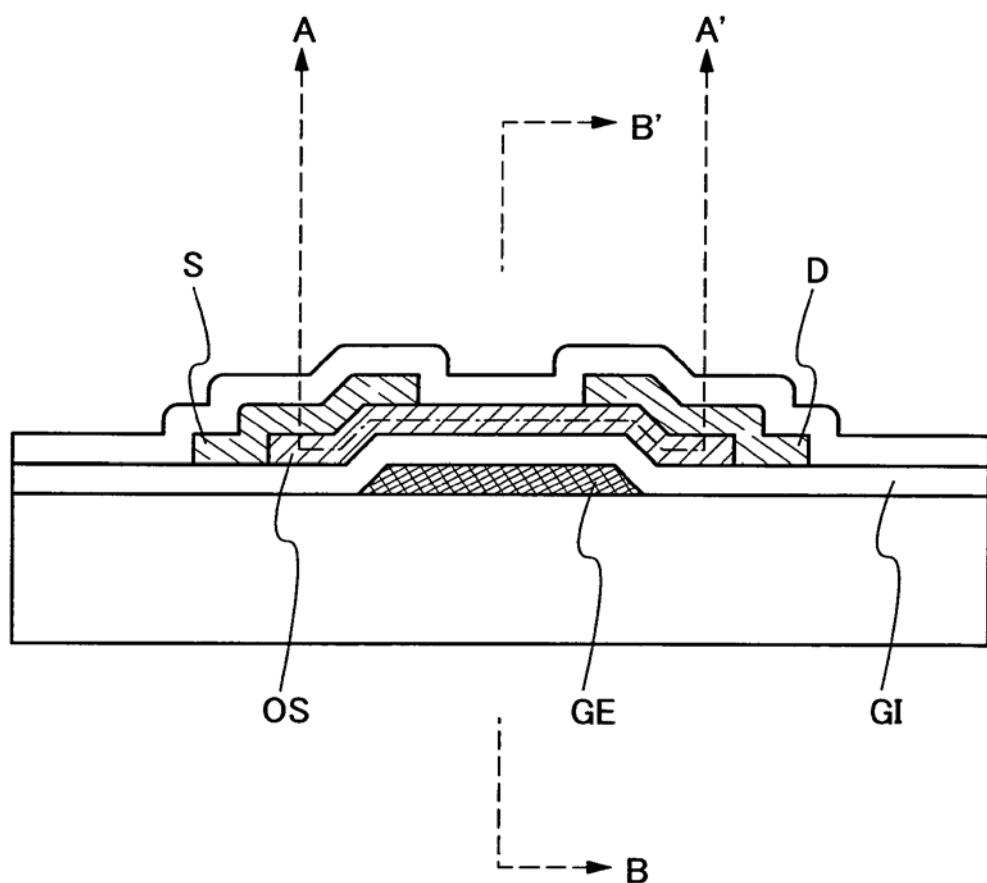


图 19

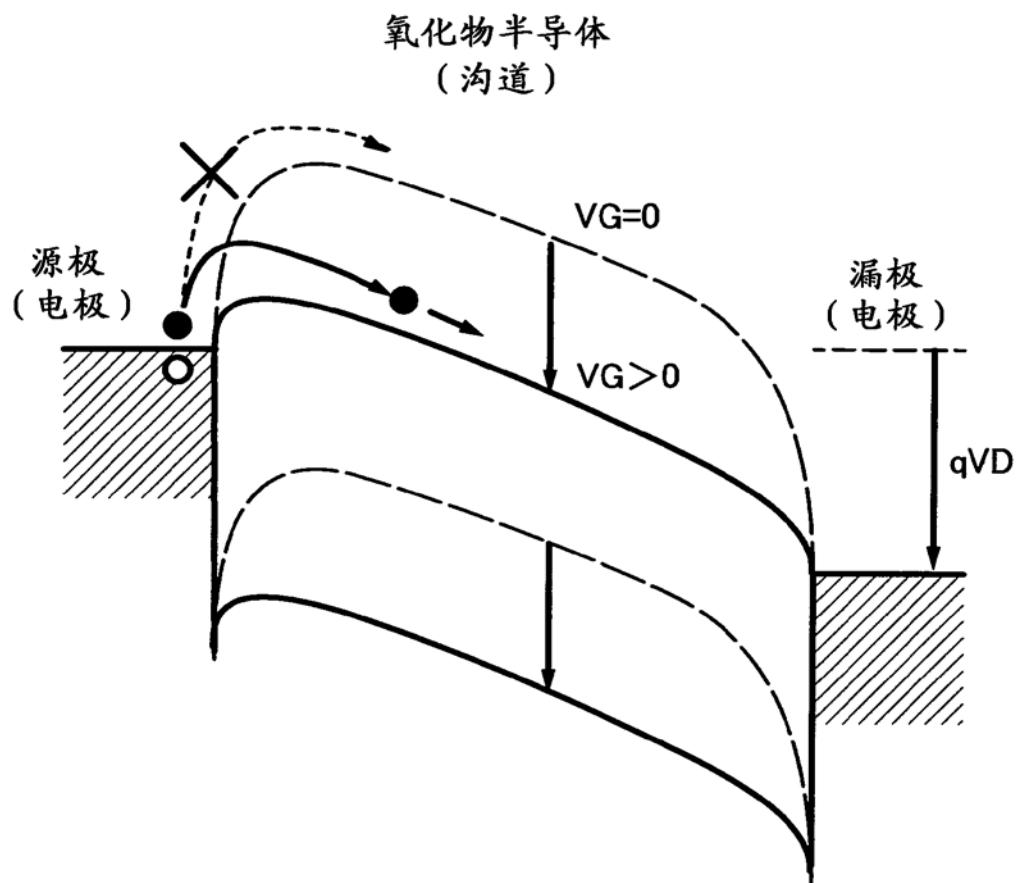


图 20

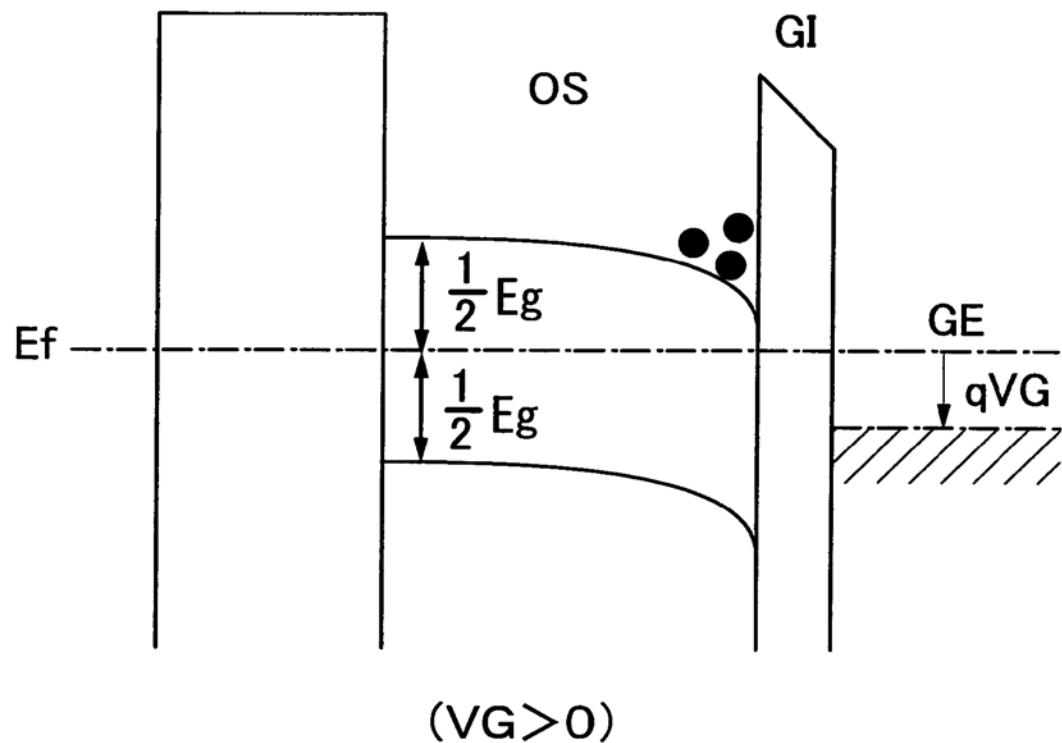


图 21A

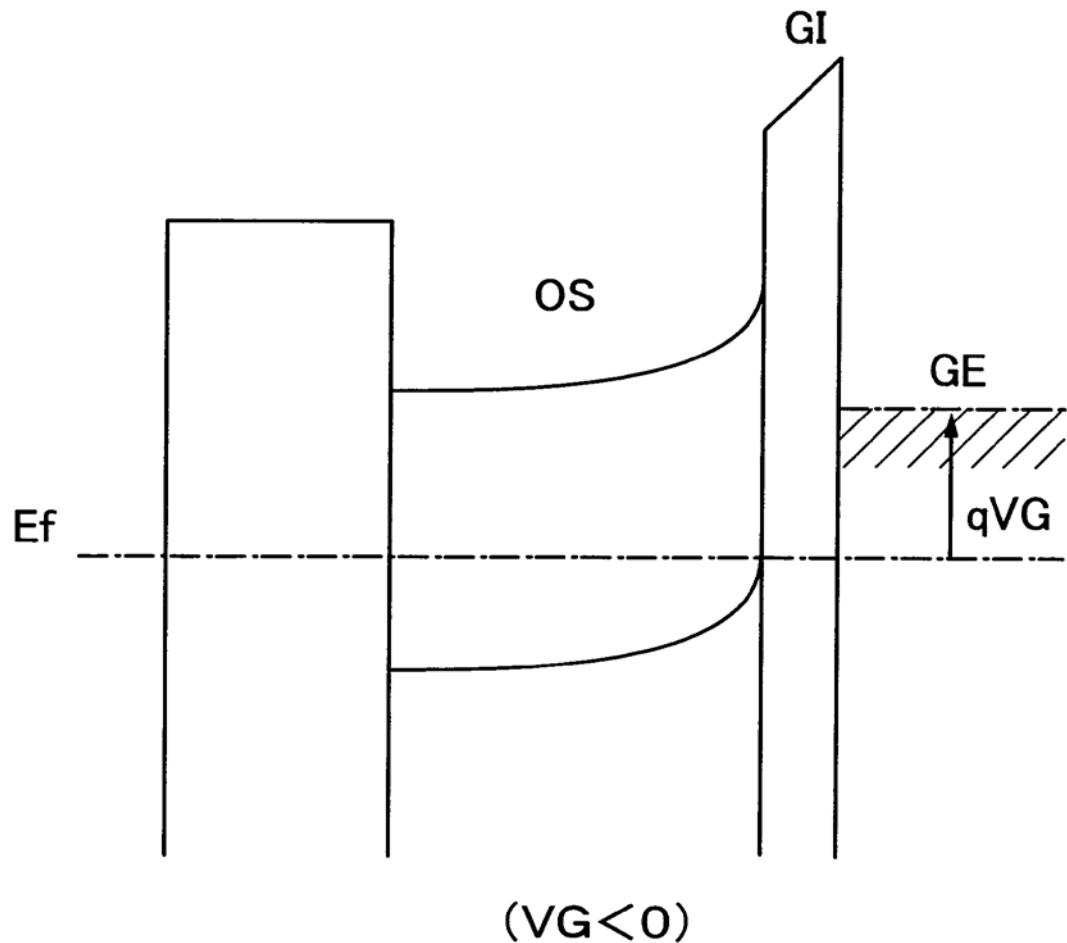


图 21B

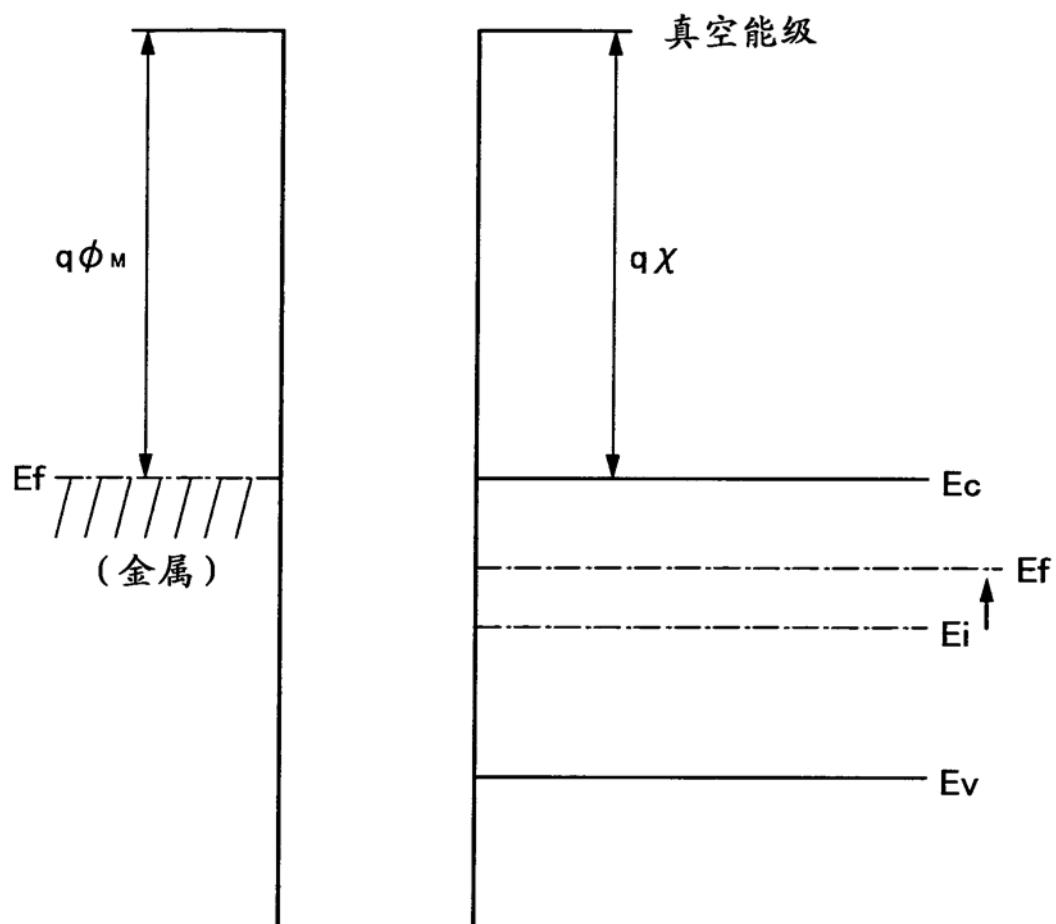


图 22

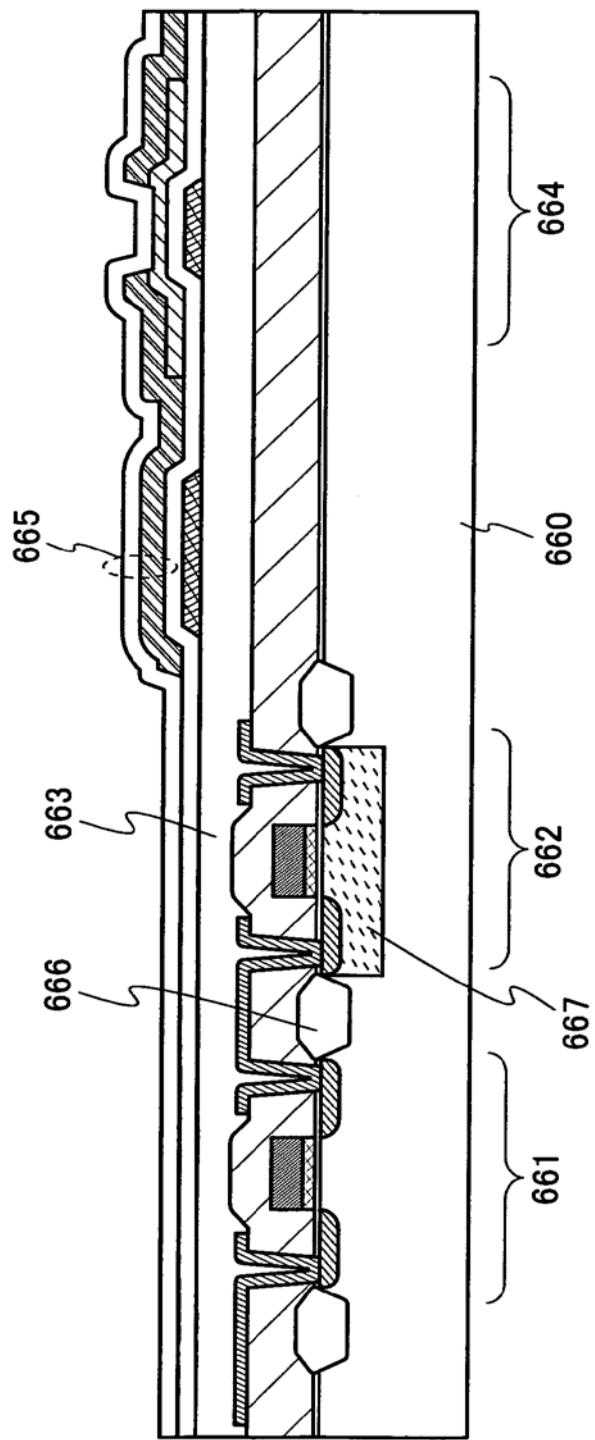


图 23

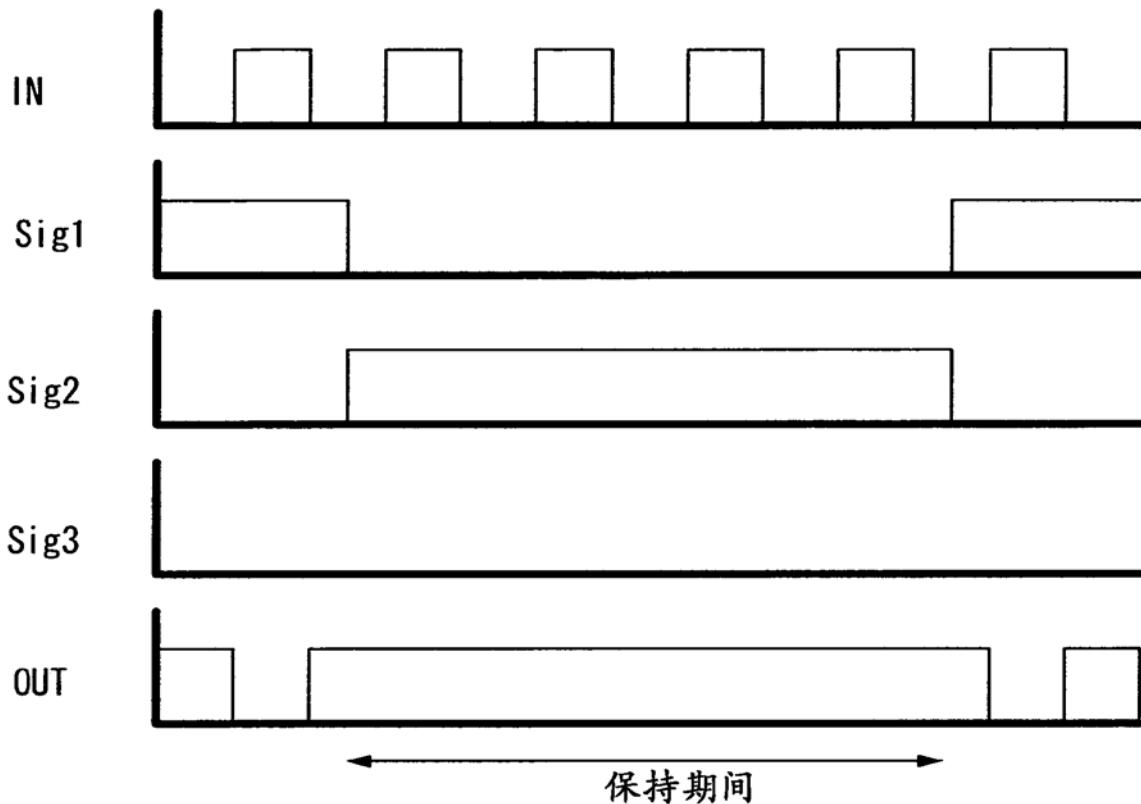


图 24

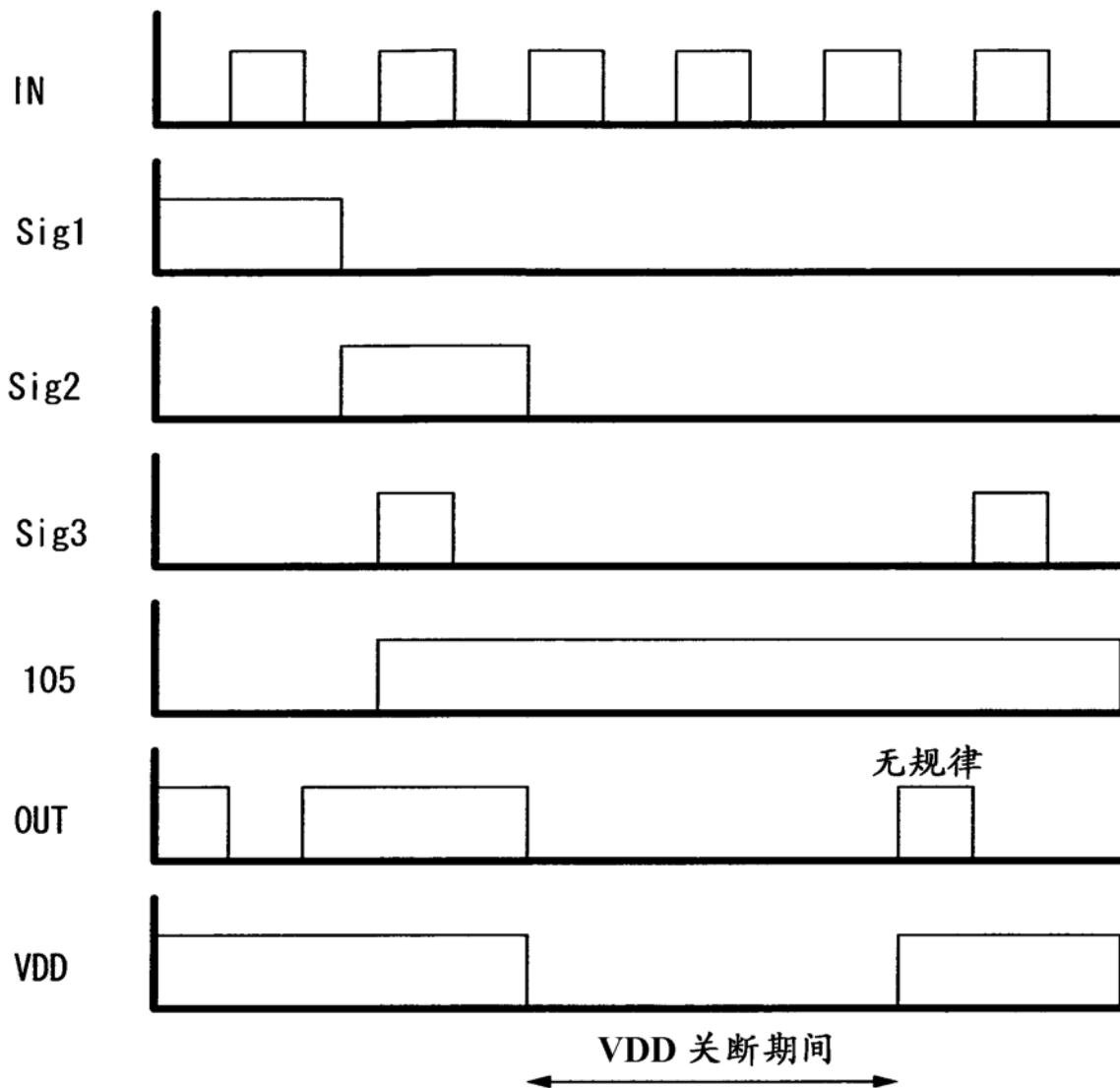


图 25

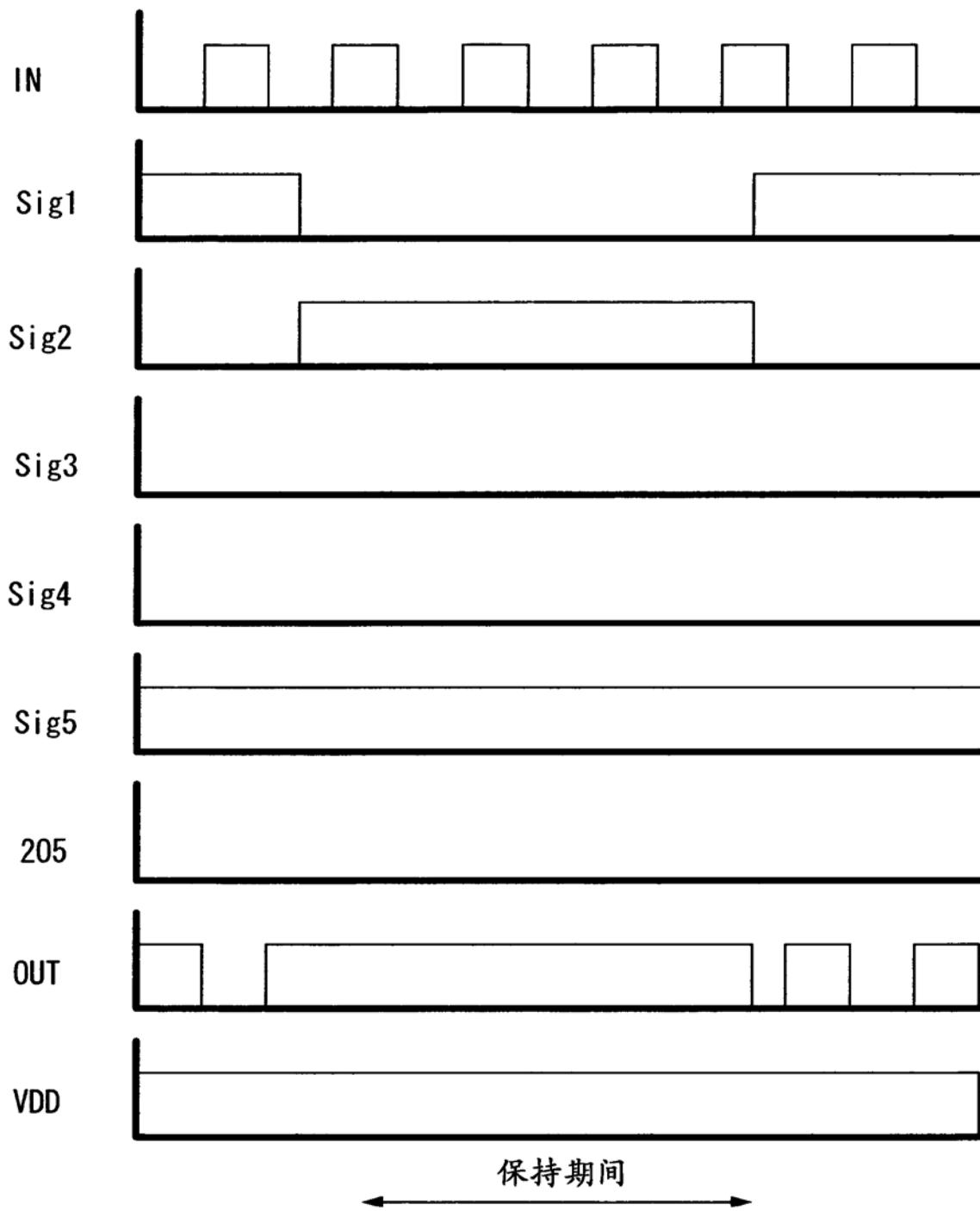


图 26

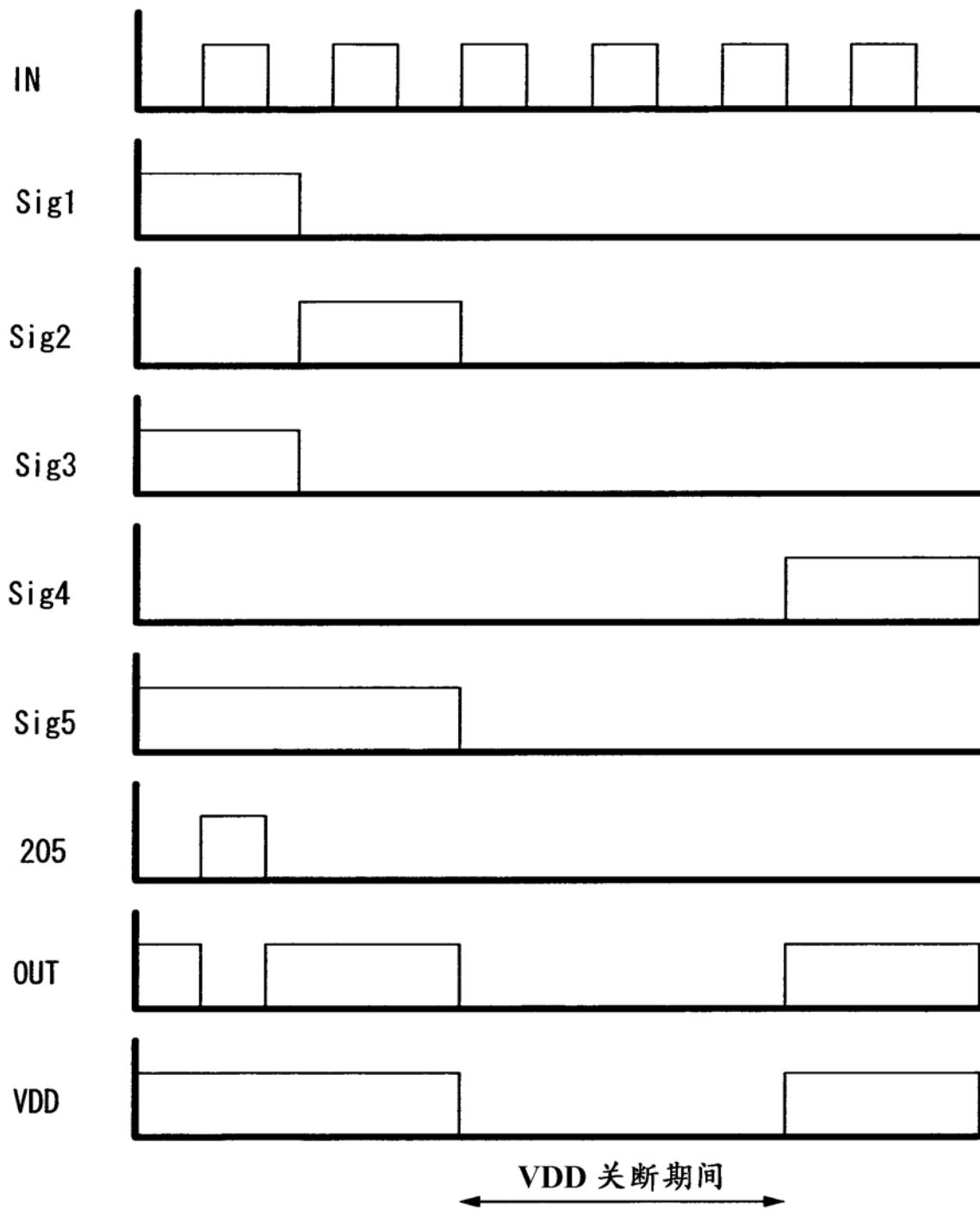


图 27

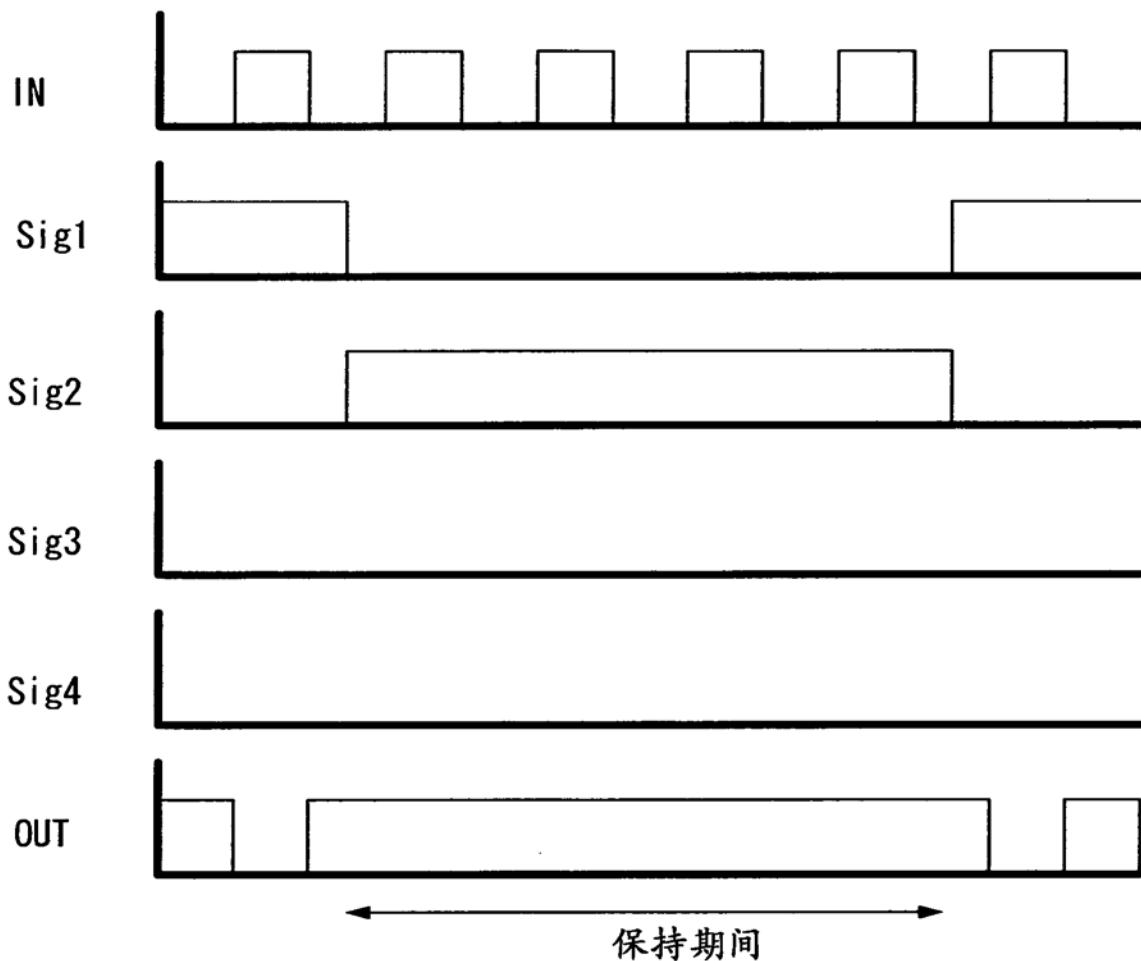


图 28

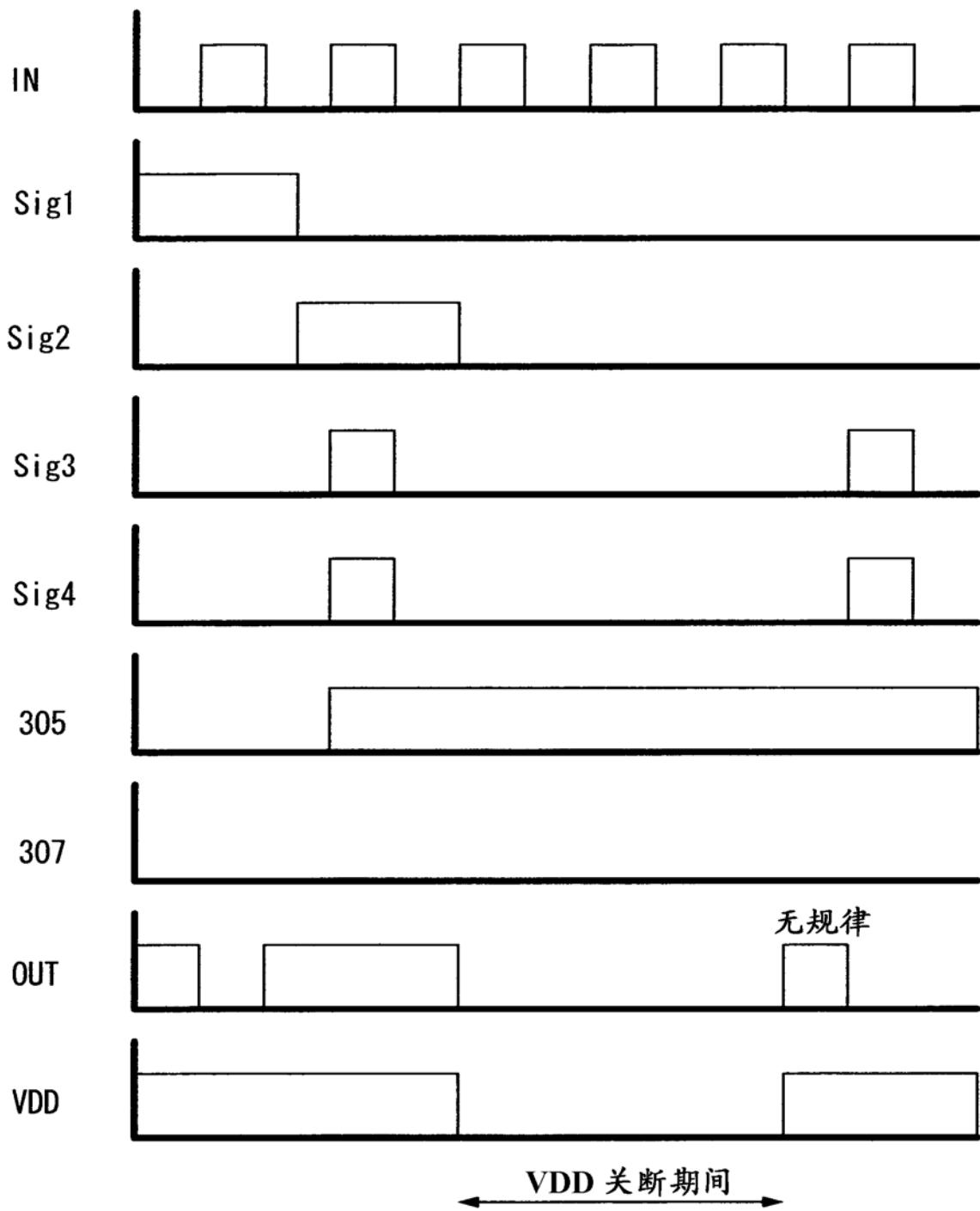


图 29