

(19) (KR)
(12) (A)

(51) 。 Int. Cl. 7
G11C 7/00

(11)
(43)

2002 - 0022618
2002 03 27

(21) 10 - 2001 - 0058049
(22) 2001 09 19

(30) 09/665,892 2000 09 20 (US)

(71) , .
(94306 - 2024) 395

(72) 3
80526 607
94539 48888
95014 21815

(74)

:

(54) D R A M

RAM(32) DRAM (88) (113 - 116)
가 . 가 4
4 3 3 - 12 가
, 3 . 12 가
12 . 가 (146)
12 . 가 . 2 SRAM(75,
76) 2 DRAM(73, 74) 4 가 . SRAM VLSI
, DRAM VLSI . DRAM . DRAM
100 MHz . 33 MHz
DRAM

3

가 DUT 가 DUT
 , DUT가 , DUT가
 12 , 가가 가
 . (,)
 2 .

5

1 가 ,
 2 1 DUT (6) ,
 3 2 ECR(RAM) ,
 4 3 ECR ,
 5 3 4 DRAM ,
 6 5 DRAM ,
 7 6 (composer) ,
 8 5 SDRAM ,
 9 6 8 SDRAM ,
 10 " "

109 : DRAM 110, 111, 112 : SDRAM

113 - 124 : 146 :

161 : SDRAM (110, 111, 112)

176 : SDRAM

193 : DRAM (109)

가 SDRAM

RAM

가

가

PCMCIA

(part)

가

가

가

(shipment yield)

(non - conforming part)

가
가

가
가

가

,가

가

(conditional branching)

가

0 1

1 0
(checkerboard)

가
(collection)

" "

," "

1

(butterfly patte

rn)

가

가

가

()

가

가

(DUT : Device Under Test) 가

()

가

DUT

()

가 DUT

(end up)

, " 가 "

DUT

, DUT

(crossing)

(bit position) DUT 가
(mapping mechanism)

(reverse mapping)

(mapper) 가

DUT가

(mirrored symmetry)

(practice)

(vector bit position)

T

가
DUT

DU

DUT가

(undiced)

가

(element)가

(scrap barrel)

가

가 가

()

가

()

가

(, 가)

analysis) (fix) , 1/2 (dozen) (odd - driven cost benefit a) , DUT 가 (pause) 가 DUT ECR(RAM)

, ECR DUT 가 2 (8, 16, 32) , DUT 가 가 (adjustability) 가 (addressability) (inverse change)

DUT () , ECR 가 , ECR / 가 가 가 가 가 " 가 (quantity information)가 , 가 () /

ress Strobe) 가 ECR SRAM . SRAM DRAM CAS(Column Add " (lengthy pre - charging) " " RAS(Row Address Strobe) 가 " (, CAS 가 , RAS) , (DUT ECR) . DRAM ECR 가 가 SRAM DRAM

가 , DRAM SRAM DRAM DRAM , n - , n - , 10

- (ten - way multiplexer) (fan - out) (a c
 ertified nightmare) (pile) RAM
 가
 가 가

RAM DRAM 가
 가 4 - 가 4 3 3 - 12
 가 (round robin strategy) 가
 가 () , 12
 12 가 DUT 가 , 12
 12 가 가 12 가 (1
).

(compose)" () ECR 12 (utility mechanism) " 0
 가 가 i 12 / (12
)가 0 0 .
 () 가
 가 가 (, 12 가
), 가 가 (ECR " "
 , 가

ECR 4 , 2 " " SRAM 2 " " DRAM .
 VLSI() , " " " " SRAM ECR
 , DRAM VLSI

. SRAM (, 128 1024 가) , DRAM 가
 (, 128 1024 가) . SRAM , ROM DUT
 . DRAM
 , 가
 . SRAM DRAM 가 SRAM DRAM
 . SRAM 가 , DRAM
 , SRAM 가 , SRAM /

4 가 , ECR
 가 (transaction)
 " " " " .
 ; (A) " (sticky zero)"
 0 1 0
 . (B) (,) . (C)
 가 . (D) 가
 . (E) 가
 SRAM DRAM 가
 , " " " " 가
 가 SRAM 가 " " " " 가 (,
)
 가 SRAM

DRAM 가 DRAM ,
 , ECR 100MHz DRAM 가 33MHz 3 (depth)
 ,
 AS, CAS) , DUT 가 " " (R
 mory depth) 12 가가 가 DUT가 (me
 , 가 DRAM 가 .
 가 (,) 2
 DRAM SRAM

1, 36 DUT, 64 (test points) (1)가
 , 64 가 DUT (diced) (packaged)
 가 " "
 (, ,)가 가 (,)가 "
 " (channel)" "
 " 36
 (Test Site Controller)(4), (64) DUT (6) DUT(14)
 (64) (Pin Electronics) . DUT 가 64
 가 DUT
 (#1)(1) "
 , () 가 128 가 (#
 가 1
 35, #36) " 2 - "

가 DUT 가
 DUT (die) 가 , 가 64 가
 DUT 가 (general purpose programmability) 가
 DUT (union) 3 DUT 가 , DUT
 " DUT(component DUTs)" "
 3 DUT " 3" DUT
 DUT" 가 (pass) (fail) (, 3 DUT 가 ,
 가). " - - " 가 ,

가 (DUT 가)
 가 가 (DUT 가)

(#1) , (#36) (2) (3) 36 (가 가
)(4a - 4z) . (a - z 26 36
) (2) (, NT PC)
 (abstraction) ()

() (2) DUT 가 -

, 가 가 , -

(2)

(log)

(Pin Electronics) (9)

(가) ()가

가 , 가()

VOS(VersaTest O/S)

36 64MB Intel i960 , -

(, Agilent V1300 V3300). , -

(#1) (#1)

, WHIZCO no.0013 가 (

(voltage level), (pulse width), (edge position), (delay), DUT

(#1) WHIZCO 0013 (2)

(#1)(4a)([]) , TEST_WHIZ_13 (2)가

(#1) 가 ,

(2)

TEST_WHIZ_13 (self - contained) ,

(4a) 가

DUT

DUT (6) 가

(4)

(in synchrony with) DUT(14) 가 (subroutine - like activity) DUT

rt) (2) (DUT) (expo

(describe)

() DUT

(

가 가 " ")

(#n)(4) (#n)(5) DUT (#n)(6)
 DUT DUT DUT
 " " 가 , DUT (" 가
 ") (,). , DUT (6) DUT 가
 , / (7a) DUT (6a) (#1)
 (9a) (9a) DUT(14) 가 64

DUT
 (, " " ") /
 가 (configurable mapping) , DUT (6)
 , DUT DUT
 () 가 DUT (9a) . WHIZ
 CO 0013 ACMIE
 , WHIZ 가 PE Config (8a)) 가

가 DUT
 가
 가
 가
 가

(card cages) , (power supplies)
 (water cooling)((fan)) , (mother board),
 (front plane) (back plane) 가 9 가
 가 , DUT
 (daisy chain)

" "
 가 . A B 가 A, B, C D
 B C 가 , C C D 가 B
 / " BUS" "

DSY" . " , / / DSY . 가 " B
 . 가 , 가 가 가 가 " (to sleep)"
 . 가 , (,)
 / (-)
 . DSY .
 가 (가) 가
 . 가 , (가) 가
 . , DSY 가
 가 9 가 .

1 , (4a - 4z) (.
 9 .) (4a - 4f), (4g - 4m), (4
 n - 4t) (4u - 4z) . (, 26 -
 10 가 .) CMD/DAT DSY
 (17a)() (4a - 4f)
 , CMD/DAT DSY(17b) (4g - 4m)
 , DSY (4n - 4t) (4u - 4z)가
 . DSY , DSY " (tail end)" 가
 (head)가 .
 (2) (3)
 DSY 가 .

CMD/DAT DSY(17a - 17d) (4a - 4z) . SYNC/E
 RR DSY(18a - 18d) DYT (6a - 6z) 가 . SYNC/ERR DSY(18)
 DUT 가 . (17,18)

2 , 1 DUT 가 (36) .
 . 2 , DUT (6)
 , " (off the shelf)" 가
 . 가 , 2 . 3
 (1) 2 2 (motivation)가
 . 가
 , (가
 " " 가) . , 가
 2 가 2 " (match - up)" .
 가 가 가

I - 70

가

I

- 25

가

2

1 DUT (6) (5)가 (5) ((5) DUT (6) (4) (5) (19) (5) (19) (PGM SRAM(20)) (fetch) (EXT. DRAM(21)) (63)() 가 (1) 가 (2) SRAM (19)(IC) , SRAM , DRAM 가 (19)(SRAM(20) 가 , EXT. DRAM(21) 가 (chunk))

6 (19) , 208 13 1 ALU (22) 8 16 ALU(24) & " (42) (legend) DUT "

8 16 ALU(24) 16 (ALU). 3 3 ALU DUT X, Y Z (27) 8 ALU/ 2 (DH & DL) (most significant portion : DH) (least significant portion : DL) 32 (28) 3 ALU/ (A, B, C) (25) (25) (19) (25) (19) (25) (55)가 (55) 가 가 , VEC_FIFO_FULL(26) (6) 가 가 가 가 (55) (19)

VEC_FIFO_FULL (19) 가 ()
 DUT (baggage) 가
 , DUT 가 ,
 " " 가 " " (29) FIFO(45)가 , FIFO(45)
 . VEC_FIFO_FULL (head end)
 , (16 3 48) X, Y Z (27) (29) ,
 (29) 48 (29)가 48 4
 8 가 가 (가 가 가) .
 8 가 , 가 가 DUT X, Y Z (4
 가 , , X, Y Z ,
 48 DUT (32 16) 가 가
 , X , Y Z
 (left - for - right)(- -)
 가
 , Y가 , Z
 (29) X, Y Z 가 " "
 (29) (29) , 가
 (fully populated memory decode scheme)
 (completely arbitrary look - up table behavior) (29)
 X, Y Z - , 48
 (29) 3 16 ()
 (29) (30) Aux RAM(31) RAM(32)
 Aux RAM(31) RAM(32) RAM 가
 (30) (37)
 Aux RAM(31) . Aux RAM(31) DUT (33) (34)
 (33) (34) Aux RAM(31)
 (33) (34)가 (Aux RAM(31)
 " " 가) .
 (33) Aux RAM(31) (34) Aux Ram(
 31) , Aux RAM(31)

(2 " under the floorboards", " " (4)가]가).

RAM(32) Aux RAM(31) , RAM(32) . Aux RAM(31)
 (33 34) , (61)(RAM) (62)(RAM)
 () (RAM(32))

(31) (35) ALU (24) (DH DL) (28) Aux RAM
 (33) (35) (28, 32)
 (38) , (38) / /
 (40) 가 , (38, 39) DUT () (37) (39)).
 , (,) DUT (,)
 DUT(DUT) (pieces)
 - (19) 208
 SRAM(41) (40) VEC_FIFO
 _FULL (26) FIFO(45) 64 (44) , VEC_FIFO_FULL
 (26) FIFO(45) (49)() V
 EC_FIFO_UNLOAD (47) FIFO(45) (46) (9) (9)
 DUT / (52) , (9)
 (9) / (52) & (7) (8)

/ (52) - (19) SRAM(20)
 (" A") SRAM(54) (DRAM(53) SRAM(54)
). SRAM(54)(DRAM(53))
 DUT DUT가 , 가 가 /
 가 가 (57) 64 (56) , (57) (40)
 ((57) SRAM(41) (40) SRAM(58)).
 , (57) (59) (60) (60)
 (59) () (60)(RAM) (60) (61)
 RAM(32) 가 가 가

(49) SRAM(51) . (49) SRAM(51)

(DATA FROM RING BUS)(99) (ADDRESS FROM RING BUS)(1
 00)가 가 . MUX(104) ERROR DATA IN(105) DATA FROM RING BUS(99)
 (107) DRAM (109) DATA IN 가
 가 , MUX(103) (106) (100) DRAM
 (98) MUX(103, 104) (101, 102)

DATA OUT(62A/B) (97) 가 가 DATA OUT

DRAM 3
 , DRAM 1:3 MUX(125)(가)
 . MUX(125) , MUX가
 6 MUX가 () 가
 가 .

5 , 1:3 MUX(125)가 3 SDRAM (110 - 112) 0,
 1 3 SDRAM 가
 SDRAM SDRAM 4 SDRAM
 (110) (113, 114, 115, 116) , 0
 2 (121 - 124) DRAM 12 (117 - 120) ,

SDRAM .
 , () . , 4
 3 가 12 가 4 가 ,
 , 12 , 12 ,
 12 , 12 ,
 DRAM 10 가 가 가
 (, 12 가 가
 . 4 가
).

, DRAM 가

100 MHz(R100)

4
가

3
가

33 MHz(R33)

3 , 3

4
가
가

100 MHz(L100)

12

(locality requirement)
가

2 , 3 가 2 0 가 1

가 2 32
(power - of - two boundaries)
R100 R33

L100

(Composition)

" " 4 R100 12 R33
(hardware assist)

(Composition Integrity)

가

(Hidden Refresh)

DRAM

(OWW)

1, 4 12 (1, 4 12) :
 R100(12), R33(4) L100(1) ,

(OLW)

1, 4 12 " " - - (read - modify - write o
 peration). R100(12),
 R33(4) L100(1) , 1 0
 , DUT (trapping) L100
 가 (an onerous requirement) 가 ,

(SYW)

L100 R33 4 R100 12

(SYR)

L100 R33 4 R100
 12

(ANR)

R33 4 R100 12
 (62A - 62D)

(BMR)

가 " (100MHz) L100(가
), R33(4) R100(3 4 가)
 (62A - 62D)

(GROUP CYCLE CONTROL)
 (133) FIFO(0 143, 1 144, 2
 145) (172, 173, 174)
 (193) ADDRESS(132) ECR DRAM

0, 1 2 (GROUP READ DATA)(134, 135, 136)
 (146) MUX(148) 가 MUX(148)
 (COMPOSED GROUP READ DATA(147))
 , GROUP READ DATA 4 가 4
 READ (ADDRESS FIFO(138, 140, 142) CYCLE CONTROL FIFO(143, 144, 145)
) (193)

(130) MUX(148)) (149) , (149)
 FIFO(150) (62A/B)가 (107) 가 (193)

DRAM (146) 가 7
 3 (R100) 12 1 (R33)
 4 , 12 (4) 가 1
 가 0 , 6
 DRAM 4 가
 , R100 , 0, 3, 6, 9(R100 0 1
 1 - - 가 0 3)가 0
 (GROUP 0 READ DATA)(134)
 OUP 1 READ DATA)(135)
 EAD DATA)(136) , 2, 5, 8 11 2 (GROUP 2 R
 , 0, 1 2
 , 3, 4 5 , 3 가
 (134 - 136)
 (true) AND (, 151 152)가 ,
 (0)가 , AND 0 4 (, AND (151) (156), AND
 (152)) AND (, AND (151) (156), AND 가 0
 AND (157)) AND 가 0 (가 0
 AND 5 0 11 (R100
 , .0 11 , R100
 , R33)).

가
 , (156 - 157)
 2- OR (153, 154) 1 (FIRST CYCLE) (155)
 가 . OR (153 - 154) AND (151 - 152) " "
 가 1 (155) DRAM (109) (193) ,

1 :3:0 1:0:0, 1:1:0, 1:2:0, 1:3:0((156 - 157)) . 2 DRAM (0 1) , 0:0:0, 0:1:0, 0:2:0, 0 #: #: #) . 1 (155) (don't care) , AND (151 - 152)가 (156 - 157) , 1 (155)

4 가 , 32 (156 - 157) (COMPOSED GROUP READ DATA)(147) , 6 DRAM (109) R33 가 가 . N (GROUP N READ DATA BUS)(R33 134, 135 136 2) R100 R33

8 5 SDRAM (110, 111, 112) (158)가 SDRAM (161) , (85) (180) N (GROUP N ADDRESS)(167, 169 171) (160) (161) FIFO(159) 가 (N 0, 1 2) . (160) GROUP N ADDRESS(175)가 SDRAM 가 . (161) SDRAM (109) (GROUP CYCLE CONTROL) (172, 173 174) , (16 1) SDRAM (176)(RAS, CAS,) (161)

(161) () , (40μs) (some installment of refresh)가 가 .

0) , SDRAM DRAM 가 143 MHz (FIF 100 MHz) 7%

, N (GROUP N WRITE DATA)(166, 168 170) FIFO(162) 가 , FIFO (2:1) × 32 MUX(163) 가 . MUX(163) GROU P N DATA(178) (178) 가 . TA) 가 MUX(163) , FIFO(162) N (GROUP N WRITE DA (164) (179) , MUX 가 , - -) . SDRAM (165) 가 , GROUP N READ DATA(134, 135 136)가 .

2 10 SDRAM . SRAM (SRAM 가) .

기호 정의

기호	의미
M	메모리 세트를 스택하기 위한 메모리 세트 선택 비트
G	메모리 세트내의 그룹을 스택하기 위한 그룹 선택 비트
B	그룹내의 뱅크를 스택하기 위한 뱅크 선택 비트
R	행 어드레스 비트
C	열 어드레스 비트
F	협폭 워드 동작을 위한 필드 선택 비트
E	칩 인에이블

지원 부품

데이터 비트	행 비트	열 비트	뱅크 비트	구성
512M	13	10	2	(8M 어드레스 X 16 데이터 비트) X 4 뱅크
256M	13	9	2	(4M 어드레스 X 16 데이터 비트) X 4 뱅크
128M	12	9	2	(2M 어드레스 X 16 데이터 비트) X 4 뱅크
64M	12	8	2	(1M 어드레스 X 16 데이터 비트) X 4 뱅크

샘플 테스트 프로그램 맵핑

비트	3 3 2 2 2 2 2 2 2 2 2 2 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 0 0
Pos	1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0

맵퍼로부터의 디폴트 어드레스 <-----X-----> <-----Y----->

맵퍼로부터의 전형적 어드레스 <-----Z-----> <-----X-----> <-----Y----->

512M SDRAM 단일 메모리 세트(R100‡ 또는 R33)

비트 3 3 2 2 2 2 2 2 2 2 2 2 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 0 0
 Pos 1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0

 모드
 1비트 G G E R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 2비트 G G E R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 4비트 G G E R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 8비트 G G E R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 16비트 G G E R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 32비트 G G E R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F

‡ G는 R100 동작 동안 없거나 무시됨

512M SDRAM 스택 메모리 세트(R100‡ 또는 R33)

비트 3 3 2 2 2 2 2 2 2 2 2 2 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 0 0
 Pos 1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0

 모드
 1비트 G G E M R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 2비트 G G E M R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 4비트 G G E M R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 8비트 G G E M R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 16비트 G G E M R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 32비트 G G E M R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F

‡ G는 R100 동작 동안 없거나 무시됨

1-비트 모드 단일 메모리 세트‡

비트 3 3 2 2 2 2 2 2 2 2 2 2 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 0 0
 Pos 1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0

 유형
 512M G G E R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 256M G G E R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 128M G G E R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F
 64 M G G E R R R R R R R R R R R R R R R R C C C C C C C C C C F F F F F

‡ G는 R100 동작 동안 없거나 무시됨

183 188, 184 185 187) CHIP SELECT
 (182, 184) 32
 512 Mbit (187, 188) 4 16M × 32 E
 CHIP SELECT
 9가 2 DRAM 3) ECR
 4 (DUT) DUT ECR
 4 32 가 DUT 2
 4 9 32 ECR 가 , 2
 가)가 ECR 가 (,
 가 DUT 가 ECR , ECR 가
 DUT DUT , ECR Z 가
 ECR 가 DUT Z Z ? , 가
 , DUT (,)
 , ECR ECR (가 , 가)
 ,)

5 512M SDRAM 32 (가) SDRAM 2 , R100(
 100 MHz) R33(33 MHz
 , 8M 13 R 10 C
) R100 ,
 E가 16M (4 DRAM)
 (G)

가 R33 , 33 MHz
 (G) , 가 3 (48M 가) 3
 SDRAM (161) N (GROUP N ADDRESS) , SD
 RAM

5 division) 가 가 0(32) (sub
 5(32 1) F N (GROUP N ADDRESS)
 SDRAM (161) N

MUX(163) (179)(8)가 가 가 . F 가 DRAM
가 가 32 , F 가 SDRAM 가 SDRAM 가

6 5 5가 , 6 (5 , 2
. 512M 가). . 2 (M)
가 가 2 가 . DRAM (6 (

193) ADDRESS(132)) . M
(193) 가

7 8 , , 7
5 , 8 5 . 6 7
4

9 10 L100 . L100 " " (12
) 가 , 가 12 .
DRAM SDRAM 가 4
. 9 10 GG BB ,
. ,
(corresponding functionality) . 2 6
M , L100
가

(193) , , DRAM (109)
. (A) 가 R100
" "

(GROUP N ADDRESS, WRITE DATA, CYCLE CONTROL & RE
AD DATA, N=0, 1, 2) . (B) 가 R100 ,
5 10

(ADDRESS
S, WRITE DATA, CYCLE CONTROL & READ DATA) . (A) (B) R100 R33
(

). 가 , 가
(B) " NOT R100" , L100 , 가
, 가

0 , (A) (B)가 가 . (C)가 , R10
R33
). R100 가 4 가
(, 4 가 (가) 4
, 4 가 . (100 MHz) 12
가) (4 (SDRAM

R33 가 . 4 가 2 " (shut down)"
가 가 . N
(GROUP N READ DATA BUSSES) (134, 135, 136) 2
가 . (146)
(가), 4 . R33
가 , DRAM
, N (GROUP CYCLE CONTROL)
, 가 (GROUP N READ DATA) 가
가 (mask out) AND (151 - 154) 가 가 .

8 SDRAM (161)
, SDRAM 가 ,
. (161)
(R100 R33),
, (176)

SDRAM SDRAM
, 11 15가 .

정의

a = 활성화 행(& 행 어드레스)

r = 판독(& 열 어드레스)

w = 기입(& 열 어드레스)

P = 선충전(& 뱅크 선택)

- = 클럭 사이클

Bn = AC 또는 D 상의 뱅크#에 대한 트래픽

D = (별도의) 데이터 버스; i = (입력) 기입 데이터, 0 = (출력) 판독 데이터

AC = (별도의) 어드레스 & 제어 버스

SDRAM 제어

SDRAM 핀	작동			
	p	a	r	w
행 어드레스 선택(RAS)	1	1	0	0
열 어드레스 선택(CAS)	1	0	1	1
기입/판독	0	0	0	1

오버레이 기입 및 오버라이트 기입

B0	p----	a----	r--o-	wp----	a----	r--o-	w
B1		p----	a----	r--o-	wp----	a----	r--o-
B2			p----	a----	r--o-	wp----	a----
B3				p----	a----	r--o-	wp----
D							o-i-o-i-o-i-o-i-o-i-o-i-o-i
AC	p---	pa--	par-	parw	parw	parw	parw-arw--rw----

그룹 내의 하나의 OLW에 대해 16 사이클

14 (ANR) 4 ANR (BMR) BMR 12

ANR 가 , R33 12 R100 12

가 가 (pass) , ANR

ANR 28 OLW 가 가

12) 가 (FCP : Fast Compose) , ECP

ECP 00 15 4 , R1 가 가 , FCP 12 R33

FCP (a) , FCP가 L100 , FCP (p) r w p a a가

SDRAM 12 FCP가 , FCP 2

(COMPOSED) (CMP_FLG_MS#N)(190)가 (189) 10 DRAM 가 , 가

가 (1) (SET_CMP_FLG_MS#N) (explicit instruction)(197) (2) FCP (196)(FCP_MS#N) OR (OR (194)) (193) (191) (2) FCP가

OLW(OLW_MS#N)(195)

AM 가 , RAM SDR

(57)

1.

DRAM(73)

- (a) DRAM (n × m) (113 - 124) m 가 n (88 - 90) 가 , ,
- (b) ,
- (c) ,
- (d) (b) , (c) m
- (e) (d) (d) ,

DRAM(73)

2.

- 1 , 가 (14)
- 가

DRAM(73)

3.

- 2 , (14) , 가 (n × m) 가 ,
- 가 가

DRAM(73)

4.

- 1 , , (n × m) (n × m) (113 - 124) (146) ,
- 가 , (n × m) , (n × m) (n × m)
- 가

DRAM(73)

5.

4

가 (n×m) (113 - 124) (191) ,
(b) 가

DRAM(73)

6.

가

DRAM(73)

(a) DRAM (n×m) (113 - 124) m n (88 - 90) ,
(167, 169, 171) 가 , (176) 가 , (

(b)

(c)

(d) (b) , 가
(c) m

(161) ,

(e) (d) ,
(d)

DRAM(73)

7.

6

가 , 가 (14)

가

DRAM(73)

8.

7

(14) , 가 m n (88 - 90) 가 ,
가 가

DRAM(73) .

9.

6 ,

, m

가

, m

m

(146) ,

m

가

,

DRAM(73) .

10.

9 ,

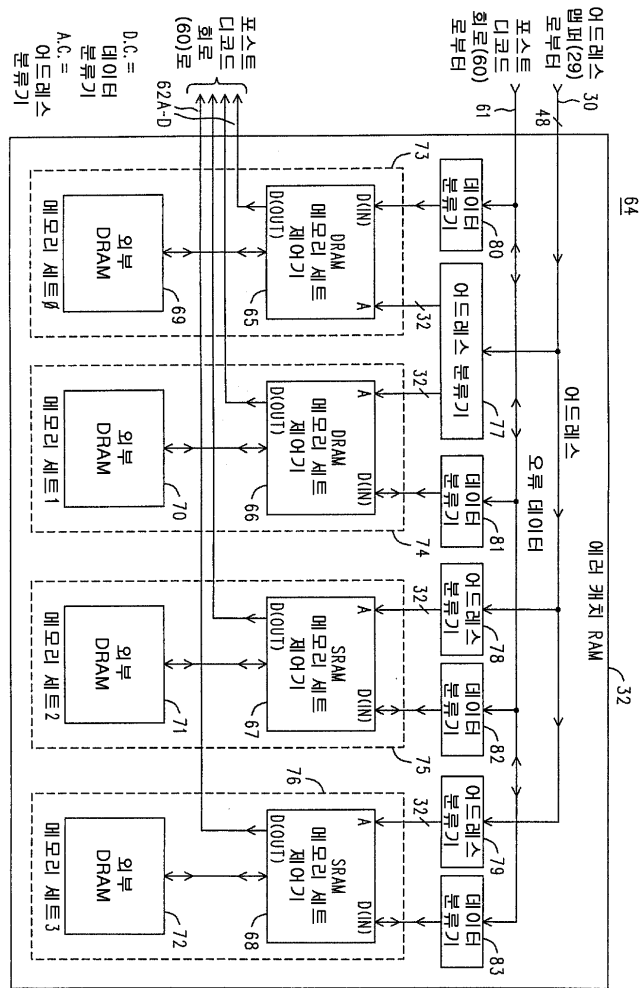
가 m
(b)

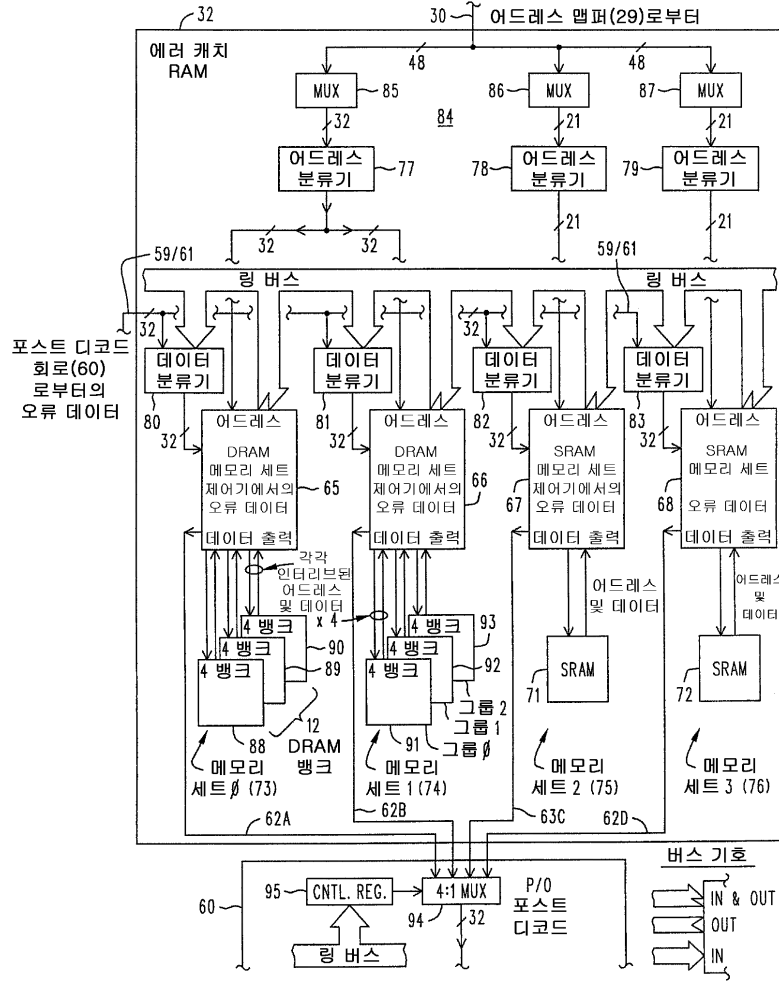
(191)
가

,

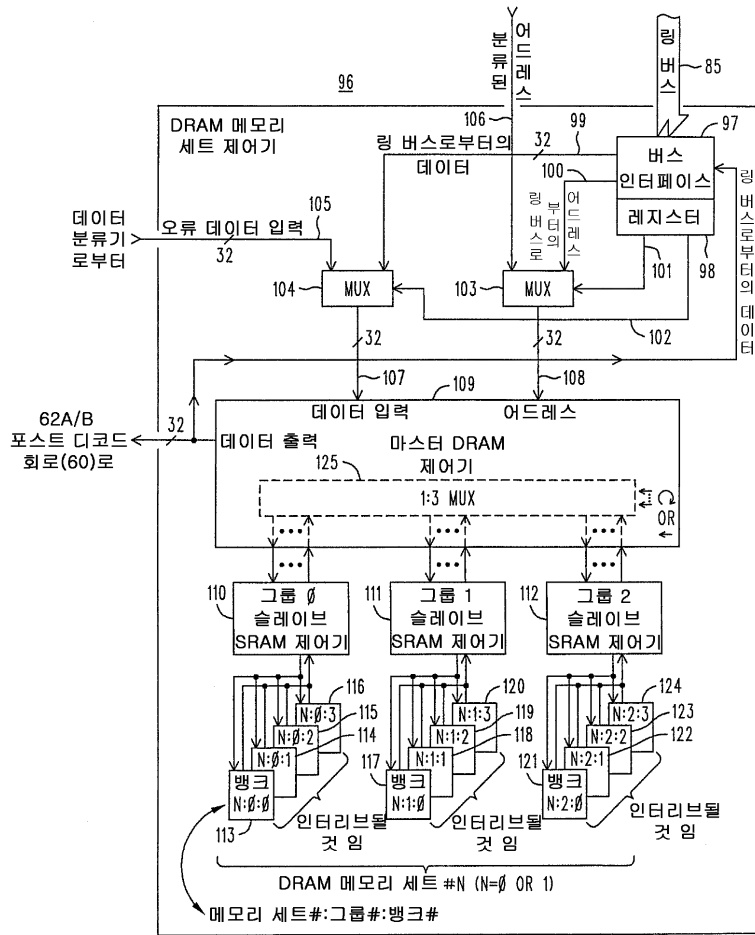
DRAM(73) .

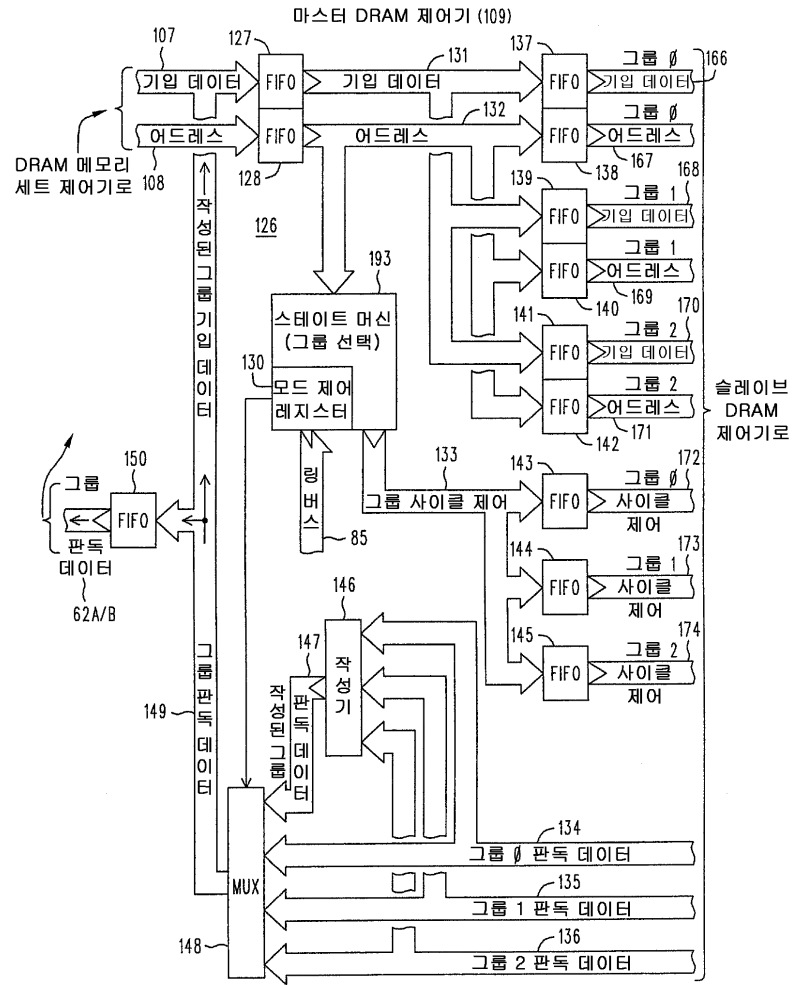
3



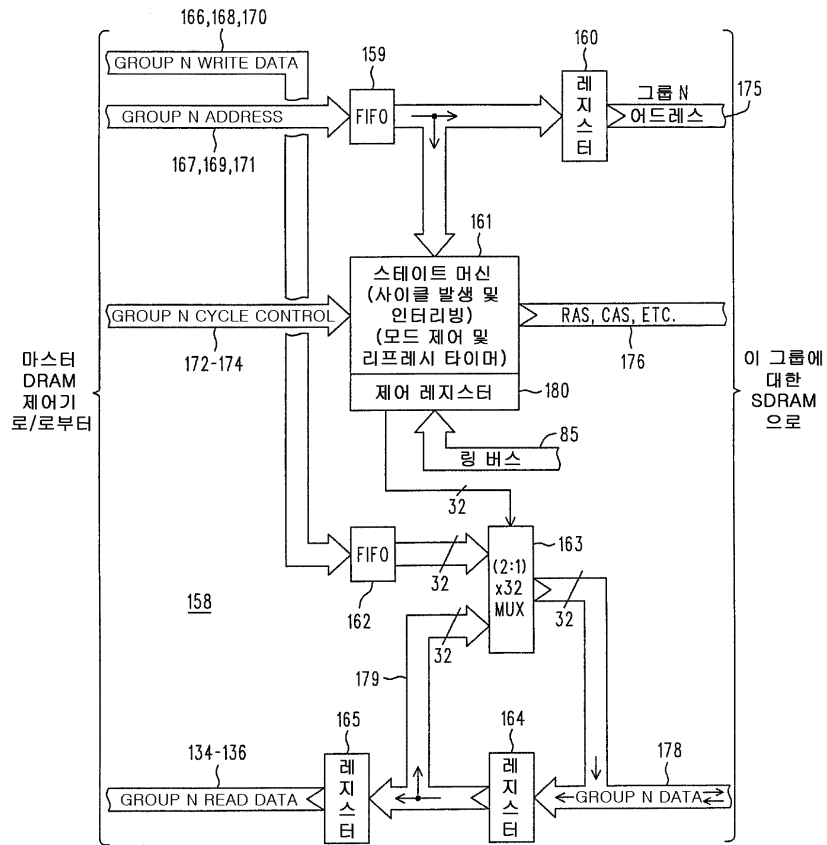


5

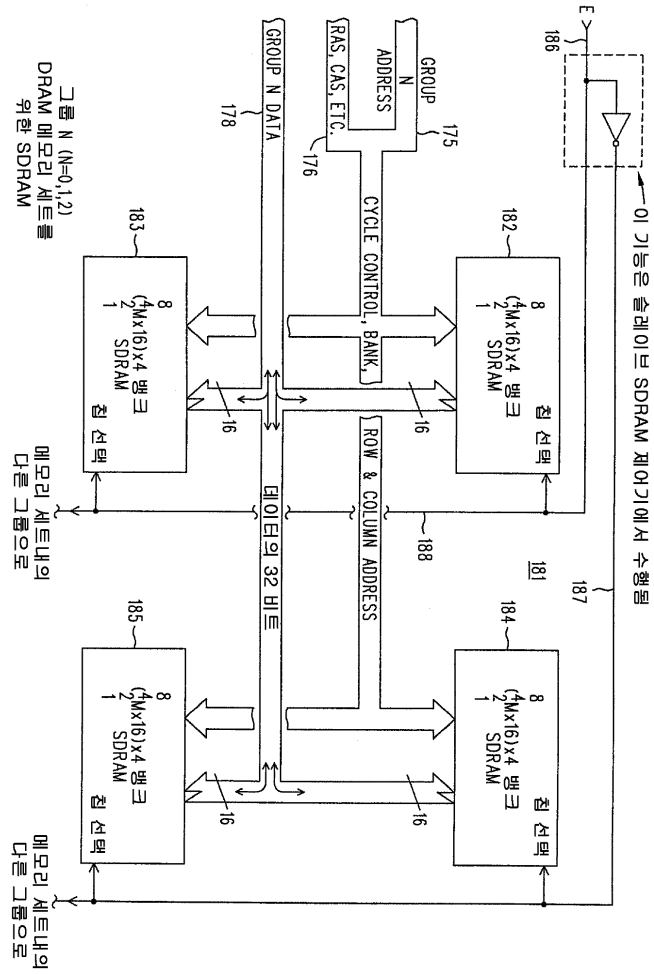




슬레이브 SRAM 제어기 (110,111,112)



9



10

189

