



(12) 发明专利

(10) 授权公告号 CN 101752428 B

(45) 授权公告日 2011. 12. 21

(21) 申请号 200910258502. 3

(22) 申请日 2009. 12. 11

(30) 优先权数据

2008-317286 2008. 12. 12 JP

2009-222514 2009. 09. 28 JP

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 上田未纪 岩崎达哉 板垣奈穗

高亚阿米达

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 魏小微

(51) Int. Cl.

H01L 29/786 (2006. 01)

H01L 29/12 (2006. 01)

H01L 21/34 (2006. 01)

H01L 27/32 (2006. 01)

(56) 对比文件

CN 1930692 A, 2007. 03. 14,

CN 101057339 A, 2007. 10. 17,

WO 2008045099 A2, 2008. 04. 17,

审查员 赵端

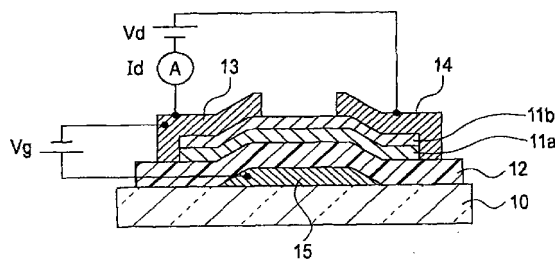
权利要求书 2 页 说明书 17 页 附图 13 页

(54) 发明名称

场效应晶体管、场效应晶体管的制造方法和显示装置

(57) 摘要

一种场效应晶体管、场效应晶体管的制造方法和显示装置,该场效应晶体管至少具有:半导体层;和栅电极,该栅电极被设置在上述的半导体层之上使得其间具有栅绝缘膜,其中,上述的半导体层包含具有选自 Zn 和 In 的组的至少一种元素的第一非晶氧化物半导体层、和具有选自由 Ge 和 Si 构成的组的至少一种元素和选自 Zn 和 In 的组的至少一种元素的第二非晶氧化物半导体层。上述的第一非晶氧化物半导体层的成分与上述的第二非晶氧化物半导体层的成分不同。



1. 一种场效应晶体管,包括:
半导体层 ;和
栅电极,该栅电极被设置在半导体层之上使得其间具有栅绝缘层,
其中,所述半导体层包含:第一非晶氧化物半导体层,所述第一非晶氧化物半导体层包含选自 Zn 和 In 构成的组的至少一种元素 ;以及第二非晶氧化物半导体层,所述第二非晶氧化物半导体层包含选自 Ge 和 Si 构成的组的至少一种元素和选自 Zn 和 In 构成的组的至少一种元素。
2. 根据权利要求 1 的场效应晶体管,
其中,第一非晶氧化物半导体层包含 Zn 和 In,并且,
第二非晶氧化物半导体层包含 Zn、In 和 Ge。
3. 根据权利要求 1 的场效应晶体管,其中,第一非晶氧化物半导体层被设置在栅绝缘层和第二非晶氧化物半导体层之间。
4. 根据权利要求 2 的场效应晶体管,其中,包含于第二非晶氧化物半导体层中的 Ge 的成分比 $\text{Ge}/(\text{In}+\text{Zn}+\text{Ge})$ 大于或等于 0.01 且小于或等于 0.4。
5. 根据权利要求 4 的场效应晶体管,其中,包含于第二非晶氧化物半导体层中的 Ge 的成分比 $\text{Ge}/(\text{In}+\text{Zn}+\text{Ge})$ 大于或等于 0.03 且小于或等于 0.15。
6. 根据权利要求 2 的场效应晶体管,其中,包含于第一非晶氧化物半导体层中的 Zn 的成分比 $\text{Zn}/(\text{In}+\text{Zn})$ 大于或等于 0.3 且小于 0.75。
7. 根据权利要求 6 的场效应晶体管,其中,包含于第一非晶氧化物半导体层中的 Zn 的成分比 $\text{Zn}/(\text{In}+\text{Zn})$ 小于 0.4。
8. 根据权利要求 2 的场效应晶体管,其中,包含于第一非晶氧化物半导体层中的 Zn 的成分比 $\text{Zn}/(\text{In}+\text{Zn})$ 与包含于第二非晶氧化物半导体层中的 Zn 的成分比 $\text{Zn}/(\text{In}+\text{Zn})$ 相同。
9. 根据权利要求 1~8 中的任一项的场效应晶体管,其中,第二非晶氧化物半导体层的一部分被设置在源电极或漏电极与第一非晶氧化物半导体层之间。
10. 根据权利要求 1~8 中的任一项的场效应晶体管,其中,栅绝缘层包含硅氧化物。
11. 一种场效应晶体管,该场效应晶体管是薄膜晶体管,该场效应晶体管包括:
半导体层 ;和
栅电极,该栅电极被设置在半导体层之上使得其间具有栅绝缘膜,
其中,所述半导体层包含第一和第二非晶氧化物半导体层,所述第一和第二非晶氧化物半导体层各包含选自 Zn 和 In 构成的组的至少一种元素,并且,
包含于第一非晶氧化物半导体层中的 Zn 的成分比 $\text{Zn}/(\text{In}+\text{Zn})$ 比包含于第二非晶氧化物半导体层中的 Zn 的成分比 $\text{Zn}/(\text{In}+\text{Zn})$ 小。
12. 根据权利要求 11 的场效应晶体管,其中,第一非晶氧化物半导体层被设置在栅绝缘膜和第二非晶氧化物半导体层之间。
13. 一种根据权利要求 1~12 中的任一项的场效应晶体管的制造方法,该方法包括以下步骤:
形成第一非晶氧化物半导体层 ;和
形成第二非晶氧化物半导体层,
其中,在同一装置中进行第一非晶氧化物半导体层的形成和第二非晶氧化物半导体层

的形成,并且,

在第一非晶氧化物半导体层的形成和第二非晶氧化物半导体层的形成的整个过程中,装置内的压力在真空气氛内被维持在 300Pa 或更低,或者在不活泼气体气氛中被维持在大气压力或更低。

14. 一种显示装置,包括:

根据权利要求 1 ~ 12 中的任一项的场效应晶体管 ;和
被所述场效应晶体管驱动的有机 EL 元件。

场效应晶体管、场效应晶体管的制造方法和显示装置

技术领域

[0001] 本发明涉及包含非晶氧化物半导体的场效应晶体管。特别地,它涉及用于例如有机光电致发光显示器、无机电致发光显示器或液晶显示器的显示装置的场效应晶体管。

背景技术

[0002] 作为有机 EL 显示器、液晶显示器或纸状显示器等的驱动器,作为包含氧化物半导体的场效应类型中的一种的薄膜晶体管(TFT)受到关注。

[0003] 特别地,通过利用例如大的场效应迁移率以及能够在低温下形成的能力和透明性的特征,包含氧化物半导体的 TFT 可望不仅被应用于显示器,而且被应用于范围更广的用途。

[0004] 例如,对于沟道层使用基于 In-Ga-Zn-O(基于含有 In、Ga 和 Zn 的氧化物)的非晶氧化物的薄膜晶体管是已知的。

[0005] 美国专利申请公开 US2008/0191204 报道了为了减少由于等离子体导致的特性的劣化应用具有双层结构的沟道层的薄膜晶体管。

[0006] 但是,为了在工业中使用包含氧化物材料的 TFT,除了高的性能以外,还需要减少关于大的基板面积的元件特性变化。

[0007] 为了减少元件特性变化,希望源自构成 TFT 的沟道层的半导体层的成分变化的特性变化小,即,元件特性的成分依赖性小。在应用表现出这种小的成分依赖性的元件的情况下,可以相对容易地获得具有高的均匀性的 TFT 阵列基板。从制成成本的观点看,这在显示器和其它的用途中是非常有利的。

[0008] 并且,可对于有源矩阵有机发光二极管(AMOLED)的驱动 TFT 和开关 TFT 使用具有高的性能的 TFT。

发明内容

[0009] 本发明的第一方面是一种场效应晶体管,该场效应晶体管至少具有:半导体层;和栅电极,该栅电极被设置在上述的半导体层之上使得其间具有栅绝缘层,其中,上述的半导体层包含第一非晶氧化物半导体层和第二非晶氧化物半导体层,第一非晶氧化物半导体层包含选自 Zn 和 In 的组的至少一种元素,第二非晶氧化物半导体层包含选自 Ge 和 Si 的组的至少一种元素和选自 Zn 和 In 的组的至少一种元素。

[0010] 并且,本发明的第二方面包括根据本发明的薄膜晶体管和被薄膜晶体管驱动的有机发光二极管。

[0011] 根据本发明的各方面,由于本发明的特定层叠配置被应用于沟道层,因此,可以实现电特性优异并且关于成分变化的特性的变化小的 TFT。

[0012] 通过参照附图阅读示例性实施例的以下描述,本发明的其它特征将变得清晰。

附图说明

[0013] 图 1A ~ 1C 是示意性地表示根据本发明的实施例的包含由第一和第二非晶氧化物层形成的沟道的薄膜晶体管的截面图。

[0014] 图 2A 和图 2B 分别是表示根据本发明和比较例的 TFT 的电流 - 电压特性的 In 成分依赖性的例子的示意图。

[0015] 图 3 是表示根据本发明的实施例的 TFT 中的第一非晶氧化物半导体层的通断电流比的变化与成分比 $\text{In}/(\text{In}+\text{Zn})$ 的关系的例子的示意图。

[0016] 图 4 是表示根据本发明的实施例的 TFT 中的第一非晶氧化物半导体层的场效应迁移率的变化与成分比 $\text{In}/(\text{In}+\text{Zn})$ 的关系的例子的示意图。

[0017] 图 5 是表示根据本发明的实施例的 TFT 中的第一非晶氧化物半导体层的亚阈摇摆 (subthreshold swing) 值 $S(\text{V}/\text{dec})$ 的值的变化的成分比 $\text{In}/(\text{In}+\text{Zn})$ 的关系的例子的示意图。

[0018] 图 6 是示意性表示用于形成根据本发明的实施例的场效应晶体管的沟道层的成膜系统的示意图。

[0019] 图 7 是根据本发明的实施例的显示装置的示意性截面图。

[0020] 图 8 是根据本发明的实施例的显示装置的示意性截面图。

[0021] 图 9 是示意性地表示二维地配置有包含有机 EL 元件和薄膜晶体管的像素的显示装置的配置的示意图。

[0022] 图 10 是表示根据本发明的实施例的 TFT 的 $I_d\text{-}V_d$ 特性的示意图。

[0023] 图 11 是表示根据本发明的 TFT (在空气中在 250°C 下退火 1 小时之后) 的电流 - 电压特性的 In 成分依赖性的示意图。

[0024] 图 12 是表示根据本发明的实施例的 TFT 中的第一非晶氧化物半导体层的场效应迁移率的变化与成分比 $\text{In}/(\text{In}+\text{Zn})$ 的关系的例子的示意图。

[0025] 图 13A ~ 13D 是表示根据本发明的实施例的 TFT 的传输特性和场效应迁移率的示意图。

[0026] 图 14 是表示根据本发明的 TFT 的传输特性的示意图。

具体实施方式

[0027] 本发明的发明人注意到用作用于场效应晶体管的沟道层的材料的非晶氧化物半导体并进行了深入的研究。特别地,本发明的发明人出于减小具有基于 Zn-In-O 的沟道层的 TFT 的成分依赖性的目的进行了深入的研究。结果发现,例如,能够使用层叠非晶基于 Zn-In-O 的 (based) 膜和基于 Zn-In-Ge (或 Si)- O 的非晶膜的沟道层。

[0028] 在本发明的各方面中,基于 Zn-In-O 的膜指的是包含选自由 Zn 和 In 构成的组的至少一种元素的氧化物半导体膜。并且,基于 Zn-In-Ge (或 Si)- O 的膜指的是包含选自由 Zn、In 和 Ge 构成的组的至少一种元素的氧化物半导体膜、或包含选自由 Zn、In 和 Si 构成的组的至少一种元素的氧化物半导体膜。

[0029] 在本发明的各方面中,上述的层叠配置被应用于沟道层,由此,与使用由 In-Ga-Zn-O 的单层形成的沟道或由 In-Ge-Zn-O 的单层形成的沟道的情况相比,可以获得具有相对大的场效应迁移率的 TFT。具体地,关于 In-Ga-Zn-O 单层的配置的场效应迁移率为约 $10\text{cm}^2/\text{Vsec}$,而关于包含具有根据本发明的各方面的层叠配置的沟道的 TFT,可以获得

20cm²/Vsec 或更大的场效应迁移率。在图 4 中,在图中示出根据本发明的各方面的 TFT 的场效应迁移率。

[0030] 并且,在本发明的各方面中,上述的层叠配置被应用于沟道层,由此,与使用由 In-Zn-O 单层形成的沟道的情况相比,可以实现由于成分变化导致的特性变化小的 TFT。本发明的发明人报道,在使用由 In-Zn-O 单层形成的沟道的情况下,在 In : Zn = 4 : 6 的附近获得良好的开关特性,并且,该特性对于 In : Zn 比具有依赖性 (Phys. stat. sol. (a), 1 ~ 5 (2008))。在应用根据本发明的各方面的层叠配置的情况下,可以关于更宽的范围的 In : Zn 比获得良好的开关特性。图 3 表示通断电流比的成分依赖性。在图 3 中,白三角形表示使用由 In-Zn-O 单层形成的沟道的情况,黑四边形表示使用由 Zn-In-O (第一层) 和 Zn-In-Ge-O (第二层) 构成的层叠沟道的情况。显然,包含根据本发明的各方面的层叠沟道的 TFT 表现出较小的通断电流比的成分依赖性。并且,显然,在宽范围的 In/(In+Zn) 值上获得大的通断电流比。

[0031] 虽然上述的效果的原因不确定,但是以下描述考虑因素。

[0032] 在本发明的各方面中,采用具有特定成分的非晶氧化物半导体层的至少两个层的层叠配置作为场效应晶体管的沟道层是重要的。首先,在与栅绝缘膜接触的一侧设置用作第一非晶氧化物半导体层的、作为具有高的电子迁移率的材料 Zn-In-O 膜。相信,通过在该位置上设置氧化物半导体层,使得导通状态的大电流即大的场效应迁移率变为可能。然后,以与上述的第一非晶氧化物半导体层接触的方式设置 (层叠) 用作第二非晶氧化物半导体层的 Zn-In-Ge-O 膜,由此保护 Zn-In-O 膜免于例如空气或真空的环境的影响,并且可以引出 (deliver) Zn-In-O 膜固有的性能。并且,相信,通过使用根据本发明的各方面的层叠配置,可以确保良好的界面特性、半导体特性以及电极和沟道之间的电连接,并且,实现单层难以实现的功能。

[0033] 这里,将描述构成根据本发明的各方面的层叠配置的特征性部分并被应用于第二非晶氧化物半导体层的 Zn-In-Ge (或 Si)-O 膜的特征。根据本发明的发明人的发现,如果向非晶氧化物半导体添加作为第 IV 族元素的 Ge 或 Si,那么可以有效地降低载流子浓度。另外,可通过与 Ga (第 III 族元素) 相比添加相对少量的 Ge 或 Si,控制 (提高或降低) 载流子浓度。并且,通过向非晶氧化物半导体添加 Ge 或 Si 改善电阻率和其它电性能对于环境 (空气和水等) 的稳定性 (对于由外部原因导致的变化的抵抗力)。

[0034] 层叠具有上述特征的包含第 IV 族元素的非晶氧化物半导体和作为特征具有高迁移率的基于 Zn-In-O 的非晶氧化物半导体以形成层叠结构是本发明的各方面的特征部分。特别地,向 Zn-In-O 系添加 Ge 的 Zn-In-Ge-O 系被应用于第二非晶氧化物半导体层,选择应用基于 Zn-In-O 的非晶氧化物半导体的配置,由此,可以形成第一非晶氧化物半导体层和第二非晶氧化物半导体层之间的成分比的差异小的配置。在使用这种配置的情况下,两个层之间的物理性能的连续性得到增强,并且可以实现良好、稳定的界面。由于可以实现良好的 (电缺陷少的) 界面,因此,可以在维持基于 Zn-In-O 的膜的特征 (即,高迁移率) 的同时实现对于环境的稳定性优异和动作 (operation) 稳定性优异的 TFT。

[0035] 上述的根据本发明的各方面的沟道层的层叠配置不仅允许第二非晶氧化物半导体层在物理上保护第一非晶氧化物半导体层,而且,通过使用层叠配置,与单层的情况相比,显著改善电特性 (器件特性)。

[0036] 并且,在本发明的各方面中,获得与 Zn-In-O 单层沟道的相同水平的高的场迁移率(例如, $20\text{cm}^2/\text{Vsec}$)。基于该事实,还相信,由于作为具有高的场迁移率的材料 Zn-In-O 膜与栅绝缘膜接触,因此使得大的导通状态的电流(即,大的场效应迁移率)变为可能。

[0037] 结果,如上所述,随同成分变化的特性变化小,并且,可以实现具有更加优异的特性的 TFT。

[0038] 以下参照附图描述执行本发明的各方面的实施例。

[0039] 图 1A ~ 1C 是示意性地表示根据本发明的实施例的薄膜晶体管的截面图。

[0040] 在图 1A 和图 1B 中,附图标记 10 表示基板,附图标记 11 表示根据本发明的各方面的由氧化物半导体层形成的沟道层,附图标记 12 表示栅绝缘层,附图标记 13 表示源电极,附图标记 14 表示漏电极,附图标记 15 表示栅电极。附图标记 11a 表示第一非晶氧化物半导体层,附图标记 11b 表示第二非晶氧化物半导体层。

[0041] 在图 1C 中,在具有用作栅绝缘体 22 的热氧化 SiO_2 的基板 21 上设置根据本发明的各方面的由氧化物半导体层形成的沟道层 25。附图标记 23 表示源电极,附图标记 24 表示漏电极。基板 21 由 $n^+\text{Si}$ 形成并用作栅电极。附图标记 25a 表示第一非晶氧化物半导体层,附图标记 25b 表示第二非晶氧化物半导体层。

[0042] 图 1A 表示在半导体沟道层 11 上包含栅绝缘层 12 和栅电极 15 的顶栅结构的例子。图 1B 表示在栅电极 15 上包含栅绝缘层 12 和半导体沟道层 11 的底栅结构的例子。图 1C 表示底栅晶体管的另一例子。

[0043] 在本发明的各方面中,TFT 的配置不限于上述的结构,并且可被应用于例如顶栅或底栅型、交错型、反交错型、共面型和反共面型的任何结构。

[0044] 场效应晶体管是包含栅电极 15、源电极 13 和漏电极 14 的三端子器件。场效应晶体管是可控制当向栅电极施加电压 V_g 时穿过沟道层的漏极电流 I_d 、并由此控制在源电极和漏电极之间穿过的电流的电子器件。以下将描述各层。

[0045] 沟道层

[0046] 根据本发明的各方面的薄膜晶体管的特征在于:沟道层具有包含第一非晶氧化物半导体层 11a 和第二非晶氧化物半导体层 11b 的层叠配置,以及,用于各层的材料。在本发明的各方面中,第一非晶氧化物半导体层 11a 在与栅绝缘层 12 接触的同时被设置在栅绝缘层 12 和第二非晶氧化物半导体层 11b 之间。

[0047] 并且,可以在源电极或漏电极与上述的第一非晶氧化物半导体层之间设置上述的第二非晶氧化物半导体层的一部分。

[0048] 根据本发明的各方面的第一非晶氧化物半导体层 11a 由包含选自由 Zn 和 In 构成的组的至少一种元素的非晶氧化物半导体层形成。特别地,可以使用包含 Zn 和 In 两种元素的非晶氧化物(非晶 Zn-In-O)。也可以使用非晶 In-Sn-O、非晶 In-O、非晶 In-Ge-O、非晶 Zn-Sn-O、非晶 In-Zn-Ga-O 等。

[0049] 在本发明的各方面中,关于第一非晶氧化物半导体层的成分比,在第一非晶氧化物半导体层中包含的 Zn 的成分比 $\text{Zn}/(\text{In}+\text{Zn})$ 可以大于或等于 0.3 且小于 0.75。在一种形式中,在第一非晶氧化物半导体层中包含的 Zn 的成分比 $\text{Zn}/(\text{In}+\text{Zn})$ 可小于 0.4。

[0050] 根据本发明的各方面的第二非晶氧化物半导体层 11b 由包含选自由 Ge 和 Si 构成的组的至少一种元素和选自由 Zn 和 In 构成的组的至少一种元素的非晶氧化物形成。特别

地,可以使用同时包含元素 Zn、In 和 Ge 的非晶氧化物(非晶 Zn-In-Ge-O)。并且,可以使用 Zn-In-Si-O、Zn-Sn-Ge-O、In-Ge-O、Zn-Ge-O、In-Sn-Ge-O 等。

[0051] 由于根据本发明的各方面的第一非晶氧化物半导体层 11a 和第二非晶氧化物半导体层 11b 由具有不同的成分的材料形成,因此,各非晶氧化物半导体层可协同起作用,并由此发挥根据本发明的各方面的效果。

[0052] 根据本发明的各方面,第一和第二非晶氧化物半导体层的上述非晶氧化物在包含于该氧化物中的所有元素之中含有氧的量最大,并然后包含上述的各元素。在这方面,也可在不对半导体特性造成不利影响的限度内包含上述元素以外的其它元素作为杂质。

[0053] 例如,在包含 Zn-In-Ge-O 的非晶氧化物所含有的所有元素中,氧的含有量最大,锌(或镉)的含有量第二大,镉(或锌)的含有量第三大,锗的含有量第四大。在根据本发明的各方面的第二非晶氧化物半导体层中包含的 Ge 的成分比 $\text{Ge}/(\text{In}+\text{Zn}+\text{Ge})$ 可以大于或等于 0.01 且小于或等于 0.4。特别地, $\text{Ge}/(\text{In}+\text{Zn}+\text{Ge})$ 可以大于或等于 0.03 且小于或等于 0.15。

[0054] 通过使用上述的层叠沟道结构和用于各层的材料的组合,可以实现电特性优异并且由于成分导致的元件特性变化小的 TFT。

[0055] 根据本发明的各方面,第一非晶氧化物半导体层 11a 的膜厚可被规定为大于或等于 10nm 且小于或等于 50nm。在膜厚为 10nm 或更大的情况下,可以以较大的电流稳定地进行 TFT 动作。另一方面,如果膜厚太大,那么变得难以实现常断 TFT。因此,特别地,该上限可被规定为 30nm 或更小。

[0056] 并且,第二非晶氧化物半导体层 11b 的膜厚可被规定为大于或等于 10nm 且小于或等于 50nm。

[0057] 在第二非晶氧化物半导体层 11b 的膜厚为 10nm 或更大的情况下,可以保护第一非晶氧化物半导体,并且,可以执行增强对于环境的稳定性的功能。但是,关于在源电极或漏电极与第一非晶氧化物半导体层之间设置第二非晶氧化物半导体层的一部分的配置,如图 1B 和图 1C 所示的配置那样,特别地,上述的膜厚的上限可以为例如 30nm 或更小。在膜厚被规定为 30nm 或更小的情况下,可以在电极和第一非晶氧化物半导体层之间获得充分的电连接。

[0058] 根据本发明的各方面,关于应用于第一非晶氧化物半导体层 11a 的非晶氧化物半导体膜,可以使用电阻率在 $10^{-1}(\Omega \text{ cm}) \sim 10^5(\Omega \text{ cm})$ 的范围内的薄膜。可以应用载流子浓度在 $10^{14} \sim 10^{20}(1/\text{cm}^3)$ 的范围内的材料。电子迁移率可以大于 $10\text{cm}^2/\text{Vsec}$ 。

[0059] 关于被应用于第二非晶氧化物半导体层 11b 的非晶氧化物半导体膜,可以使用电阻率在 $10^1(\Omega \text{ cm}) \sim 10^7(\Omega \text{ cm})$ 的范围内的薄膜。可以应用载流子浓度在 $10^{12} \sim 10^{18}(1/\text{cm}^3)$ 的范围内的材料。特别地,可以使用 $10^{16}(1/\text{cm}^3)$ 或更小。可通过减少第二非晶氧化物半导体层的载流子浓度实现常断晶体管。电子迁移率可大于 $0.1\text{cm}^2/\text{Vsec}$,特别地,可以使用 $1\text{cm}^2/\text{Vsec}$ 或更大。

[0060] 根据本发明的各方面,构成第一非晶氧化物半导体层 11a 的材料的电子迁移率可以比构成第二非晶氧化物半导体层 11b 的材料的电子迁移率大。在具有大的电子迁移率的材料被设置为与栅绝缘层接触的情况下,如上所述,可以实现具有大的场效应迁移率的 TFT。

[0061] 并且,构成第二非晶氧化物半导体层 11b 的材料的载流子浓度可以比构成第一非晶氧化物半导体层 11a 的材料的载流子浓度小。在具有小的载流子浓度的材料被设置在离开栅绝缘层的一侧的情况下,可以实现表现出优异的环境稳定性和驱动稳定性的 TFT。

[0062] 并且,关于第二非晶氧化物半导体层的一部分被设置在源电极或漏电极和第一非晶氧化物半导体层之间的配置,如图 1B 和图 1C 所示的配置那样,特别地,可以在电极和第一非晶氧化物半导体层之间进行充分的电连接。在这种配置中,用于第二非晶氧化物半导体层 11b 的材料的电阻率可被规定为 $10^5(\Omega \text{ cm})$ 或更小。在使用这种配置的情况下,可以获得良好的电连接。

[0063] 根据本发明的各方面的 TFT 中的层叠沟道结构的例子可包含设置基于 Zn-In-O 的非晶膜作为第一非晶氧化物半导体层并且设置基于 Zn-In-Ge(或 Si)-O 的非晶膜作为第二非晶氧化物半导体层的结构。以下将详细描述可在根据本发明的各方面的层叠沟道结构中使用的金属成分比。在对于第一非晶氧化物半导体层 11a 使用 In-Zn-O 薄膜的情况下,当由 $\text{Zn}/(\text{In}+\text{Zn})$ 表示的 Zn 的原子成分比为 0.75 或更大时,结晶或结晶性增加。在这种情况下,相信,由于多晶晶粒界面的散射,因此电子迁移率不能增大。另外,考虑电特性,如上所述,可以使用 Zn 的原子成分比 $\text{Zn}/(\text{In}+\text{Zn})$ 大于或等于 0.3 且小于 0.75 的薄膜。

[0064] 但是,如后面由例子表示的那样,为了制造具有高的迁移率的常通 TFT, Zn 的原子成分比可基于第一非晶氧化物半导体层中的 Zn 的原子成分比被规定为小于 0.4。

[0065] 并且,在对于第二非晶氧化物半导体层 11b 使用 Zn-In-Ge-O 薄膜的情况下,随着 Ge 的原子成分比 $\text{Ge}/(\text{In}+\text{Zn}+\text{Ge})$ 增大,电阻增大,并且,沟道和电极之间的电阻不利地增大。另外,考虑在宽的 In/Zn 成分比上使得良好的 TFT 动作变为可能的成分,如上所述,可以使用 $\text{Ge}/(\text{In}+\text{Zn}+\text{Ge})$ 的值大于或等于 0.01 且小于或等于 0.4 的薄膜。特别地,可以使用 $\text{Ge}/(\text{In}+\text{Zn}+\text{Ge})$ 的值大于或等于 0.03 且小于或等于 0.15 的薄膜。

[0066] 并且,在第一非晶氧化物半导体层中包含的 Zn 的成分比 $\text{Zn}/(\text{In}+\text{Zn})$ 与在上述的第二非晶氧化物半导体层中包含的 Zn 的成分比 $\text{Zn}/(\text{In}+\text{Zn})$ 相同的配置是可用的配置中的一种。关于这种配置,可望实现两层之间的物理性能(价带上端的深度、导带下端的深度等)的连续性优异的层叠结构。另外,关于这种层叠结构,可望形成良好的界面。特别地,关于第二非晶氧化物半导体层的一部分被设置在源电极或漏电极与第一非晶氧化物半导体层之间的配置,如图 1B 和图 1C 所示的配置那样,可以在电极和第一非晶氧化物半导体层之间进行充分的电连接。在这种配置中,可在第一非晶氧化物半导体层和第二非晶氧化物半导体层之间进行良好的电连接,并且,第一非晶氧化物半导体层可接近第二非晶氧化物半导体层的导带下端。在这种配置中,用于上述的 11b 的材料的电阻率可被规定为 $10^5(\Omega \text{ cm})$ 或更小。关于这种配置,通过两层的 $\text{Zn}/(\text{In}+\text{Zn})$ 的值相同的配置,使得良好的电连接变为可能。

[0067] 在制造中存在其它的优点。其例子包括,在形成第一非晶氧化物半导体层时,使用由混合 ZnO 和 In_2O_3 的陶瓷形成的材料源(溅射靶),并且,在形成第二非晶氧化物半导体层时,通过使用上述的材料源和由 Ge 形成的材料源,进行同时的膜形成。在使用上述的技术的情况下,可以连续形成两个层,并且,可以容易地调整成分。在上述的连续成膜过程中,在形成第一非晶氧化物半导体层的第一步骤和形成第二非晶氧化物半导体层的第二步骤的整个过程中,装置内的真空度可维持在 300Pa 或更低,可能的话 100Pa 或更低,以致可使

得层间界面干净。

[0068] 并且,两种材料的成分相互接近的配置可具有不容易出现各层中的元素的交叉污染的优点。

[0069] 并且,如上所述,根据本发明的发明人的发现,关于 In-Zn-O 单层沟道 TFT,在 Zn 的由 $Zn/(In+Zn)$ 表示的原子成分比在 0.6 附近时,获得良好的开关特性。在这一方面,对于第二非晶氧化物半导体层 11b 使用具有上述的成分的 In-Zn-O 薄膜并对于第一非晶氧化物半导体层使用 $Zn/(In+Zn)$ 小于 0.6 的薄膜是有效的。

[0070] 另外,根据本发明的各方面的沟道层至少包含第一和第二非晶氧化物半导体层就足够了,并且允许另外设置其它的层。即,可以使用多层沟道。

[0071] 并且,在本发明的各方面中,在对于第一非晶氧化物半导体层选择至少包含 Zn 和 In 的材料、并且对于第二非晶氧化物半导体层选择至少包含 Zn、In 和 Ge 的材料的情况下,也可通过以下的方法调整成分比。即,以使得关于第一和第二非晶氧化物半导体层的 In 和 Zn 的成分比 ($Zn/(In+Zn)$) 变得相同的方式调整靶材的成分比等。典型地,使用由具有相同的成分比的 Zn 和 In 形成的靶材。然后,仅对于第二非晶氧化物半导体层进一步组合使用 Ge 靶,使得非晶氧化物半导体层中的成分比被调整。如上所述,在仅关注在第一和第二非晶氧化物半导体层中的每一个中包含的 In 和 Zn 的情况下,通过允许各层中的 Zn 的成分比 $Zn/(In+Zn)$ 变得相同,可更加容易地调整成分比。

[0072] 在这一方面,在发明的各方面中,上述的短语“成分比相同”指的是成分比基本上相同。即,不仅包括成分比完全相同的情况,而且包括成分比的差异在容限内的情况。根据本发明的发明人的发现,即使当存在成分比差异时,只要差异在 3% 内并在可能的情况下在 1% 内,就发挥根据本发明的实施例的效果。

[0073] 根据本发明的各方面,在连续进行形成第一非晶氧化物半导体层的步骤(第一步骤)和形成第二非晶氧化物半导体层的步骤(第二步骤)的情况下,可以满足以下的条件。即,根据本发明的发明人的发现,在第一步骤和第二步骤的整个过程中,用于形成非晶氧化物半导体层的装置内部(包含成膜室和传输路径等)的压力可维持在预定的范围内。具体而言,通过将真空气氛维持在 300Pa 或更低,可以抑制形成非晶氧化物半导体膜的过程中的膜的特性的变化或劣化。在这一方面,根据本发明的各方面,维持上述的压力为 100Pa 或更低的真空气氛会是特别有效的。

[0074] 作为替代方案,通过在第一步骤和第二步骤的整个过程中维持不活泼气体气氛而不是如上面描述的那样维持真空气氛,可以获得相同的效果。关于不活泼气体,可以使用 He、Ne、Ar 等。但是,只要气体不对于非晶氧化物半导体膜造成不利影响,就可使用它们以外的气体。不活泼气体气氛的压力不被特别限制。可以在大气压力或更低的压力下获得根据本发明的效果。特别地,可以使用 1000Pa 或更低的压力、特别是 500Pa 或更低的压力。

[0075] 这里,已描述了将基于 Zn-In-Ge-O 的薄膜应用于第二非晶氧化物半导体层的配置。但是,作为例子,可以将基于 Zn-In-O 的膜应用于第二非晶氧化物半导体层。根据本发明的发明人的发现,当 Zn 的由 $Zn/(In+Zn)$ 表示的原子成分比在 0.6 附近时,基于 In-Zn-O 的薄膜表现出良好的环境稳定性。例如,可以使用具有这种成分的 In-Zn-O 薄膜作为第二非晶氧化物半导体层 11b。

[0076] 使用 $Zn/(In+Zn)$ 小于 0.6 的基于 In-Zn-O 的薄膜作为第一非晶氧化物半导体层

并且使用 $\text{Zn}/(\text{In}+\text{Zn})$ 在 0.6 附近的基于 In-Zn-O 的薄膜作为第二非晶氧化物半导体层的配置是有效的配置中的一种。

[0077] 上述的沟道配置具有包含成分不同的两种材料的层叠结构。但是,该结构不限于两层结构,并且可以是具有任意数量的层的多层沟道结构。

[0078] 即,根据本发明的各方面的沟道层至少包含第一非晶氧化物半导体层和第二非晶氧化物半导体层就足够了,并且,可以使用具有至少三个层的任意层叠配置。其例子包括具有包含由 Zn-In-O 膜形成的第一非晶氧化物半导体层、由 Zn-In-Ge-O 膜形成的第二层和由 Zn-In-Si-O 膜形成的第三层的三层沟道结构的配置,以及具有包含由 Zn-In-O 膜形成的第一非晶氧化物半导体层、由 Zn-In-Ge-O 膜形成的第二层、由 Zn-In-O 膜形成的第三层和由 Zn-In-Ge-O 膜形成的第四层的四层沟道结构的配置。并且,上述的沟道配置具有包含成分不同的两种材料的层叠结构。但是,可以使用成分沿厚度方向连续变化的配置。其例子包括 $\text{Ge}(\text{Si})$ 的含量以使得 Zn-In-O 膜的成分变为 Zn-In-Ge-O 膜的成分的方式连续地增大的配置。

[0079] 通过使用上述的层叠沟道结构和各层的材料的组合,可以制造电特性优异并且由于成分导致的元件特性变化小的 TFT。

[0080] 栅绝缘层

[0081] 根据本发明的各方面,关于栅绝缘层 12,可以使用氧化硅 SiO_x 或氮化硅 SiN_x 与氧氮化硅 SiO_xN_y 。在这一方面,硅以外的可被用作根据本发明的各方面的栅绝缘层的氧化物的例子包括 GeO_2 、 Al_2O_3 、 Ga_2O_3 、 Y_2O_3 和 HfO_2 。

[0082] 在它们之中, SiO_x 可容易地通过 CVD 方法形成高质量的膜。使用 SiO_x 的 TFT 的稳定性好。

[0083] 根据本发明的各方面,通过使用具有优异的绝缘性能的薄膜栅绝缘部件,源电极和栅电极之间以及漏电极和栅电极之间的泄漏电流可被控制在约 10^{-12}A 。

[0084] 在发明的各方面中,栅绝缘层的厚度可为 $50 \sim 300\text{nm}$ 。

[0085] 电极

[0086] 在发明的各方面中,关于用于源电极 13、漏电极 14 和栅电极 15 的材料,可以使用具有高的导电率的材料。在发明的各方面中,可以使用 Pt 、 Au 、 Ni 、 W 、 Mo 、 Ag 等的金属电极。作为替代方案,可以使用氧化铟锡 (ITO)、 ZnO 等的透明导电膜。在这一方面,在发明的各方面中使用的电极的结构可以是单层结构。但是,也可以使用 Au 、 Ti 等的多个层的级联结构。

[0087] 基板

[0088] 可以使用玻璃基板、塑料基板或例如塑料膜的树脂材料作为基板 10。

[0089] 在发明的各方面中,上述的沟道层和栅绝缘层可对可见光透明。

[0090] 因此,可通过对于电极选择对于可见光透明的材料,制造在整体上在可见光区域中透明的薄膜晶体管。

[0091] 制造方法

[0092] 关于用于形成沟道层的方法,可以使用例如溅射方法 (SP 方法)、脉冲激光沉积方法 (PLD 方法)、电子束沉积方法 (EB 方法) 和原子层沉积方法的气相沉积方法。在气相沉积方法中,考虑大规模生产性,SP 方法是合适的。但是,用于成膜的方法不限于这些方法。

[0093] 在根据本发明的各方面的制造过程中,可以在不特意加热的情况下在基板的温度

保持在室温时进行成膜。根据该技术,塑料基板上的透明薄膜晶体管的低温制造过程变得可行。

[0094] 由于驱动力高(电流量大),因此,根据本发明的实施例的 TFT 表现出的特性是所希望的 TFT 驱动有机 LED(OLED) 的特性。

[0095] 在将包含这种薄膜晶体管的半导体装置(有源矩阵基板)应用于显示装置的情况下,由于使用透明基板和非晶氧化物 TFT,因此其开口率可增大。

[0096] 特别地,在用于有机 EL 显示器时,可以采用还从基板侧取得光(底发射)的配置。

[0097] 相信,根据本实施例的半导体装置适用于例如 ID 标签和 IC 标签的各种用途。

[0098] 具体地,以下将详细描述作为包含根据本实施例的场效应晶体管的半导体装置的例子的显示装置。

[0099] 可通过连接用作根据本实施例的场效应晶体管的输出端子的漏电极与例如有机或无机电致发光(EL)元件或液晶元件的显示元件的电极,形成显示装置。以下参照显示装置的截面图描述具体的显示装置配置的例子。

[0100] 如图 7 所示,在基板 111 上形成包含沟道层 112、源电极 113、漏电极 114、栅绝缘膜 115 和栅电极 116 的场效应晶体管。这里,虽然沟道层如上面描述的那样具有层叠结构,但在图 7 和图 8 中,为了简化,沟道层被表达为一个层。电极 118 通过层间绝缘层 117 与漏电极 114 连接。电极 118 与发光层 119 接触,并且,发光层 119 与电极 120 接触。这种配置允许通过从源电极 113 经由设置在沟道层 112 中的沟道流向漏电极 114 的电流的值,控制注入到发光层 119 中的电流。因此,可通过场效应晶体管的栅电极 116 的电压控制它。这里,电极 118、发光层 119 和电极 120 构成无机或有机电致发光元件。

[0101] 关于另一配置,如图 8 所示,也可使用漏电极 114 被延长以兼用作电极 118、并且它因此用作向被高电阻膜 121 和 122 夹在中间的液晶单元或电泳粒子单元 123 施加电压的电极 118 的配置。液晶单元或电泳粒子单元 123、高电阻膜 121 和 122、电极 118 和电极 120 构成显示元件。可通过从源电极 113 经由设置在沟道层 112 中的沟道流向漏电极 114 的电流的值,控制向这些显示元件施加的电压。因此,可通过 TFT 的栅电极 116 的电压控制它。这里,如果显示元件的显示介质是流体和粒子被密封到绝缘涂层膜中的囊体,那么高电阻膜 121 和 122 不是必需的。

[0102] 在上述的两个例子中,薄膜晶体管以交错结构(顶栅型)的配置为代表。但是,本发明不必限于该配置。例如,只要用作薄膜晶体管的输出端子的漏电极和显示元件之间的连接在拓扑结构上相同,就可以使用例如共面型的其它配置。

[0103] 并且,在上述的两个例子中,在图中示出用于驱动显示元件的一对电极被设置为与基体部件平行的例子。但是,本实施例不必限于该配置。例如,只要用作薄膜晶体管的输出端子的漏电极和显示元件之间的连接在拓扑结构上相同,电极中的任一个或两个电极就可被设置为与基体部件垂直。

[0104] 这里,在用于驱动显示元件的一对电极被设置为与基体部件平行的情况下,如果显示元件是 EL 元件或例如反射性液晶元件的反射性显示元件,那么可要求电极中的至少一个对于发射光的波长或反射光的波长透明。作为替代方案,如果显示元件是例如透射性液晶显示元件的透射性显示元件,那么要求两个电极均对透射光透明。

[0105] 并且,关于根据本实施例的薄膜晶体管,可使得所有的构成部件透明,并由此可以

形成透明的显示元件。另外,可以在表现出低的耐热性的例如轻质、柔性、透明的树脂塑料的基体部件上设置上述的显示元件。

[0106] 下面,将参照图 9 描述二维配置多个包含 EL 元件(这里为有机 EL 元件)和场效应晶体管的像素的显示元件。

[0107] 在图 9 中,示出用于驱动有机 EL 层 204 的晶体管 201 和用于选择像素的晶体管 202。电容器 203 保持被选择状态,存储共用电极线 207 和晶体管 202 的源极部分的之间的电荷,并且保持晶体管 201 的栅极的信号。像素的选择由扫描电极线 205 和信号电极线 206 确定。

[0108] 将进行具体的解释。从驱动器电路(图中未示出)通过扫描电极线 205 向栅电极施加作为脉冲信号的图像信号。类似地,同时,从另一驱动器电路(图中未示出)通过信号电极线 206 向晶体管 202 施加脉冲信号,使得像素被选择。此时,晶体管 202 导通,使得电荷被蓄积在位于信号电极线 206 和晶体管 202 的源极之间的电容器 203 中。因此,晶体管 201 的栅极电压保持在希望的电压上,并且晶体管 201 导通。保持该状态,直到接收到下一信号。在晶体管 201 处于导通状态的同时,继续向有机 EL 层 204 供给电压和电流以维持光发射。

[0109] 在图 9 所示的例子中,在配置中每个像素包含两个晶体管和一个电容器。但是,为了提高性能,可以加入更多的晶体管等。

[0110] 在晶体管的沟道的制造中,第一非晶氧化物半导体层的 Zn : In 的成分在预定的范围内变化,并且,第二非晶氧化物半导体层的 Zn-In-Ge-O 层的成分被规定为恒定。使用这种配置,并由此可制造后述的例子 1 的底栅晶体管。在这一方面,关于用于改变上述的第一非晶氧化物半导体层的上述的 Zn : In 比的方法,可通过改变膜形成中的基板的沉积位置、并由此改变基板与 In_2O_3 和 ZnO 的靶之间的相对距离,形成具有不同的 Zn : In 比的膜。

[0111] 并且,晶体管的特性的差异可由场效应迁移率 μ 、阈值电压 (V_t)、通断电流比和亚阈摇摆值 (S 值) 等的差异表达。这里,场效应迁移率可由线性区域和饱和区域的特性确定。其例子包括基于传输特性的结果制作 $\sqrt{I_d-V_g}$ 的示图并从其斜率 (inclination) 导出场效应迁移率的方法。在本说明书中,除非另外规定,否则通过该方法进行评估。

[0112] 用于确定阈值电压的一些方法的例子包括从 $\sqrt{I_d-V_g}$ 的示图的 x 截距 (intercept) 导出阈值电压 V_t 的方法。并且,可从传输特性中的最大 I_d 与最小 I_d 的比确定通断电流比。并且,可从基于传输特性的结果制作的 $\log(I_d)-V_d$ 的示图的斜率的倒数得出亚阈摇摆值。此外,关于开关电压 V_o ,可以评估传输特性中的电流的前端 (leading edge) 开始处的电压 (栅极电压)。

[0113] 除了上述的这些以外,可通过其它的各种参数表示晶体管特性之间的差异。

[0114] 以下将参照例子进一步详细描述本发明的各方面,但本发明不限于它们。

[0115] 例子 1

[0116] 在本例子中,选择基于 Zn-In-O 的膜作为图 1C 中的第一非晶氧化物半导体层 25a。然后,选择基于 Zn-In-Ge-O 的半导体膜作为第二非晶氧化物半导体层 25b,并且,制造包含沟道层 25 的底栅场效应晶体管。

[0117] 具体地,在具有用作栅绝缘体 22 的热氧化 SiO_2 (厚度 100nm) 的 n^+ 型 Si 基板 21 上,形成上述的第一非晶氧化物半导体层 25a 和上述的第二非晶氧化物半导体层 25b 作为

沟道层。通过使用高频溅射方法在氩和氧的混合气氛中在溅射室内形成沟道层。此时,关于沟道层的构图,通过使用标准的光刻和剥离方法进行图案形成。

[0118] 图 6 是示意性地表示用于形成根据本发明的实施例的场效应晶体管的沟道层的成膜系统的示图。

[0119] 如图 6 所示,根据本实施例的成膜系统包含用于控制抽空能力的闸阀 57 和用于控制流入系统中的各气体的量的各质量流控制器 56。并且,包括真空离子计 (vacuum ion gauge) 54、基板保持器 55、基板 51、涡轮分子泵 53、成膜室 58 和具有溅射靶的溅射枪 52。

[0120] 涡轮分子真空泵 53 抽空成膜室 58,直到达到 1×10^{-5} Pa (背压)。

[0121] 基板保持器 55 可沿 x-y 面和垂直的 z 方向调整基板的位置。

[0122] 溅射枪 52 在其上面具有氧化物靶。除了它们之外,供给冷却水以防止溅射枪由于在成膜中出现的过热受到不利的影响。

[0123] 附图标记 59 表示用于溅射靶的 RF 电源和匹配的网络。

[0124] 关于气体引入导管,氩气引入导管和稀释氧气 ($\text{Ar} : \text{O}_2 = 95 : 5$) 引入导管中的每一个具有一个质量流控制器 (MFC) 56。

[0125] 因此,通过用 MFC 56 控制氩和稀释氧的流入并用控制阀控制压力,成膜室内的气氛可被调整为变为预定的气氛 (总压和氧分压)。

[0126] 在本例子中,首先,通过 2 英寸 In_2O_3 陶瓷靶和 2 英寸 ZnO 陶瓷靶的同时溅射,形成第一非晶氧化物半导体层 (Zn-In-O 膜) 11a。随后,在真空气氛维持在 0.3 ~ 1Pa 的范围内的同时,形成第二非晶氧化物半导体层 (Zn-In-Ge-O 膜) 11b。此时,使用 2 英寸 In_2O_3 陶瓷靶、2 英寸 GeO_2 陶瓷靶和 2 英寸 ZnO 陶瓷靶作为靶,并且,通过同时的溅射进行膜形成。

[0127] 在第一非晶氧化物半导体层的成膜中,以使得向 In_2O_3 靶施加 35W 的恒定值并向 ZnO 靶施加 46W 的恒定值 (允许偶然的偏离,下同) 的方式维持 RF 电源。并且,在第二非晶氧化物半导体层的成膜中,以施加的功率对于 In_2O_3 靶为 35W、对于 GeO_2 靶为 30W 并且对于 ZnO 靶为 45W 的恒定值的方式,维持 RF 电源。

[0128] 成膜过程中的总气压和 Ar 与 O_2 的流量比分别为 0.4Pa 和 69 : 1。第二和第一非晶氧化物半导体层的成膜速度分别为约 11nm/ 分钟和 9nm/ 分钟,并且,形成具有约 15nm 的厚度的各层。另外,成膜过程中的基板温度保持在室温 (约 25℃)。

[0129] 然后,通过光刻构图方法和剥离方法通过构图形成漏电极 24 和源电极 23。源极和漏极分别是具有 100nm 和 5nm 的厚度的 Au 和 Ti 的分层结构。

[0130] 并且,在本例子中,沟道的宽度和长度分别被规定为 150 μm 和 10 μm ,并且,制造具有不同的沟道成分的元件。

[0131] TFT 元件的特性的评估

[0132] 评估在上述过程之后形成的 TFT 的电压 - 电流特性。

[0133] 图 2A 是表示本例子的由 Zn-In-Ge-O/Zn-In-O (第二非晶氧化物半导体层 / 第一非晶氧化物半导体层) 层叠沟道形成的 TFT 的在室温下测量的传输特性的示图。这里,示出第一非晶氧化物半导体层 25a 的 $\text{In}/(\text{In}+\text{Zn})$ 在 0.27 ~ 0.65 的范围内并且相互不同的五个示图。第二非晶氧化物半导体层 25b 的成分比 $\text{In} : \text{Zn} : \text{Ge}$ 为约 42 : 45 : 13。能够在第一非晶氧化物层的宽的 In 成分比上确认 TFT 的动作。

[0134] 作为比较例,图 2B 表示从由成分比与上述的第一非晶氧化物层相同的 Zn-In-O 膜

的一个层构成的沟道层形成的 TFT 的电流 - 电压特性。随着 In 的成分比增大, 开关电压降低, 并且不执行作为 TFT 的动作。

[0135] 图 3 是关于例子 1 的层叠沟道 TFT 表示作为第一非晶氧化物半导体层的 In/(In+Zn) 的函数的 TFT 通断电流比的示图。为了比较, 还示出由 Zn-In-O 的一个层 (单层) 构成的沟道层形成的 TFT 的通断电流比。这里, 在 20V 和 -20V 之间的栅极电压下测量导通和关断电流值。显然, 在关于一个层不执行动作的 In 成分比高的区域中获得高的通断比。

[0136] 在图 2 中, 在第一非晶氧化物层的 In/(In+Zn) 为 0.27 的情况下, 获得表现出正的导通电压 (可被称为开关电压) V_o 的常断 TFT。在本例子中, 从 V_o 对于 In/(In+Zn) 的值的该依赖性关系估计, 在第一非晶氧化物层的 In/(In+Zn) 为约 0.3 或更小的情况下可实现表现出正的 V_o 的 TFT。并且, 在第一非晶氧化物半导体层的 In/(In+Zn) 为 0.57 或更小的情况下获得表现出 10^{-12} A 或更小的关断电流的 TFT。

[0137] 并且, 从图 3 可以清楚地看出, 在第一非晶氧化物半导体层的 In/(In+Zn) 为 0.55 或更小的情况下, 获得作为表现出 10^9 或更大的通断比的场效应晶体管的 TFT。

[0138] 图 4 是表示作为第一非晶氧化物半导体层的 In/(In+Zn) 的函数的场效应迁移率 μ (cm^2/Vsec) 的例子的示图。

[0139] 可以确认, 在与 In 成分比的变化没有明显的关系的情况下实现 $15 \sim 25 \text{cm}^2/\text{Vsec}$ 的迁移率。特别地, 在第一非晶氧化物层的 In/(In+Zn) 为 0.35 或更大的情况下, 获得表现出 $20 \text{cm}^2/\text{Vsec}$ 或更大的场效应迁移率 μ 的 TFT。并且, 在空气中在 250 度下将它们退火 1 小时, 并由此在第一非晶氧化物层的 In/(In+Zn) 为 0.65 或更大的情况下获得表现出 $100 \text{cm}^2/\text{Vsec}$ 或更大的 μ 的 TFT。

[0140] 即, 通过使用从由 Zn-In-O 构成的第一非晶氧化物半导体层和由作为新的非晶氧化物半导体的 Zn-In-Ge-O 构成的第二非晶氧化物半导体层形成的层叠沟道, 可以实现优异的传输特性。

[0141] 这表明, 与具有大的迁移率但明显受成分依赖性影响的基于 Zn-In-O 的 TFT 相比, 可以扩展 (extend) 表现出大的通断电流比的成分裕度 (margin), 并由此可实现优异的 TFT 特性。

[0142] 图 5 表示第一非晶氧化物半导体层的 In/(In+Zn) 与亚阈摇摆值 (S 值) (V/dec) 的关系。在图 5 中, 在第一非晶氧化物半导体层的 In/(In+Zn) 为 0.35 或更小的情况下, 实现 S 值为 1 或更小的 TFT。从该结果, 在本例子中, 估计在第一非晶氧化物层的 In/(In+Zn) 为 0.3 或更小的情况下, 可以实现 S 值为 1 或更小的 TFT。

[0143] 由于 TFT 性能良好, 因此, 根据本发明的各方面的 In-Ge-O 沟道层薄膜晶体管有望被用于 OLED 的动作电路中。

[0144] 如上所述, 在例子 1 中, 关于图 2A 所示的 TFT 传输特性, 在第一非晶氧化物层的 In/(In+Zn) 为 0.27 的情况下, 获得表现出正的导通电压 (可被称为开关电压) V_o 的常断 TFT。因此, 从 V_o 对于 In/(In+Zn) 的值的依赖性关系估计, 在第一非晶氧化物层的 In/(In+Zn) 为约 0.3 或更小的情况下, 可实现表现出正的 V_o 的 TFT。即, 从实现常断 TFT 的观点看, 第一非晶氧化物半导体层的成分比 In/(In+Zn) 可以为 0.3 或更小。并且, 在第一非晶氧化物半导体层的 In/(In+Zn) 为 0.57 或更小的情况下获得表现出 10^{-12} A 或更小的关断

电流的 TFT。即,从实现表现出小的关断电流的 TFT 的观点看,第一非晶氧化物半导体层的成分比 $\text{In}/(\text{In}+\text{Zn})$ 可以为 0.57 或更小。

[0145] 并且,图 3 中,在例子 1 中的第一非晶氧化物层的 $\text{In}/(\text{In}+\text{Zn})$ 为 0.6 或更小的情况下,获得作为表现出 10^9 或更大的通断比的场效应晶体管的 TFT。即,从实现表现出大的通断比的 TFT 的观点看,例子 1 中的第一非晶氧化物半导体层的成分比 $\text{In}/(\text{In}+\text{Zn})$ 可以在 0.6 附近或更小,特别是 0.55 或更小。

[0146] 另外,从图 4 可以确认,在例子 1 中在与 In 成分比的变化没有明显的关系的情况下实现 $15 \sim 25\text{cm}^2/\text{Vsec}$ 的迁移率。特别地,在第一非晶氧化物层的 $\text{In}/(\text{In}+\text{Zn})$ 为 0.35 或更大的情况下,获得表现出 $20\text{cm}^2/\text{Vsec}$ 或更大的场效应迁移率 μ 的 TFT。即,从上述的结果和实现表现出大的场效应迁移率的 TFT 的观点看,例子 1 中的第一非晶氧化物半导体层的成分比 $\text{In}/(\text{In}+\text{Zn})$ 可以为 0.3 或更大。

[0147] 并且,图 5 表示第一非晶氧化物半导体层的 $\text{In}/(\text{In}+\text{Zn})$ 与亚阈摇摆值 (S 值) (V/dec) 的关系。在第一非晶氧化物半导体层的 $\text{In}/(\text{In}+\text{Zn})$ 为 0.35 或更小的情况下,获得 S 值为 1 或更小的 TFT。从该结果,在例子 1 中,估计在第一非晶氧化物半导体层的 $\text{In}/(\text{In}+\text{Zn})$ 为 0.4 或更小的情况下,可以实现 S 值为 1 或更小的 TFT。即,从实现具有小的 S 值的 TFT 的观点看,例子 1 中的第一非晶氧化物半导体层的成分比 $\text{In}/(\text{In}+\text{Zn})$ 可以为 0.4 或更小。

[0148] 例子 2

[0149] 在例子 2 中,通过使用图 1A 所示的顶栅场效应晶体管进行例子 1 中那样的评估。具体而言,关于沟道层,使用 Zn-In-O 作为第一非晶氧化物层 11a,并且,使用 Zn-In-Ge-O 作为第二非晶氧化物层 11b。这样,制造图 1A 所示的顶栅场效应晶体管,并且,如例子 1 中那样进行评估。结果,能够如例子 1 中那样确认根据本发明的各方面的薄膜晶体管的效果。

[0150] 例子 3

[0151] 在例子 3 中,通过使用图 1B 所示的底栅场效应晶体管进行例子 1 中那样的评估。具体而言,关于沟道层,使用 Zn-In-O 作为第一非晶氧化物层 11a,并且,使用 Zn-In-Ge-O 作为第二非晶氧化物层 11b。这样,制造图 1B 所示的在栅电极 15 上包含栅绝缘层 12 和半导体沟道层 11 的底栅场效应晶体管,并且,如例子 1 中那样进行评估。结果,能够如例子 1 中那样确认根据本发明的各方面的薄膜晶体管的效果。

[0152] 例子 4

[0153] 在例子 4 中,表示例子 1 中的第一非晶氧化物半导体层的电性能。表 1(a) 表示表现出 0.45 的 $\text{In}/(\text{In}+\text{Zn})$ 的 Zn-In-O 膜的空穴迁移率的评估结果。薄膜的制造条件符合例子 1 中的第一非晶氧化物半导体层的成膜条件。膜厚为 300nm,并且,在空气中在 250°C 下进行 1 小时的退火处理。基于 X 射线衍射确认薄膜为非晶的。

[0154] 下面将描述第二非晶氧化物半导体层的电性能。表 1(b) 表示 $\text{In} : \text{Zn} : \text{Ge}$ 为 42 : 45 : 13 的 Zn-In-Ge-O 膜的空穴迁移率的评估结果。薄膜的制造条件符合例子 1 中的第一非晶氧化物半导体层的成膜条件。膜厚约为 300nm,并且,在空气中在 250°C 下进行 1 小时的退火处理。基于 X 射线衍射确认薄膜为非晶的。

[0155] 从这些结果可以清楚地看出, Zn-In-O 膜表现出比 Zn-In-Ge-O 膜大的迁移率特性。显然,在例子 1 的器件配置中,第一非晶氧化物半导体层的材料 (Zn-In-O) 的电子迁移率比第二非晶氧化物半导体层的材料 (Zn-In-Ge-O) 的电子迁移率大。相信,在例子 1 中,

通过将具有大的电子迁移率的材料应用于与栅绝缘层接触的一侧（第一非晶氧化物半导体层），可实现表现出大的场效应迁移率的 TFT。

[0156] 并且，本例子的结果表明，Zn-In-Ge-O 膜具有比 Zn-In-O 膜小的载流子浓度。从这些结果可以清楚地看出，在例子 1 的器件配置中，用于第一非晶氧化物半导体层的材料的载流子浓度比用于第二非晶氧化物半导体层的材料的载流子浓度大。相信，尽管将具有相对大的载流子浓度的材料应用于与栅绝缘层接触的一侧（第一非晶氧化物半导体层），通过对于第二非晶氧化物半导体层使用具有低的载流子浓度的膜，能够实现表现出大的通断比的 TFT。

[0157] 表 1

[0158] (a) 在空气中在 250℃ 下退火之后的 InZnO 膜 ($\text{In}/(\text{In}+\text{Zn}) \approx 0.45$) 膜特性

[0159]

IZO (250℃ 退火之后的 $\text{In}/(\text{In}+\text{Zn}) \approx 0.45$ 膜)	
电阻率 (Ωcm)	0.32
迁移率 (cm^2/Vsec)	26.7
载流子浓度 ($/\text{cm}^3$)	-7.3E+17

[0160] (b) 在空气中在 250℃ 下退火之后的 InGeZnO 膜 ($\text{In} : \text{Zn} : \text{Ge} \approx 42 : 45 : 13$) 膜特性

[0161]

InGeZnO (250℃ 退火之后的 $\text{In}:\text{Zn}:\text{Ge} \approx 42:45:13$ 膜)	
电阻率 (Ωcm)	6.78
迁移率 (cm^2/Vsec)	12.1
载流子浓度 ($/\text{cm}^3$)	-7.6E+16

[0162] 例子 5

[0163] 在例子 5 中，如例子 1 那样制造的薄膜晶体管随后在空气中在 250℃ 下经受 1 小时的退火，并且，进行例子 1 中那样的评估。图 11 是表示在室温下测量的本例子的 TFT 的传输特性的示图。示出第一非晶氧化物半导体层 11a 的 $\text{In}/(\text{In}+\text{Zn})$ 在 0.27 ~ 0.65 的范围内并且相互不同的五个示图。第二非晶氧化物半导体层 11b 的成分比 $\text{In} : \text{Zn} : \text{Ge}$ 为约 42 : 45 : 13。如例子 1 那样，在第一非晶氧化物半导体层的 $\text{In}/(\text{In}+\text{Zn})$ 的值为 0.27 ~ 0.65 的情况下，能够确认 TFT 的动作。

[0164] 并且，图 12 是表示本例子中的作为第一非晶氧化物半导体层的 $\text{In}/(\text{In}+\text{Zn})$ 的函数的场效应迁移率 μ (cm^2/Vsec) 的例子的示图。关于具有大的 In 成分比的元件，获得高的场效应迁移率。特别地，关于第一非晶氧化物半导体层的 $\text{In}/(\text{In}+\text{Zn})$ 为 0.65 的元件，获得表现出 $150\text{cm}^2/\text{Vsec}$ 或更大的 TFT。并且，关于第一非晶氧化物层的 $\text{In}/(\text{In}+\text{Zn})$ 为约 0.57 和 0.65 的情况下的 TFT，在图 13A 和图 13C 中示出其传输特性，并且，在图 13B 和图 13D 中示出场效应迁移率 μ (cm^2/Vsec)。

[0165] 在关于这些 $\text{In}/(\text{In}+\text{Zn})$ 成分比 (In 成分高的成分区域) 制造具有单层沟道的 TFT

的情况下,即使当施加负的栅极电压时也难以获得充分的关断状态。另一方面,关于本例子的配置,可通过施加负的栅极电压将 I_d 降低到 $10^{-10}A$ 或更小(关断)。

[0166] 另外,如图 13B 和图 13D 所示,获得超过 100 的场效应迁移率的值。如上所述,在本例子中,可以传输高的电流,使得存在高的用作高迁移率晶体管的可能性。

[0167] 即,在包含根据本例子的层叠沟道的 TFT 中,可将具有大的 In 含量的氧化物半导体应用于第一非晶氧化物半导体层。因此,可以实现具有在单层沟道结构难以达到的水平上的大的场效应迁移率的 TFT。

[0168] 并且,图 10 表示 $-4V \sim 20V$ 的栅极电压上的 I_d - V_d 特性。作为典型的晶体管特性,观察到夹断特性(随着 V_d 的增大 I_d 饱和的现象)。

[0169] 例子 6

[0170] 例子 6 表示图 1A 所示的顶栅场效应晶体管的例子。具体地,关于沟道层,第一非晶氧化物半导体层 11a 由 Zn-In-O 形成,并且,第二非晶氧化物半导体层 11b 由 Zn-In-Ge-O 形成。第一非晶氧化物半导体层中的成分比为 In : Zn $\approx$ 40 : 60,并且,第二非晶氧化物半导体层中的成分比为 In : Zn : Ge $\approx$ 43 : 46 : 11。

[0171] 附图标记 10 表示玻璃基板,附图标记 13 和 14 表示由 Mo 形成的源电极和漏电极,附图标记 12 表示由 SiO_x 形成的栅绝缘膜,附图标记 15 表示由 Mo 形成的栅电极。当与例子 1 相比较时,以颠倒的次序层叠两种材料。与例子 1 存在与栅绝缘膜接触的一侧的材料为 Zn-In-O 的共同之处。

[0172] 通过应用这种层叠沟道结构,如例子 1 那样,可以制造迁移率大并且由于成分比导致的特性变化小的薄膜晶体管。

[0173] 例子 7

[0174] 例子 7 表示图 1B 所示的底栅场效应晶体管的例子。具体而言,关于沟道层,第一非晶氧化物半导体层 11a 由 Zn-In-O 形成,并且,第二非晶氧化物半导体层 11b 由 Zn-In-Si-O 形成。第一非晶氧化物半导体层中的成分比为 In : Zn $\approx$ 38 : 62,并且,第二非晶氧化物半导体层中的成分比为 In : Zn : Si $\approx$ 44 : 47 : 9。附图标记 10 表示玻璃基板,附图标记 13 和 14 表示由 Au/Ti 形成的源电极和漏电极,附图标记 12 表示由 SiO_x 形成的栅绝缘膜,附图标记 15 表示由 Mo 形成的栅电极。

[0175] 通过应用这种层叠沟道结构,可以与例子 1 中的底栅型配置类似地制造迁移率大并且由于成分比导致的特性变化小的薄膜晶体管。

[0176] 例子 8

[0177] 例子 8 是评估根据本发明的各方面的层叠沟道 TFT 的驱动稳定性的例子。在例子 8 中,在预定的期间向具有根据例子 5 的配置(第一非晶氧化物半导体层的成分 Zn : In $\approx$ 36 : 64,并且,第二非晶氧化物半导体层的成分 In : Zn : Ge $\approx$ 42 : 45 : 13)的元件施加电压(加载(stress)),并且,比较加载前后之间的 TFT 特性(传输特性)的差异。关于电压加载,使用直流电压,并且,同时施加栅极电压($V_g = 12V$)和源极漏极电压($V_d = 6V$)。电压施加时间为 800sec。

[0178] 在表 2(a) 中示出从加载前后的传输特性提取的 TFT 特性参数(V_o 、 S 、 V_t 、 μ)的差异。作为比较例,还在表 2(b) 中示出由成分比与上述的第一非晶氧化物半导体层相同的 Zn-In-O 膜单层沟道层形成的元件的加载耐性(resistance)测量结果。在比较例中,开关

电压 (V_o) 的偏移为 0.64V, 而在本例子中, V_o 的偏移明显下降为 0.33V。因此, 显然, 根据本例子的 TFT 对于驱动表现出高的稳定性。

[0179] 表 2

[0180] (a)DC 加载对于例子 5 的第一非晶氧化物半导体层的 $\text{In}/(\text{In}+\text{Zn}) \approx 0.36$ 的 TFT 的影响

[0181]

	加载之前的值	加载之后的值	加载前后的差异
V_o (V)	-1.07	-0.74	0.33
S (V/dec)	0.40	0.39	-0.01
V_t (V)	1.30	1.75	0.45
μ (cm^2/Vsec)	23.47	23.47	0.00

[0182] DC 加载测量时的 TFT 特性变化 ($V_g = 12\text{V}$, $V_d = 6\text{V}$, 800sec)

[0183] (b)DC 加载对于 IZO 单层 TFT ($\text{In}/(\text{In}+\text{Zn}) \approx 0.36$) (在空气中在 250 度下退火 1 小时之后) 的影响

[0184]

	加载之前的值	加载之后的值	加载前后的差异
V_o (V)	-1.18	-0.54	0.64
S (V/dec)	0.41	0.42	0.01
V_t (V)	2.13	3.10	0.97
μ (cm^2/Vsec)	20.76	21.46	0.70

[0185] DC 加载测量时的 TFT 特性变化 ($V_g = 12\text{V}$, $V_d = 6\text{V}$, 800sec)

[0186] 例子 9

[0187] 例子 9 表示图 1C 所示的底栅场效应晶体管的例子。具体而言, 选择基于 Zn-In-O 的膜作为沟道层的第一非晶氧化物半导体层 11a。然后, 选择成分与第一非晶氧化物半导体层 11a 不同的基于 Zn-In-O 的半导体膜作为第二非晶氧化物半导体层 11b。第一非晶氧化物半导体层的成分比 $\text{In}/(\text{In}+\text{Zn})$ 为 0.57, 并且, 第二非晶氧化物半导体层的成分比 $\text{In}/(\text{In}+\text{Zn})$ 为 0.48。

[0188] 基板 10 是 n^+ 型 Si 基板, 源电极和漏电极 13 和 14 分别由具有 100nm 和 5nm 的厚度的 Au 和 Ti 的分层结构形成, 并且, 栅绝缘膜 12 由 SiO_2 形成。

[0189] 图 14 是表示在室温下测量的根据本例子的 TFT 的传输特性的示图。在上述的比较例中, 在沟道层的 $\text{In}/(\text{In}+\text{Zn})$ 值为 0.57 的情况下, 如图 2B 所示, 不执行作为 TFT 的动作。另一方面, 关于本例子的 TFT, 如图 14 所示, 能够确认该动作。

[0190] 从本例子和比较例的成分, 确认根据本发明的各方面的层叠沟道配置关于比单层

沟道配置（比较例）宽的成分比 $\text{In}/(\text{In}+\text{Zn})$ 允许 TFT 动作。

[0191] 通过应用这种层叠沟道结构,如例子 1 那样,可以制造迁移率大并且由于成分比导致的特性变化小的薄膜晶体管。

[0192] 比较例

[0193] 作为比较例,图 2B 表示从由成分比与例子 1 中的第一非晶氧化物层相同的 Zn-In-O 膜的一个层构成的沟道层形成的 TFT 的电流 - 电压特性。随着 In 的成分比增大,开关电压降低,并且不执行作为 TFT 的动作。

[0194] 在本比较例中,关于 $\text{In}/(\text{In}+\text{Zn})$ 为 0.27 和 0.36 的元件,执行开关动作。但是,随着 In 的成分比增大 ($\text{In}/(\text{In}+\text{Zn})$ 为 0.45),开关电压 V_o 降低。并且,当 $\text{In}/(\text{In}+\text{Zn})$ 为 0.57 和 0.65 时,不执行作为 TFT 的动作。

[0195] 参照图 2 从例子 1 和比较例的成分可以清楚地看出,与单层沟道配置（比较例）相比,本例子的层叠沟道配置关于较宽的成分比 $\text{In}/(\text{In}+\text{Zn})$ 允许 TFT 动作。

[0196] 并且,参照图 3 从例子 1 和比较例之间的通断比的成分可以清楚地看出,在比较例（单层 Zn-In-O 沟道）中,对于具有大的 In 成分比的成分,通断比降低,而关于例子 1 中的层叠沟道 TFT,在宽的成分范围上获得高的通断比。即,可以说,在本例子中,由于成分变化导致的 TFT 特性的变化小。

[0197] 即,通过使用从由 Zn-In-O 构成的第一非晶氧化物半导体层和由作为新的非晶氧化物半导体的 Zn-In-Ge-O 构成的第二非晶氧化物半导体层形成的层叠沟道,可以实现优异的晶体管特性,其中,例如场效应迁移率和通断电流比的 TFT 特性优异并且随成分比变化出现的元件特性的变化小。

[0198] 虽然已参照示例性实施例描述了本发明的各方面,但应理解,本发明不限于公开的示例性实施例。以下的权利要求的范围应被赋予最宽的解释以包含所有这些变更和等同的结构和功能。

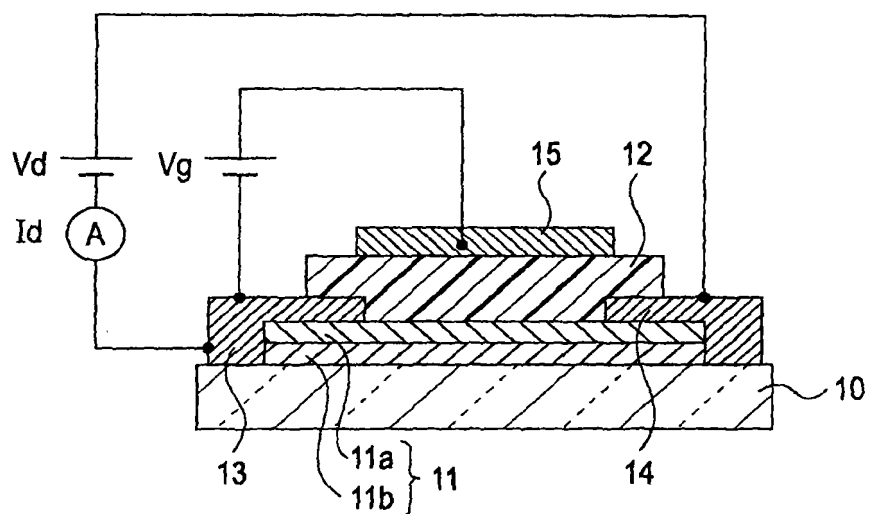


图 1A

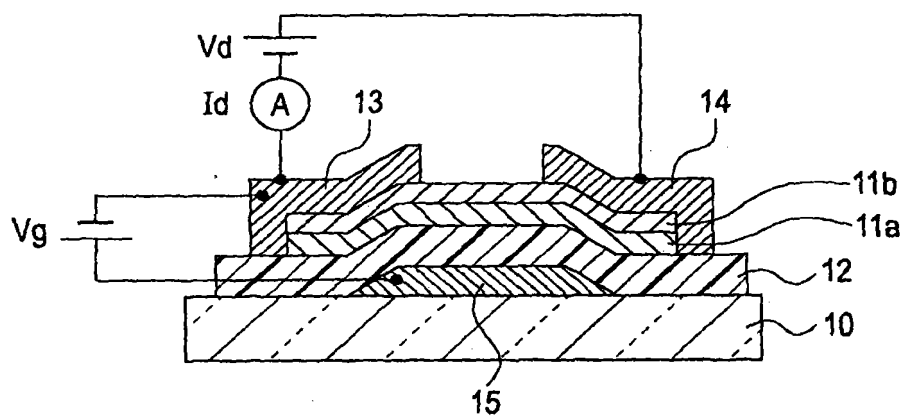


图 1B

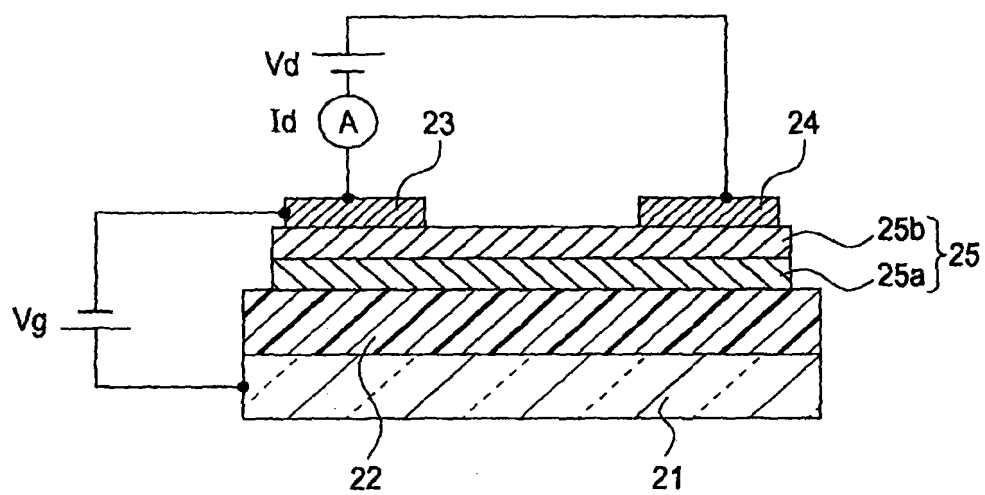
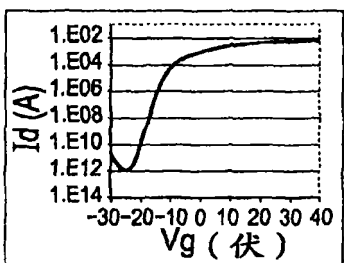
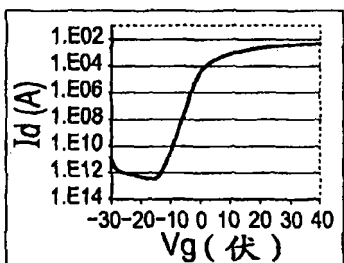
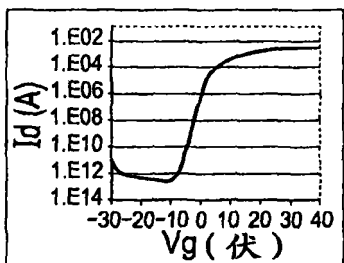
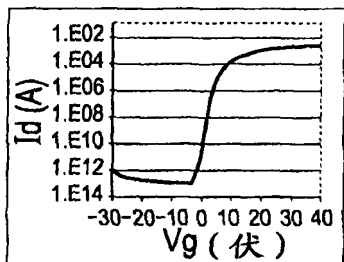
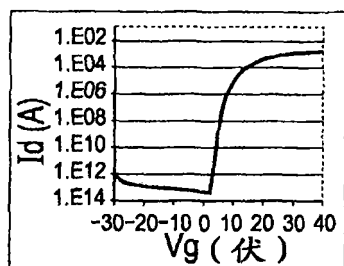


图 1C

图 2A



富 Zn
 $\text{In}/(\text{In}+\text{Zn})$

0.27

0.36

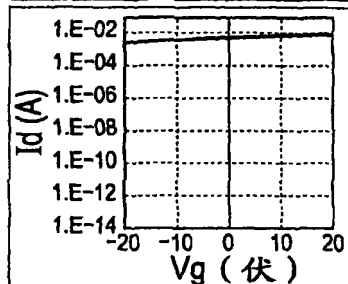
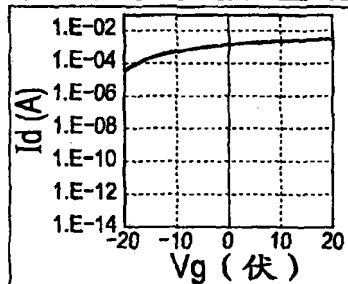
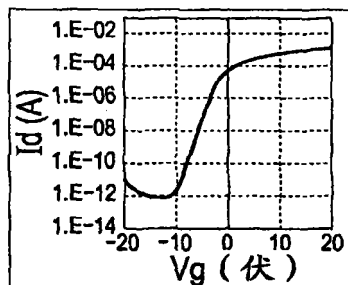
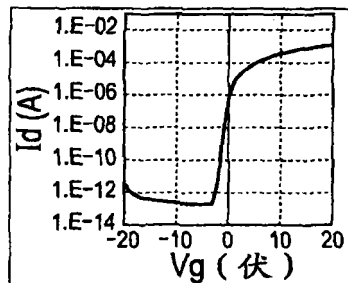
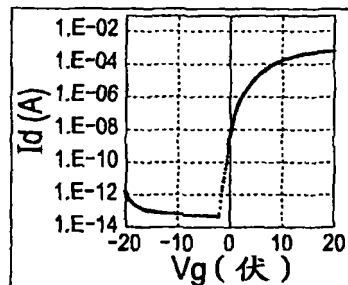
0.45

0.57

0.65

富 In

图 2B



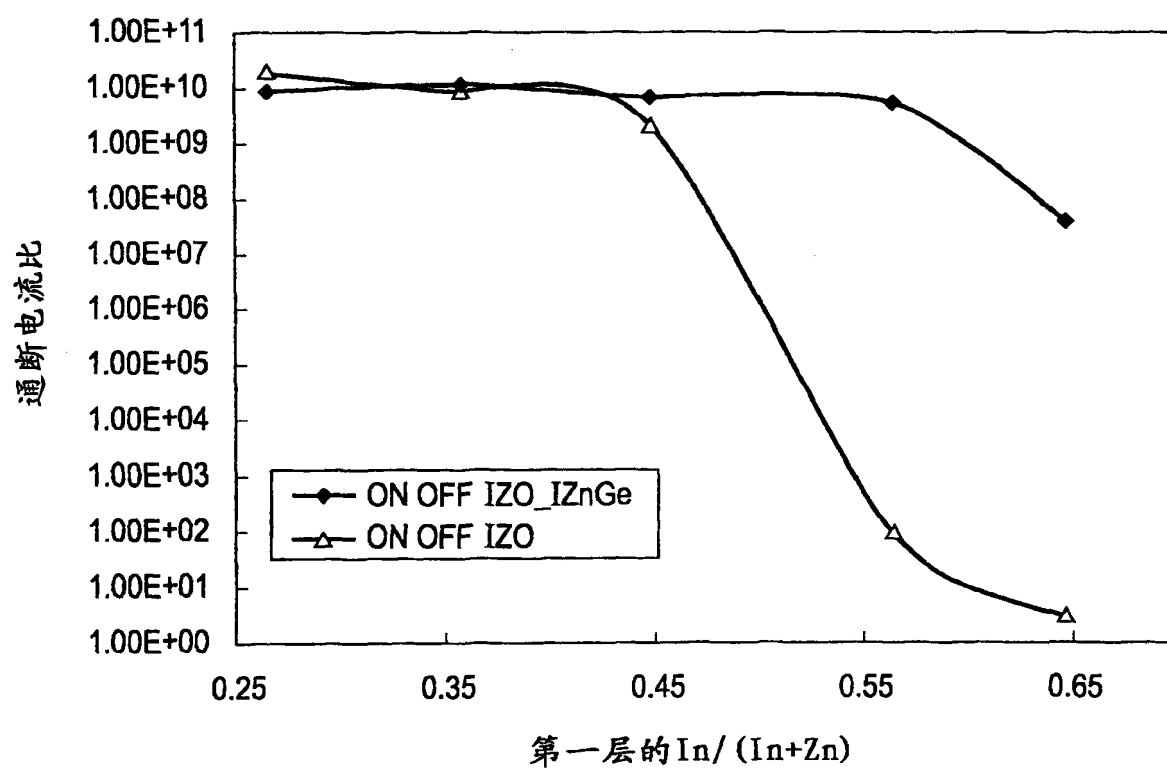


图 3

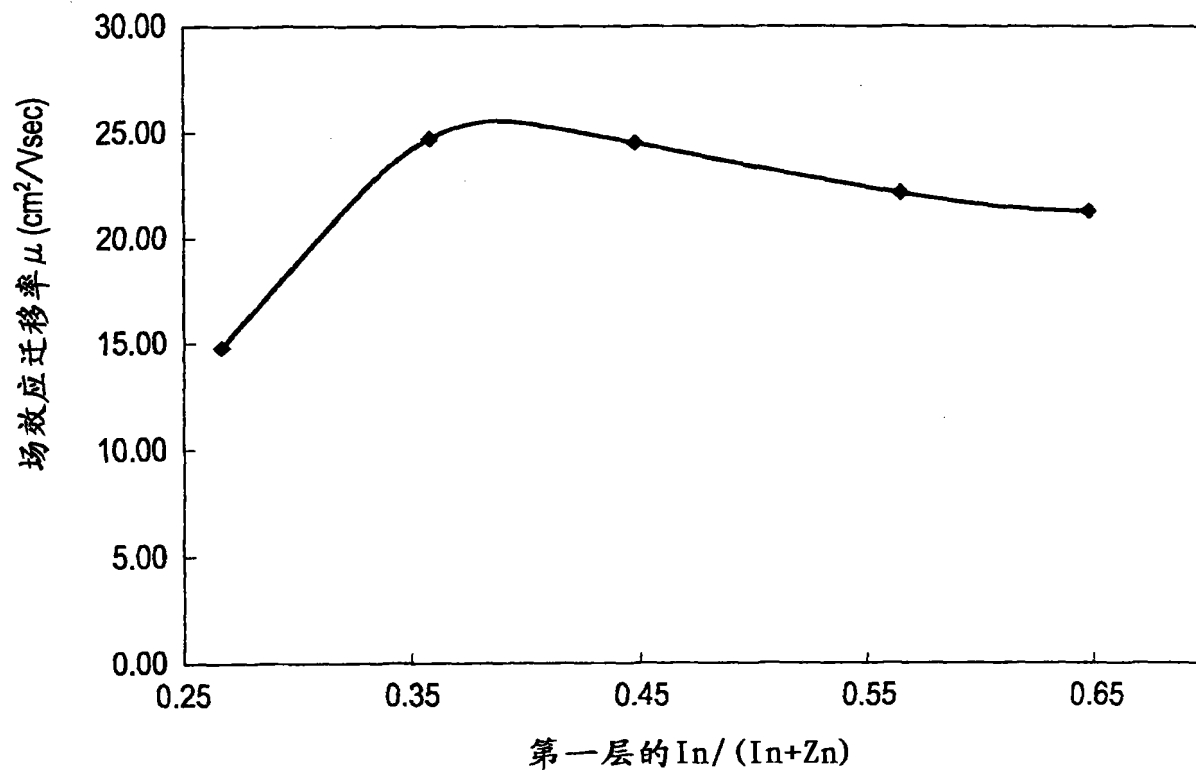


图 4

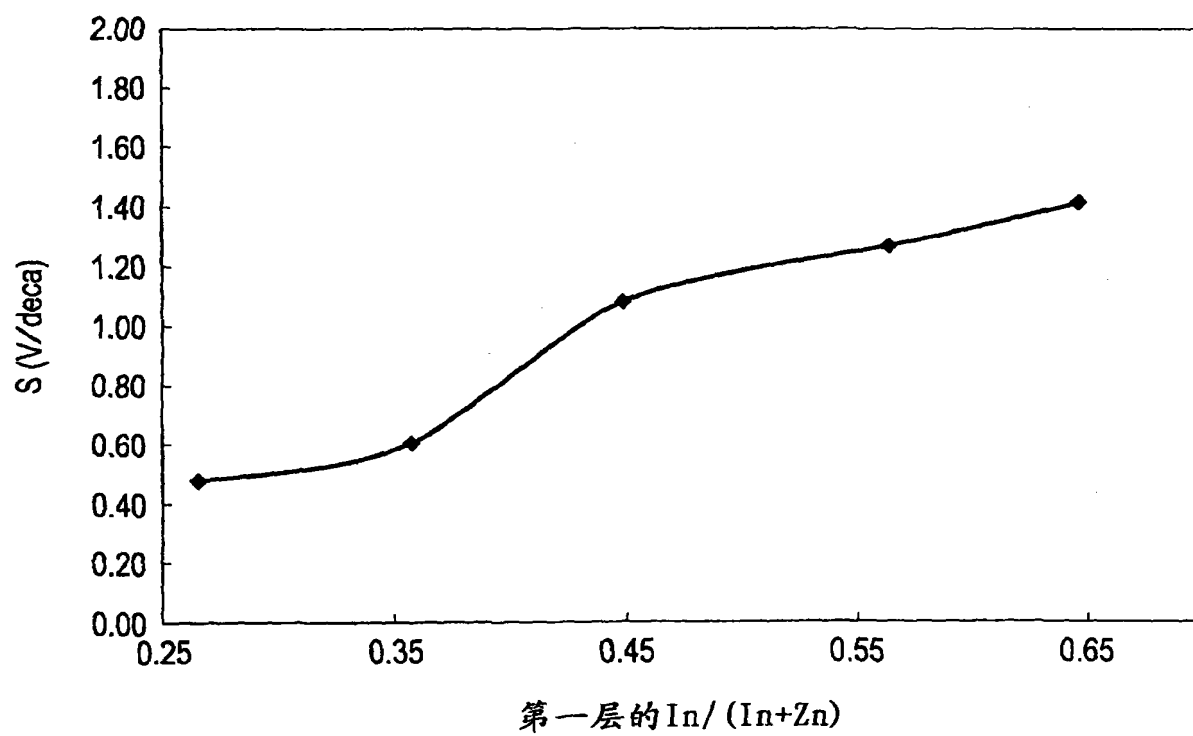


图 5

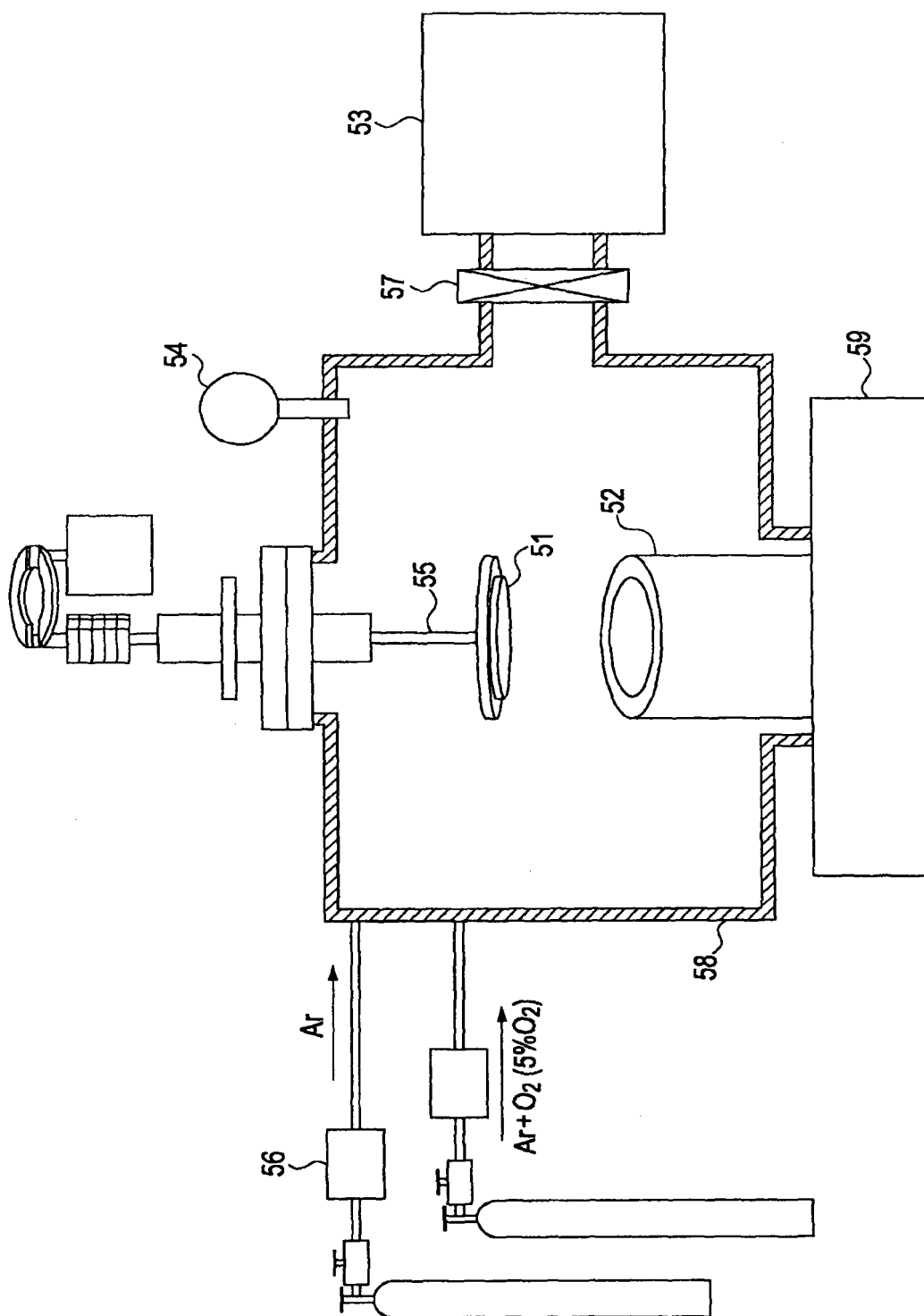


图 6

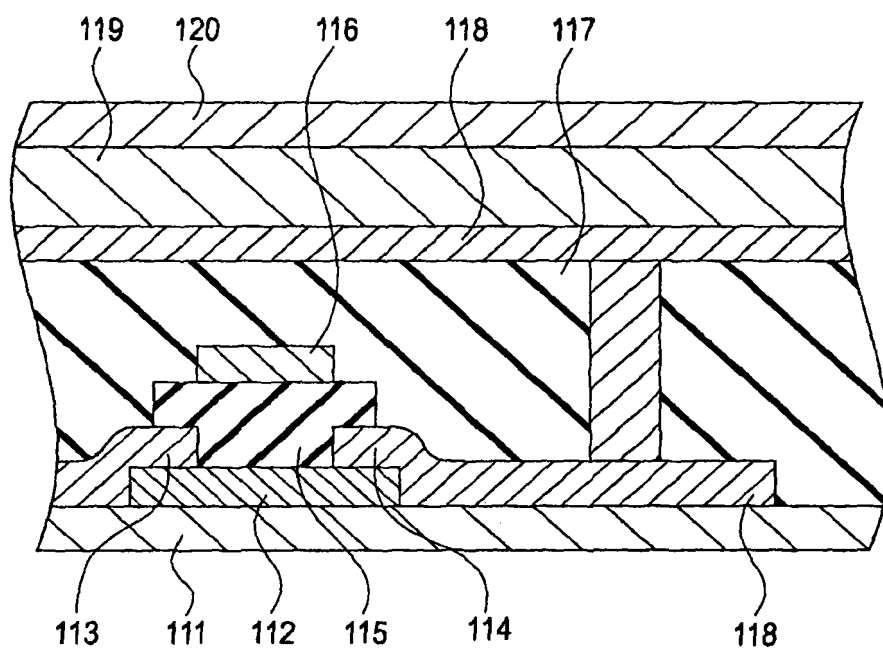


图 7

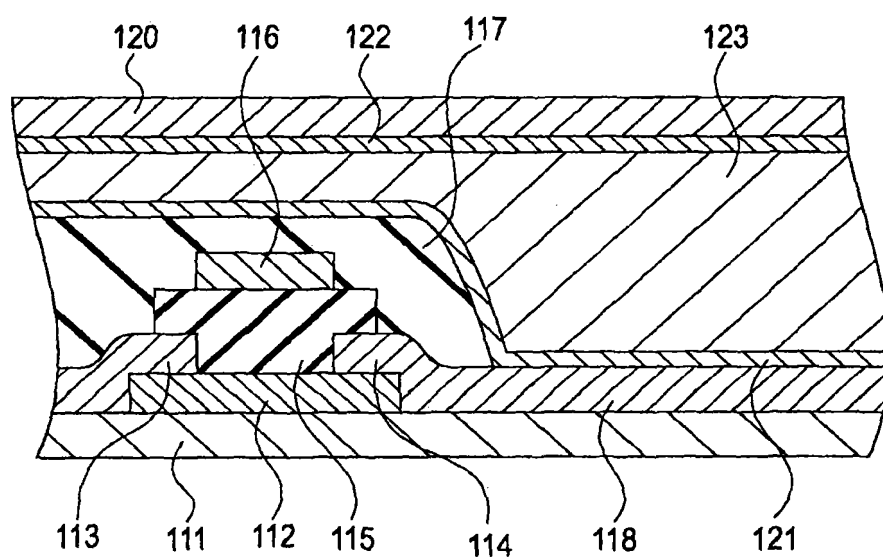


图 8

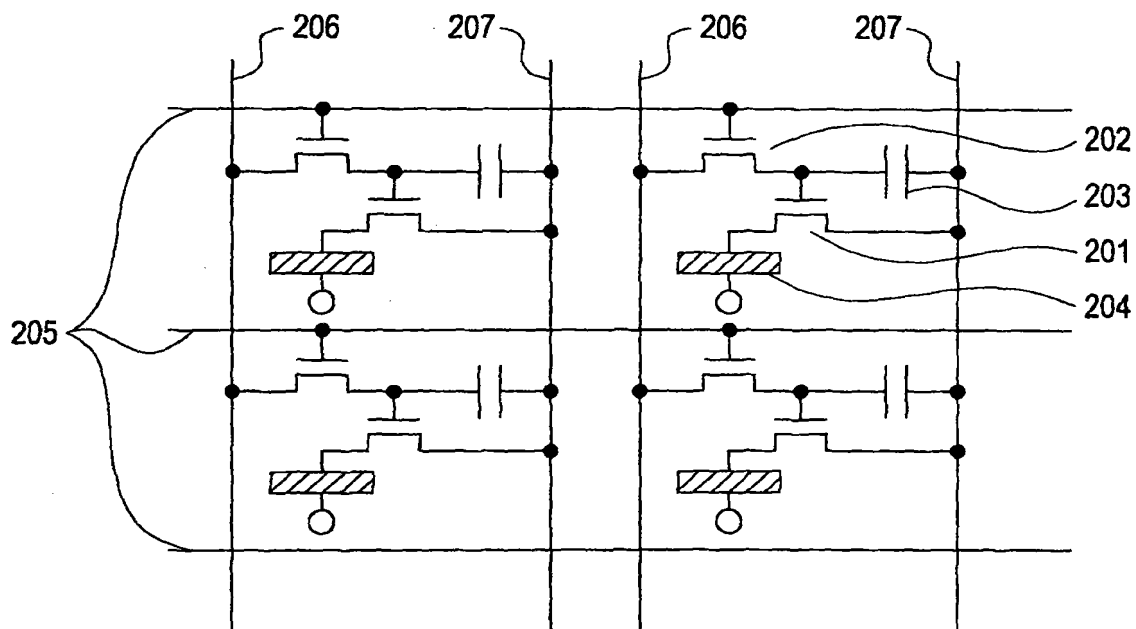


图 9

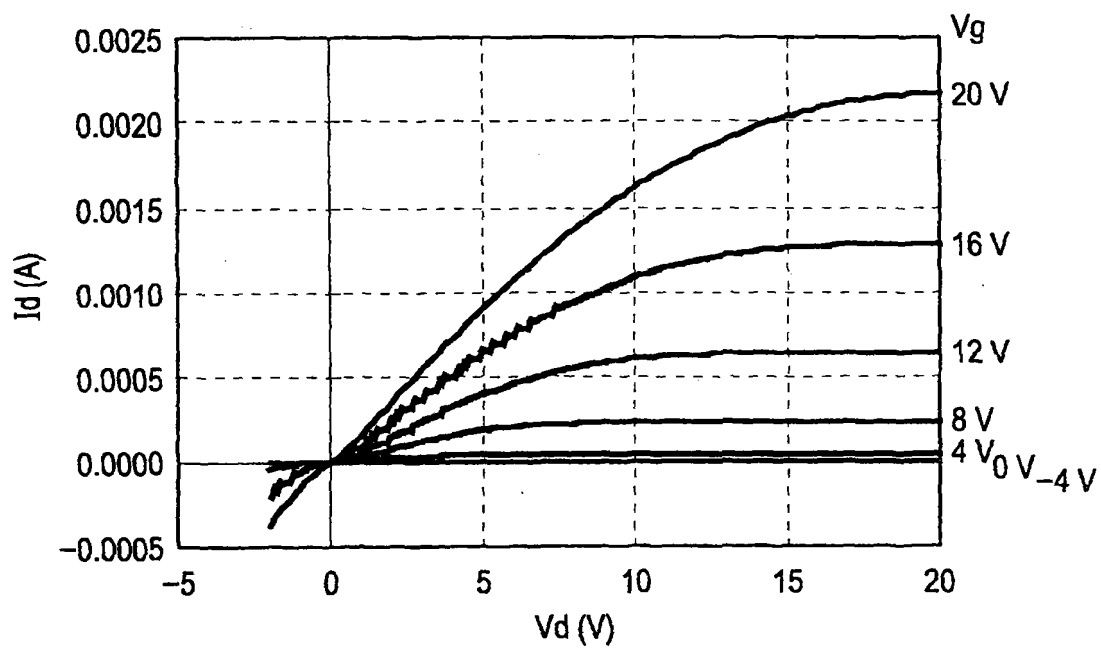


图 10

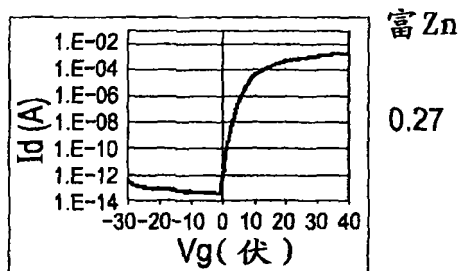


图 11A

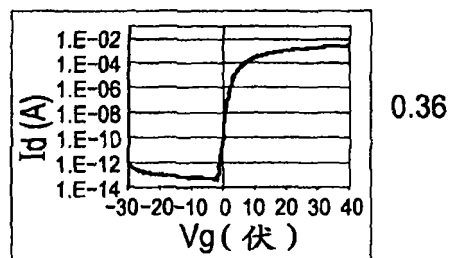


图 11B

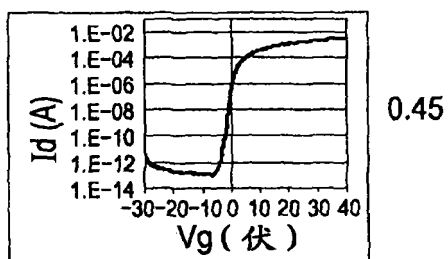


图 11C

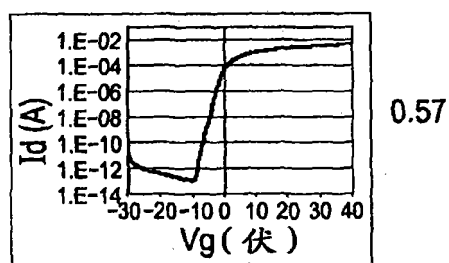


图 11D

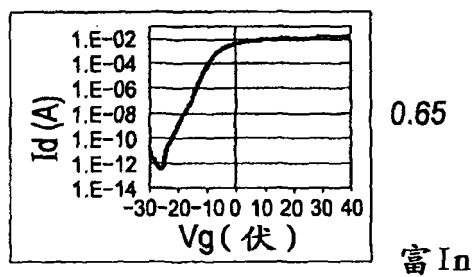


图 11E

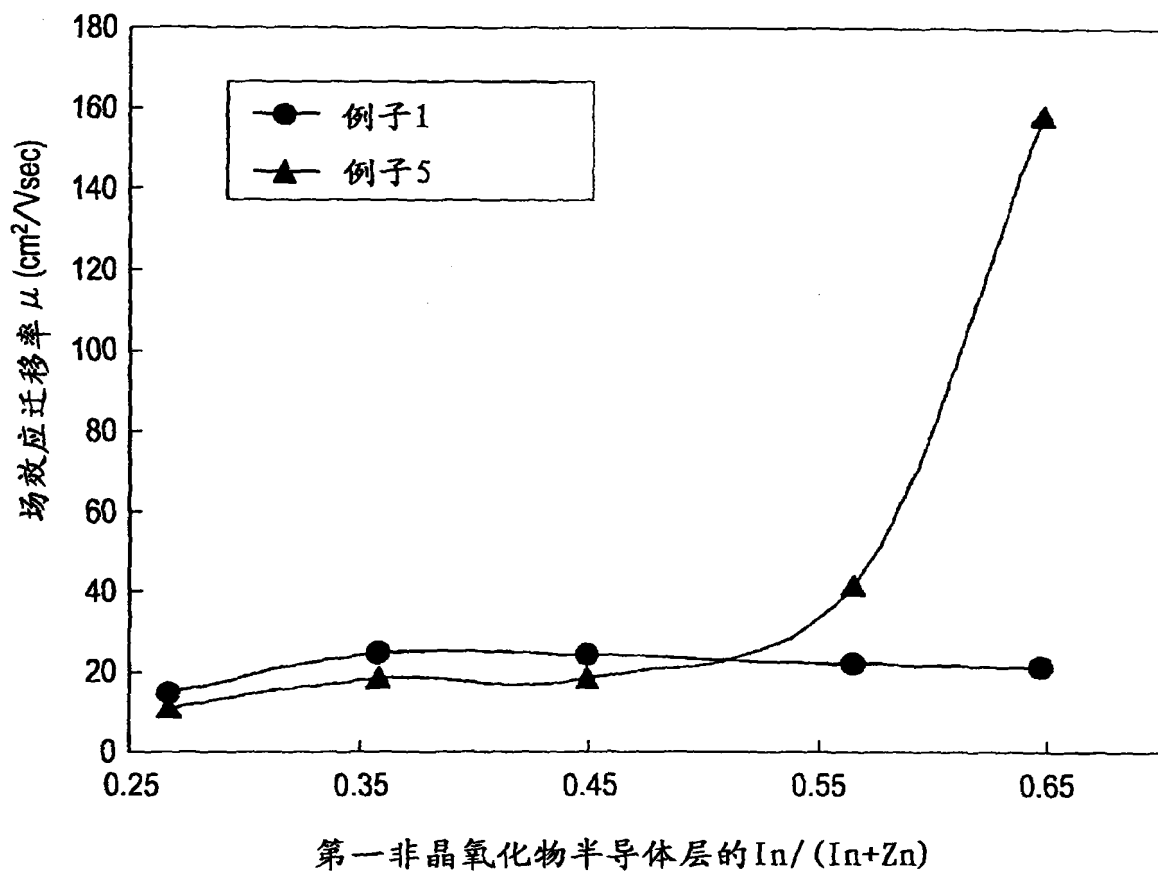


图 12

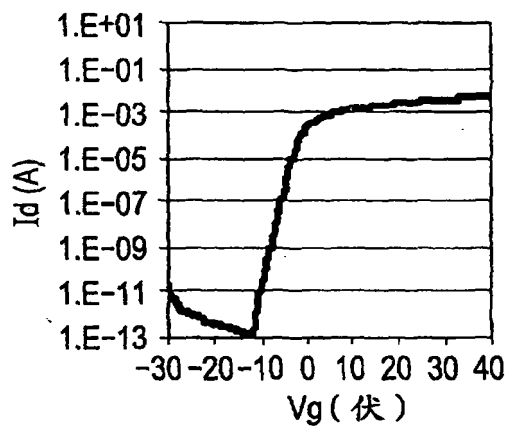


图 13A

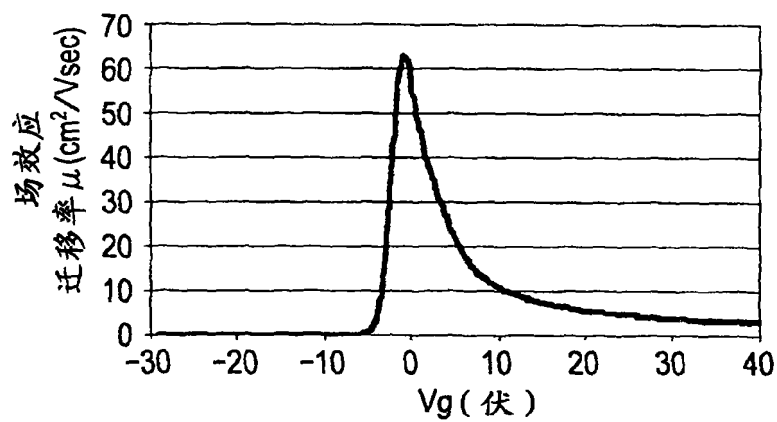


图 13B

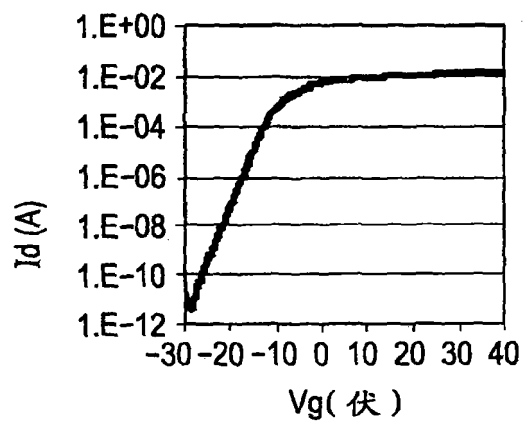


图 13C

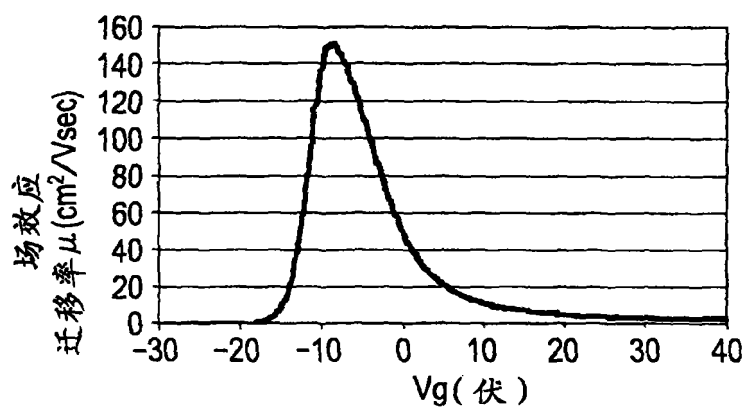


图 13D

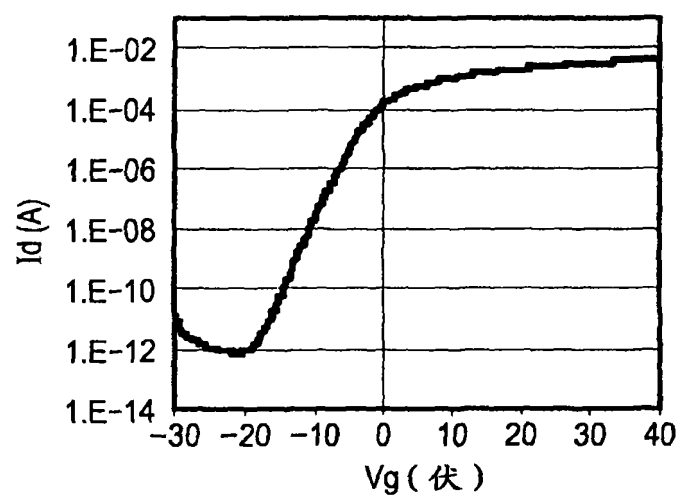


图 14