



(12)发明专利

(10)授权公告号 CN 103780252 B

(45)授权公告日 2017.05.03

(21)申请号 201310478998.1

(22)申请日 2013.10.14

(65)同一申请的已公布的文献号
申请公布号 CN 103780252 A

(43)申请公布日 2014.05.07

(30)优先权数据
61/716,646 2012.10.22 US
14/048,035 2013.10.07 US

(73)专利权人 联发科技股份有限公司
地址 中国台湾新竹科学工业园区新竹市笃
行一路一号

(72)发明人 颜宇明 刘学欣

(74)专利代理机构 北京万慧达知识产权代理有
限公司 11111
代理人 张金芝 杨颖

(51)Int.Cl.

H03L 7/08(2006.01)

H03L 7/18(2006.01)

(56)对比文件

US 2006049878 A1,2006.03.09,

CN 1679239 A,2005.10.05,

US 2008164918 A1,2008.07.10,

审查员 叶璇

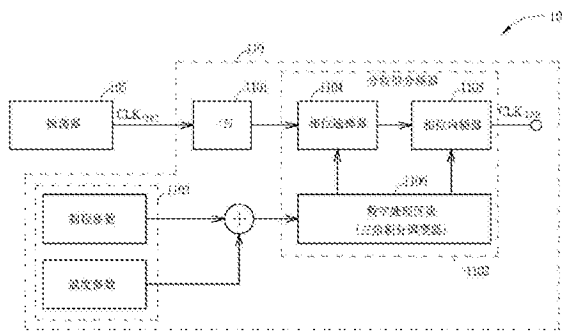
权利要求书2页 说明书6页 附图2页

(54)发明名称

时钟产生装置、用于时钟产生装置的方法

(57)摘要

本发明提供了一种时钟产生装置、用于时钟产生装置的方法以及分数型分频器。时钟产生装置包含振荡器与频率合成器,振荡器用以产生参考时钟信号,以及频率合成器耦接于振荡器,并用以根据参考时钟信号与已调整或补偿后的分频因子合成产生目标时钟信号,并输出目标时钟信号作为时钟产生装置的输出。本发明可同时达到高频率精确度及较佳的抗抖动效果。



1. 一种时钟产生装置,其特征在于,包含有:

振荡器,用以产生参考时钟信号;以及

频率合成器,耦接于该振荡器,用以根据该参考时钟信号与已调整或补偿后的分频因子来合成产生目标时钟信号,并输出该目标时钟信号作为该时钟产生装置的输出;

其中,该频率合成器用以根据制程变异信息与温度变异信息的至少其中之一来调整或补偿该分频因子,并藉由调整或补偿该分频因子来调校该目标时钟信号的频率,且;

其中,该制程变异信息包含对应于不同制程变异的一组制程参数,该温度变异信息包含对应于不同温度变异的一组温度参数;以及,该频率合成器藉由参照目前制程或目前温度,从该组制程参数选取出一制程参数,或是从该组温度参数选取出一温度参数,并使用所选取出的该制程参数或所选取出的该温度参数来调整或补偿该分频因子,以调校该目标时钟信号的该频率。

2. 如权利要求1所述的时钟产生装置,其特征在于,该频率合成器包含有:

分频器,具有分频因子,用以根据该参考时钟信号并使用该分频因子来产生第一时钟信号;以及

锁相回路,耦接至该分频器,用以接收该第一时钟信号,并基于该第一时钟信号来合成产生该目标时钟信号;

其中该分频器调整或补偿该分频因子来调整或补偿该第一时钟信号的频率,以调整或补偿该目标时钟信号的频率。

3. 如权利要求1所述的时钟产生装置,其特征在于,该频率合成器包含有:

锁相回路,在该锁相回路的反馈路径上具有分频器,该锁相回路用以根据该参考时钟信号合成产生该目标时钟信号;

其中该分频器包含可被该锁相回路调整的分频因子;以及,该锁相回路调整或补偿该分频因子以调整或补偿该目标时钟信号的频率,并输出该目标时钟信号作为该时钟产生装置的该输出。

4. 如权利要求1所述的时钟产生装置,其特征在于,另包含有:

对照表,用以记录该组制程参数或该组温度参数。

5. 如权利要求1所述的时钟产生装置,其特征在于,该时钟产生装置是设置在单一集成电路芯片上。

6. 如权利要求1所述的时钟产生装置,其特征在于,该制程变异信息是在芯片测试流程或最后测试流程中得出。

7. 如权利要求1所述的时钟产生装置,其特征在于,该频率合成器用以根据外接于该时钟产生装置的温度感应器所收集的该温度变异信息来调整或补偿该分频因子。

8. 如权利要求1所述的时钟产生装置,其特征在于,所述频率合成器包含有:

分数型分频器,耦接于该振荡器,用以从基于该参考时钟信号所产生的不同相位特性中选取至少两个相位偏移,以及根据所选取出的这些相位偏移来插补出一相位偏移,以产生目标时钟信号,以及并藉由调整或补偿分频因子来调校该目标时钟信号的频率。

9. 如权利要求8所述的时钟产生装置,其特征在于,所述分数型分频器包含有:

相位选择器,用以从基于振荡器提供的参考时钟信号所产生的不同相位特性中选取至少两个相位偏移;

相位内插器,耦接至该相位选择器,用以根据所选取出的这些相位偏移来插补出一相位偏移,以产生目标时钟信号,该目标时钟信号具有将该参考时钟信号的频率以分频因子进行分频所得到的频率;以及

三角积分调变器,耦接至该相位选择器与该相位内插器,用以分别控制该相位选择器与该相位内插器,藉由调整或补偿该分频因子来调校该目标时钟信号的该频率。

10. 一种用于时钟产生装置的方法,其特征在于,包含有:

提供振荡器以产生参考时钟信号;

根据该参考时钟信号与已调整或补偿后的分频因子,合成产生目标时钟信号;以及

输出该目标时钟信号作为该时钟产生装置的输出;

其中,合成产生该目标时钟信号的步骤包含有:根据制程变异信息与温度变异信息的至少其中之一调整或补偿该分频因子,藉由调整或补偿该分频因子来调校该目标时钟信号的频率;

其中,该制程变异信息包含对应于不同制程变异的一组制程参数,该温度变异信息包含对应于不同温度变异的一组温度参数,该根据制程变异信息与温度变异信息的至少其中之一调整或补偿该分频因子的步骤包含有:

藉由参照目前制程或目前温度,从该组制程参数选取出一制程参数,或是从该组温度参数选取出一温度参数;以及

使用所选取出的该制程参数或所选取出的该温度参数来调整或补偿该分频因子。

11. 如权利要求10所述的方法,其特征在于,合成产生该目标时钟信号的步骤包含有:

藉由使用分频因子对该参考时钟信号进行分频,以产生第一时钟信号;

使用锁相回路,接收该第一时钟信号,并基于该第一时钟信号来合成产生该目标时钟信号;

其中基于该第一时钟信号来合成产生该目标时钟信号的步骤包含有:

调整或补偿该分频因子以调整或补偿该第一时钟信号的频率,以调整或补偿该目标时钟信号的该频率。

12. 如权利要求10所述的方法,其特征在于,合成产生该目标时钟信号的步骤包含有:

使用锁相回路,在该锁相回路反馈路径上具有分频器,根据该参考时钟信号来合成产生该目标时钟信号;

其中合成产生该目标时钟信号的步骤包含有:

调整或补偿该分频器的分频因子,以调整或补偿该目标时钟信号的该频率。

13. 如权利要求10所述的方法,其特征在于,该制程变异信息是在芯片测试流程或最后测试流程中得出。

14. 如权利要求10所述的方法,其特征在于,藉由调整或补偿该分频因子来调校该目标时钟信号的该频率的步骤包含有:

根据外接于该时钟产生装置的温度感应器所收集的该温度变异信息来调整或补偿该分频因子。

时钟产生装置、用于时钟产生装置的方法

【技术领域】

[0001] 本发明关于一种时钟产生机制,尤指一种时钟产生装置、分数型分频器、以及能够校正频率偏移的方法。

【背景技术】

[0002] 一般来说,传统的振荡器可利用多种类型的振荡器来实现,举例来说,实作上传统的振荡器可包含有电感电容式谐振器。不幸的是频率偏移通常起因于制程变异或温度变异,而为了调校此频率偏移,传统一般的方法是调整传统振荡器的谐振器(例如电感电容式谐振器)的电容阵列的值以获得精确的频率。然而由于模拟控制的方法对于制程、电压、温度等变异极为敏感,因而如果通过模拟控制的方法,将造成该传统振荡器的设计变得极度复杂,此一问题在先进制程的领域中更为明显。因此,提供一个通过数字调整可以同时达到高频率精确度以及易于实施的新颖机制,显然极为重要。

【发明内容】

[0003] 有鉴于此,本发明提供一种分数型分频器、时钟产生装置以及用于时钟产生装置的方法,以解决上述问题。

[0004] 根据本发明的一实施例,揭露了一种时钟产生装置。时钟产生装置包含有振荡器与频率合成器,振荡器用以产生参考时钟信号,以及频率合成器耦接于振荡器,并用以根据该参考时钟信号与已调整或补偿后的分频因子合成产生目标时钟信号,并输出该目标时钟信号作为时钟产生装置的输出。

[0005] 根据本发明的一实施例,另揭露了一种用于时钟产生装置的方法。该方法包含有:提供振荡器以产生参考时钟信号;根据该参考时钟信号与已调整或补偿后的分频因子,合成产生目标时钟信号;以及输出该目标时钟信号作为时钟产生装置的输出。

[0006] 根据本发明的一实施例,另揭露了一种时钟产生装置。时钟产生装置包含有振荡器与相位控制电路,振荡器用以产生参考时钟信号,以及相位控制电路耦接于振荡器,并用以基于该参考时钟信号所产生的不同相位特性中选取至少两个相位偏移,以及根据所选取出的这些相位偏移来插补出一相位偏移,以产生目标时钟信号。

[0007] 根据本发明的一实施例,另揭露了一种分数型分频器。分数型分频器包含有相位选择器、相位内插器及三角积分调变器,相位选择器用以基于振荡器所提供的参考时钟信号所产生的不同相位特性中选取至少两个相位偏移,相位内插器耦接至相位选择器,并用以根据所选取出的这些相位偏移来插补出一相位偏移,以产生目标时钟信号,该目标时钟信号具有将该参考时钟信号的频率以分频因子进行分频所得到的频率,以及三角积分调变器耦接至相位选择器与相位内插器,并用以分别控制相位选择器与相位内插器,藉由调整或补偿该分频因子来调校该目标时钟信号的频率。

[0008] 上述时钟产生装置、用于时钟产生装置的方法以及分数型分频器可同时达到高频率精确度及较佳的抗抖动效果。

【附图说明】

[0009] 图1为本发明第一实施例的时钟产生装置的方块示意图。

[0010] 图2为本发明第二实施例的时钟产生装置的方块示意图。

[0011] 图3为本发明第三实施例的时钟产生装置的方块示意图。

【具体实施方式】

[0012] 请参照图1,其所绘示为本发明一实施例的时钟产生装置100的方块示意图。时钟产生装置100包含有振荡器105与频率合成器110,频率合成器110包含有分频器1101、分数型分频器1102与对照表1103,且该分数型分频器1102包含有相位选择器1104、相位内插器1105与数字处理区块1106。时钟产生装置100为内嵌式晶体系统单芯片(system-on-chip, SOC)电路,即,时钟产生装置100是设置在单一集成电路芯片上,对电子系统来说,如此可减去而不需要电路板上外接式的晶体振荡器,利用内嵌式的晶体振荡器来实现可在市面上具有低成本的优势。此外,时钟产生装置100可根据内部的参考时钟信号源(即振荡器105)来产生并输出目标时钟信号CLK_{TAR}至后一级的系统(并未显示于图1中)。此外,时钟产生装置100可应用在多样化的应用中,例如是有线传输通信(例如串行ATA(SATA)介面传输规格、USB介面传输规格或是乙太网络的传输),然此并非是本发明的限制。

[0013] 振荡器105可利用(但不限定)电感电容谐振器来实现,或是亦可利用例如环型振荡器等其他类型的谐振器来实现。振荡器105作为来源参考(source reference)谐振器并用以产生参考时钟信号CLK_{OSC}作为来源时钟信号,频率合成器110用以接收参考时钟信号CLK_{OSC}、依据参考时钟信号CLK_{OSC}与已经被调整或补偿过的分频因子来进行频率合成产生目标时钟信号CLK_{TAR}作为系统时钟,以及输出该目标时钟信号CLK_{TAR}作为时钟产生装置100的输出。具体来说,频率合成器110根据制程变异信息与温度变异信息(储存在对照表1103中)的至少其中之一来调整该分频因子(例如,分数型分频器1102的分频因子),并藉由调整该分频因子来调校目标时钟信号CLK_{TAR}的频率,以补偿目标时钟信号CLK_{TAR}。

[0014] 为了补偿振荡器105因制程偏移及/或温度偏移所输出的频率的偏移,分数型分频器1102用以基于储存于对照表1103中的信息来调整该分频因子,以便补偿分频器1101所输出的频率,获得具有精确频率的目标时钟信号CLK_{TAR}。换句话说,即使振荡器105所产生的参考时钟信号CLK_{OSC}的频率在不同的情况下可能会稍稍偏移或漂移,藉由调整频率合成器110的该分频因子,频率合成器110可适当地调校或补偿偏移或漂移后的频率,以获得具有精确频率的目标时钟信号CLK_{TAR}作为时钟产生装置100的输出结果。此可达到高频率精确度以及低相位噪声与抖动(jitter)。

[0015] 需注意的是,在本实施例中,振荡器105的元件并未被改变来调整参考时钟信号CLK_{OSC}的频率。举例来说,如果振荡器105是藉由电感电容谐振器来实现,则在本实施例中该电感电容谐振器内所包含的电容或电感元件并未被补偿来调整参考时钟信号CLK_{OSC}的频率,或是该电感电容谐振器是具有固定、非切换式的电容阵列。也就是说,在本实施例中,是藉由调整频率合成器110的分频因子来实现调校目标时钟信号CLK_{TAR}的频率的步骤,而并非是藉由调整参考时钟信号CLK_{OSC}的来源产生方式。然而,这并非是本发明的限制,也可以利用对振荡器105的元件的调整来粗调参考时钟信号CLK_{OSC}的频率,并以频率合成器110的分

频因子的调整来微调参考时钟信号CLK_{Osc}的频率。

[0016] 对照表1103用来记录制程变异信息及/或温度变异信息,制程变异信息包含有一组具有对应于不同制程变异的不同调整量的制程参数,以及温度变异信息包含有一组对应于不同温度变异条件的温度参数。该组制程参数是在芯片测试流程(chip probing flow)或是最后测试流程时产生,其中该芯片测试流程是指在制程流程中进行封装之前检查时钟产生装置100的电路元件的测试流程,该最后测试流程是指在制程流程中进行封装之后检查时钟产生装置100的电路元件的测试流程。该组制程参数是在使用振荡器105来产生参考时钟信号CLK_{Osc}之前所产生的,而产生该组制程参数的方式可以基于外部机器系统,该外部机器系统可产生精确频率。该外部机器系统可用来根据不同频率偏移与制程变异之间的关系来产生该组制程参数,而在该关系被决定以后,该组制程参数可被相应地决定,并被用以调校因为制程变异所产生的频率偏移,此确保了参考时钟信号CLK_{Osc}的频率可变得更加精确。在产生该组制程参数之后,该组制程参数被对照表1103记录下来,该组制程参数可对应于多种变异信息,例如是五种不同的制程条件(process corner),即typical-typical (TT)、fast-fast (FF)、slow-slow (SS)、fast-slow (FS) 和slow-fast (SF),每一制程条件的第一个英文字母代表N型金属氧化物半导体(NMOS)元件,而第二个英文字母代表P型金属氧化物半导体(NMOS)元件。根据该制程变异信息,分频器110可调整分数型分频器1102的该分频因子NF以藉由所调整过后的分频因子NF来补偿参考时钟信号CLK_{Osc}的频率,以适当地调校或补偿目标时钟信号CLK_{TAR}的频率。举例来说,如果制程条件SS使得参考时钟信号CLK_{Osc}的频率变得较慢,则可根据对应于制程条件SS的制程参数,将分数型分频器1102的分频因子NF调整为较小值,以便调校参考时钟信号CLK_{Osc}的频率。另外,在另一实施例中,如果制程条件FF使得参考时钟信号CLK_{Osc}的频率变得较快/高,则可根据对应于制程条件FF的制程参数,将分数型分频器1102的分频因子NF调整为较大值,以便调校参考时钟信号CLK_{Osc}的频率。

[0017] 此外,该组温度参数可被用来与芯片内温度感应器(并未显示于图1中)搭配使用,该芯片内温度感应器可用以进行即时线上监控、量测以及记录或收集目前温度。该组温度参数包含有对应于不同温度条件(包括正常温度条件与其他不同温度条件)的不同调整量的关系,对照表1103用以储存这些不同调整量。举例来说,对照表1103用以记录对应于不同温度条件的不同调整系数,该组温度参数用以调校因温度改变所造成的振荡器105的频率漂移,由芯片内温度感应器所记录的不同调整量系数与温度的关系以及目前温度值均会被输入至分数型分频器1102,因此,分数型分频器1102可在目前温度值的情况下得到相对应的温度参数,以调校振荡器105的频率漂移。

[0018] 应注意的是,该组温度参数与该组制程参数之间为独立且彼此无关的,根据该组制程参数调校该频率漂移的操作是独立且无关于根据该组温度参数调校该频率漂移的操作。在较佳实施例中,上述两操作均可被应用来得到更精确的频率,然而,在其他实施例中,也可仅应用该组制程参数或是仅应用该组温度参数来得到精确的频率,这样的实施例变型也符合本发明的技术精神,也就是说,使用该组制程参数或是该组温度参数的其中之一,均有助于调校该频率漂移。

[0019] 在本实施例中,数字处理区块1106用以接收该组制程参数与该组温度参数,并用以根据该组制程参数与该组温度参数决定分数型分频器1102的分频因子NF。数字处理区块

1106用以藉由参照目前制程条件或目前温度值,从该组制程参数中选取出一制程参数,或是从该组温度参数中选取出一温度参数,并使用所选定的该制程参数或是所选定的该温度参数来决定或调整该分频因子NF,该分频因子NF为具有小数值的正值。在决定出该分频因子NF之后,数字处理区块1106用以根据所决定的该分频因子NF来控制模拟电路(例如相位选择器1104与相位内插器1105)以产生并输出具有精确频率的调校后的信号CLK_{TAR}。数字处理区块1106控制相位选择器1104与相位内插器1105来产生并输出具有精确相位偏移的调校后的信号CLK_{TAR},以得到精确的频率。分频器1101根据从振荡器105所输出的参考时钟信号CLK_{osc}来提供具有不同相位特性(或是不同相位偏移调整量)的多个时钟信号,相位选择器1104用以从这些相位特性或是这些相位偏移调整量中选取出两个(或多个)相位偏移,而相位内插器1105用以基于所选定的两个(或多个)相位偏移来插补出对应于精确频率的适当的相位偏移。举例来说,相位选择器1104可用来从0度、90度、180度及270度的相位偏移中选取出两个相位偏移,如果相位内插器1105所要插补出的相位偏移是45度的相位偏移,则相位选择器1104会从中选取出0度和90度的相位偏移,而相位内插器1105会基于所选出的0度和90度的相位偏移,藉由相位内插的方式来产生45度的相位偏移。需注意的是,以上实施例的说明仅是用来说明本案的技术精神而已,而并非是本发明的限制,举例来说,在为了某些技计方案下,相位选择器1104及相位内插器1105也可合并为同一个电路方块/区块(例如,相位控制电路)。

[0020] 此外,也可使用三角积分调变(Sigma-Delta Modulation,SDM)技术并应用于数字处理区块1106中以提升频率解析度(frequency resolution)。三角积分调变的噪声则可被相位内插器1105有效压制,如此,时钟产生装置100中所产生的噪声大小可被振荡器105所主导,而非由三角积分调变技术所主导,可大幅增进整体系统的效能。例如,三角积分调变器可耦接至该相位选择器与该相位内插器,用以分别控制该相位选择器与该相位内插器,藉由调整或补偿该分频因子来调校该目标时钟信号的该频率。在另一实施例中,频率合成器110可包含两个或多个分数型分频器以提供更高解度率的频率。

[0021] 请参照图2,其所绘示为本发明另一实施例的时钟产生装置200的方块示意图。如图2所示,时钟产生装置200包含有振荡器205与频率合成器210。频率合成器210包含有具有分频因子NF的分数型分频器215以及锁相回路(Phase-Locked Loop,PLL)220。锁相回路220包含有相位频率侦测器(phase frequency detector,PFD)2201、电荷帮浦(charge-pump,CP)2202、低通滤波器2203、压控振荡器(voltage-controlled oscillator,VCO)2204以及在反馈路径上具有固定整数值的分频因子N的分频器2205。分数型分频器215用以根据参考时钟信号CLK_{osc}并藉由使用该分频因子NF来产生时钟信号CLK₁,其中该分频因子NF为具有小数值的正值。分数型分频器215的操作类似于图1所示的分数型分频器1102的操作,也就是说,分数型分频器215用以参照该制程变异信息与该温度变异信息(即该组制程参数与该组温度参数)的至少其中之一来调整该分频因子NF,调校或补偿振荡器205的频率偏移,并得到具有精确频率的目标时钟信号CLK_{TAR}。为了避免篇幅过于冗长,详细运作并不再次描述,然而,需注意的是,分数型分频器215的电路架构并不限于必然相同于分数型分频器1102的电路架构,能够提供分频因子调整操作的其他电路架构亦可被应用在本发明的技术中。时钟产生装置200所输出的目标时钟信号CLK_{TAR}被设计为系统时钟信号,锁相回路220用以接收该时钟信号CLK₁并基于该时钟信号CLK₁来合成产生该目标时钟信号CLK_{TAR}。由于该

时钟信号CLK1是低噪声且在制程、电压、温度变化(PVT variation)的情况下稳定的信号,所以在反馈路径上具有固定整数分频因子N的分频器2205并不必被用来调校或补偿因振荡器205所造成的频率偏移,而锁相回路220也不必被用来调校因振荡器205所造成的频率偏移。

[0022] 此外,如图2所示,图2揭示并绘示了频率合成器210的电路架构,也就是说,分数型分频器215的操作并不限于仅能够藉由参照该制程变异信息与该温度变异信息的至少其中之一来调整该分频因子NF,在另一实施例中,分数型分频器215也可被用来藉由参照其他类型的信息来调整该分频因子NF,以调校或补偿振荡器205的频率偏移,而锁相回路220则亦用以接收该时钟信号CLK1并基于该时钟信号CLK1来合成产生该目标时钟信号CLK_{TAR},以得到具有精确频率的该目标时钟信号CLK_{TAR},凡此实施例的变型均符合本发明的精神。

[0023] 请参照图3,其所绘示为本发明的另一实施例中时钟产生装置300的方块示意图。图3的实施例为图2所示的实施例的其中一种设计变型,如图3所示,时钟产生装置300包含有振荡器305与频率合成器310,频率合成器310包含有具有固定整数分频因子N的分频器315以及锁相回路320,锁相回路320包含有相位频率侦测器3201、电荷帮浦3202、低通滤波器3203、压控振荡器3204以及在锁相回路320的反馈路径上具有分频因子NF的分数型分频器3205,该分频因子NF为具有小数值的正值。分频器315用以根据振荡器305所产生的参考时钟信号CLK_{Osc}并藉由使用该固定常数分频因子N来产生时钟信号CLK1,分频器315并不用来调校或补偿因为制程变异或温度变异使振荡器305所造成的频率偏移。锁相回路320用来接收该时钟信号CLK1并基于该时钟信号CLK1来合成产生目标时钟信号CLK_{TAR}。分数型分频器3205的操作类似于图1所示的分数型分频器1102的操作,即,分数型分频器3205用来藉由参照该制程变异信息与该温度变异信息(即该组制程参数或该组温度参数)的至少其中之一来调整该分频因子NF,以调校或补偿振荡器305的频率偏移,补偿该时钟信号CLK1的频率,并得到具有精确频率的目标时钟信号CLK_{TAR},详细说明在此不再重述。如上所述,换句话说,锁相回路320用来藉由参照该制程变异信息与该温度变异信息的至少其中之一来调整或补偿该分频因子NF,以便得到具有精确频率的目标时钟信号CLK_{TAR},并输出该目标时钟信号CLK_{TAR}作为时钟产生装置300的输出信号。然而,分数型分频器3205的电路架构并不限于必然相同于分数型分频器1102的电路架构,能够提供分频因子调整操作的其他电路架构亦可被应用在本发明的技术中。此外,分数型分频器3205的操作并不限于仅能够藉由参照该制程变异信息与该温度变异信息的至少其中之一来调整该分频因子NF,在另一实施例中,分数型分频器3205也可被用来藉由参照其他类型的信息来调整该分频因子NF,以调校或补偿振荡器305的频率偏移,以得到具有精确频率的该目标时钟信号CLK_{TAR},凡此实施例的变型均符合本发明的精神。

[0024] 此外,在上述实施例中,为了某些设计选项,也可使用多工器从内部时钟信号与外部时钟信号中选择一个作为时钟信号,所采用的多工器可以置放在振荡器与分频器之间,举例来说,该多工器可被置放在图2所示的振荡器205与分数型分频器215之间,并用以接收内部时钟信号(即时钟信号CLK_{Osc})与从外部振荡器所产生的外部时钟信号,该多工器的输出端连接至分数型分频器215的输入端,该多工器可用来从时钟信号CLK_{Osc}或外部时钟信号中择一作为输出。

[0025] 为了解决振荡器105/205/305在不同条件下所造成的频率偏移的问题(本发明所

提出的补偿机制可延伸应用于补偿不同于制程或温度的变异条件所造成的频率偏移问题),在本发明的实施例中,可藉由调整分数型分频器的分频因子NF,而不调整振荡器105/205/305,就可达到解决频率偏移的问题,举例来说,如果振荡器105/205/305是电感电容式谐振器,则并不需要调整该电感电容式谐振器内所包含的电感值或电容值,就可调校频率偏移,因而该电感电容式谐振器可搭载固定、非切换式的电容阵列,如此即不需要复杂的振荡器电路设计,而由于数字处理的关系,亦可降低实作的困难度。

[0026] 再者,时钟产生装置100/200/300均可以是系统单芯片电路,即,时钟产生装置100/200/300均可安装于单一集成电路芯片上,因此对电子系统来说,不再需要电路板上外接式的晶体振荡器,可省去外部硬件元件的成本。

[0027] 以上所述仅为本发明的较佳实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

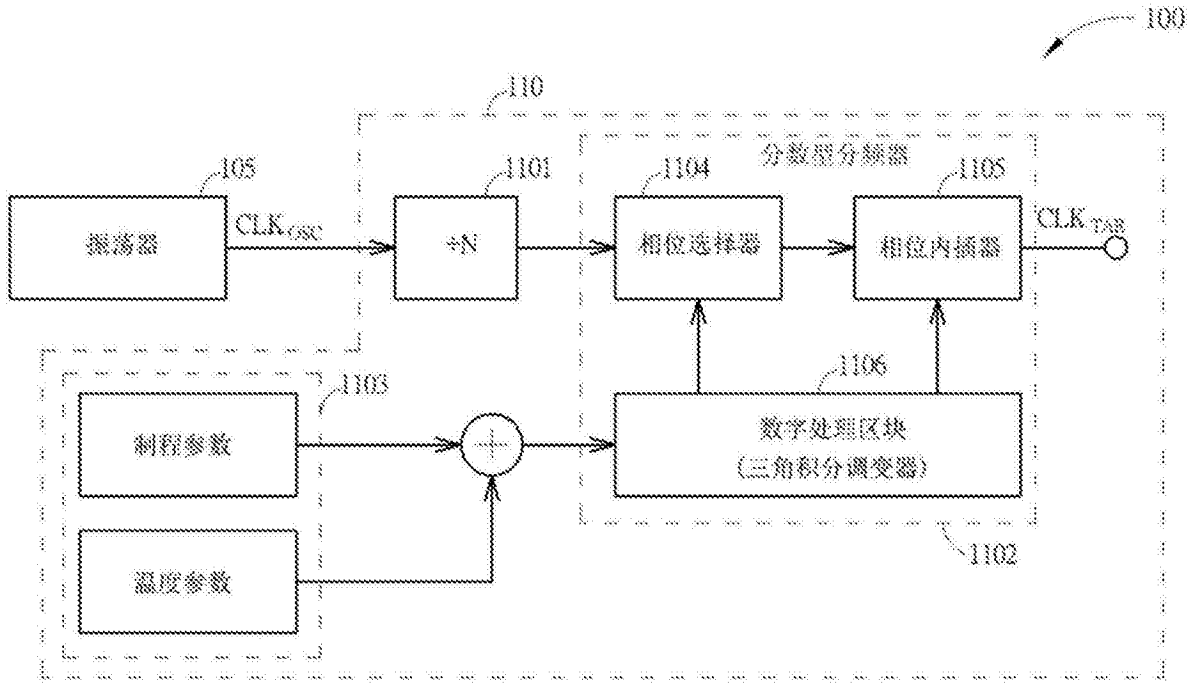


图1

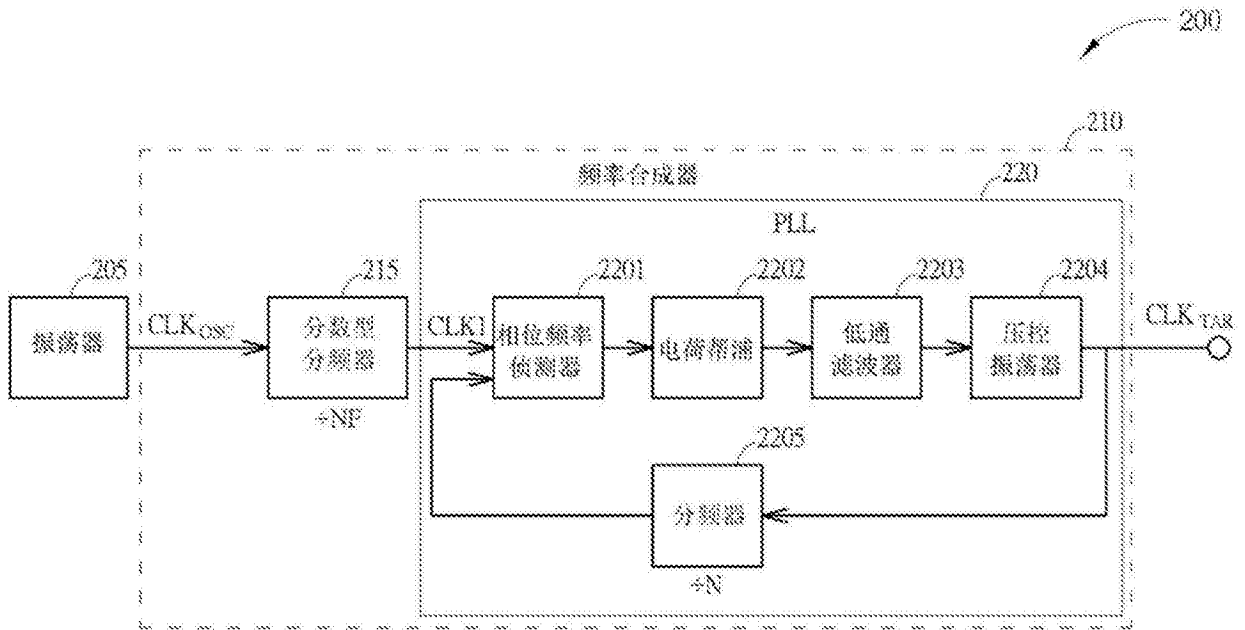


图2

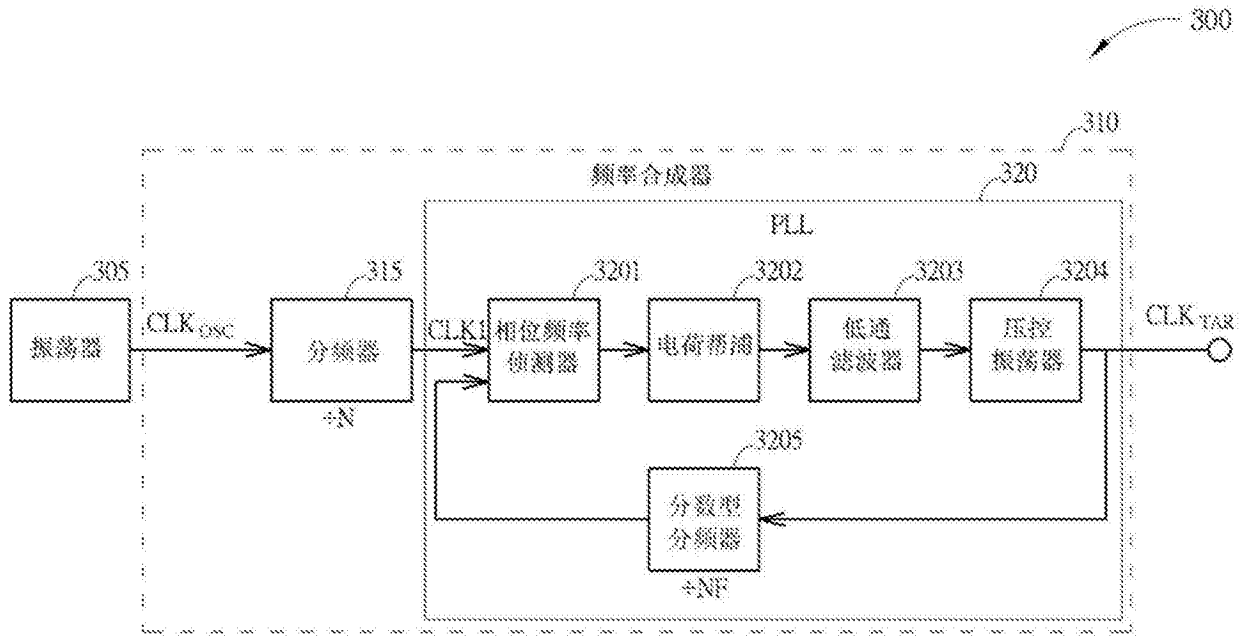


图3