

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2022-13203  
(P2022-13203A)

(43)公開日 令和4年1月18日(2022.1.18)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 31/0236(2006.01)	H 0 1 L 31/04 2 8 0	5 F 1 0 2
H 0 1 L 33/22 (2010.01)	H 0 1 L 33/22	5 F 1 5 1
H 0 1 L 21/338(2006.01)	H 0 1 L 29/80 B	5 F 2 4 1
H 0 1 L 21/02 (2006.01)	H 0 1 L 21/02 B	

審査請求 未請求 請求項の数 12 O L (全30頁)

(21)出願番号 特願2020-115608(P2020-115608)	(71)出願人 000190149 信越半導体株式会社 東京都千代田区大手町二丁目2番1号
(22)出願日 令和2年7月3日(2020.7.3)	(74)代理人 100102532 弁理士 好宮 幹夫
	(74)代理人 100194881 弁理士 小林 俊弘
	(72)発明者 石崎 順也 群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内
	Fターム(参考) 5F102 GB01 GC01 GD01 GJ06 GK04 GL04 GM04 GS02 GS04 GT03 HB07 HB09 HC19 5F151 AA08 BA11 CB08 CB21 最終頁に続く

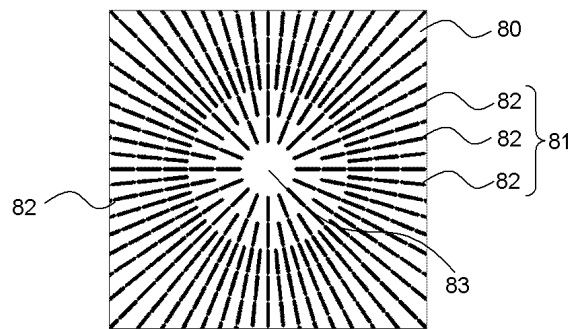
(54)【発明の名称】 接合型半導体素子及び接合型半導体素子の製造方法

(57)【要約】

【課題】温度の上昇・下降による剥離や破壊の発生を抑制できる接合型半導体素子、及び温度の上昇・下降による剥離や破壊の発生を抑制できる接合型半導体素子を製造できる製造方法を提供すること。

【解決手段】エピタキシャル層と該エピタキシャル層とは異なる材料の支持基板とが接合された接合型半導体素子であって、前記エピタキシャル層及び前記支持基板の何れか一方が、接合面に任意の点を中心として放射状に広がっている凹部または凸部からなる放射状パターンを有するものであることを特徴とする接合型半導体素子。

【選択図】図2



## 【特許請求の範囲】

## 【請求項 1】

エピタキシャル層と該エピタキシャル層とは異なる材料の支持基板とが接合された接合型半導体素子であって、  
前記エピタキシャル層及び前記支持基板の何れか一方が、接合面に任意の点を中心として放射状に広がっている凹部または凸部からなる放射状パターンを有するものであることを特徴とする接合型半導体素子。

## 【請求項 2】

前記放射状パターンの前記凹部の深さまたは前記凸部の高さ  $H$  が  $0.02 \mu\text{m}$  以上  $5 \mu\text{m}$  以下のものであることを特徴とする請求項 1 に記載の接合型半導体素子。

10

## 【請求項 3】

前記放射状パターンの前記凹部または前記凸部は、前記中心から遠ざかる方向において、連続的または離散的に延びていることを特徴とする請求項 1 または 2 に記載の接合型半導体素子。

## 【請求項 4】

前記放射状パターンは、前記エピタキシャル層側に設けられていることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の接合型半導体素子。

## 【請求項 5】

前記支持基板が、 $\text{AlN}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Cu}$ 、 $\text{GaAs}$ 、 $\text{GaN}$ 、 $\text{GaP}$ 、 $\text{InP}$ 、 $\text{Si}$ 、 $\text{SiC}$  及び  $\text{SiO}_2$  からなる群より選択されるいずれかの材料を含み、  
前記支持基板は、結晶構造または非晶質の構造を有する前記材料を含むものであることを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の接合型半導体素子。

20

## 【請求項 6】

前記エピタキシャル層が金属膜または熱硬化型樹脂を介して前記支持基板に接合されたものであることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の接合型半導体素子。

## 【請求項 7】

エピタキシャル層と、前記エピタキシャル層とは異なる材料の支持基板とが接合された接合型半導体素子の製造方法であって、  
前記エピタキシャル層の接合面及び前記支持基板の接合面の何れか一方に、任意の点を中心として放射状に広がる凹部または凸部からなる放射状パターンを設け、  
前記エピタキシャル層の前記接合面と前記支持基板の前記接合面とを向き合わせて、前記エピタキシャル層を前記支持基板に接合することを特徴とする接合型半導体素子の製造方法。

30

## 【請求項 8】

前記凹部の深さまたは前記凸部の高さ  $H$  が  $0.02 \mu\text{m}$  以上  $5 \mu\text{m}$  以下である前記放射状パターンを設けることを特徴とする請求項 7 に記載の接合型半導体素子の製造方法。

## 【請求項 9】

前記中心から遠ざかる方向において連続的または離散的に延びる前記凹部または前記凸部を設けることを特徴とする請求項 7 または 8 に記載の接合型半導体素子の製造方法。

40

## 【請求項 10】

前記放射状パターンを前記エピタキシャル層側に設けることを特徴とする請求項 7 乃至請求項 9 のいずれか 1 項に記載の接合型半導体素子の製造方法。

## 【請求項 11】

前記エピタキシャル層の出発基板及び前記支持基板として、 $\text{AlN}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Cu}$ 、 $\text{GaAs}$ 、 $\text{GaN}$ 、 $\text{GaP}$ 、 $\text{InP}$ 、 $\text{Si}$ 、 $\text{SiC}$  及び  $\text{SiO}_2$  からなる群より選択されるいずれかの材料を含むものを用い、  
前記エピタキシャル層の前記出発基板として、結晶構造を有する前記材料を含むものを用い、  
前記支持基板として、結晶構造または非晶質の構造を有する前記材料を含むものを用いる

50

ことを特徴とする請求項 7 乃至請求項 10 のいずれか 1 項に記載の接合型半導体素子の製造方法。

【請求項 12】

前記エピタキシャル層を、金属膜または熱硬化型樹脂を介して前記支持基板に接合することを特徴とする請求項 7 乃至請求項 11 のいずれか 1 項に記載の接合型半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、接合型半導体素子及び接合型半導体素子の製造方法に関する。

10

【背景技術】

【0002】

化合物半導体の持つ特性と他の機能性基板とを接合することにより得られる新規機能性基板としての接合型半導体素子が各種提案されている。

【0003】

IoT用センサーでは、駆動基板を有するシリコン基板上に、受電源として太陽電池（PV）を、信号受信部としてフォトダイオード（PD）を、信号発信部としてレーザーダイオード（LD）や発光ダイオード（LED）を実装して、機能性チップが実現できる。

【0004】

発光ダイオードにおいては、シリコン基板に金属接合で発光層を接合したLEDが、あるいは透明なサファイア基板に透明接着剤で発光層を接合したLEDが提案されている。

20

【0005】

いずれの構造においても、線膨脹係数や屈折率など、異なる物性を有する材料同士を接合し、実現している特徴がある。

【0006】

異種材料同士を接合する技術では接合材そのものが着目されてきた。接合後のデバイスではパッケージを行う必要があり、パッケージプロセス、あるいはパッケージ後の動作過程において、少なからず熱履歴を受けるため、異種材料に伴う物性の違いから不良を引き起こすことがあった。

【0007】

発生しやすい不良が、接合面からの薄膜部たる化合物半導体機能層（エピタキシャル層）部の剥離、及び、破壊である。

30

【0008】

デバイス層（機能層）を含んだエピタキシャル層と、このエピタキシャル層とは異なる材料の支持基板とを接合させた構造を有する接合型半導体素子では、接合時の温度と動作温度あるいは室温との間に差異が存在するため、エピタキシャル層と支持基板との間には残留応力が存在する。接合型半導体素子は、動作による温度変化もしくは環境温度の変化により、膨張及び収縮を繰り返すため、接合界面からのエピタキシャル層の剥離が生じやすくなる。その結果、接合型半導体素子の動作不良が発生し、信頼性が低下する問題があった。その具体例を以下に示す。

40

【0009】

封止材を注入し、パッケージングを行う際、封止材を軟化するため、軟化点以上の温度まで熱を加えて注入を行う。注入後は軟化点以下（一般には室温）まで封止材の温度を下げ、パッケージングを行う。

【0010】

封止材の注入過程で、機能部であるエピタキシャル層（化合物半導体）部、接合部、支持部である支持基板部のそれぞれに同様の温度がかかり、室温低下時に、それぞれの物性値に従って収縮する。熱膨脹係数は一般に同一でないため、それぞれの部位において熱収縮に伴う応力を抱えることになる。

【0011】

50

応力が過大に大きい場合、パッケージ直後に不良として検知が可能である。しかし、パッケージ直後に破壊が起こらなかった場合、通電し、動作することによるパッケージ内の温度の上昇・下降により、除々に剥離または破壊が進む。時間が経過した後、剥離や破壊が発生し、デバイスが動作不良となってしまう。

【0012】

単体部品の場合の不良は1個だけにとどまるが、複数の機能性を1チップに実装した場合、影響はチップ全体に及び、1個の機能部の剥離・故障によりシステム全体の故障に結びついてしまう。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特許第5008308号明細書

【発明の概要】

【発明が解決しようとする課題】

【0014】

これらの問題を解決するためには、支持基板とエピタキシャル層とを構成する材料の熱膨張係数を略同一にすることが有効だが、熱膨張係数を揃えつつ、その他の物性値を変えた材料を選択することは不可能である。

【0015】

ゆえに、デバイスを動作させるための機能を有する材料を選択し、保持等の目的で異種材料基板に接合する構造を有する接合型半導体素子において、温度変化による膨張及び収縮の影響を極小化する構成、または構造が必要であった。

【0016】

本発明は、上記の課題に鑑みてなされたもので、温度の上昇・下降による剥離や破壊の発生を抑制できる接合型半導体素子、及び温度の上昇・下降による剥離や破壊の発生の抑制が可能な接合型半導体素子を製造できる製造方法を提供することを目的とする。

【課題を解決するための手段】

【0017】

上記目的を達成するために、本発明では、エピタキシャル層と該エピタキシャル層とは異なる材料の支持基板とが接合された接合型半導体素子であって、前記エピタキシャル層及び前記支持基板の何れか一方が、接合面に任意の点を中心として放射状に広がっている凹部または凸部からなる放射状パターンを有するものであることを特徴とする接合型半導体素子を提供する。

【0018】

このように凹部または凸部からなる放射状のパターンを接合面に設けておくことにより、熱が加わった時の膨張の方向、または温度が下がった時の収縮の方向が、凹部または凸部に沿って進みやすくなり、膨張収縮方向を制御することができる。その結果、本発明の接合型半導体素子は、温度の上昇・下降による剥離や破壊の発生を抑制できる。

【0019】

前記放射状パターンの前記凹部の深さまたは前記凸部の高さHが0.02 $\mu$ m以上5 $\mu$ m以下のものであることが好ましい。

【0020】

放射状パターンの凹部の深さまたは凸部の高さHを0.02 $\mu$ m以上5 $\mu$ m以下とすることにより、温度の上昇・下降による剥離や破壊の発生を更に抑制できる。

【0021】

前記放射状パターンの前記凹部または前記凸部は、前記中心から遠ざかる方向において、連続的または離散的に延びているものとすることができる。

【0022】

このように、凹部または凸部の形態は、特に限定されず、様々な態様をとることができる。

10

20

30

40

50

## 【0023】

前記放射状パターンは、前記エピタキシャル層側に設けられていることが好ましい。

## 【0024】

放射状パターンがエピタキシャル層側に設けられている接合型半導体素子であれば、温度の上昇・下降による剥離や破壊の発生を更に抑制できる。

## 【0025】

前記支持基板が、AlN、Al<sub>2</sub>O<sub>3</sub>、Cu、GaAs、GaN、GaP、InP、Si、SiC及びSiO<sub>2</sub>からなる群より選択されるいずれかの材料を含み、前記支持基板は、結晶構造または非晶質の構造を有する前記材料を含むものとすることができる。

10

## 【0026】

このような材料に対し、本発明を好適に採用することができる。

## 【0027】

前記エピタキシャル層が金属膜または熱硬化型樹脂を介して前記支持基板に接合されたものとすることができる。

## 【0028】

エピタキシャル層と支持基板との間の接合層の接合材として、例えば金属膜または熱硬化型樹脂を用いることができる。

## 【0029】

また、本発明では、エピタキシャル層と、前記エピタキシャル層とは異なる材料の支持基板とが接合された接合型半導体素子の製造方法であって、前記エピタキシャル層の接合面及び前記支持基板の接合面の何れか一方に、任意の点を中心として放射状に広がる凹部または凸部からなる放射状パターンを設け、前記エピタキシャル層の前記接合面と前記支持基板の前記接合面とを向き合わせて、前記エピタキシャル層を前記支持基板に接合することを特徴とする接合型半導体素子の製造方法を提供する。

20

## 【0030】

このように凹部または凸部からなる放射状のパターンを接合面に設けて、エピタキシャル層と支持基板とを接合することにより、熱が加わった時の膨張の方向、または温度が下がった時の収縮の方向が、凹部または凸部に沿って進みやすくなり、膨張収縮方向を制御することができる接合型半導体素子を製造できる。その結果、本発明の接合型半導体素子の製造方法によって製造した接合型半導体素子は、温度の上昇・下降による剥離や破壊の発生を抑制できる。

30

## 【0031】

前記凹部の深さまたは前記凸部の高さHが0.02 μm以上5 μm以下である前記放射状パターンを設けることが好ましい。

## 【0032】

凹部の深さまたは凸部の高さHが0.02 μm以上5 μm以下である放射状パターンを設けることにより、温度の上昇・下降による剥離や破壊の発生を更に抑制可能な接合型半導体素子を製造できる。

40

## 【0033】

前記中心から遠ざかる方向において連続的または離散的に延びる前記凹部または前記凸部を設けることができる。

## 【0034】

このように、様々な形態の凹部または凸部からなる放射状パターンを形成することができる。

## 【0035】

前記放射状パターンを前記エピタキシャル層側に設けることが好ましい。

## 【0036】

エピタキシャル層側に放射状パターンを設けることにより、温度の上昇・下降による剥離

50

や破壊の発生を更に抑制可能な接合型半導体素子を製造できる。

【0037】

前記エピタキシャル層の出発基板及び前記支持基板として、AlN、Al<sub>2</sub>O<sub>3</sub>、Cu、GaAs、GaN、GaP、InP、Si、SiC及びSiO<sub>2</sub>からなる群より選択されるいずれかの材料を含むものを用い、

前記エピタキシャル層の前記出発基板として、結晶構造を有する前記材料を含むものを用い、

前記支持基板として、結晶構造または非晶質の構造を有する前記材料を含むものを用いることができる。

【0038】

このような材料に対し、本発明を好適に採用することができる。

【0039】

前記エピタキシャル層を、金属膜または熱硬化型樹脂を介して前記支持基板に接合することができる。

【0040】

エピタキシャル層と支持基板との間の接合層の接合材として、例えば金属膜または熱硬化型樹脂を用いることができる。

【発明の効果】

【0041】

以上のように、本発明の接合型半導体素子であれば、膨張収縮方向を制御することができるので、温度の上昇・下降による剥離や破壊の発生を抑制できる。よって、本発明の接合型半導体素子は、優れた信頼性を示すことができる。

【0042】

また、本発明の接合型半導体素子の製造方法であれば、膨張収縮方向を制御して、温度の上昇・下降による剥離や破壊の発生を抑制可能な接合型半導体素子を製造できる。よって、本発明の接合型半導体素子の製造方法によれば、例えば光無線受電素子、太陽電池、発光素子、受光素子等の用途に適用できる、信頼性に優れた接合型半導体素子を製造できる。

【図面の簡単な説明】

【0043】

【図1】本発明の接合型半導体素子の一例を示す概略断面図である。

【図2】本発明の接合型半導体素子の一例が含む放射状パターンの概略図である。

【図3】本発明の接合型半導体素子の幾つかの例の接合面の凹部の概略断面図である。

【図4】本発明の接合型半導体素子の幾つかの例が含む放射状パターンの概略図である。

【図5】本発明の第一の実施形態の接合型半導体素子の製造方法の1つの工程を示す概略断面図である。

【図6】本発明の第一の実施形態の接合型半導体素子の製造方法の1つの工程を示す概略断面図である。

【図7】本発明の第一の実施形態の接合型半導体素子の製造方法の1つの工程を示す概略断面図である。

【図8】本発明の第一の実施形態の接合型半導体素子の製造方法の1つの工程を示す概略断面図である。

【図9】本発明の第一の実施形態の接合型半導体素子の製造方法の1つの工程を示す概略断面図である。

【図10】本発明の第一の実施形態の接合型半導体素子の製造方法の1つの工程を示す概略断面図である。

【図11】本発明の第一の実施形態の接合型半導体素子を示す概略断面図である。

【図12】図11に示した上部電極の概略平面図である。

【図13】本発明の第二の実施形態の接合型半導体素子の製造方法の1つの工程を示す概略断面図である。

10

20

30

40

50

【図 1 4】本発明の第二の実施形態の接合型半導体素子の製造方法の 1 つの工程を示す概略断面図である。

【図 1 5】本発明の第二の実施形態の接合型半導体素子の製造方法の 1 つの工程を示す概略断面図である。

【図 1 6】本発明の第二の実施形態の接合型半導体素子の製造方法の 1 つの工程を示す概略断面図である。

【図 1 7】本発明の第二の実施形態の接合型半導体素子の製造方法の 1 つの工程を示す概略断面図である。

【図 1 8】本発明の第二の実施形態の接合型半導体素子の製造方法の 1 つの工程を示す概略断面図である。

【図 1 9】本発明の第二の実施形態の接合型半導体素子の製造方法の 1 つの工程を示す概略断面図である。

【図 2 0】本発明の第二の実施形態の接合型半導体素子を示す概略断面図である。

【図 2 1】本発明の第二の実施形態の接合型半導体素子の一部を示す概略平面図である。

【図 2 2】本発明の第三の実施形態の接合型半導体素子の製造方法の 1 つの工程を示す概略断面図である。

【図 2 3】本発明の第三の実施形態の接合型半導体素子の製造方法の 1 つの工程を示す概略断面図である。

【図 2 4】本発明の第三の実施形態の接合型半導体素子の製造方法の 1 つの工程を示す概略断面図である。

【図 2 5】本発明の第三の実施形態の接合型半導体素子の製造方法の 1 つの工程を示す概略断面図である。

【図 2 6】本発明の第三の実施形態の接合型半導体素子の製造方法の 1 つの工程を示す概略断面図である。

【図 2 7】本発明の第三の実施形態の接合型半導体素子の製造方法で形成する電極パターンを示す概略平面図である。

【図 2 8】本発明の第三の実施形態の接合型半導体素子を示す概略断面図である。

【図 2 9】実施例における凹部の深さと剥離・割れ率との関係を示すグラフである。

【発明を実施するための形態】

【0044】

上述のように、温度の上昇・下降による剥離や破壊の発生を抑制できる接合型半導体素子、及びこのような接合型半導体素子を製造できる製造方法の開発が求められていた。

【0045】

本発明者らは、上記課題について鋭意検討を重ねた結果、エピタキシャル層とこのエピタキシャル層とは異なる材料の支持基板とを接合して接合型半導体素子にするに際し、凹部または凸部からなる放射状のパターンを接合面に設けて、エピタキシャル層と支持基板とを接合することにより、熱が加わった時の膨張の方向、または温度が下がった時の収縮の方向が、凹部または凸部に沿って進みやすくなり、膨張収縮方向を制御することができることを見出し、本発明を完成させた。

【0046】

即ち、本発明は、エピタキシャル層と該エピタキシャル層とは異なる材料の支持基板とが接合された接合型半導体素子であって、前記エピタキシャル層及び前記支持基板の何れか一方が、接合面に任意の点を中心として放射状に広がっている凹部または凸部からなる放射状パターンを有するものであることを特徴とする接合型半導体素子である。

【0047】

また、本発明は、エピタキシャル層と、前記エピタキシャル層とは異なる材料の支持基板とが接合された接合型半導体素子の製造方法であって、前記エピタキシャル層の接合面及び前記支持基板の接合面の何れか一方に、任意の点を中心として放射状に広がる凹部または凸部からなる放射状パターンを設け、

10

20

30

40

50

前記エピタキシャル層の前記接合面と前記支持基板の前記接合面とを向き合わせて、前記エピタキシャル層を前記支持基板に接合することを特徴とする接合型半導体素子の製造方法である。

【0048】

なお、特許文献1には、透明基板と発光スタックとを例えばベンゾシクロブテン（BCB）などの透明接着層を介して接合してなる発光装置において、接合部が例えば粗面、凹凸またはピラミッド形状などの微細な突起を有するものが開示されている。しかしながら、特許文献1に記載された凹凸などの配置はランダムであり、膨張・収縮方向を制御できず、特許文献1は、放射状に広がった凹部または凸部からなる放射状パターンを記載も示唆もしていない。

10

【0049】

以下、本発明について図面を参照しながら詳細に説明するが、本発明はこれらに限定されるものではない。

【0050】

[接合型半導体素子]

本発明の接合型半導体素子は、エピタキシャル層と該エピタキシャル層とは異なる材料の支持基板とが接合された接合型半導体素子であって、前記エピタキシャル層及び前記支持基板の何れか一方が、接合面に任意の点を中心として放射状に広がっている凹部または凸部からなる放射状パターンを有するものであることを特徴とする。

20

【0051】

このように凹部または凸部からなる放射状のパターンを接合面に設けておくことにより、熱が加わった時の膨張の方向、または温度が下がった時の収縮の方向が、凹部または凸部に沿って放射状に進みやすくなり、膨張収縮方向を制御することができる。その結果、本発明の接合型半導体素子は、温度の上昇・下降による剥離や破壊の発生を抑制できる。

【0052】

特に、機能層部であるエピタキシャル層は薄膜であり得、延性を有しやすい半面、支持基板の延性方向とは必ずしも一致しない。特にエピタキシャル層の結晶軸が傾斜している場合、支持基板の延性方向とは大きく異なる場合が多い。

【0053】

この場合、熱膨張の方向が一致しないため、破壊や剥離が起こりやすいが、接合面に凹部または凸部からなる放射状パターンを設けてやることにより、剥離や破壊を起こすことを抑制または、剥離や破壊が発生する加工時の臨界温度を上昇させることができる。

30

【0054】

放射状パターンの凹部の深さまたは凸部の高さHが0.02 μm以上5 μm以下のものであることが好ましい。

放射状パターンの凹部の深さまたは凸部の高さHを0.02 μm以上5 μm以下とすることにより、温度の上昇・下降による剥離や破壊の発生を確実に抑制できる。

【0055】

放射状パターンは、凸部からなっていない、凹部からなっていない、どちらでも構わないが、パターンの横幅と深さ（段差）のサイズ及びアスペクト比は接合材が侵入できるものに設定しておく必要がある。凹部の深さまたは凸部の高さをH、幅をLとした時のH/Lが1以上50以下となるものが好ましい。

40

【0056】

放射状パターンの凹部または凸部は、中心から遠ざかる方向において、連続的または離散的に延びているものとすることができる。

このように、凹部または凸部の形態は、特に限定されず、様々な態様をとることができる。

【0057】

放射状パターンは、エピタキシャル層側に設けられていることが好ましい。

50

放射状パターンがエピタキシャル層側に設けられている接合型半導体素子であれば、エピタキシャル層の膨張及び収縮方向をより制御でき、温度の上昇・下降による剥離や破壊の発生を更に抑制できる。

【0058】

支持基板が、AlN、Al<sub>2</sub>O<sub>3</sub>、Cu、GaAs、GaN、GaP、InP、Si、SiC及びSiO<sub>2</sub>からなる群より選択されるいずれかの材料を含み、支持基板は、結晶構造または非晶質の構造を有する上記材料を含むものとすることができる。

このような材料に対し、本発明を好適に採用することができる。

【0059】

エピタキシャル層が金属膜または熱硬化型樹脂を介して支持基板に接合されたものとする 10  
ことできる。

エピタキシャル層と支持基板との間の接合材として、例えば金属膜または熱硬化型樹脂を用いることができる。もちろん、これらの他の接合材を用いても構わない。

【0060】

接合材の金属膜としては、例えば、Au、Ag、Al、Cu、Ga、及びInからなる群より選択される少なくとも一種類の軟金属を含むものが挙げられる。金属膜は、Ti層などの金属層を更に含んでも良い。

【0061】

あるいは、金属膜は、オーミックコンタクトを容易ならしめるGeやSiなどを含む金属層を2層以上有する構造を含むものであってもよい。エピタキシャル層または支持基板に 20  
接する側に、電気コンタクトを容易にするために、Ni含有層を含んだものであっても、同様の効果が得られる。

【0062】

熱硬化型樹脂としては、例えば、ベンゾシクロブテンやポリイミドを挙げることができる。

【0063】

本発明の接合型半導体素子は、様々な用途に適用できる。例えば、本発明の接合型半導体素子は、例えば、光無線受電素子、太陽電池、発光素子、受光素子等の接合型半導体として、有用である。

【0064】

次に、図1～図4を参照しながら、本発明の接合型半導体素子の幾つかの例を具体的に説明する。 30

【0065】

図1に示す接合型半導体素子100は、エピタキシャル層10と、支持基板20とを含む。エピタキシャル層10と支持基板20とは、接合層30を介して、接合されている。

【0066】

エピタキシャル層10は、支持基板20との接合面80に、図2に示す放射状パターン81を有する。放射状パターン81は、図1及び図2に示す、複数の凹部からなる。

【0067】

複数の凹部82は、図1に示すように、矩形の断面を有している。また、複数の凹部82 40  
は、図2に示すように、接合面80の任意の点83を中心として放射状に広がっており、それにより、放射状パターン81を構成している。

【0068】

図2に示す例では、複数の凹部82は、中心83から遠ざかる方向において、離散的に延びている。

【0069】

図1では、凹部82の断面形状が矩形である場合を例示しているが、図3(A)～(C)に例示するように、凹部82の断面形状は三角形や台形であっても良い。また、放射状パターン81は、凹部ではなく凸部からなるものでもよい。

【0070】

また、デバイス予定エリアが正方形パターンの場合、電極をデバイス予定エリア中心部に設置することが一般的であるため、デバイス予定エリア中心部を放射状パターン 8 1 の中心 8 3 に対応する位置に設置することが好適である。ただし、放射状パターン 8 1 の中心 8 3 がデバイス予定エリア中心部にあることが好適である場合は電極が 1 個の場合であり、電極が複数設けられる場合は、この限りでは無い。熱膨張による材料伸縮方向や中心点は電極配置やデザインにより変わるが、接合面の任意の点を中心 8 3 とした放射状パターン 8 1 を設けたものであれば、本発明の効果が得られる。そのため、放射状パターン 8 1 の中心 8 3 は、必ずしも接合面の中心や重心に設定されることは必要なく、接合面の中心や重心に設定することに限定されない。

【 0 0 7 1 】

10

よって、放射状パターン 8 1 の中心 8 3 は、接合面 8 1 の任意の点であれば、特に限定されない。

【 0 0 7 2 】

また、例えば図 4 ( A ) に示すように、複数の凹部 8 2 は、中心 8 3 から遠ざかる方向において、連続的に延びたものでもよい。

【 0 0 7 3 】

すなわち、放射状パターン 8 1 は、凹部 8 2 または凸部の形状、並びに中心 8 3 の位置に関し、例えば図 2 及び図 4 ( A ) ~ ( E ) に示すように、様々な態様をとることができる。

【 0 0 7 4 】

20

[ 接合型半導体素子の製造方法 ]

本発明の接合型半導体素子の製造方法は、エピタキシャル層と、前記エピタキシャル層とは異なる材料の支持基板とが接合された接合型半導体素子の製造方法であって、前記エピタキシャル層の接合面及び前記支持基板の接合面の何れか一方に、任意の点を中心として放射状に広がる凹部または凸部からなる放射状パターンを設け、前記エピタキシャル層の前記接合面と前記支持基板の前記接合面とを向き合わせて、前記エピタキシャル層を前記支持基板に接合することを特徴とする。

【 0 0 7 5 】

このように凹部または凸部からなる放射状のパターンを接合面に設けて、エピタキシャル層と支持基板とを接合することにより、熱が加わった時の膨張の方向、または温度が下がった時の収縮の方向が、凹部または凸部に沿って進みやすくなり、膨張収縮方向を制御することが可能な接合型半導体素子を製造できる。その結果、本発明の接合型半導体素子の製造方法によって製造した接合型半導体素子は、温度の上昇・下降による剥離や破壊の発生を抑制できる。

30

【 0 0 7 6 】

本発明の接合型半導体素子の製造方法によると、先に説明した本発明の接合型半導体素子を製造することができる。

【 0 0 7 7 】

凹部の深さまたは凸部の高さ  $H$  が  $0.02 \mu\text{m}$  以上  $5 \mu\text{m}$  以下である前記放射状パターンを設けることが好ましい。

40

凹部の深さまたは凸部の高さ  $H$  が  $0.02 \mu\text{m}$  以上  $5 \mu\text{m}$  以下である放射状パターンを設けることにより、温度の上昇・下降による剥離や破壊の発生を更に抑制可能な接合型半導体素子を製造できる。

【 0 0 7 8 】

凸部からなる放射状パターンを形成しても、凹部からなる放射状パターンを形成しても構わない。先に説明したように、凹部の深さまたは凸部の高さを  $H$ 、幅を  $L$  とした時の  $H/L$  が 1 以上 50 以下とするのが好ましい。

【 0 0 7 9 】

中心から遠ざかる方向において連続的または離散的に延びる凹部または凸部を設けることができる。

50

このように、様々な形態の凹部または凸部からなる放射状パターンを形成することができる。

【0080】

この場合、放射状パターンをエピタキシャル層側に設けることが好ましい。エピタキシャル層側に放射状パターンを設けることにより、エピタキシャル層の膨張及び収縮方向をより制御でき、温度の上昇・下降による剥離や破壊の発生を更に抑制可能な接合型半導体素子を製造できる。

【0081】

放射状パターンは、例えば、エピタキシャル層の接合面に、フォトリソグラフィー法によって放射状パターンを形成し、形成したパターンに基づいて、ウェットエッチングまたはドライエッチングにより、凹部または凸部のパターンになるようにエッチングを行うことにより、形成することができる。

【0082】

ウェットエッチングの場合、例えば、接合面にフォトリソグラフィー法でレジストパターンを形成し、このレジストパターンをマスク材として、硫酸過水や有機酸過水の混合液や硝酸塩酸混合液でエッチングを行うことで、放射状パターンを形成することが可能である。

【0083】

ドライエッチングの場合は、上記レジストパターンをマスク材として、例えば塩素系プラズマを用いて処理することで、放射状パターンを形成可能である。

【0084】

以下に示す具体例では、放射状パターンの凹部を1.0 μm程度の深さまで形成しているが、これ以上の段差を設けても同様の効果が得られる。ただし、過水を混合した酸系エッチャントはレジストを侵すため、1.0 μm以上の段差を設ける場合は他のマスク材、たとえばSiO<sub>2</sub>等を用いることで形成可能である。

【0085】

エピタキシャル層の出発基板及び支持基板として、AlN、Al<sub>2</sub>O<sub>3</sub>、Cu、GaAs、GaN、GaP、InP、Si、SiC及びSiO<sub>2</sub>からなる群より選択されるいずれかの材料を含むものを用い、

エピタキシャル層の出発基板として、結晶構造を有する上記材料を含むものを用い、支持基板として、結晶構造または非晶質の構造を有する上記材料を含むものを用いることができる。

このような材料に対し、本発明を好適に採用することができる。

【0086】

前記エピタキシャル層を、金属膜または熱硬化型樹脂を介して前記支持基板に接合することができる。

エピタキシャル層と支持基板との間の接合層の接合材として、例えば金属膜または熱硬化型樹脂を用いることができる。金属膜及び熱硬化型樹脂の例としては、例えば先に説明したものをを用いることができる。

【0087】

次に、図面を参照しながら、本発明の接合型半導体素子、及び接合型半導体素子の製造方法の幾つかの実施形態を詳細に説明する。

【0088】

(第一の実施形態)

第一の実施形態として、図5～図12を参照しながら、エピタキシャル層がPV(Photovoltaic)構造を有する接合型半導体素子の一例、及びその製造方法の一例を説明する。

【0089】

まず、図5に示す、出発基板1とエピタキシャル層10との間にエッチストップ層2を配し、エピタキシャル層10がPV(Photovoltaic)構造を有するエピタキシ

10

20

30

40

50

シャルウェーハ（P Vエピタキシャルウェーハ）200を準備する。

【0090】

P Vエピタキシャルウェーハ200は、p型GaAs出発基板1上に、膜厚が0.2 μmであるp-In<sub>x</sub>Ga<sub>1-x</sub>P(0.4 x 0.6)エッチストップ層2、膜厚が0.1 μmであるp-GaAsコンタクト層3、膜厚が0.1 μmであるp-In<sub>x</sub>Ga<sub>1-x</sub>P(0.4 x 0.6)ウィンドウ層4、膜厚が0.5 μmであるp-GaAsエミッタ層5、膜厚が3.5 μmであるn-GaAsベース層6、膜厚が0.1 μmであるp-In<sub>x</sub>Ga<sub>1-x</sub>P(0.4 x 0.6)のBSF層7、及びGaAs凹凸形成層8の順に形成することで準備する。

【0091】

次に、デバイス予定エリア・サイズに沿ってエピタキシャルウェーハ200の表面であるGaAs凹凸形成層8に放射状パターンをフォトリソグラフィにて形成し、形成したパターンに基づいて、ウェットまたはドライエッチングにより、凹部または凸部からなる放射状パターンになるようにエッチングする。図6では、凹凸形成層8の表面である接合面80に、断面形状が矩形である複数の凹部82からなる放射状パターン81を形成した例を示している。

【0092】

放射状パターン81は、凹部82の深さを0.02~5.0 μmの範囲内で設けることが好適である。このような放射状パターン81は、例えば、レジストパターンをマスク材とし、硫酸過水や有機酸過水の混合液でエッチングを行うことで形成可能である。

【0093】

例示では放射状パターン81を段差が1.0 μm程度となるまで形成しているが、これ以上の段差を設けても同様の効果が得られる。ただし、過水を混合した酸系エッチャントはレジストを侵すため、1.0 μm以上の段差を設ける場合は他のマスク材、たとえばSiO<sub>2</sub>等を用いることで形成可能である。

【0094】

この実施形態では複数の凹部82からなる放射状パターン81を例示しているが、放射状パターン81は凸部からなっても、凹部からなってもどちらでも構わない。ただし、パターンの横幅と深さ（段差）のサイズ及びアスペクト比は接合材が侵入できるものに設定しておく必要がある。凹部の深さまたは凸部の高さをH、幅をLとした時のH/L

【0095】

本実施形態においては、図4(A)に示す放射状パターン81を形成している。より詳細には、形成した放射状パターン81は、デバイス予定エリアよりオフセットした位置に放射状パターン81の中心83があるパターンとしている。

【0096】

次に、図7に示すように、放射状パターン81を形成した凹凸形成層8の表面である接合面80上に、接合金属膜31を形成する。接合金属膜31は、例えばTi/Auから成る金属層で形成することができる。Ti層厚は例えば0.1 μm、Au層は例えば1.0 μmとすることができる。

【0097】

なお、接合金属膜31としては、例えば、Auを始めAg、Al、Cu、Ga、In等を少なくとも一種以上含む軟金属を含むものを用いることができる。軟金属としては、どのような材料でも選択可能である。

【0098】

また、接合金属膜を用いて接合する以外に、ベンゾシクロブテン(BCB)やポリイミド(PI)等の熱硬化型樹脂を用いて接合してもよい。

【0099】

次に、支持基板(被接合基板)20としてシリコンウェーハを準備し、図8に示すように、この支持基板20の表面にTi/Auから成る接合金属膜32を形成する。Ti層厚は

10

20

30

40

50

例えば  $0.1 \mu\text{m}$ 、Au層は例えば  $1.0 \mu\text{m}$  とすることができる。

【0100】

なお、接合金属膜32としては、接合金属膜31と同様に、例えば、Auを始めAg、Al、Cu、Ga、In等を少なくとも一種以上含む軟金属を含むものを用いることができる。軟金属としては、どのような材料でも選択可能である。

【0101】

また、接合金属膜31または32は、オーミックコンタクトを容易ならしめるGeやSiなどを含む金属層を2層以上有する構造としても良い。また、電気的コンタクトを容易にするため、半導体とTi層の間にNi含有層を設けた構造としても同様の効果が得られる。

10

【0102】

次に、図9に示すように、接合金属膜31を有するエピタキシャルウェーハ200と、接合金属膜32を有する支持基板20とを接合金属膜31及び32同士を対向させ、重ね合わせて熱圧着する。接合金属にAuを主体とする金属層を用いた場合の接合温度は  $300 \sim 450$  程度の範囲内で行うことが好適である。また、接合圧力部は  $50 \sim 500 \text{ N/cm}^2$  以上で接合することが好適である。

【0103】

前記条件は接合強度を十分に得るために好適な条件であり、この範囲外の低温、もしくは高温であったり、小さな接合圧力もしくは高い接合圧力であってもよい。

【0104】

接合後、アンモニア過水系エッチャントで出発基板1 (GaAs) を除去し、出発基板1除去後、p-InGaPエッチングストップ層2を塩酸系エッチャントで除去し、図10に示すように、p-GaAsコンタクト層3を露出させる。これにより、図10に示す、エピタキシャル層10と支持基板20とが金属接合層31及び32からなる接合層30を介して接合された、本発明の第一の実施形態の接合型半導体素子100が得られる。

20

【0105】

次に、図11に示すように、p-GaAsコンタクト層3上に通電用の電極40を形成する。

【0106】

電極40は、図12に示すように、ボンディングパッド用の半円形の電極41を配置し、ボンディングパッド用の電極41から延びた、電流取り出し用の枝電極42を有する構成とする。

30

【0107】

電極40は、p-GaAsコンタクト層3に接する層から順に、ZnドープAu層、Ti層、Au層の順で配置することができる。ZnドープAu層厚は例えば  $0.1 \mu\text{m}$ 、Ti層は例えば  $0.1 \mu\text{m}$ 、Au層は例えば  $2.0 \mu\text{m}$  とすることができる。

【0108】

(第二の実施形態)

第二の実施形態として、図13～図21を参照しながら、エピタキシャル層がLED構造を有する接合型半導体素子の一例、及びその製造方法の一例を説明する。

40

【0109】

まず、図13に示す、出発基板1とエピタキシャル層10との間にエッチストップ層2を配し、エピタキシャル層10がLED構造を有するエピタキシャルウェーハ(LEDエピタキシャルウェーハ)200を準備する。

【0110】

LEDエピタキシャルウェーハ200として、図13に示すように、p型GaAs出発基板1上に、p-In<sub>x</sub>Ga<sub>1-x</sub>P ( $0.4 < x < 0.6$ ) エッチストップ層2、p-GaAsコンタクト層3、p-(Al<sub>y</sub>Ga<sub>1-y</sub>)<sub>z</sub>In<sub>1-z</sub>P ( $0 < y < 1, 0.4 < z < 0.6$ ) クラッド層9、i-(Al<sub>y</sub>Ga<sub>1-y</sub>)<sub>z</sub>In<sub>1-z</sub>P ( $0 < y < 0.4, 0.4 < z < 0.6$ ) 活性層(エミッタ層)5、n-(Al<sub>y</sub>Ga<sub>1-y</sub>)<sub>z</sub>In

50

$1 - z$  P ( $0 < y \leq 1$ ,  $0.4 \leq z \leq 0.6$ ) クラッド層 9、 $n - \text{In}_x \text{Ga}_{1-x}$  P ( $0.5 < x < 1.0$ ) 中間層 11、 $n - \text{GaP}$  窓層兼凹凸形成層 4a の順に形成したものを準備する。

【0111】

次に、デバイス予定エリア・サイズに沿ってエピタキシャルウェーハ 200 の表面である  $n - \text{GaP}$  窓層兼凹凸形成層 4a に放射状パターンをフォトリソグラフィ法にて形成し、形成した放射状パターンに基づいて、ウェットまたはドライエッチングにより、凹部または凸部からなる放射状パターンになるようにエッチングする。図 14 では、窓層兼凹凸形成層 4a の表面である接合面 80 に、断面形状が矩形である複数の凹部 82 からなる放射状パターン 81 を形成した例を示している。

10

【0112】

放射状パターン 81 は、凹部 82 の深さを  $0.02 \sim 5.0 \mu\text{m}$  の範囲内で設けることが好適である。このような放射状パターン 81 は、例えば、レジストパターンをマスク材とし、ウェットエッチングの場合は硝酸塩酸混合液にて、ドライエッチングの場合は塩素系プラズマを用いて処理することで形成可能である。

【0113】

例示では放射状パターン 81 を段差が  $1.0 \mu\text{m}$  程度となるまで形成しているが、これ以上の段差を設けても同様の効果が得られる。

【0114】

この実施形態では複数の凹部 82 からなる放射状パターン 81 を例示しているが、放射状パターン 81 は凸部からなっている場合でも、凹部からなっている場合でもどちらでも構わない。ただし、パターンの横幅と深さ（段差）のサイズ及びアスペクト比は接合材が侵入できるものに設定しておく必要がある。凹部の深さまたは凸部の高さを  $H$ 、幅を  $L$  とした時の  $H/L$  が 1 以上 50 以下とするのが好ましい。

20

【0115】

本実施形態においては、図 4 (E) に示す放射状パターン 81 を形成している。形成した放射状パターン 81 は、デバイス予定エリアよりややオフセットした位置に放射状パターン 81 の中心部 83 があるパターンとしている。

【0116】

次に、放射状パターン 81 を形成した窓層兼凹凸形成層 4a の表面である接合面 80 に、図 15 に示すように BCB からなる接合層 30 をスピコートにより形成する。

30

【0117】

BCB からなる接合層 30 の厚さは例えば  $2.0 \mu\text{m}$  とすることができる。厚さはあくまで例示であり、放射状パターン 81 の段差以上であればいかなる膜厚も選択可能である。また、本実施形態においては BCB を接合層 30 の接合材として例示したが、PI やゾルゲル液、低誘電ガラス等、他の透光性熱硬化材を用いても同様の効果が得られる。

【0118】

また、BCB を接合材とする他に、金属接合層を接合材に用いてもよい。

【0119】

次に、支持基板（被接合基板）20 としてサファイア基板を準備する。

40

【0120】

次に、図 16 に示すように、BCB 接合層 30 を有するエピタキシャルウェーハ 200 と支持基板 20 とを BCB 接合層 30 を挟む形で対向させ、重ね合わせて熱圧着する。

【0121】

なお、支持基板 20 上には BCB 接合材を塗布してもしなくてもよい。また、エピタキシャルウェーハ 200 側に BCB 接合材を塗布しないで、支持基板 20 上のみに塗布してもよい。

【0122】

接合材に BCB を用いる場合、熱圧着は、 $150 \sim 400$  の範囲内で行うことが好適である。また、接合圧力部は  $50 \sim 500 \text{ N/cm}^2$  以上で接合することが好適である。

50

## 【0123】

前記条件は接合強度を十分に得るために好適な条件であり、この範囲外の低温、もしくは高温であったり、小さな接合圧力もしくは高い接合圧力であってもよい。

## 【0124】

接合後、アンモニア過水系エッチャントで出発基板 (GaAs) 1 を除去し、出発基板 1 除去後、p-InGaP エッチングストップ層 2 を塩酸系エッチャントで除去し、p-GaAs コンタクト層 3 を露出させる。これにより、図 17 に示す、エピタキシャル層 10 と支持基板 20 とが接合層 30 を介して接合された、本発明の第二の実施形態の接合型半導体素子 100 が得られる。

## 【0125】

次に、図 18 に示すように、p-GaAs コンタクト層 3 上に通電用の上部電極 40 を形成し、電極 40 以外の領域の p-GaAs コンタクト層 3 を硫酸過水等で除去する。

## 【0126】

上部電極 40 は、図 21 に示すように、ボンディングパッド用の円形の電極 41 を配置し、ボンディングパッド用の電極 41 から延びた、電流取り出し用の枝電極 42 を有する構成とする。

## 【0127】

次に、エピタキシャル層 10 の電極 40 形成領域外の一部を切り欠き、図 19 に示すように、n-GaP 窓層兼凹凸形成層 4a の一部を露出させる。

## 【0128】

次に、図 20 に示すように、露出された n-GaP 窓層兼凹凸形成層 4a の一部に下部電極 50 を形成する。図 21 は、下部電極 50 を形成した後の、第二の実施形態に係る接合型半導体素子の概略平面図である。

## 【0129】

上部電極 40 は、p-GaAs コンタクト層 3 に接する層から順に、ZnドープAu層、Ti層、Au層の順で配置することができる。ZnドープAu層厚は例えば  $0.1 \mu\text{m}$ 、Ti層は例えば  $0.1 \mu\text{m}$ 、Au層は例えば  $2.0 \mu\text{m}$  とすることができる。

## 【0130】

また、下部電極 50 は、n-GaP 窓層兼凹凸形成層 4a に接する層から順に、GeドープAu層、Ni層、Ti層、Au層の順で配置することができる。GeドープAu層厚は例えば  $0.1 \mu\text{m}$ 、Ni層は例えば  $0.1 \mu\text{m}$ 、Ti層は例えば  $0.1 \mu\text{m}$ 、Au層は例えば  $2.0 \mu\text{m}$  とすることができる。

## 【0131】

(第三の実施形態)

第三の実施形態として、図 22 ~ 図 28 を参照しながら、エピタキシャル層が HEMT 構造を有する接合型半導体素子の一例、及びその製造方法の一例を説明する。

## 【0132】

まず、図 22 に示す、出発基板 1 とエピタキシャル層 10 の間にエッチストップ層 2 を配し、エピタキシャル層 10 が HEMT 構造を有するエピタキシャルウェーハ (HEMT エピタキシャルウェーハ) 200 を準備する。

## 【0133】

HEMT エピタキシャルウェーハ 200 としては、図 22 に示すように、n型 InP 出発基板 1 上に、 $n^+ - \text{In}_x\text{Ga}_{1-x}\text{As}$  ( $0.4 < x < 0.6$ ) エッチストップ層 2a 及び  $n^+ - \text{InP}$  エッチストップ層 2b からなるエッチストップ層 2、 $n^+ - \text{InGaAs}$  コンタクト層 12、 $n^+ - \text{InAlAs}$  層 13、i-InAlAs 層 14、i-InP エッチストップ層 15、Siデルタドープ (ドープ) 層 16b 及びこれを間に挟む 2 層の i-InAlAs 層 16a を含む i-InAlAs 含有層 16、i-InGaAs 層 17、i-InAlAs 凹凸形成層 8 をこの順に形成することで、準備することができる。

## 【0134】

次に、デバイス予定エリア・サイズに沿ってエピタキシャルウェーハ 200 の表面である

10

20

30

40

50

i - In Al As 凹凸形成層 8 に放射状パターンをフォトリソグラフィ法にて形成し、形成したパターンに基づいて、ウェットまたはドライエッチングにより、凹部または凸部からなる放射状パターンになるようにエッチングする。図 23 では、凹凸形成層 8 の表面である接合面 80 に、断面形状が矩形である複数の凹部 82 からなる放射状パターン 81 を形成した例を示している。

【0135】

本実施形態においては、図 2 に示す放射状パターン 81 を形成している。形成した放射状パターン 81 は、デバイス予定エリアの中心部の位置に放射状パターン 81 の中心部 83 があるパターンとしている。

【0136】

放射状パターン 81 は、凹部 82 の深さを  $0.02 \sim 5.0 \mu\text{m}$  の範囲内で設けることが好適である。このような放射状パターン 81 は、例えば、レジストパターンをマスク材とし、ウェットエッチングの場合は硝酸塩酸混合液にて、ドライエッチングの場合は塩素系プラズマを用いて処理することで形成可能である。

【0137】

例示では放射状パターン 81 を段差が  $1.0 \mu\text{m}$  程度となるまで形成しているが、これ以上の段差を設けても同様の効果が得られる。

【0138】

この実施形態では複数の凹部 82 からなる放射状パターン 81 を例示しているが、放射状パターン 81 は凸部からなっていない、凹部からなっていない、どちらでも構わない。ただし、パターンの横幅と深さ（段差）のサイズ及びアスペクト比は接合材が侵入できるように設定しておく必要がある。凹部の深さまたは凸部の高さを H、幅を L とした時の  $H/L$  が 1 以上 50 以下とするのが好ましい。

【0139】

次に、放射状パターン 81 を形成した凹凸形成層 8 の表面である接合面 80 に、図 24 に示すように BCB からなる接合層 30 をスピンコートにより形成する。

【0140】

なお、BCB からなる接合層 30 の厚さは例えば  $2.0 \mu\text{m}$  とすることができる。また、本実施形態においては BCB を接合層 30 の接合材として例示したが、PI やゾルゲル液、低誘電ガラス等、他の透光性熱硬化材を用いても同様の効果が得られる。

【0141】

また、BCB を接合材とする他に、金属接合層を接合材に用いてもよい。

【0142】

次に、支持基板（被接合基板）20 としてシリコンウェーハを準備する。

【0143】

次に、図 25 に示すように、BCB 接合層 30 を有するエピタキシャルウェーハ 200 とシリコンウェーハ（支持基板）20 とを BCB 接合層 30 を挟む形で対向させ、重ね合わせて熱圧着する。

【0144】

なお、支持基板 20 上には BCB 接合材を塗布してもしなくてもよい。また、エピタキシャルウェーハ 200 側に BCB 接合材を塗布しないで、支持基板 20 上のみに塗布してもよい。

【0145】

接合材に BCB を用いる場合、熱圧着は、 $150 \sim 400$  の範囲内で行うことが好適である。また、接合圧力部は  $50 \sim 500 \text{ N/cm}^2$  以上で接合することが好適である。

【0146】

前記条件は接合強度を十分に得るために好適な条件であり、この範囲外の低温、もしくは高温であったり、小さな接合圧力もしくは高い接合圧力であってもよい。

【0147】

接合後、塩酸水にて出発基板（InP）1 を除去し、出発基板 1 除去後、 $n^+ - \text{InGa}$

10

20

30

40

50

A s エッチングストップ層 2 a をリン酸過水にて除去し、ついで  $n^+ - InP$  エッチングストップ層 2 b を塩酸水で除去して、 $n^+ - InGaAs$  層 1 2 を露出させる。これにより、図 2 6 に示す、エピタキシャル層 1 0 と支持基板 2 0 とが接合層 3 0 を介して接合された、本発明の第三の実施形態の接合型半導体素子 1 0 0 が得られる。

【0148】

次に、フォトリソグラフィー法により、エピタキシャル層 1 0 の  $n^+ - InGaAs$  層 1 2 側に、ゲート領域に対応する部分が開口したレジストパターンを形成する。このレジストパターンをマスクとして、燐酸過水にて、 $n^+ - InGaAs$  層 1 2 から  $i - InAlAs$  層 1 4 までのうち、レジストパターンの開口部に対応する部分を除去する。燐酸過水は  $InP$  に対してエッチング選択性があるため、塩酸水にて  $InP$  層 1 5 の一部を除去して、 $InP$  層 1 5 の下層である  $i - InAlAs$  層 1 6 a を露出させた後、レジストを剥離する。

10

【0149】

次に、 $SiN_x$  ( $0 < x < 2$ ) 層 1 8 を  $n^+ - InGaAs$  層 1 2 上のゲート領域及びその周辺に対応する部分に 100 nm 堆積する。次いで、ドレイン領域、ソース領域、ゲート領域が開口したレジストパターンをフォトリソグラフィー法にて形成し、弗酸含有液でパターンニング後、レジストを剥離する。より具体的には、フォトリソグラフィーにて図 2 7 に示す所望のパターン 3 0 0 を形成し、電極材料を蒸着後、リフトオフを行って、図 2 8 に示すように、ソース電極 4 4、ドレイン電極 4 5、ゲート電極 4 3 を一括で形成する。電極の構造は、例えば、Pt 層を例えば  $0.1 \mu m$ 、Ti 層を例えば  $0.1 \mu m$ 、Au 層を例えば  $1.0 \mu m$  をそれぞれ積層したものとすることができる。

20

【0150】

以上のようにして、ゲート領域 1 0 1、ソース領域 1 0 2 及びドレイン領域 1 0 3 を含み、エピタキシャル層が HEMT 構造を有する接合型半導体素子 1 0 0 が得られる。

【実施例】

【0151】

以下、実施例及び比較例を用いて本発明を具体的に説明するが、本発明はこれらに限定されるものではない。

【0152】

(実施例 1)

実施例 1 では、以下の手順で、図 1 1 に示す構造と同様の構造を有する接合型半導体素子を作製した。

30

【0153】

まず、図 5 に示す構造と同様の、 $p$  型  $GaAs$  出発基板 1 とエピタキシャル層 1 0 の間にエッチストップ層 2 を配し、エピタキシャル層 1 0 が PV (Photovoltaic) 構造を有する PV エピタキシャルウェーハ 2 0 0 を準備した。

【0154】

PV エピタキシャルウェーハ 2 0 0 は、 $p$  型  $GaAs$  出発基板 1 上に、膜厚が  $0.2 \mu m$  である  $p - InGaP$  エッチストップ層 2、膜厚が  $0.1 \mu m$  である  $p - GaAs$  コンタクト層 3、膜厚が  $0.1 \mu m$  である  $p - InGaP$  ウィンドウ層 4、膜厚が  $0.5 \mu m$  である  $p - GaAs$  エミッタ層 5、膜厚が  $3.5 \mu m$  である  $n - GaAs$  ベース層 6、膜厚が  $0.1 \mu m$  である  $p - InGaP$  の BSF 層 7、 $GaAs$  凹凸形成層 8 の順に形成することで準備した。

40

【0155】

次に、デバイス予定エリア・サイズに沿ってエピタキシャルウェーハ 2 0 0 の表面である  $GaAs$  凹凸形成層 8 に図 4 (A) に示したのと同様の放射状パターンをフォトリソグラフィー法にて形成し、形成したパターンに基づいて、凹部 8 2 からなる放射状パターン 8 1 を、ドライエッチングにより形成した (図 6)。形成した放射状パターン 8 1 は、図 4 (A) に示したように、デバイス予定エリアよりオフセットした位置に放射状パターンの中心 8 3 があるパターンとした。

50

## 【 0 1 5 6 】

実施例 1 では、凹部 8 2 の深さを  $0.01 \mu\text{m}$  とした。なお、幅は深さと同じとした。

## 【 0 1 5 7 】

次に、図 7 に示したように、放射状パターン 8 1 を形成した凹凸形成層 8 の表面である接合面 8 0 上に、接合金属膜 3 1 を形成した。接合金属膜 3 1 は  $\text{Ti} / \text{Au}$  から成る金属層で形成した。 $\text{Ti}$  層厚は  $0.1 \mu\text{m}$ 、 $\text{Au}$  層は  $1.0 \mu\text{m}$  とした。

## 【 0 1 5 8 】

次に、支持基板（被接合基板）2 0 としてシリコンウェーハを準備し、図 8 に示すように、この支持基板 2 0 表面に  $\text{Ti} / \text{Au}$  から成る接合金属層 3 2 を形成した。 $\text{Ti}$  層厚は  $0.1 \mu\text{m}$ 、 $\text{Au}$  層は  $1.0 \mu\text{m}$  とした。

10

## 【 0 1 5 9 】

次に、図 9 に示したように、接合金属膜 3 1 を有するエピタキシャルウェーハ 2 0 0 と接合金属膜 3 2 を有する支持基板 2 0 とを接合金属膜 3 1 及び 3 2 同士を対向させ、 $350$  の温度、 $300 \text{N} / \text{cm}^2$  の圧力で熱圧着により接合した。

## 【 0 1 6 0 】

接合後、アンモニア過水系エッチャントで出発基板 1 ( $\text{GaAs}$ ) を除去し、出発基板 1 除去後、 $p\text{-InGaP}$  エッチングストップ層 2 を塩酸系エッチャントで除去し、図 1 0 に示したように、 $p\text{-GaAs}$  コンタクト層 3 を露出させた。これにより、図 1 0 に示した、エピタキシャル層 1 0 と支持基板 2 0 とが、接合金属膜 3 1 及び 3 2 からなる接合層 3 0 を介して接合された、接合型半導体素子 1 0 0 が得られた。

20

## 【 0 1 6 1 】

次に、図 1 1 に示したように、 $p\text{-GaAs}$  コンタクト層 3 上に通電用の電極 4 0 を形成した。

## 【 0 1 6 2 】

電極 4 0 は、図 1 2 に示したように、ボンディングパッド用の半円形の電極 4 1 を配置し、ボンディングパッド用の電極 4 1 から延びた、電流取り出し用の枝電極 4 2 を有する構成とした。

## 【 0 1 6 3 】

電極 4 0 は、 $p\text{-GaAs}$  コンタクト層 3 に接する層から順に、 $\text{Zn}$  ドープ  $\text{Au}$  層、 $\text{Ti}$  層、 $\text{Au}$  層の順で配置した。 $\text{Zn}$  ドープ  $\text{Au}$  層厚は  $0.1 \mu\text{m}$ 、 $\text{Ti}$  層は  $0.1 \mu\text{m}$ 、 $\text{Au}$  層は  $2.0 \mu\text{m}$  とした。

30

## 【 0 1 6 4 】

以上のようにして、図 1 1 に示したのと同様の構造を有する接合型半導体素子 1 0 0 を得た。

## 【 0 1 6 5 】

（実施例 2 ~ 1 1）

実施例 2 ~ 1 1 では、放射状パターン 8 1 の凹部の深さを、 $0.02 \mu\text{m}$ （実施例 2）、 $0.05 \mu\text{m}$ （実施例 3）、 $0.1 \mu\text{m}$ （実施例 4）、 $0.2 \mu\text{m}$ （実施例 5）、 $0.5 \mu\text{m}$ （実施例 6）、 $1.0 \mu\text{m}$ （実施例 7）、 $2.0 \mu\text{m}$ （実施例 8）、 $5.0 \mu\text{m}$ （実施例 9）、 $6.0 \mu\text{m}$ （実施例 1 0）、 $10 \mu\text{m}$ （実施例 1 1）に変化させたこと以外は、実施例 1 と同様の手順で、図 1 1 に示したのと同様の構造を有する接合型半導体素子 1 0 0 を得た。

40

## 【 0 1 6 6 】

（評価）

実施例 1 ~ 1 1 で得られた接合型半導体素子 1 0 0 をダイシングによりチップ化し、電極に配線を行い、封止材を注入してパッケージングを行った。封止材を軟化するため、軟化点以上の温度まで熱を加えて注入を行った。また、注入後は室温まで封止材の温度を下げ、パッケージングを行なった。その時の、凹部 8 1 の深さとチップ割れ率との関係を図 2 9 に示す。

## 【 0 1 6 7 】

50

(実施例 12)

放射状パターン 81 を高さ  $1\ \mu\text{m}$  の複数の凸部からなる放射状パターンとしたこと以外は実施例 1 と同様のチップを作製し、実施例 1 と同様のパッケージングを行った。実施例 12 では、チップ割れは発生しなかった。

【0168】

(比較例 1)

放射状パターン 81 を形成しなかったこと以外は実施例 1 と同様のチップを作製し、実施例 1 と同様のパッケージングを行った。比較例 1 では、チップ割れが 35% 発生した。

【0169】

以上の結果、及び図 29 に示した結果から明らかなように、接合面に放射状パターンを形成した実施例 1 ~ 12 は、接合面に放射状パターンを形成しなかった比較例 1 よりも、温度の上昇・下降による剥離や破壊の発生を抑制できた。特に、凹部の深さが  $0.02\ \mu\text{m}$  ~  $5\ \mu\text{m}$  での結果が良かったことが分かる。また、実施例 7 と実施例 12 との比較から、放射状パターンが凹部からなっている、凸部からなっている、同様に、温度の上昇・下降による剥離や破壊の発生を抑制できたことが分かる。

【0170】

(実施例 13)

実施例 13 では、以下の手順で、図 20 に示す構造と同様の構造を有する接合型半導体素子を作製した。

【0171】

まず、図 13 に示したのと同様の、p 型 GaAs 出発基板 1 とエピタキシャル層 10 の間にエッチストップ層 2 を配し、エピタキシャル層 10 が LED 構造を有する LED エピタキシャルウェーハ 200 を準備した。

【0172】

LED エピタキシャルウェーハ 200 として、図 13 に示したように、p 型 GaAs 基板 1 上に、p-InGaP エッチストップ層 2、p-GaAs コンタクト層 3、p-AlGaInP クラッド層 9、i-AlGaInP 活性層 5、n-AlGaInP クラッド層 9、n-InGaP 中間層 11、n-GaP 窓層兼凹凸形成層 4a の順に形成したものを準備した。

【0173】

次に、デバイス予定エリア・サイズに沿ってエピタキシャルウェーハ 200 表面である GaP 窓層兼凹凸形成層 4a に放射状パターンをフォトリソグラフィー法にて形成し、形成した放射状パターンに基づいて、塩素系プラズマを用いて、図 14 に示したように、深さ  $1\ \mu\text{m}$ 、幅  $1\ \mu\text{m}$  の凹部 82 からなる放射状パターン 81 をドライエッチングにより形成した。得られた放射状パターン 81 は、図 4 (E) に示したものと同様のパターンとした。

【0174】

次に、放射状パターン 81 を形成した窓層兼凹凸形成層 4a の表面である接合面 80 に、図 15 に示したように、厚さ  $2.0\ \mu\text{m}$  の BCB からなる接合層 30 をスピンコートにより形成した。

【0175】

次に、支持基板 (被接合基板) 20 としてサファイア基板を準備し、図 16 に示すように、BCB 接合層 30 を有するエピタキシャルウェーハ 200 と支持基板 20 とを BCB 接合層 30 を挟む形で対向させ、重ね合わせて  $350$  の温度、 $300\ \text{N}/\text{cm}^2$  の圧力で熱圧着により接合した。

【0176】

接合後、アンモニア過水系エッチャントで出発基板 (GaAs) 1 を除去し、出発基板 1 除去後、p-InGaP エッチングストップ層 2 を塩酸系エッチャントで除去し、p-GaAs コンタクト層 3 を露出させた。これにより、図 17 に示した、エピタキシャル層 10 と支持基板 20 とが接合層 30 を介して接合された、接合型半導体素子 100 が得られ

10

20

30

40

50

た。

【0177】

次に、図18に示したように、p-GaAsコンタクト層3上に通電用の上部電極40を形成し、電極40以外の領域のp-GaAsコンタクト層3を硫酸過水等で除去した。

【0178】

上部電極40は、図21に示すように、ボンディングパッド用の円形の電極41を配置し、ボンディングパッド用の電極41から延びた、電流取り出し用の枝電極42を有する構成とした。

【0179】

次に、エピタキシャル層10の電極40形成領域外の一部を切り欠き、図19に示すように、n-GaP窓層兼凹凸形成層4aの一部を露出させた。 10

【0180】

次に、図20に示すように、露出させたn-GaP窓層兼凹凸形成層4aの一部に下部電極50を形成した。

【0181】

上部電極40は、p-GaAsコンタクト層3に接する層から順に、ZnドープAu層、Ti層、Au層の順で配置した。ZnドープAu層厚は0.1 $\mu$ m、Ti層は0.1 $\mu$ m、Au層は2.0 $\mu$ mとした。

【0182】

下部電極50は、n-GaP窓層兼凹凸形成層4aに接する層から順に、GeドープAu層、Ni層、Ti層、Au層の順で配置した。GeドープAu層厚は0.1 $\mu$ m、Ni層は0.1 $\mu$ m、Ti層は0.1 $\mu$ m、Au層は2.0 $\mu$ mとした。 20

【0183】

以上のようにして、図20に示したのと同様の構造を有する接合型半導体素子100を得た。

【0184】

(評価)

実施例13で得られた接合型半導体素子100をダイシングによりチップ化し、電極に配線を行い、封止材を注入してパッケージングを行った。封止材を軟化するため、軟化点以上の温度まで熱を加えて注入を行った。また、注入後は室温まで封止材の温度を下げ、パッケージングを行なった。そして、チップ割れを調査したところチップ割れは発生しなかった。 30

【0185】

(実施例14)

放射状パターン81を高さ1 $\mu$ mの複数の凸部からなる放射状パターンとすること以外は実施例13と同様のチップを作製し、実施例13と同様のパッケージングを行った。実施例14では、チップ割れは発生しなかった。

【0186】

(比較例2)

放射状パターン81を形成しなかったこと以外は実施例13と同様のチップを作製し、実施例13と同様のパッケージングを行った。比較例2では、チップ割れが30%発生した。 40

【0187】

以上の結果から明らかなように、接合面に放射状パターンを形成した実施例13及び14は、接合面に放射状パターンを形成しなかった比較例2よりも、温度の上昇・下降による剥離や破壊の発生を抑制できた。また、実施例13と実施例14との比較から、放射状パターンが凹部からなっている場合、凸部からなっている場合、同様に、温度の上昇・下降による剥離や破壊の発生を抑制できたことが分かる。

【0188】

(実施例15)

実施例 15 では、以下の手順で、図 28 に示した構造と同様の構造を有する接合型半導体素子を作製した。

【0189】

まず、図 22 に示したのと同様の、 $n$  型  $\text{InP}$  出発基板 1 とエピタキシャル層 10 の間にエッチストップ層 2 を配し、エピタキシャル層 10 が HEMT 構造を有する HEMT エピタキシャルウェーハ 200 を準備した。

【0190】

HEMT エピタキシャルウェーハ 200 として、図 22 に示したように、 $n$  型  $\text{InP}$  出発基板 1 上に、 $n^+$ - $\text{InGaAs}$  エッチストップ層 2a 及び  $n$ - $\text{InP}$  エッチストップ層 2b からなるエッチストップ層 2、 $n^+$ - $\text{InGaAs}$  コンタクト層 12、 $n^+$ - $\text{InAlAs}$  層 13、 $i$ - $\text{InAlAs}$  層 14、 $i$ - $\text{InP}$  エッチストップ層 15、 $\text{Si}$  デルタドープ層 16b 及びこれを間に挟む 2 層の  $i$ - $\text{InAlAs}$  層 16a を含む  $i$ - $\text{InAlAs}$  含有層 16、 $i$ - $\text{InGaAs}$  層 7、 $i$ - $\text{InAlAs}$  凹凸形成層 8 の順に形成したものを準備した。

10

【0191】

次に、デバイス予定エリア・サイズに沿ってエピタキシャルウェーハ 200 の表面である  $i$ - $\text{InAlAs}$  凹凸形成層 8 に図 2 に示したのと同様の放射状パターンをフォトリソグラフィ法にて形成し、形成したパターンに基づき、塩素系プラズマを用いて、図 23 に示したように、深さ  $1\ \mu\text{m}$ 、幅  $1\ \mu\text{m}$  の複数の凹部 82 からなる放射状パターン 81 をドライエッチングにより形成した。得られた放射状パターン 81 は、図 2 に示したのと同様のパターンとした。

20

【0192】

次に、放射状パターン 81 を形成した凹凸形成層 8 の表面である接合面 80 に、図 24 に示したように厚さ  $2.0\ \mu\text{m}$  の BCB からなる接合層 30 をスピンコートにより形成した。

【0193】

次に、支持基板（被接合基板）としてシリコンウェーハを準備し、図 25 に示すように、BCB 接合層 30 を有するエピタキシャルウェーハ 200 と支持基板 20 とを BCB 接合層 30 を挟む形で対向させ、重ね合わせて  $350$  の温度、 $300\ \text{N}/\text{cm}^2$  の圧力で熱圧着により接合した。

30

【0194】

接合後、塩酸水にて出発基板（ $\text{InP}$ ）1 を除去し、出発基板 1 除去後、 $n^+$ - $\text{InGaAs}$  エッチングストップ層 2a をリン酸過水にて除去し、ついで  $n^+$ - $\text{InP}$  エッチングストップ層 2b を塩酸水で除去して、 $n^+$ - $\text{InGaAs}$  層 12 を露出させた。これにより、図 26 に示した、エピタキシャル層 10 と支持基板 20 とが接合層 30 を介して接合された、接合型半導体素子 100 が得られた。

【0195】

次に、フォトリソグラフィ法により、エピタキシャル層 10 の  $n^+$ - $\text{InGaAs}$  層 12 側に、ゲート領域に対応する部分が開口したレジストパターンを形成した。このレジストパターンをマスクとして、燐酸過水にて  $n^+$ - $\text{InGaAs}$  層 12 から  $i$ - $\text{InAlAs}$  層 14 までのうち、レジストパターンの開口部に対応する部分を除去した。次いで、塩酸水にて  $\text{InP}$  層 15 の一部を除去して、 $\text{InP}$  15 の下層である  $i$ - $\text{InAlAs}$  層 16a を露出させた後、レジストを剥離した。

40

【0196】

次に、 $\text{SiN}_x$  ( $0 < x \leq 2$ ) 層 18 を  $n^+$ - $\text{InGaAs}$  層 12 上のゲート領域及びその周辺に対応する部分に  $100\ \text{nm}$  堆積した。次いで、ドレイン領域、ソース領域、ゲート領域が開口したレジストパターンをフォトリソグラフィ法にて形成し、弗酸含有液でパターンング後、レジストを剥離した。より具体的には、フォトリソグラフィ法にて図 27 に示した所望のパターン 300 を形成し、電極材料を蒸着後、リフトオフを行って、図 28 に示したように、ソース電極 44、ドレイン電極 45、ゲート電極 43 を一括で形成

50

した。電極の構造は、Pt層0.1 $\mu$ m、Ti層0.1 $\mu$ m、Au層1.0 $\mu$ mをそれぞれ積層したものとした。

【0197】

以上のようにして、図28に示した、ゲート領域101、ソース領域102及びドレイン領域103を含む、エピタキシャル層がHEMT構造を有する接合型半導体素子100を得た。

【0198】

(評価)

実施例15で得られた接合型半導体素子100をダイシングによりチップ化し、電極に配線を行い、封止材を注入してパッケージングを行った。封止材を軟化するため、軟化点以上の温度まで熱を加えて注入を行った。また、注入後は室温まで封止材の温度を下げ、パッケージングを行なった。そして、チップ割れを調査したところチップ割れは発生しなかった。

【0199】

(実施例16)

放射状パターン81を高さ1 $\mu$ mの複数の凸部からなる放射状パターンとすること以外は実施例15と同様のチップを作製し、実施例15と同様のパッケージングを行った。実施例16では、チップ割れは発生しなかった。

【0200】

(比較例3)

放射状パターン81を形成しなかったこと以外は実施例15と同様のチップを作製し、実施例15と同様のパッケージングを行った。比較例3では、チップ割れが30%発生した。

【0201】

以上の結果から明らかなように、接合面に放射状パターンを形成した実施例15及び16は、接合面に放射状パターンを形成しなかった比較例3よりも、温度の上昇・下降による剥離や破壊の発生を抑制できた。また、実施例15と実施例16との比較から、放射状パターンが凹部からなっている、凸部からなっている、同様に、温度の上昇・下降による剥離や破壊の発生を抑制できたことが分かる。

【0202】

なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【符号の説明】

【0203】

1...出発基板、2...エッチストップ層、2a...n<sup>+</sup>-InGaAsエッチストップ層、2b...n<sup>+</sup>-InPエッチストップ層、3...コンタクト層、4...ウィンドウ層、4a...窓層兼凹凸形成層、5...エミッタ層(活性層)、6...ベース層、7...BSF層、8...凹凸形成層、9...クラッド層、10...エピタキシャル層、11...中間層、12...n<sup>+</sup>-InGaAsコンタクト層、13...n<sup>+</sup>-InAlAs層、14...i-InAlAs層、15...i-InPエッチストップ層、16...i-InAlAs含有層、16a...i-InAlAs層、16b...Siデルタドープ層、17...i-InGaAs層、18...SiNx層、20...支持基板、30...接合層(BCB接合層)、31及び32...接合金属膜、40...電極(上部電極)、41...ボンディングパッド用の電極、42...枝電極、43...ゲート電極、44...ソース電極、45...ドレイン電極、50...下部電極、80...接合面、81...放射状パターン、82...凹部、83...パターンの中心、100...接合型半導体素子、101...ゲート領域、102...ソース領域、103...ドレイン領域、200...エピタキシャルウェーハ、300...パターン。

10

20

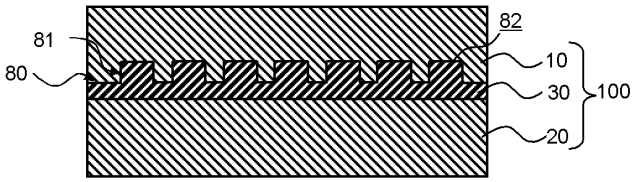
30

40

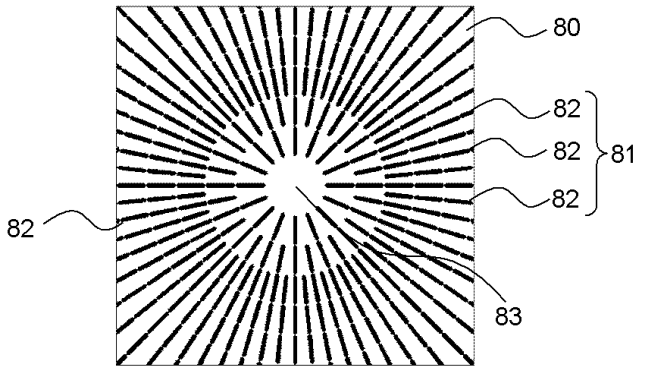
50

【 図面 】

【 図 1 】

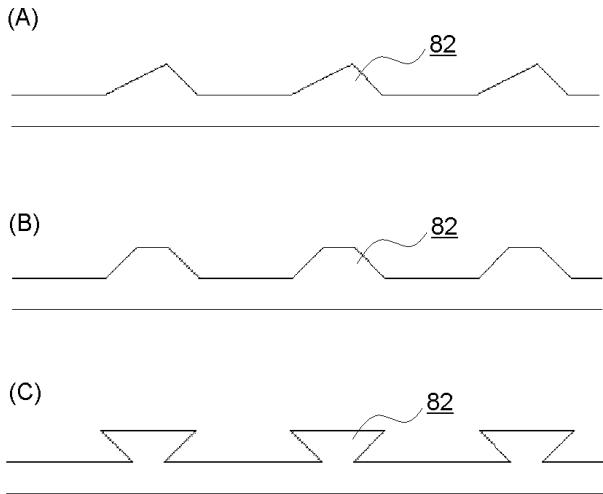


【 図 2 】

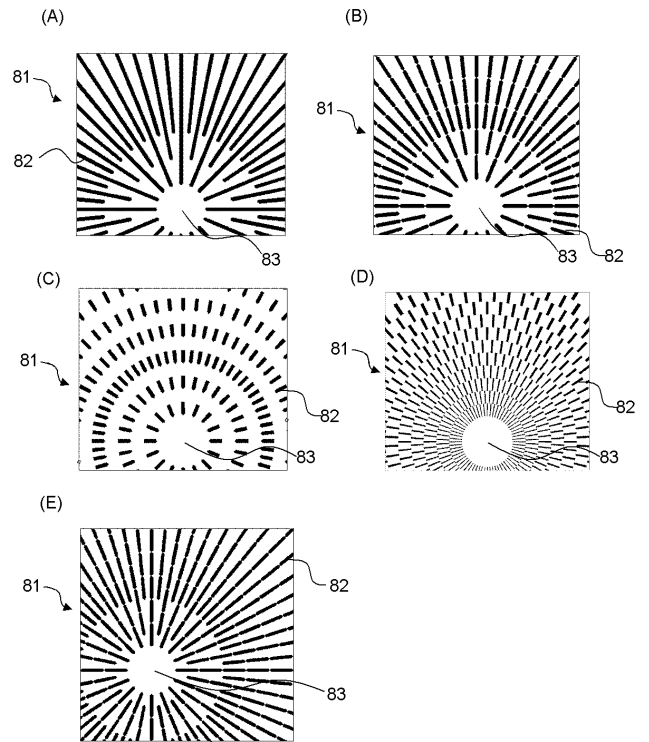


10

【 図 3 】



【 図 4 】



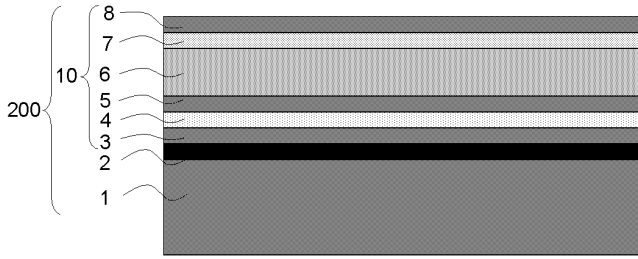
20

30

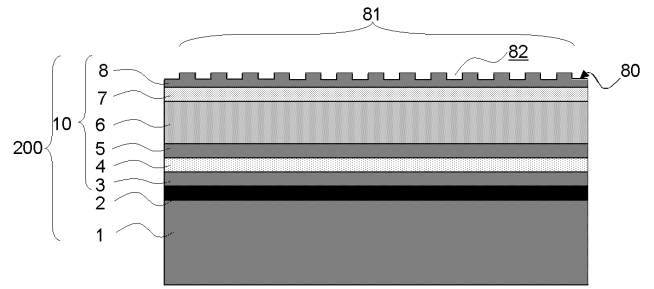
40

50

【 図 5 】

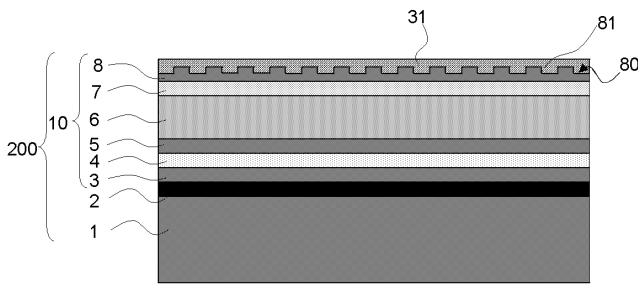


【 図 6 】



10

【 図 7 】

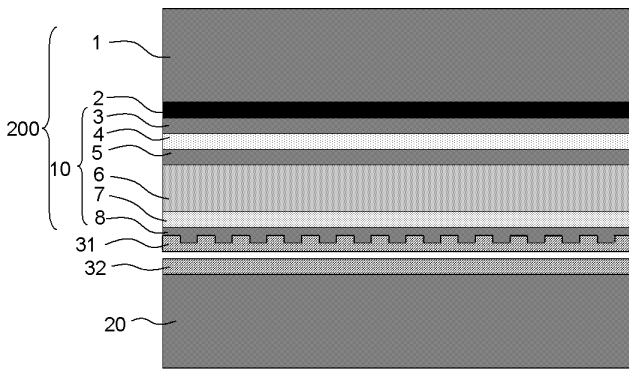


【 図 8 】

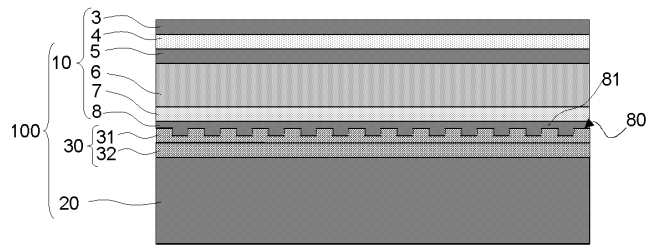


20

【 図 9 】



【 図 10 】

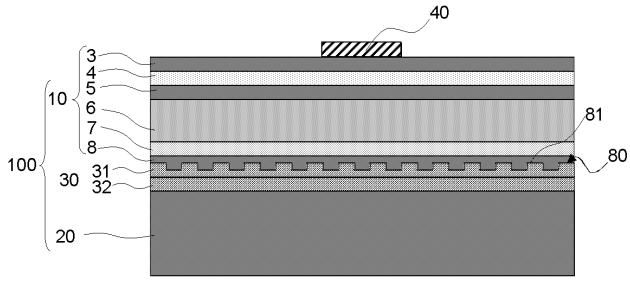


30

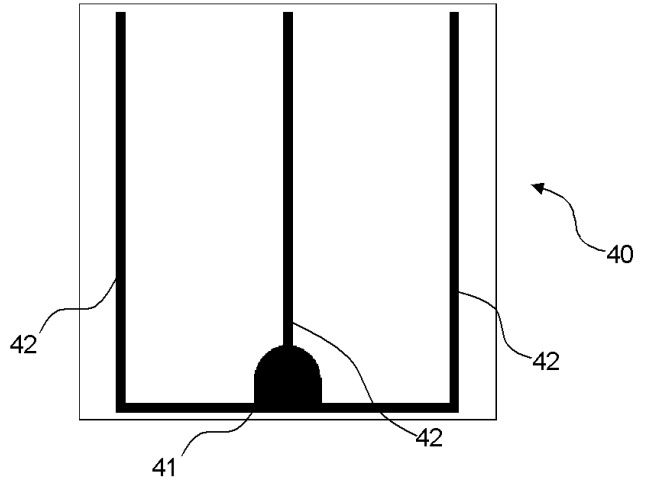
40

50

【 図 1 1 】

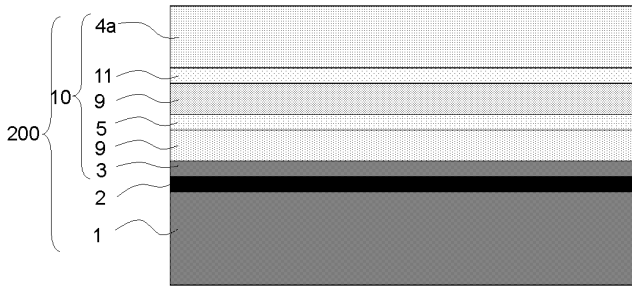


【 図 1 2 】

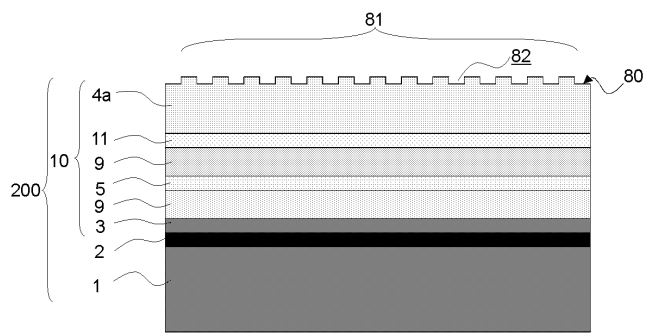


10

【 図 1 3 】

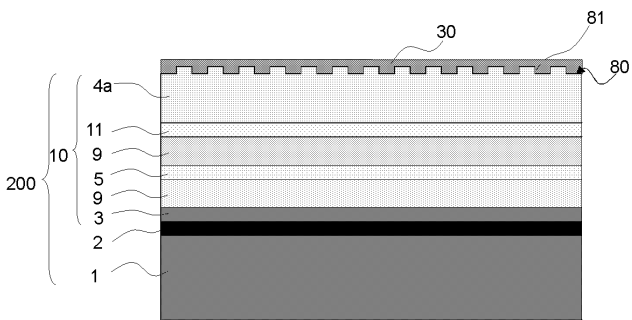


【 図 1 4 】

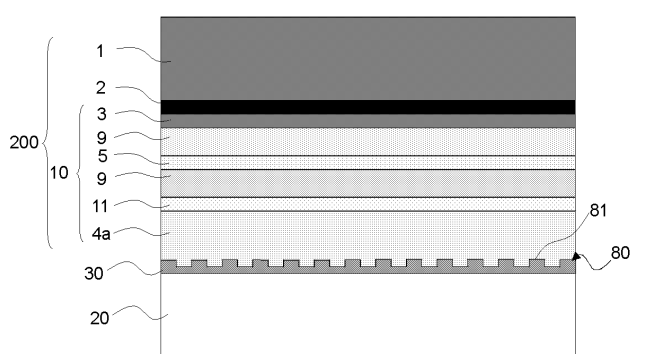


20

【 図 1 5 】



【 図 1 6 】

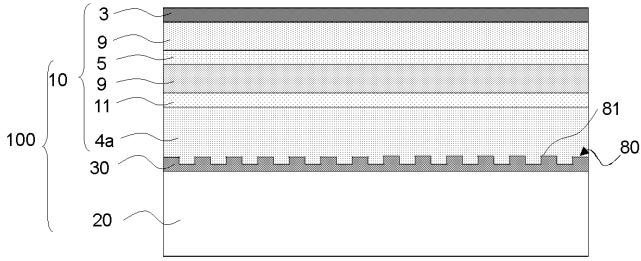


30

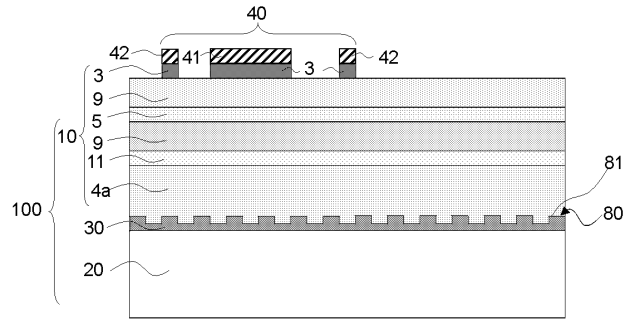
40

50

【図 17】

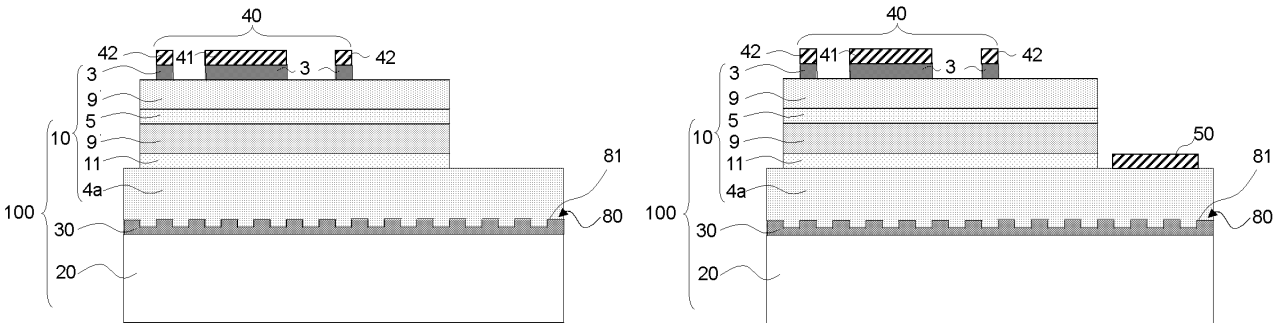


【図 18】

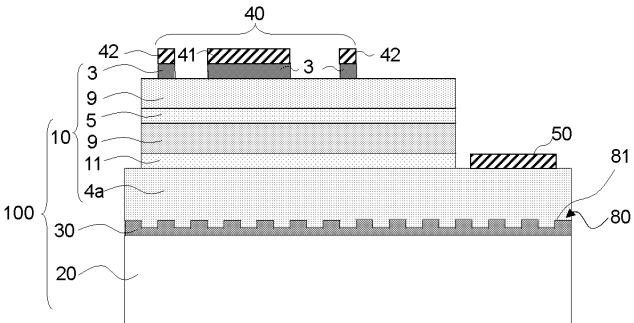


10

【図 19】

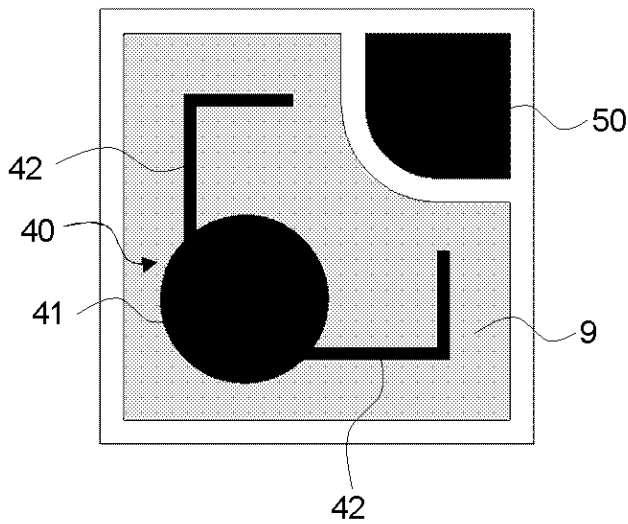


【図 20】

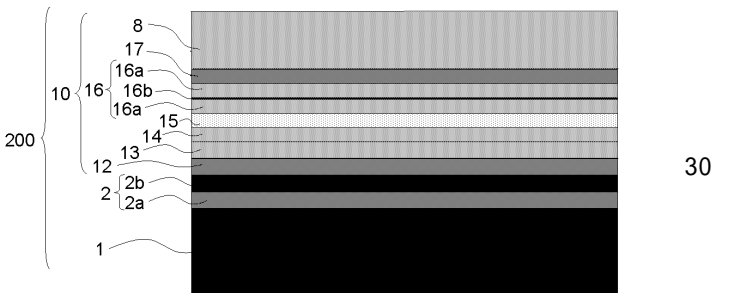


20

【図 21】



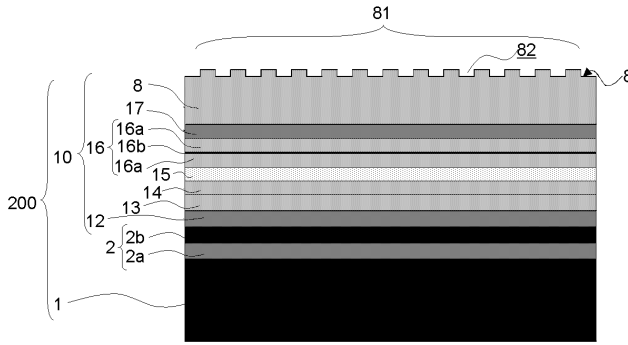
【図 22】



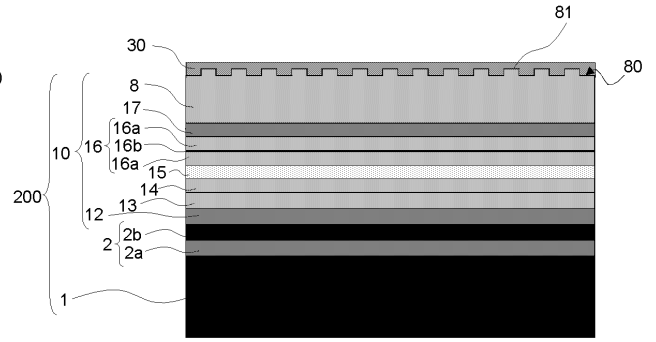
40

50

【 図 2 3 】

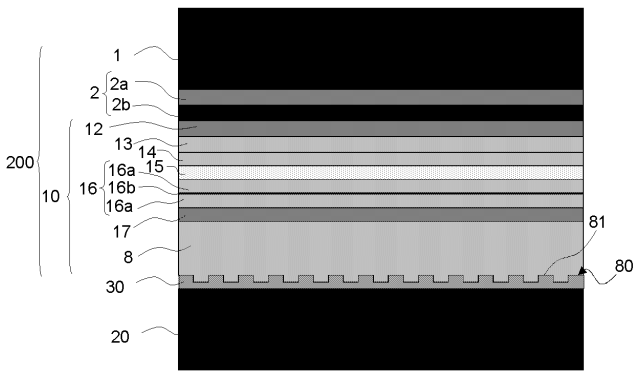


【 図 2 4 】

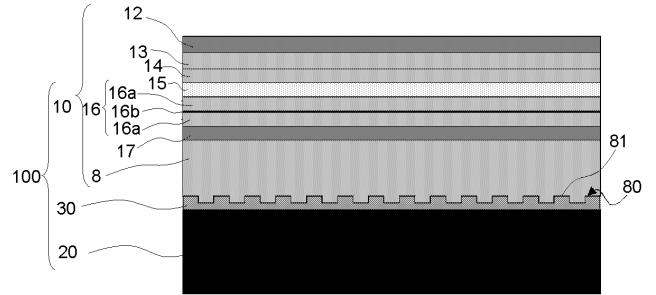


10

【 図 2 5 】

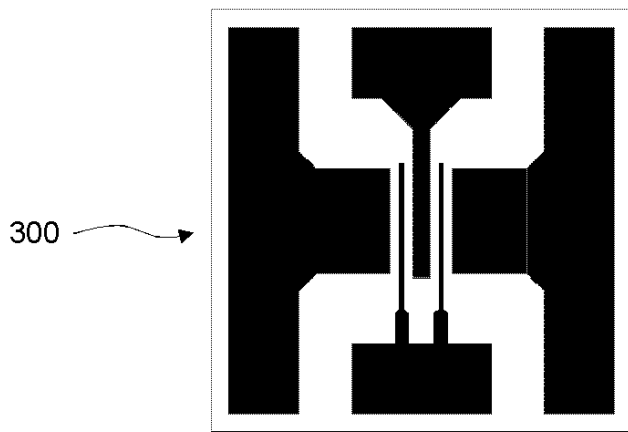


【 図 2 6 】

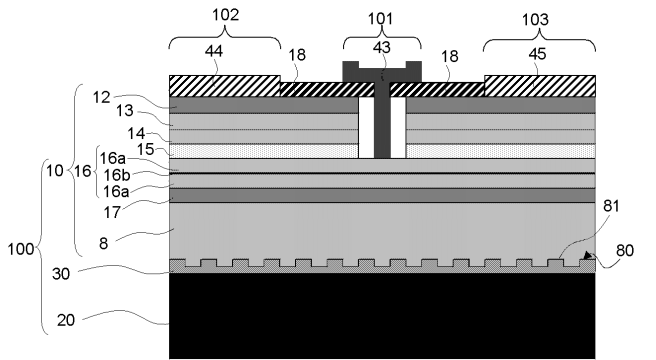


20

【 図 2 7 】



【 図 2 8 】

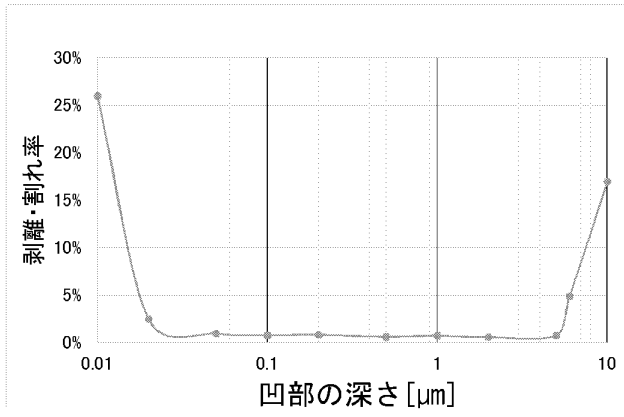


30

40

50

【図 29】



10

20

30

40

50

## 【手続補正書】

【提出日】令和3年6月8日(2021.6.8)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0190

【補正方法】変更

## 【補正の内容】

## 【0190】

HEMTエピタキシャルウェーハ200として、図22に示したように、n型InP出発基板1上に、 $n^+$ -InGaAsエッチストップ層2a及びn-InPエッチストップ層2bからなるエッチストップ層2、 $n^+$ -InGaAsコンタクト層12、 $n^+$ -InAlAs層13、i-InAlAs層14、i-InPエッチストップ層15、Siデルタドープ層16b及びこれを間に挟む2層のi-InAlAs層16aを含むi-InAlAs含有層16、i-InGaAs層17、i-InAlAs凹凸形成層8の順に形成したものを準備した。

10

20

30

40

50

---

フロントページの続き

Fターム(参考)           CB22 CB30 DA03 DA20 FA06 FA17 GA02 GA03 GA04 GA20  
5F241   AA31 CA10 CA35 CA37 CA74 CA75 CA85 CA93