



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I474459 B

(45)公告日：中華民國 104 (2015) 年 02 月 21 日

(21)申請案號：100104184

(22)申請日：中華民國 100 (2011) 年 02 月 08 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L21/768 (2006.01)

(30)優先權：2010/02/08 美國

12/701,800

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：克比 凱爾 K KIRBY, KYLE K. (US)；派瑞克 庫諾 R PAREKH, KUNAL R.

(US)；尼魯梅德 莎拉 A NIROUMAND, SARAH A. (US)

(74)代理人：陳長文

(56)參考文獻：

US 2009/0152602A1

US 2009/0315154A1

審查人員：湯欽全

申請專利範圍項數：32 項 圖式數：4 共 49 頁

(54)名稱

具有穿透基板互連之微電子裝置及相關製造方法

MICROELECTRONIC DEVICES WITH THROUGH-SUBSTRATE INTERCONNECTS AND
ASSOCIATED METHODS OF MANUFACTURING

(57)摘要

本文揭示具有穿透基板互連之微電子裝置及相關製造方法。在一個實施例中，半導體裝置包括攜載第一及第二金屬化層之半導體基板。該第二金屬化層與該半導體基板間隔開，其中該第一金屬化層位於其間。該半導體裝置亦包括至少部分延伸穿透該半導體基板之導電互連。該第一金屬化層係經由該第二金屬化層與該導電互連電接觸。

Microelectronic devices with through-substrate interconnects and associated methods of manufacturing are disclosed herein. In one embodiment, a semiconductor device includes a semiconductor substrate carrying first and second metallization layers. The second metallization layer is spaced apart from the semiconductor substrate with the first metallization layer therebetween. The semiconductor device also includes a conductive interconnect extending at least partially through the semiconductor substrate. The first metallization layer is in electrical contact with the conductive interconnect via the second metallization layer.

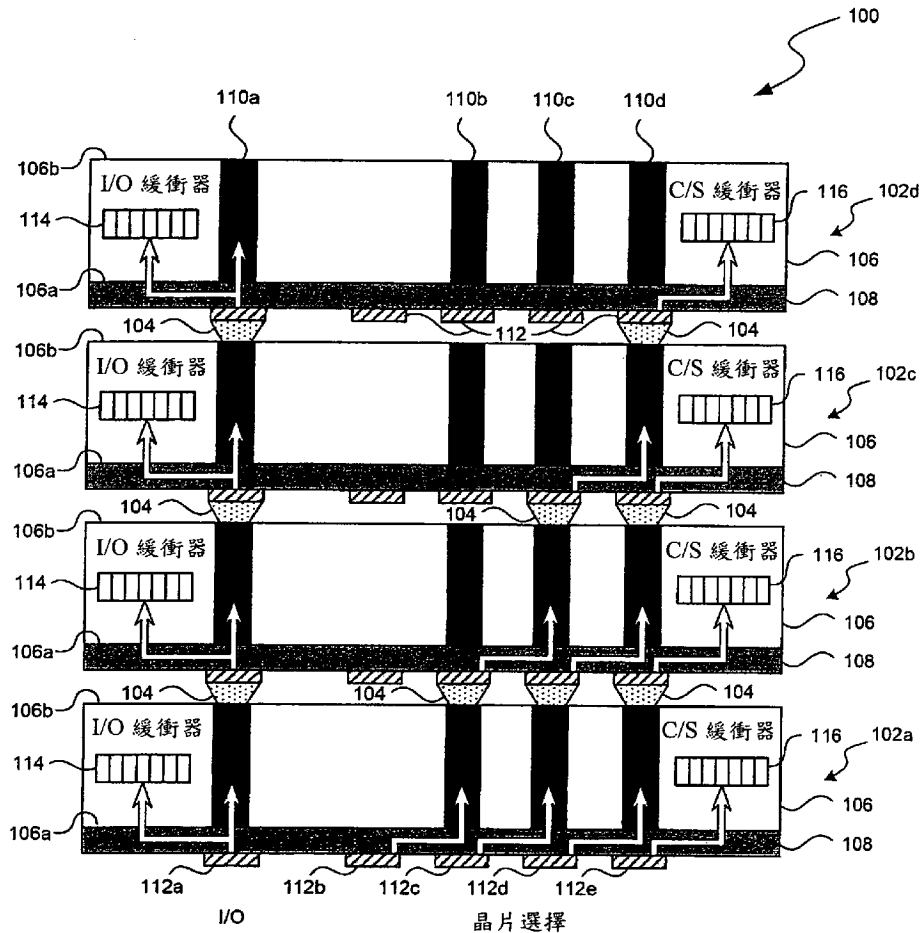


圖 1

100 . . . 微電子封裝

102a . . . 第一半導體晶粒

102b . . . 第二半導體晶粒

102c . . . 第三半導體晶粒

102d . . . 第四半導體晶粒

104 . . . 導電耦合器

106 . . . 半導體基板

106a . . . 半導體基板之第一側

106b . . . 半導體基板之第二側

108 . . . 信號路由結構

110a . . . 第一穿透基板互連

110b . . . 第二穿透基板互連

110c . . . 第三穿透基板互連

110d . . . 第四穿透基板互連

112 . . . 接合墊

112a . . . 第一接合墊

112b . . . 第二接合墊

112c . . . 第三接合墊

112d . . . 第四接合墊

112e . . . 第五接合墊

114 . . . 輸入/輸出緩衝器

六、發明說明：

【發明所屬之技術領域】

本發明技術概言之係關於具有穿透基板互連之微電子裝置及相關製造方法。

【先前技術】

半導體晶粒通常包括複數個積體電路、耦合至積體電路之接合墊、及用於使電信號在接合墊與外部觸點之間路由之金屬路由層。製作及封裝該等半導體晶粒包括形成互連以使接合墊及/或金屬路由層電耦合至外部裝置(例如，引線框、印刷電路板等)。

在一些應用中，互連延伸完全穿透半導體晶粒或穿透半導體晶粒之大部分(通常稱為「穿透基板互連」)。用於形成穿透基板互連之一種習用製程可包括在晶粒之前側及/或後側上形成與相應接合墊對準之深導通孔。然後用導電材料(例如，銅)填充該等導通孔。隨後將焊料球及/或其他外部電觸點附接至穿透基板互連。

穿透基板互連可(1)在整合處理之前形成(通常稱為「先鑽孔」製程)，或(2)在整合處理已實質上完成後形成(通常稱為「後鑽孔」製程)。然而，先鑽孔及後鑽孔製程二者均具有某些缺點，如下文所更詳細論述。因此，可期望穿透基板形成製程之一些改良。

【實施方式】

下文參照用於在半導體基板中形成穿透導通孔及導電路由層之製程闡述本發明技術之一些實施例。下文參照半導

體晶粒闡述某些實施例之許多細節。全文使用術語「半導體基板」以包括各種製品，舉例而言，包括個別積體電路晶粒、成像器晶粒、感測器晶粒、及/或具有其他半導體特徵之晶粒。

下文所述製程中之一些可用於在晶圓或一部分晶圓上在個別晶粒中或在複數個晶粒中形成穿透導通孔及導電路由層。晶圓或晶圓部分(例如，晶圓形式)可包括未經單個化之晶圓或晶圓部分、或經重新組裝之載體晶圓。經重新組裝之載體晶圓可包括周邊形狀與未經單個化之晶圓之形狀相當之大體剛性框圍繞之黏合劑材料(例如，撓性黏合劑)，且可包括由該黏合劑圍繞之經單個化之元件(例如，晶粒)。

圖1-4F中陳述某些實施例之許多具體細節且以下文字用以提供對此等實施例之透徹理解。一些其他實施例可具有與彼等下文所述者不同之組態、組件及/或製程。因此，相關領域技術人員應瞭解，在圖1-4F中未給出該等實施例之一些細節之情況下可實施額外實施例。

圖1係本技術實施例之微電子封裝100之一部分的示意性剖視圖。如圖1中所顯示，微電子封裝100可包括與複數個半導體晶粒102串聯堆疊之複數個導電耦合器104(例如，焊料球)。出於圖解說明目的，圖1中顯示四個半導體晶粒102(分別個別地識別為第一、第二、第三及第四半導體晶粒102a-102d)。在其他實施例中，微電子封裝100可包括任一其他期望數量的半導體晶粒102，其經由線接合、焊料

球、導電帶及/或其他適宜電連接器而彼此耦合。

半導體晶粒102可個別地包括半導體基板106，其在靠近半導體基板106之第一側106a攜載信號路由結構108；位於信號路由結構108上之複數個接合墊112(分別個別地識別為第一至第五接合墊112a-112e)；及於半導體基板106之第一側106a與第二側106b之間延伸之複數個穿透基板互連110(分別個別地識別為第一至第四互連110a-110d)。半導體晶粒102亦可包括與第一穿透基板互連110a相連之輸入/輸出(「I/O」)緩衝器114及與第二、第三及第四穿透基板互連110b-110d相連之晶片選擇(「C/S」)緩衝器116。

將穿透基板互連110可選擇性地連接至信號路由結構108中之某些金屬化層(圖1中未顯示)用以在半導體晶粒102之第一側106a與第二側106b之間攜載電信號。下文參照圖2A-4F更詳細地論述用於形成信號路由結構108及穿透基板互連110之製程之一些實施例之細節。

可基於期望信號路由方案使導電耦合器104與相應接合墊112介接。如圖1中所顯示，並非所有接合墊112均電耦合至導電耦合器104中之一者。舉例而言，第一半導體晶粒102a之第一穿透基板互連110a經由導電耦合器104及第一半導體晶粒102a之第一接合墊112a電耦合。相反，所有半導體晶粒102之第二接合墊112b、第三半導體晶粒102c之第三接合墊112c、及第四半導體晶粒102d之第三及第四接合墊112c及112d未電耦合至導電耦合器104中之任一者。取而代之，信號路由結構108將於第一半導體晶粒

102a之第二接合墊112b處接收之晶片選擇信號(及/或其他適宜信號)經由第一半導體晶粒102a之第二穿透基板互連110b、第二半導體晶粒102b之第三穿透基板互連110c、及第三半導體晶粒102c之第四穿透基板互連110d路由至第四半導體晶粒102d之C/S緩衝器116。

在作業時，經電耦合之半導體晶粒102之第一穿透基板互連110a形成電路徑用以將輸入/輸出信號攜載至所有半導體晶粒102。個別半導體晶粒102之信號路由結構108將輸入/輸出信號自電路徑路由至半導體晶粒102之個別I/O緩衝器114。信號路由結構108亦可將晶片選擇信號(及/或其他適宜信號)路由至所選半導體晶粒102以便能夠在所選半導體晶粒102處理於I/O緩衝器114處接收之輸入/輸出信號。舉例而言，信號路由結構108將於第五接合墊112e處接收之晶片選擇信號路由至第一半導體晶粒102a之C/S緩衝器116以便第一半導體晶粒102a能夠處理接收輸入/輸出信號。在另一實例中，信號路由結構108亦可將於第四接合墊112d處接收之晶片選擇信號經由第一半導體晶粒102a之第四穿透基板互連110d路由至第二半導體晶粒102b。

根據習用技術，可基於先鑽孔製程或後鑽孔製程形成穿透基板互連110。然而，本發明者已認識到，先鑽孔及後鑽孔製程二者均具有某些缺點。舉例而言，後鑽孔製程可能無法充分適應晶片選擇信號之路由，此乃因該改良可顯著增加製造製程之成本及/或複雜性。舉例而言，可用於在最後金屬化層路由信號之技術可包括(1)控制毗鄰半導體

晶粒102形成(或避免形成)導電凸塊；(2)將信號路由返回至下部金屬化層；(3)向信號路由結構108添加控制閘極(例如，MOSFET)；(4)以不同方式對半導體晶粒102之每一者實施圖案化；及(5)在半導體晶粒102上添加再分佈層(未顯示)。

本發明者亦認識到，先鑽孔製程可對半導體晶粒102之電可靠性造成不利影響，此乃因在信號路由結構108形成期間半導體晶粒102中信號路由結構108與積體電路(未顯示)間之電觸點可能受到損壞。下文參照圖2A-2N論述用於解決先鑽孔及後鑽孔製程之至少一些上述缺點之製程之一些實施例。

圖2A-2N係根據本技術實施例之經歷用於形成圖1中所顯示半導體晶粒102之一些實施例之製程的半導體基板106之一部分的示意性剖視圖。在下列說明中，類似處理作業可利用大致類似之處理技術。因此，為簡便起見，用於實施處理作業(例如，對所沈積材料實施圖案化、去除部分介電材料、沈積導電材料等)之適宜技術僅描述一次。

如圖2A中所顯示，該製程可包括在半導體基板106之第一側106a中及/或在其上形成積體電路118。在所圖解說明實施例中，出於圖解說明目的，積體電路118係作為具有源極120a、汲極120b及閘極122之場效電晶體示意性地顯示。在其他實施例中，積體電路118亦可包括垂直電晶體、三維電晶體、電容器及/或其他形成動態隨機存取記憶體(DRAM)及/或其他適宜電子裝置之適宜電組件。

該製程可包括在半導體基板106上形成絕緣體124。在所圖解說明實施例中，絕緣體124包括四個氧化矽、氮化矽及/或其他適宜電介質之層(分別個別地識別為第一至第四絕緣材料124a - 124d)。在其他實施例中，絕緣體124亦可包括另一期望數量的電介質及/或其他適宜絕緣材料。用於形成絕緣體124之技術可包括熱氧化、化學氣相沈積(「CVD」)、原子層沈積(「ALD」)、旋塗玻璃及/或其他適宜技術。

該製程亦可包括在絕緣體124中形成導電鏈路126，其電連接至積體電路118。在一個實施例中，形成導電鏈路126包括使用光微影及/或其他適宜技術對絕緣體124實施圖案化，及經由濕蝕刻、乾蝕刻、反應性離子蝕刻及/或其他適宜技術去除一部分圖案化絕緣體124以形成孔127。然後可使用導電材料129(例如，銅、鋁、金及/或其他適宜導電材料)經由物理氣相沈積(PVD)、CVD、ALD、電鍍及/或其他適宜技術來填充孔127。在其他實施例中，除上述作業以外或替代該等作業，形成導電鏈路126可包括其他處理作業。

該製程可包括形成第一金屬化層128a，其藉由以下方式實施：在絕緣體124上形成第一電介質130，根據期望金屬路由輪廓對第一電介質130實施圖案化，去除一部分第一電介質130以在第一電介質130中形成溝槽、通道及/或其他開口135，及在開口135中沈積導電材料137(例如，銅、鋁、金及/或其他適宜導電材料)。該製程然後可包括在第

一金屬化層 128a 上形成第一障壁 132(例如，由 Applied Materials 公司，Santa Clara, California 提供之 BLOK)及在第一障壁 132 上沈積第二電介質 134(例如，氧化矽)。第二電介質 134 包括靠近第一障壁 132 之第一表面 134a 及與第一表面 134a 相對之第二表面 134b。

在形成第一金屬化層 128a 後，圖 2B-2H 圖解說明用於在半導體基板 106 中形成穿透基板互連 110(圖 1)之穿透基板互連形成製程模組(下文稱為「TSV 模組」)。如圖 2B 中所顯示，TSV 模組可包括經由旋塗及/或其他適宜技術在第二電介質 134 上沈積第一光阻劑 136。然後可對第一光阻劑 136 實施圖案化以形成第一開口 138。本文所用術語「光阻劑」通常係指當暴露於電磁輻射時可發生化學改質之材料。該術語涵蓋經構造以使當藉由電磁輻射活化時可溶之正性光阻劑及經構造以使當藉由光活化時可溶之負性光阻劑。

如圖 2C 中所顯示，TSV 模組可包括在半導體基板 106 中形成互連孔 140。互連孔 140 可藉由以連續作業方式經由開口 138 自第一電介質 130、第一障壁 132、第二電介質 134、絕緣體 124 及至少一部分半導體基板 106 去除材料來形成。在其他實施例中，形成互連孔 140 可包括第一材料去除作業(例如，使用濕蝕刻)以去除一部分第一電介質 130、第一障壁 132、第二電介質 134 及絕緣體 124；及第二材料去除作業(例如，使用反應性離子蝕刻)以去除一部分半導體基板 106。

如圖 2D 中所顯示，TSV 模組可進一步包括去除第一光阻劑 136 及依序在互連孔 140 中形成孔絕緣體 142、孔障壁 144 及晶種材料 146。孔絕緣體 142 可包括經由熱氧化、CVD、ALD 及/或其他適宜技術形成之氧化矽、氮化矽及/或其他適宜絕緣材料。孔障壁 144 可包括經由脈衝化學氣相沈積(「pCVD」)、離子物理氣相沈積(「iPVD」)、ALD 及/或其他適宜技術形成之鉭(Ta)、鎢(W)、氮化鈦(TiN)、及/或其他適宜障壁材料。晶種材料 144 可包括經由 pCVD、iPVD、ALD 及/或其他適宜技術沈積得到之銅、鎢、及/或其他適宜導電材料。

如圖 2E 中所顯示，TSV 模組亦可包括在晶種材料 146 上沈積第二光阻劑 148。然後可對第二光阻劑 148 實施圖案化以形成第二開口 150。如圖 2F 中所顯示，TSV 模組可包括經由第二開口 150 用第一導電材料 152 填充互連孔 140 以形成穿透基板互連 110。第一導電材料 152 包括位於互連孔 140 中之第一部分 152a 及延伸超過第二電介質 134 之第二部分 152b。第一導電材料 152 可包括銅、鋁、鎢、金及/或具有上述成份之合金。在具體實施例中，第一導電材料 152 包括引入至互連孔 140 中之電解銅。電解銅與無電沈積之材料相比且與焊料相比具有增強之純度。舉例而言，第一導電材料 152 可為至少 90% 銅且在某些情形下為 99% 銅。然後可去除第二光阻劑 148。

如圖 2G 中所顯示，隨後可去除第一導電材料 152 之第二部分 152b(圖 2F)以使第一導電材料 152 之第一部分 152a 與第

二電介質134之第二表面134b大致處於平面。用於去除第一導電材料152之第二部分152b之技術可包括化學-機械拋光(「CMP」)、電化學-機械拋光(「ECMP」)及/或其他適宜技術。如圖2H中所顯示，TSV模組可視情況包括在第二電介質134之第二表面134b及第一導電材料152之第一部分152a上沈積第二障壁154(例如，由Applied Materials公司，Santa Clara, California提供之BLOK)。在其他實施例中，可省略第二障壁154之沈積。

儘管上文所論述之TSV模組包括對第二光阻劑148實施沈積及圖案化，但在某些實施例中，可省略第二光阻劑148。取而代之，TSV模組可包括沈積第一導電材料152，其中第一部分152a在互連孔140中且第二部分152b實質上覆蓋第二電介質134之第二表面134b。隨後，可去除第二部分152b之至少一部分以產生如圖2G中所顯示之穿透基板互連110。

在TSV模組後，該製程可包括形成第二金屬化層。如圖2I中所顯示，該製程可包括在可選第二障壁154上形成第三電介質156。第三電介質156包括靠近可選第二障壁154之第一表面156a及與第一表面156a相對之第二表面156b。然後，可形成穿透第三電介質156、可選第二障壁154及第二電介質134通往第一金屬化層128a之複數個第一導通孔159。

該製程然後可包括在第三電介質156上沈積第三光阻劑158及對第三光阻劑158實施圖案化以形成對應於第二金屬

化層 128b(未顯示)之期望路由輪廓之第三開口 160。如圖 2J 中所顯示，該製程可包括去除一部分第三電介質 156 及視情況一部分第二障壁 154 以形成開口 162。開口 162 暴露第二電介質 134 之第二表面 134b 之至少一部分及第一導電材料 152 之第一部分 152a 之上表面。

如中圖 2K 所顯示，該製程可包括用第二導電材料 164 填充開口 162 及第一導通孔 159 且隨後去除開口 162 外部過多的第二導電材料 164 以使第二導電材料 164 與第三電介質 156 之第二表面 156b 大致處於平面。在所圖解說明實施例中，第二導電材料 164 包括第一部分 164a、橫向延伸遠離第一部分 164a 之第二部分 164b、及位於第一導通孔 159 中之第三部分 164c。第二導電材料 164 之第一部分 164a 與穿透基板互連 110 之第一導電材料 152 之第一部分 152a 直接實體接觸。第二導電材料 164 之第三部分 164c 電連接至第二部分 164b 及第一金屬化層 128a。

在一個實施例中，第二導電材料 164 包括與第一導電材料 152 相同之組成(例如，銅)。因此，第一導電材料 152 及第二導電材料 164 可大致相同(在圖 2K 中使用虛線來顯示第一導電材料 152 與第二導電材料 164 間之人為分界線)。在其他實施例中，第二導電材料 164 可包括至少部分地不同於第一導電材料 152 之組成。因此，第一金屬化層 128a 經由第二導電材料 164 電連接至穿透基板互連 110。

在形成第二金屬化層 128b 後，該製程可包括在半導體基板 106 上形成額外金屬化層。舉例而言，圖 2L 及 2M 圖解說

明形成第三金屬化層128c之作業。如圖2L中所顯示，該製程可包括在第三電介質156之第二表面156b及第二金屬化層128b上沈積第四電介質166。所沈積第四電介質166具有靠近第三電介質156之第一表面166a及與第一表面166a相對之第二表面166b。該製程可然後包括實施圖案化及去除一部分第四電介質166以形成複數個自第四電介質166之第二表面166b延伸至第二金屬化層128b之第二導通孔168。

然後可根據與彼等參照圖2I及2J所闡述者大致類似之作業形成第三金屬化層128c。如圖2M中所顯示，第三金屬化層128c包括第三導電材料170，其經由第二導通孔168電連接至第二金屬化層128b。在所圖解說明實施例中，第三導電材料170具有與第一導電材料152及第二導電材料164相同之組成(例如，銅)。在其他實施例中，第三介電材料170可具有不同於第一介電材料152及/或第二介電材料164之組成。

在某些實施例中，該製程亦可包括對半導體基板106實施處理以在半導體基板106中及/或在其上形成額外特徵。舉例而言，如圖2N中所顯示，可使用機械或化學-機械技術自第二側106b去除一部分半導體基板106以暴露穿透基板互連110。然後可將導電組件172(例如，導電柱、焊料球、焊料凸塊、再分佈層、穿透矽導通孔螺柱及/或其他適宜之互連裝置)附接至穿透基板互連110用以與外部組件(未顯示)互連。

儘管圖2A-2M中僅圖解說明第一金屬化層128a、第二金

屬化層 128b 及第三金屬化層 128c，但在某些實施例中，該製程可包括藉由重複至少上文參照圖 2L 及 2M 所論述作業中之一些來形成四個、五個或任一期望數量的金屬化層。在此等實施例中，穿透基板互連 110 可電連接至第二金屬化層 128b、第三金屬化層 128c 或 N-1 金屬化層(未顯示)。

上述製程之一些實施例可降低損壞第一金屬化層 128a 與導電鏈路 126 間之電連接之風險。本發明者已觀察到在形成第一金屬化層 128a 之前形成穿透基板互連 110 會在第一金屬化層 128a 與導電鏈路 126 之間產生有缺陷的電連接。不欲受理論限制，據信在形成第一金屬化層 128a 期間的一些作業(例如，沈積導電材料、去除多餘的導電材料等)可實質上減弱及/或損壞第一金屬化層 128a 與導電鏈路 126 間之電連接。因此，藉由在形成第一金屬化層 128a 後形成穿透基板互連 110 可降低產生有缺陷的電連接之風險。

上述製程之一些實施例與習用技術相比亦會更成本有效且更靈活。舉例而言，穿透基板互連 110 與金屬化層之間電連接之選擇可推遲到晚於先鑽孔製程之處理階段進行。因此，可增加通用中間產品(即，部分形成金屬化層之半導體晶粒)之數量以便在對半導體晶粒 102 之最終連接組態做出決定前生產管理人員能夠連續生產半導體晶粒 102。

儘管上文參照圖 2A-2N 論述形成第二金屬化層 128b 並將其連接至穿透基板互連 110 之特定作業，但在其他實施例中，可使用額外及/或不同製程作業形成第二金屬化層 128b 並將其連接至穿透基板互連 110。舉例而言，圖 3A-3F

係本技術額外實施例之經歷用於形成圖1中所顯示半導體晶粒102之一些實施例之製程的半導體基板之一部分的示意性剖視圖。如圖3A中所顯示，該製程可包括在半導體基板106中及/或在其上形成積體電路118，形成導電鏈路126、第一金屬化層128a並在第一金屬化層128a上形成第一障壁132，如上文參照圖2A所述。

與圖2A中所顯示實施例不同，圖3B中所顯示製程可包括在第一障壁132上沈積第二電介質134之前利用TSV模組，如上文參照圖2B-2H所論述。隨後，可在第一障壁132及穿透基板互連110上形成第二電介質134。因此，穿透基板互連110與第一障壁132可大致處於平面且可直接接觸第二電介質134之第一表面134a。

如圖3C中所顯示，該製程可包括在第二電介質134上沈積第三電介質156。因此，第三電介質156之第一表面156a可直接接觸第二電介質134之第二表面134b。該製程可包括在第二電介質134及第三電介質156中形成穿透第三電介質156、第二電介質134及障壁132之複數個存取導通孔180。存取導通孔180包括(1)大致對應於穿透基板互連110之存取導通孔180之第一組180a；及(2)大致對應於第一金屬化層128a之存取導通孔180之第二組180b。

該製程然後可包括在第三電介質156上沈積光阻劑182及對光阻劑182實施圖案化以形成對應於第二金屬化層128b期望路由輪廓之開口184。如圖3E中所顯示，該製程可包括去除一部分第三電介質156以形成開口186。開口186暴

露第二電介質134之第二表面134b之至少一部分並與存取導通孔180中之至少一些連通。

如圖3F中所顯示，該製程可包括用第二導電材料164填充開口186及存取導通孔180。然後可去除開口186外多餘的第二導電材料164，以使第二導電材料164與第三電介質156之第二表面156b大致處於平面。第二導電材料164包括第一部分164a、橫向延伸遠離第一部分164a之第二部分164b、位於存取導通孔180之第一組180a中之第三部分164c、及位於存取導通孔180之第二組180b中之第四部分164d。第二導電材料164之第三部分164c使第二導電材料164之第一部分164a電連接至穿透基板互連110。第二導電材料164之第四部分164d使第二導電材料164之第二部分164b電連接至第一金屬化層128a。如參照圖2L-2N所論述，該製程然後可包括形成額外金屬化層及實施後續處理。

圖4A-4F係根據本技術其他實施例之經歷用於形成圖1中所顯示半導體晶粒102之一些實施例之製程的半導體基板100之一部分的示意性剖視圖。如圖4A中所顯示，該製程可包括在半導體基板106中及/或在其上形成積體電路118，形成導電鏈路126、第一金屬化層128a並在第一金屬化層128a上形成第一障壁132，如上文參照圖2A所論述。該製程亦可包括形成第二金屬化層128b，如上文參照圖2H-2K所論述。該製程然後可視情況包括在第二金屬化層128b上沈積第二障壁154。

如圖 4B 中所顯示，該製程可包括在第二障壁 154 上形成第四電介質 166 及在第四電介質 166 上沈積光阻劑 190。然後可對光阻劑 190 實施圖案化以形成對應於一部分第二金屬化層 128b 及穿透基板互連 110(未顯示)之開口 192。因此，使一部分第四電介質 166 及下伏第二障壁 154 暴露於開口 192(下文稱為暴露部分 194)中。

如中圖 4C 所顯示，該製程可包括在半導體基板 106 中形成互連孔 140 及去除暴露部分 194(圖 4B)。在一個實施例中，可形成互連孔 140 並可在一個連續作業中使用相移遮罩、漏銘遮罩(leaky-chrome mask)及/或其他適宜技術去除暴露部分 194。在另一實施例中，可利用大致對應於互連孔 140 之第一遮罩(未顯示)進行蝕刻以形成互連孔 140。可利用大致對應於暴露部分 194 之第二遮罩(未顯示)去除暴露部分 194。在其他實施例中，可經由其他適宜技術去除暴露部分 194。

如圖 4D 中所顯示，該製程可包括在互連孔 140 中形成孔絕緣體 142。在所圖解說明實施例中，孔絕緣體 142 包括位於互連孔 140 中之第一部分 142a 及位於互連孔 140 外之第二部分 142b。第二部分 142b 至少部分地重疊並直接接觸第二金屬化層 128b。在其他實施例中，藉由使用(例如)在形成孔絕緣體 142 時所用大致對應於互連孔 140 之光罩，孔絕緣體 142 可僅包括第一部分 142a。

如圖 4E 中所顯示，該製程可包括至少部分地去除孔絕緣體 142 之第二部分 142b 及暴露第二金屬化層 128b。在一個

實施例中，可經由間隔物蝕刻部分地去除第二部分142b。因此，第二部分142b之一部分142c仍位於第二金屬化層128b上。在其他實施例中，可經由雷射燒蝕及/或其他適宜技術部分地去除第二部分142b。在其他實施例中，可完全去除第二部分142b。

該製程然後可包括在互連孔140中沈積孔障壁144及晶種材料146，如上文參照圖2C所論述。然後，該製程可包括用第一導電材料152填充互連孔140，及自第四電介質166去除多餘的第一導電材料152。

如圖4F中所顯示，穿透基板互連110包括位於互連孔140中之垂直區段110a及位於互連孔140外之水平區段110b。水平區段110b向第二金屬化層128b橫向延伸以使至少一部分水平區段110b直接接觸第二金屬化層128b之上表面。該製程可視情況包括在第四電介質166及穿透基板互連110上形成第三障壁196。該製程然後可包括如參照圖2L-2N所論述形成額外金屬化層及實施後續處理以產生圖4E中所顯示之半導體晶粒102。

依據前文所述，應瞭解，本文已出於圖解說明目的闡述了本技術之特定實施例，但可在不背離本技術之前提下做出各種修改。除其他實施例之元件以外或替代該等元件，一個實施例之許多元件可與其他實施例組合。因此，本技術僅受隨附申請專利範圍限制。

【圖式簡單說明】

圖1係本技術實施例之具有堆疊晶粒之微電子封裝的示

意性剖視圖。

圖 2A-2N 係本技術實施例之經歷可用於形成圖 1 中所顯示半導體晶粒之一些實施例之製程的半導體基板之一部分的示意性剖視圖。

圖 3A-3F 係本技術額外實施例之經歷可用於形成圖 1 中所顯示半導體晶粒之一些實施例之製程的半導體基板之一部分的示意性剖視圖。

圖 4A-4F 係本技術其他實施例之經歷可用於形成圖 1 中所顯示半導體晶粒之一些實施例之製程的半導體基板之一部分的示意性剖視圖。

【主要元件符號說明】

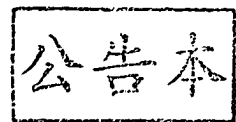
100	微電子封裝
102	半導體晶粒
102a	第一半導體晶粒
102b	第二半導體晶粒
102c	第三半導體晶粒
102d	第四半導體晶粒
104	導電耦合器
106	半導體基板
106a	半導體基板之第一側
106b	半導體基板之第二側
108	信號路由結構
110	穿透基板互連
110a	第一穿透基板互連

110b	第二穿透基板互連
110c	第三穿透基板互連
110d	第四穿透基板互連
112	接合墊
112a	第一接合墊
112b	第二接合墊
112c	第三接合墊
112d	第四接合墊
112e	第五接合墊
114	輸入/輸出緩衝器
116	晶片選擇緩衝器
118	積體電路
120a	源極
120b	汲極
122	閘極
124	絕緣體
124a	第一絕緣材料
124b	第二絕緣材料
124c	第三絕緣材料
124d	第四絕緣材料
126	導電鏈路
127	孔
128a	第一金屬化層
128b	第二金屬化層

128c	第三金屬化層
129	導電材料
130	第一電介質
132	第一障壁
134	第二電介質
134a	第二電介質之第一表面
134b	第二電介質之第二表面
135	開口
136	第一光阻劑
137	導電材料
138	第一開口
140	互連孔
142	孔絕緣體
142a	孔絕緣體之第一部分
142b	孔絕緣體之第二部分
142c	孔絕緣體之第二部分之一部分
144	孔障壁
146	晶種材料
148	第二光阻劑
150	第二開口
152	第一導電材料
152a	第一導電材料之第一部分
152b	第一導電材料之第二部分
154	第二障壁

156	第三電介質
156a	第三電介質之第一表面
156b	第三電介質之第二表面
158	第三光阻劑
159	第一導通孔
160	第三開口
162	開口
164	第二導電材料
164a	第二導電材料之第一部分
164b	第二導電材料之第二部分
164c	第二導電材料之第三部分
164d	第二導電材料之第四部分
166	第四電介質
166a	第四電介質之第一表面
166b	第四電介質之第二表面
168	第二導通孔
170	第三介電材料
172	導電組件
180	存取導通孔
180a	第一組存取導通孔
180b	第二組存取導通孔
182	光阻劑
184	開口
186	開口

190	光阻劑
192	開口
194	暴露部分
196	第三障壁



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100104184

※申請日：100.12.8

※IPC 分類：H01L 23152 2006.01

一、發明名稱：(中文/英文)

H01L 21168 2006.01

具有穿透基板互連之微電子裝置及相關製造方法

MICROELECTRONIC DEVICES WITH THROUGH-SUBSTRATE
INTERCONNECTS AND ASSOCIATED METHODS OF
MANUFACTURING

二、中文發明摘要：

本文揭示具有穿透基板互連之微電子裝置及相關製造方法。在一個實施例中，半導體裝置包括攜載第一及第二金屬化層之半導體基板。該第二金屬化層與該半導體基板間隔開，其中該第一金屬化層位於其間。該半導體裝置亦包括至少部分延伸穿透該半導體基板之導電互連。該第一金屬化層係經由該第二金屬化層與該導電互連電接觸。

三、英文發明摘要：

Microelectronic devices with through-substrate interconnects and associated methods of manufacturing are disclosed herein. In one embodiment, a semiconductor device includes a semiconductor substrate carrying first and second metallization layers. The second metallization layer is spaced apart from the semiconductor substrate with the first metallization layer therebetween. The semiconductor device also includes a conductive interconnect extending at least partially through the semiconductor substrate. The first metallization layer is in electrical contact with the conductive interconnect via the second metallization layer.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100	微電子封裝
102a	第一半導體晶粒
102b	第二半導體晶粒
102c	第三半導體晶粒
102d	第四半導體晶粒
104	導電耦合器
106	半導體基板
106a	半導體基板之第一側
106b	半導體基板之第二側
108	信號路由結構
110a	第一穿透基板互連
110b	第二穿透基板互連
110c	第三穿透基板互連
110d	第四穿透基板互連
112	接合墊
112a	第一接合墊
112b	第二接合墊
112c	第三接合墊
112d	第四接合墊
112e	第五接合墊
114	輸入/輸出緩衝器
116	晶片選擇緩衝器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

七、申請專利範圍：

1. 一種半導體裝置，其包含：

半導體基板；

第一金屬化層及第二金屬化層，該第二金屬化層與該半導體基板間隔開，其中該第一金屬化層位於其間；及
導電互連，其至少部分延伸穿透該半導體基板，

其中該導電互連包括第一端及與該第一端相對之第二端，其中該第二金屬化層包括大致對應於該導電互連之第一部分及自該第一部分橫向延伸之第二部分，其中該導電互連之第一端包括橫向延伸至該第二金屬化層之第一部分的橫向部分，其中該導電互連的第一端電耦合至該第二金屬化層之第一部分且與其直接接觸；且

其中該第一金屬化層係經由該第二金屬化層與該導電互連電接觸。

2. 如請求項1之半導體裝置，其中：

該半導體基板包括第一側及第二側；

且

該半導體裝置亦包括：

絕緣體，其位於該半導體基板之該第一側與該第一金屬化層之間；

積體電路，其位於該半導體基板之上或其中；

導電鏈路，其至少部分地位於該絕緣體中，該導電鏈路係位於該積體電路與該第一金屬化層之間；

電介質，其位於該第一金屬化層與該第二金屬化層

之間；且

該電介質包括直接位於該第一金屬化層與該第二金屬化層之該第二部分間之導電導通孔；

及

焊料球，其在該半導體基板之該第二側附接至該導電互連之該第二端。

3. 如請求項1之半導體裝置，其中：

該半導體基板包括第一側及第二側；

且

該半導體裝置亦包括：

絕緣體，其位於該半導體基板之該第一側與該第一金屬化層之間；

積體電路，其位於該半導體基板之上或其中；

導電鏈路，其至少部分位於該絕緣體中，該導電鏈路延伸於該積體電路與該第一金屬化層之間；及

電介質，其位於該第一金屬化層與該第二金屬化層之間；

該電介質包括第一導電導通孔及與該第一導電導通孔間隔開之第二導電導通孔，該第一導電導通孔直接位於該第一金屬化層與該第二金屬化層之該第二部分之間，該第二導電導通孔直接位於該第二金屬化層之該第一部分與該導電互連之該第一端之間；及

焊料球，其在該半導體基板之該第二側附接至該導電互連之該第二端。

4. 一種半導體裝置，其包含：

半導體基板；

第一金屬化層及第二金屬化層，該第二金屬化層與該半導體基板間隔開，該第一金屬化層位於其間；及

導電互連，其至少部分延伸穿透該半導體基板；

其中該第一金屬化層經由該第二金屬化層與該導電互連電接觸；

其中該半導體基板包括第一側及第二側；

該第二金屬化層包括第一金屬化表面及與其相對之第二金屬化表面；且

該半導體裝置亦包括：

絕緣體，其位於該半導體基板之該第一側與該第一金屬化層之間；

積體電路，其位於該半導體基板之上或其中；

導電鏈路，其至少部分位於該絕緣體中，該導電鏈路係位於該積體電路與該第一金屬化層之間；

電介質，其位於該第一金屬化層與該第二金屬化層之間；且

該電介質包括直接位於該第一金屬化層與該第二金屬化層間之導電導通孔；

該導電互連包括：

孔，其至少部分地於該半導體基板之該第一側與該第二側之間延伸；

於該孔中之導電材料之第一區段；

於該孔外部之該導電材料之第二區段；

該導電材料之該第二區段在該第一區段上橫向延伸；且

該第二區段係與該第二金屬化層之該第二金屬化表面之至少一部分直接接觸；及

焊料球，其在該半導體基板之該第二側附接至該導電互連之該第二端。

5. 如請求項1之半導體裝置，其中：

該半導體裝置亦包括在該第一金屬化層與該第二金屬化層之間之電介質，該電介質具有至少靠近於該第一金屬化層之第一表面及至少靠近於該第二金屬化層之第二表面；且

該導電互連之該第一端與該電介質之該第二表面大致成平面，該第二端與該第一端相對。

6. 如請求項1之半導體裝置，其中：

該半導體裝置亦包括在該第一金屬化層與該第二金屬化層之間之電介質，該電介質具有與該第一金屬化層直接接觸之第一表面及與該第二金屬化層之該第二部分直接接觸之第二表面。

7. 一種半導體裝置，其包含：

半導體基板；

第一金屬化層及第二金屬化層，該第二金屬化層與該半導體基板間隔開，該第一金屬化層位於其間；及

導電互連，其至少部分延伸穿透該半導體基板；

其中該第一金屬化層經由該第二金屬化層與該導電互連電接觸；

其中該第一金屬化層包括靠近該半導體基板之第一金屬化表面及與該第一金屬化表面相對之第二金屬化表面；且

該導電互連包括第一端及第二端，該導電互連之該第一端與該第一金屬化層之該第二金屬化表面大致齊平，該第二端係與該第一端相對。

8. 一種半導體裝置，其包含：

半導體基板；

第一金屬化層及第二金屬化層，該第二金屬化層與該半導體基板間隔開，該第一金屬化層位於其間；及

導電互連，其至少部分延伸穿透該半導體基板；

其中該第一金屬化層經由該第二金屬化層與該導電互連電接觸；

其中該導電互連包括：

孔，其至少部分地於該半導體基板中延伸；

於該孔中之導電材料之第一區段；

於該孔外部之該導電材料之第二區段；且

該導電材料之該第二區段自該孔橫向延伸且與該第二金屬化層直接接觸。

9. 一種半導體裝置，其包含：

半導體基板；

該半導體基板所攜載之複數個金屬路由層，該複數個

金屬路由層包括 1、2、...、N(N 係大於 3 之正整數)個金屬路由層；及

導電互連，其至少部分延伸穿透該半導體基板，該導電互連包括靠近該金屬路由層之一端；

其中該導電互連之該端延伸超過該第一金屬路由層或至少與其大致齊平；

其中該導電互連之該端延伸超過第 N-2 個金屬路由層或與其大致齊平。

10. 一種半導體裝置，其包含：

半導體基板；

該半導體基板所攜載之複數個金屬路由層，該複數個金屬路由層包括 1、2、...、N(N 係大於 3 之正整數)個金屬路由層；及

導電互連，其至少部分地延伸穿透該半導體基板，該導電互連包括靠近該金屬路由層之一端；

其中該導電互連之該端延伸超過該第一金屬路由層或至少與其大致齊平；

其中：

該導電互連之該端延伸超過該第 N-2 個金屬路由層或與其大致齊平；且

第 N-1 個金屬路由層將該第 N-2 個金屬路由層電連接至該導電互連。

11. 一種半導體裝置，其包含：

半導體基板；

該半導體基板所攜載之複數個金屬路由層，該複數個金屬路由層包括 1、2、...、 N (N 係大於 3 之正整數) 個金屬路由層；及

導電互連，其至少部分延伸穿透該半導體基板，該導電互連包括靠近該金屬路由層之一端；

其中該導電互連之該端延伸超過該第一金屬路由層或至少與其大致齊平；

其中該導電互連之該端與該第 $N-1$ 個金屬路由層直接接觸。

12. 一種半導體裝置，其包含：

半導體基板；

該半導體基板所攜載之複數個金屬路由層，該複數個金屬路由層包括 1、2、...、 N (N 係大於 3 之正整數) 個金屬路由層；

導電互連，其至少部分地延伸穿透該半導體基板，該導電互連包括靠近該金屬路由層之一端；

其中該導電互連之該端延伸超過該第一金屬路由層或至少與其大致齊平；及在該導電互連之該端與該第 $N-1$ 個金屬路由層之間之導電導通孔。

13. 一種半導體裝置，其包含：

半導體基板；

該半導體基板所攜載之複數個金屬路由層，該複數個金屬路由層包括 1、2、...、 N (N 係大於 3 之正整數) 個金屬路由層；

導電互連，其至少部分地延伸穿透該半導體基板，該導電互連包括靠近該金屬路由層之一端；

其中該導電互連之該端延伸超過該第一金屬路由層或至少與其大致齊平；

其中該導電互連之該端包括第一區段及自該第一區段橫向延伸之第二區段，該第二區段與該第N-1個金屬路由層直接接觸。

14. 一種製造半導體裝置之方法，其包含：

在半導體基板上形成第一金屬化層；

在形成該第一金屬化層後，形成至少部分位於該半導體基板中之互連孔；

用導電材料填充該互連孔以形成至少部分延伸穿透該半導體基板之導電互連，其中該導電互連包括第一端及與該第一端相對之第二端；及

在該第一金屬化層上形成第二金屬化層，該第二金屬化層係與該互連孔中之該導電材料電接觸，其中該第二金屬化層包括大致對應於該導電互連之第一部分及自該第一部分橫向延伸之第二部分，其中該導電互連之第一端包括橫向延伸至該第二金屬化層之第一部分的橫向部分，其中該導電互連的第一端電耦合至該第二金屬化層之第一部分且與其直接接觸。

15. 如請求項14之方法，其中：

形成互連孔包括：

在該第一金屬化層上沈積第一電介質；

對該第一電介質實施圖案化並形成大致對應於該互連孔之開口；及

經由該開口蝕刻該第一電介質及該半導體基板；
填充該互連孔包括：

將第一導電材料引入該互連孔中；及

去除該互連孔外部過多的第一導電材料；且
形成該第二金屬化層包括：

在該第一電介質及該互連孔中之該導電材料上沈積
第二電介質；

基於該第二金屬化層之期望輪廓對所沈積之第二電
介質實施圖案化；及

在該圖案化第二電介質中形成導通孔及凹陷，該導
通孔暴露該第一金屬化層之至少一部分，該凹陷暴露
該互連孔中之該第一導電材料之至少一部分；及

用第二導電材料填充該導通孔及該凹陷，該第二導
電材料具有與該互連孔中之該第一導電材料直接接觸
之第一部分及該導通孔中與該第一金屬化層直接接觸
之第二部分。

16. 一種製造半導體裝置之方法，其包含：

在半導體基板上形成第一金屬化層；

在形成該第一金屬化層後，形成至少部分位於該半導
體基板中之互連孔；

用導電材料填充該互連孔；及

在該第一金屬化層上形成第二金屬化層，該第二金屬

化層係與該互連孔中之該導電材料電接觸；

其中：

形成該互連孔包括：

對具有該第一金屬化層之該半導體基板實施圖案化並形成大致對應於該互連孔之開口；及

經由該開口蝕刻該半導體基板；

填充該互連孔包括：

將第一導電材料引入該互連孔中；及

去除該互連孔外部過多的第一導電材料；且

形成該第二金屬化層包括：

在該第一金屬化層及該互連孔中之該第一導電材料上沈積第一電介質；

在該第一電介質中形成第一導通孔及第二導通孔，該第一導通孔暴露該第一金屬化層之至少一部分，該第二導通孔暴露該互連孔中之該第一導電材料之至少一部分；

在該第一電介質上沈積第二電介質；

基於該第二金屬化層之期望輪廓對所沈積之第二電介質實施圖案化；

在該圖案化第二電介質中形成凹陷，該凹陷大致對應於該第二金屬化層之該期望輪廓；及

用第二導電材料填充該第一導通孔及該第二導通孔及該凹陷。

17. 一種製造半導體裝置之方法，其包含：

在半導體基板上形成第一金屬化層；

在形成該第一金屬化層後，形成至少部分位於該半導體基板中之互連孔；

用導電材料填充該互連孔；及

在該第一金屬化層上形成第二金屬化層，該第二金屬化層係與該互連孔中之該導電材料電接觸；

其中：

形成該第二金屬化層包括：

在該第一金屬化層上沈積第一電介質；

基於該第二金屬化層之期望輪廓對該第一電介質實施圖案化；

在該第一電介質中形成導通孔及凹陷，該凹陷大致對應於該第二金屬化層之該期望輪廓；及

用第一導電材料填充該導通孔及該凹陷；且

形成互連孔包括：

在該第二金屬化層及該第一電介質上沈積第二電介質；

對該第二電介質實施圖案化並形成大致對應於該互連孔及該第二金屬化層之至少一部分的開口；

經由該開口蝕刻該第一電介質及該第二電介質及該半導體基板；

在該互連孔中及該第二金屬化層上沈積絕緣材料；

去除該第二金屬化層上之該絕緣材料之至少一部分；及

經由該開口用第二導電材料填充該互連孔，該第二導電材料之至少一部分與該第二金屬化層直接接觸。

18. 如請求項14之方法，其中：

該導電材料係第一導電材料；且

形成該第二金屬化層包括：

在該互連孔中之該導電材料上沈積電介質；

在該電介質中形成凹陷，該凹陷暴露該互連孔中之該導電材料之至少一部分；及

用第二導電材料填充該凹陷，該第二導電材料具有與該互連孔中之該第一導電材料直接接觸之第一部分及自該第一部分橫向延伸之第二部分。

19. 如請求項14之方法，其中：

該導電材料係第一導電材料；且

形成該第二金屬化層包括：

在該第一金屬化層及該互連孔中之該第一導電材料上沈積電介質；

在該電介質中形成第一導通孔及第二導通孔，該第一導通孔暴露該第一金屬化層之至少一部分，該第二導通孔暴露該互連孔中之該第一導電材料之至少一部分；及

用第二導電材料填充該第一導通孔及該第二導通孔。

20. 一種製造半導體裝置之方法，其包含：

在半導體基板上形成第一金屬化層；

在形成該第一金屬化層後，形成至少部分位於該半導體基板中之互連孔；

用導電材料填充該互連孔；及

在該第一金屬化層上形成第二金屬化層，該第二金屬化層係與該互連孔中之該導電材料電接觸；

其中：

該導電材料係第一導電材料；且

形成該互連孔包括：

在該第二金屬化層上沈積電介質；

形成穿透該電介質及該半導體基板之該互連孔；

暴露該第二金屬化層之至少一部分；及

在該互連孔中及該第二導電材料之該暴露部分上沈積第二導電材料。

21. 一種製造半導體裝置之方法，其包含：

在半導體基板上形成第一、第二、...、及第N個金屬化層，N係不小於3之正整數；

至少在形成該第一金屬化層後，形成至少部分位於該半導體基板中之互連孔；及

用導電材料填充該互連孔，該導電材料與該等金屬化層中之至少一者電接觸。

22. 如請求項21之方法，其中形成互連孔包括在形成第N-2個金屬化層後，形成至少部分位於該半導體基板中之該互連孔。

23. 如請求項21之方法，其中：

形成互連孔包括在形成該第N-2個金屬化層後，形成至少部分位於該半導體基板中之該互連孔；且

形成第一、第二、...、及第N個金屬化層包括在用該導電材料填充該互連孔後形成第N-1個金屬化層。

24. 如請求21之方法，其中：

形成互連孔包括在形成該第N-2個金屬化層後，形成至少部分位於該半導體基板中之該互連孔；

形成第一、第二、...、及第N個金屬化層包括在用該導電材料填充該互連孔後形成該第N-1個金屬化層；且

該方法進一步包括使該第N-1個金屬化層與該互連孔中之該導電材料直接接觸。

25. 如請求項21之方法，其中：

形成互連孔包括在形成該第N-2個金屬化層後，形成至少部分位於該半導體基板中之該互連孔；

形成第一、第二、...、及第N個金屬化層包括在用該導電材料填充該互連孔後形成該第N-1個金屬化層；且

該方法進一步包括直接在該第N-1個金屬化層與該互連孔中之該導電材料之間形成導電導通孔。

26. 如請求項21之方法，其中：

形成互連孔包括在形成該第N-1個金屬化層後，形成至少部分位於該半導體基板中之該互連孔；及

填充該互連孔包括用該導電材料填充該互連孔，其中第一部分與該第N-1個金屬化層直接接觸且第二部分位於該互連孔中。

27. 如請求項21之方法，其中：

形成互連孔包括在形成該第N-1個金屬化層後，形成至少部分位於該半導體基板中之該互連孔；

該方法進一步包括暴露該第N-1個金屬化層之至少一部分；且

填充該互連孔包括將該互連孔引入該互連孔中及該第N-1個金屬化層之該暴露部分上。

28. 一種半導體裝置，其包含：

半導體基板；

第一金屬化層，其包含介電材料及導電材料；

由至少該第一金屬化層與該半導體基板間隔開之第二金屬化層；及導電互連，其具有第一端部分及與該第一端部分相對之第二端部分，該第一端部分包括橫向延伸至該第二金屬化層之第一部分的橫向部分，該第二端部分至少部分延伸穿越該半導體基板，其中該導電互連經由該第二金屬化層與該第一金屬化層電連接，其中該第二金屬化層之第一部分大致電連接至該導電互連的該第一端部分，且該第二金屬化層之第二部分自該第一部分橫向延伸；且其中：

該半導體基板包括第一側、第二側及至少部分延伸於該第一側及該第二側間之孔；

該第二金屬化層包括第一金屬化表面及與之相對之第二金屬化表面；且

該半導體裝置亦包含：

介於該半導體基板之第一側與該第一金屬化層間之絕緣體；

位於該半導體基板上或其中之積體電路；

至少部分位於該絕緣體中之導電鏈路，該導電鏈路介於該積體電路與該第一金屬化層間；

介於該第一與第二金屬化層間之介電質；且

該介電質包括直接介於該第一金屬化層與該第二金屬化層間的導電導通孔；

該導電互連包括：

於該孔中導電材料之第一區段；

於該孔外部之該導電材料之第二區段；該導電材料之該第二區段橫向延伸至該第一區段上；及

焊料球，其在該半導體基板之該第二側附接至該導電互連之該第二段。

29. 一種半導體裝置，其包含：

半導體基板；

第一金屬化層，其包含介電材料及導電材料；

由至少該第一金屬化層與該半導體基板間隔開之第二金屬化層；及

導電互連，其具有第一端部分及與該第一端部分相對之第二段部分，該第一端部分包括橫向延伸至該第二金屬化層之第一部分之橫向部分，該第二段部分至少部分延伸穿越該半導體基板，其中該導電互連係經由該第二金屬化層與該第一金屬化層電連接，其中該第二金屬化

層之第一部分大致電連接至該導電互連的該第一端部分，且該第二金屬化層之第二部分自該第一部分橫向延伸；且其中：

該半導體裝置亦包括介於該第一與第二金屬化層間之介電質；該介電質具有第一表面及與該第一表面相對之第二表面，該第二表面直接與該第二金屬化層接觸，

該介電質包括第一導電導通孔及與該第一導電導通孔間隔開的第二導電導通孔；

該第一導電導通孔直接介於該第一金屬化層及該第二金屬化層間；且

該第二導電導通孔直接介於該第二金屬化層及該導電互連間。

30. 如請求項1之半導體裝置，其中該橫向部分延伸至該第二金屬化層之第一部分上方。
31. 如請求項14之方法，其中該橫向部分延伸至該第二金屬化層之第一部分上方。
32. 如請求項28之半導體裝置，其中該橫向部分延伸至該第二金屬化層之第一部分上方。