(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
G11C 11/40

(45) 공고일자 1995년05월24일
(11) 공고번호 특1995-0005516

(21) 출원번호	특1992-0002745	(65) 공개번호	특1992-0017107
(22) 출원일자	1992년02월22일	(43) 공개일자	1992년09월26일

(30) 우선권주장 91-50545 1991년02월22일 일본(JP)

(71) 출원인 후지쓰 가부시끼가이샤 세끼자와 다다시
일본국 가나가와껜 가와사끼시 나까하라꾸 가미고다나까 1015반지

(72) 발명자 아오야마 게이조오
일본국 가나가와껜 가와사끼시 나까하라구 가미고다나까 1015반지 후지쓰 가부시끼가이샤내

(74) 대리인 장용식

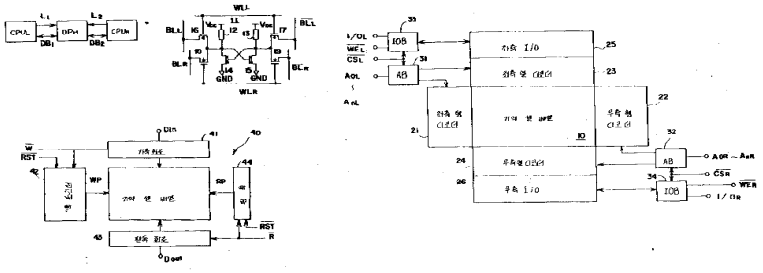
심사관 : 이해평 (책자공보 제3985호)

(54) 이중포트형 반도체 집적기억회로

요약

내용 없음.

대표도



명세서

[발명의 명칭]

이중포트형 반도체 집적기억회로

[도면의 간단한 설명]

제1a도는 종래의 이중포트 기억장치를 장착한 시스템의 블럭도.

제1b도는 제1a도에 도시된 이중포트 기억장치의 블럭도.

제1c도는 제1c도에 도시된 이중포트 기억장치에 포함된 기억셀의 회로도.

제1d도는 이중포트 기억장치로서 작용하는 FIFO 기억장치의 블럭도.

제2a도는 이중포트 기억장치의 구동을 설명하는 회로도.

제2b도는 종래의 이중포트 기억장치의 약점을 설명하는 회로도.

제3a도는 본 발명의 제1실시예의 개요를 도시한 블럭도.

제3b도는 본 발명의 제2실시예의 개요를 도시한 블럭도.

제3c도는 본 발명의 제1 또는 제2실시예의 어느 한쪽에 따른 이중포트 기억장치의 전단부 구조의 블럭도.

제4a 내지 4d도는 제3a 및 3c도에 도시된 구성부의 회로도.

제5a도는 본 발명의 제1실시예의 구동을 도시한 경과 도표.

제5b도는 본 발명의 제2실시예의 구동을 도시한 경과 도표.

제6도는 제3b도에 도시된 본 발명의 제2실시예의 회로도.

제7a 내지 7d도는 기억셀의 노드의 레벨을 감소시키는 방법을 도시한 도면.

[발명의 상세한 설명]

발명의 배경

(1) 발명의 분야

본 발명은 통상, 반도체 집적기억장치, 특히 이중포트형 반도체 집적기억회로에 관한 것이다.

(2) 종래기술의 설명

전자장치의 기능 및 성능의 개선에 대한 요구가 점진적으로 증가하고 있다. 반도체 집적회로칩의 가격은 더욱 더 싸지게 된다.

결과적으로, 많은 경우에, 다수의 CPUs(중앙처리장치)가, 모든 부하가 CPUs로 분산되는 시스템에 설치된다.

이러한 시스템에서, 이중포트 기억장치가 폭넓게 사용된다.

이중포트 기억장치는 기록포트 및 판독포트를 가지며, 그 예로는 선입선출(FIFO)기억장치 및 후입선출(LIFO)기억장치가 있다.

제1A도는 이중포트 기억장치를 장착한 종래 시스템의 블럭도이다.

제1A도에 도시된 바와 같이, 이중포트 기억장치(DPM)는 두 CPU, 분류된 CPU_L 및 CPU_R, 간에 삽입되며, 공통으로 사용된다.

이중포트 기억장치(DPM)는 CPU_L 로 부터 제어선(L1)을 거쳐 번지제어정보 및 판독/기록제어정보를 수신하고, 데이타를, 데이타 버스(DB1)를 거쳐 CPU_L로 송신하고, 그로 부터 판독한다.

동시에, 이중포트 기억장치(DPM)는, CPU_R 로 부터 제어선(L2)을 거쳐 번지제어정보 및 판독/기록제어정보를 수신하고, 데이타를 데이타 버스(DB2)를 거쳐 CPU_R로 송신하고, 그로 부터 판독한다.

상기 구동중, 두 CPUs는 서로를 인식하지 않고 이중포트 기억장치(DPM)를 독립적으로 억세스할 수 있다.

제1a도에 도시된 시스템은, 예를 들어 기구에 적용된다.

이 경우에, 기구에 사용하기 위한 주변기기는, 주변기기로 부터 데이타를 수신하고 이중포트 기억장치(DPM)로 데이타를 기록하는, CPU_L과 접속된다.

측정된 데이타를 출력하는데 사용된 주변장치는, 이중포트 기억장치(DPM)로 부터 독출된 데이타를 처리하고, 그것을 주변장치로 출력하는 CPU_R과 접속된다.

이런 방법으로, 측정처리 및 출력처리를 구성하는 모든 처리는 두 CPUs에 이해 나누어지며, 따라서 각 CPUs는 증가된 속도로 감소된 부하를 처리한다.

제1b도는 제1a도에 도시된 이중포트 기억장치(DPM)의 블럭도이다.

기억셀 배열(10)과 달리 개개의 회로는 좌측포트 및 우측포트에 대해 개별적으로 제공된다.

좌측 및 우측포트는 기억셀 배열(10)을 독립적으로 억세스할 수 있다.

비트(Ao_L-An_L)로 구성된 번지신호는 좌측포트를 거쳐 좌측 번지버퍼(31)로 적용되고, 몇몇 비트는 특정 행을 선택하는 좌측 행디코더(21)로 전송된다. 번지신호의 잔여 비트는, 특정 열을 선택하는 좌측 열디코더(23)로 출력한다. 이러한 방법으로, 적어도 하나의 특정 기억셀이 좌측 I/O(입력/출력) 회로(25)와 전기적으로 접속됨으로써, 데이타는 특정 기억셀로 기록되거나, 그로 부터 독출될 수 있다.

제어신호(/SL_L 및 /WE_L)가 좌측 I/O버퍼(33)를 제어하는 좌측포트로 적용됨으로써, 데이타는 좌측 I/O회로(25)를 거쳐 특정 기억 셀로 기록되거나, 그로 부터 독출될 수 있다. a "/"가 행-활성신호를 나타내고, 신호를 가리키는 상기 레퍼런스의 상부에 부착된 "바"에 해당한다는 사실이 주목될 것이다.

우측포트에 관하여, 좌측포트에서와 같이 모두 같은 방식으로 구동하는, 우측 번지버퍼(32), 우측 행디코더(22), 우측 열디코더(24), 우측 I/O회로(26) 및 우측 I/O버퍼(34)가 제공된다.

상기 언급된 독립적인 기억장치 억세스 구동을 달성하기 위해, 이중포트 기억장치(DPM)의 각 기억장치셀은, 제1c도 도시된 바와 같이 형성된다.

부하소자(12 및 13)는, 예를 들어, 고저항 폴리실리콘으로 만들어진다.

MOSFETs(금속산화 반도체 전계효과 트랜지스터)(14 및 15)는 서로 교차하여 접속된다. 플립플롭(11)을 형성하는 네가지 구성소자(12~15)는 단일포트 정적 기억장치에서와 같은 방법으로 데이타를 기억한다.

이중포트 기억장치에서, 두 데이타 전송수단은 플립플롭(11)과 접속된다.

특히, 플립플롭의 두 게이트중 하나는, 좌측포트 행선택선(WL_L)과 접속된 한쌍의 트랜지스터(16 및 17)을 거쳐 좌측포트 비트선(BL_L 및 $/BL_L$)로 접속된다. 상기와 같은 방법으로, 플립플롭중 다른 하나는 우측포트 행선택선(WL_R)에 접속된 한쌍의 트랜지스터(18 및 19)를 거쳐 우측포트 비트선(BL_R 및 $/BL_R$)에 접속된다. 상기 구조로서, 좌측 및 우측포트를 거쳐 기억 셀배열(10)을 독립적으로 억세스할 수 있게 된다.

일반적으로, 상이한 비트 전송율로 구동하는 두 장치간에 데이타를 전송하기 위해, 전송을 버퍼가 두 장치간에 제공된다.

예를 들어, 처리된 데이타를 CPU에 의해 프린터로 전송하기 위해 버퍼가 제공되는데, 그 이유는 CPU의 비트 전송율이 프린터의 비트 전송율보다 더욱 높기 때문이다. 버퍼는 CPU로 부터 데이타를 일시적으로 기억하는데, 기억된 데이타는 전송비트 전송율이 프린터의 비트 전송율과 매치하도록 그로부터 독출된다. 일반적으로, 이러한 버퍼는 FIFO 기억장치와 함께 형성된다.

FIFO 기억장치는 제1d도에 도시된 바와 같이 형성된다.

참조번호(40)에 의해 특징지워진 FIFO 기억장치는, 앞에 언급된 기억 셀배열(10), 기록회로(41), 기록포인터(42), 판독회로(43) 및 기록포인터(44)로 구성된다. 기록클럭신호(/W)는, 기록되었을 데이타로 기억장치셀을 도시하는 정보를 연속적으로 발생시키는, 기록포인터(42)로 입력된다.

즉, 기록포인터(42)는 기록클럭신호(/W)에 따라 기록번지신호를 발생한다.

기록회로(41)는, 특정 기억장치셀로 단자(Din)에 적용된 입력데이타를 기록한다.

판독클럭신호(/R)는, 독출되었을 데이타로 부터 기억셀을 도시하는 정보를 연속적으로 발생하는 입력포인터(44)로 입력된다.

즉, 판독포인터(44)는, 판독클럭신호(/R)에 따라 판독번지신호를 발생한다.

판독회로(43)는 판독포인터(44)로서 특정화된 기억셀로 부터 데이타를 판독하고, 독출된 데이타를 단자(Dout)로 출력한다.

리셋신호(/RST)는 각각의 리셋신호(/RST)에 따른 번지 "zero"를 도시하도록 리셋된,기록포인터(42) 및 판독포인터(44)로 입력된다. 기록 및 판독포인터(42 및44) 각각은, 펄스의 수를 세는 카운터와 함께 형성된다. 예를 들어, 기록포인터(42)는, 리셋된 후 기록클럭신호(/W)에 포함된 펄스의 수를 센다. 판독포인터(44)는 리셋된 후 판독클럭신호(/R)에 포함된 펄스의 수를 센다.

판독포인터(44)는, 기록포인터(42)가 구동을 개시한 후, 구동하기 시작한다는 사실이 주목될 것이다.

이 구동과 함께, 기록포인터(42)의 그것을 초과하는것으로 부터 판독포인터(44)의 카운터 값을 보호할 수 있다.

이중포트 기억장치(DPM)의 기록동작의 구동에 관한 기술이 이제 제2A도를 참조로 주어질 것이다. 제2a도에서, 제1a 내지 1d도에 도시된 바와 같은 부품에 동일한 참조번호가 주어질 것이다.

부하 트랜지스터(51~54)는 각각의 부품(BL_L,$/BL_L$: BL_R,$/BL_R$)의 한 쌍의 비트선(BL 및 /BL)에 접속되고, 소정의 레벨로 이들 비트선을 유지한다.

부하 트랜지스터(59~62)는 각각의 부품(DL_L,$/DL_L$: DL_R,$/DL_R$)의 한 쌍의 데이타선(DB 및 /DB)에 접속되고, 소정의 레벨로 이들 데이타선을 유지한다. 열선택에 사용하기 위한 트랜지스터(55~58)는, 각 포트내의 한 쌍의 비트선(BL 및 /BL) 및 한 쌍의 데이타선(DB 및 /DB) 간에 삽입된다.

트랜지스터(55 및 56)는 열선택신호(Y_L)에 의해 제어되고, 트랜지스터(57 및 58)는 열선택선(Y_R)에 의해 제어된다.

판독회로(43)의 탐지증폭기(단순화라는 목적을 위해 제2a도에 도시안됨)는 데이타선 각 쌍에 접속되며, 데이타선 각 쌍간의 차이를 의미한다.

기록회로(42)는 데이타선에 접속되고, 기록장치셀의 기록동작을 제어한다.

제2a도를 참조로 우측포트를 거쳐 기록동작을 설명하기 위해, 관련기록회로부품(트랜지스터(63~66)로 구성됨)만이 제2a도에 도시한다.

이제, 데이타 "H"가, 기록동작이 실행되는 행을 선택하지 않는 우측포트 및 좌측포트를 거쳐 선택된 셀로 기록된다는 사실이 제2a도에 가정될 것이다.

즉, "H"레벨신호는 단어(WL_R)에 적용되고, "L"레벨신호는 단어선(WL_L)에 적용된다.

선택된 셀로 "H"를 기록하기 위해, "H"가 입력노드(IN_R)에 적용되고, "L"이 입력노드($/IN_R$)에 적용된다. 이때, 기록회로의 트랜지스터(63 및 66)는 ON되고, 그의 트랜지스터(64 및 65)는 OFF된다.

따라서, 데이타선(DB_R)의 레벨은 "H"로 변환되고, 데이타선($/DB_R$)의 레벨은 "H"로 변환되고, 데이타선($/DB_R$)의 레벨은 "L"로 변환된다.

데이타선(DB_R 및 $/DB_R$)의 각 레벨은, 각각 트랜지스터(57 및 58)을 거쳐 비트선(BL_R 및 $/BL_R$)으로 전송되며, 따라서 비트선(BL_R 및 $/BL_R$)의 레벨이, 각각 "H"및 "L"로 변환된다.

따라서, 기억셀(11)의 노드(C)는 "H"로 변환되고, 그의 노드(/C)는 "L"로 변환되어, 트랜지스터(15 및 14)는 ON 및 OFF된다.

이런방법으로, 데이타 "H"는 기억장치셀(11)로 기록된다. 이 상태에서, "L"로 변환되었을 때 비트선($/BL_R$)의 레벨은, 트랜지스터(54 및 62) 각각으로 부터 부하전류(I1 및 I2)에 기인한 접지레벨에 관한 부동레벨이다.

그러나, 보통 부하 트랜지스터(54)의 트랜스 콘덕턴스 값(gm)이 데이타 기록에 사용하기 위한 트랜지스터(66)의 값보다 더 작게 세트되기 때문에, 부동레벨과 접지레벨간에 약간의 차이가 있다.

일반적으로, 이런 약간의 차이는 수백 밀리볼트이다.

데이타 기록동작동안, 부동레벨은 전송 트랜지스터(18)을 거쳐 셀의 노드(/C)로 기록된다. 이 부동레벨은 다른 교차 결합된 트랜지스터(14)를 OFF시키는데 충분한 레벨이다. 따라서, 안정기록동작이 실행될 수 있다.

우측 및 좌측포트가 상이한 행을 선택한 경우에, 데이타는 단일포트 기억장치의 경우에서와 같은 방법으로 이중포트 기억장치로 기록된다.

이것은 특별한 문제가 발생치 않는다는 것을 의미한다.

그러나, 만약 우측 및 좌측포트가 같은 행을 선택한다면 문제가 발생될 것이다. 이 문제는 제2b도를 참조로 아래 기술될 것이다.

동일행이 우측 및 좌측포트를 거쳐 선택될 때 실행된 구동은, 상이한 행이, 좌측포트의 행선택선(WL_L)이 "H"레벨로 유지되는 걸로 선택될 때 실행된 구동과 다르다.

따라서, 전류는, 기억셀의 노드(/C)에 대한 좌측포트의 비트선($/BL_L$)로 접속된부하 트랜지스터로 부터 좌측포트의 전송 트랜지스터를 거쳐 흐르도록 발생된다.

만약 우측 및 좌측포트가 동일 행 뿐만 아니라 동일 열 또한 선택한다면, 좌측포트의 열선택 트랜지스터(56)는 ON되고, 따라서 전류는 좌측포트의부하 트랜지스터(60)로 부터 기억셀의 노드(/C)로 흐른다.

좌측포트로 부터 기억셀의 노드(/C)로 흐르는 상기 언급된 전류는, 우측포트 기록회로의 구성소자인 트랜지스터(66)에 의해, 우측포트의 전송 트랜지스터(19) 및 우측포트의 열선택 트랜지스터(58)를 통하여 흡수된다.

이런 방법으로, 기록회로의 트랜지스터(66)는, 동일 열 및 동일 행이 좌측 및 우측포트에 의해 선택될 때 많은 양의 부하전류를 흡수할 것이다.

더욱이, 기억셀의 노드(/C)의 레벨은, 트랜지스터(17 및 19)의 트랜스 콘덕턴스값의 비로서 비트선($/BL_L$ 및 $/BL_R$)의 레벨간의 차이를 나눔으로써 획득된 레벨이다. 일반적으로, 트랜지스터(17)는 트랜지스터(19)의 것으로서 동일 채널길이 및 채널폭을 갖는다.

따라서, 노드(/C)의 레벨은, 예를 들어 1.5V인 접지레벨에 비해 높다. 노드(/C)의 이 레벨은 트랜지스터가 OFF되도록 하지 않아서, 기록 동작은 불안정다.

발명의 요약

본 발명의 일반적인 목적은 약점이 제거된 이중포트 반도체 집적기억회로를 제공하는 것이다.

본 발명의 더 구체적인 목적은, 데이타를 안정적으로 기록할 수 있는 이중포트 반도체 집적기억회로를 제공하는 것이다.

본 발명의 상기 목적은, 한 쌍의 노드를 갖는 기억셀 ; 기억셀에 접속된 제1비트선쌍 및 제1단어선을 갖는 제1포트 ; 기억셀에 접속된 제2비트선쌍 및 제2단어선을 갖는 제2포트 ; 기억셀이 제1 및 제2포트 모두에 의해 선택된 상태로 제1 및 제2포트중 하나로 부터 기록된 데이타를 검출하기 위한 검출수단 ; 및 제1 및 제2포트 및 검출수단에 결합되고, 검출수단의 검출출력에 대응하는 노드중 하나를 다수로 증가시키기 위한 제어수단으로 구성된 이중포트 기억회로에 의해 이룩된다.

바람직한 실시예의 설명

제3a는 본 발명의 제1실시예의 개요를 도시한다.

제3a에서, 이전 도표에 도시된 바와 같은 부품이 동일 참조번호로 주어진다.

본 발명의 제1실시예에 따르면, 동일 행 및 데이타를 선택한 이중포트 기억장치의 두 포트가, 두 포트중 하나를 거쳐 기억셀 배열(도시안됨)로 기록될 때, 다른 한 포트의 행선택선의 선택 레벨은, 적어도 기록동작이 실행될때의 시간동안 정상선택레벨 및 비선택레벨간의 레벨로 감소된다.

제3a에 도시된 번지매치 검출회로(70)는 동일 행이 좌측 및 우측포트 모두에 의해 선택되는 경우를 검출한다.

우측-행-디코더 전력제어회로(71)는 임의의 우측 행 선택선의 선택레벨을 감소하는 작용을 하고, 좌측-행-디코더 전력제어회로(72)는 임의의 좌측 행선택선의 선택레벨을 감소하는 작용을 한다.

우측포트와 연결된 번지비트(Ao_R-i_R)를 구성하는 행번지신호는 번지버퍼(31)에 의해 MOS-레벨신호로 변환된다.

유사하게, 좌측포트와 연결된 번지비트(Ao_L-i_L)를 구성하는 행번지신호는 번지버퍼(31)에 의해 MOS-레벨신호로 변환된다.

번지버퍼(31 및 32)로 부터의 MOS-레벨번지신호는, 우측 및 좌측포트의 행번지가 서로 매치하는지의 여부를 결정하는 번지매치검출회로(70)로 입력된다.

우측 및 좌측포트의 행번지가 서로 매치한다는 사실이 결정될때, 번지매치검출회로(70)는 우측-행-디코더 전력제어회로(71) 및 좌측-행-디코더 전력제어회로(72)로 출력되는 번지매치검출회로(AM)를 발생한다.

회로(71)는 좌측포트에 연결된 기록제어신호($/WE_R$) 및 번지매치검출회로(AM)를 수신하고, 우측포트의 우측 행디코더(22)로 전력공급전압(Vc_R)을 출력한다. 유사하게, 회로(72)는 우측포트에 연결된 기록제어신호($/WE_R$)및 번지매치검출회로(AM)를 수신하고, 좌측 행디코더(21)로 전력공급전압(Vc_L)을 출력한다. 유사하게, 회로(72)는 우측포트에 연결된 기록제어신호($/WE_R$) 및 번지매치검출회로(AM)를 수신하고, 좌측 행디코더(21)로 전력공급전압(Vc_L)을 출력한다.

좌측 행과 좌측디코더(21 및 22)는, 번지버퍼(31 및 32)의 출력신호 및 전력공급전압(Vc_L 및 Vc_R) 각각을 수신하고, 출력신호를 행선택선(WL_R) 및 WL_L)으로 각각 송신한다.

제3c는 본 발명의 제1실시예에 따른 이중포트 기억장치의 전체구조의 블럭도이다.

제3c에 도시된 블럭(100)은 제3a도에 도시된 번지매치검출회로(70), 우측 -행-디코더 전력제어회로(71) 및 좌측-행-디코더 전력제어회로(72)로 구성된다.

제4a는 번지매치검출회로(70)의 회로도이다.

제4a에 도시된 바와 같이, 번지매치검출회로(70)는 다수의 배타적 -OR게이트(이후, EORs로 간략히 언급)(G1,G2,…) 및 NOR게이트(G10)로 구성된다.

각 EOR게이트(G1,G2,…)는 각각의 우측포트 및 좌측포트번지비트((Ao_R,Ao_L),(A_{1R},A_{1L}), …)를 수신한다. 우측포트 및 좌측포트번지비트가 서로 동일할 때, 각각의 EOR게이트는 "L"을 발생한다. 우측포트 및 좌측포트번지비트가 서로 다를 때, 각각의 EOR게이트는 "H"를 발생한다. NOR게이트(G10)는, 각 쌍의 우측포트 및 좌측포트번지비트가 서로 동일할 때 "H"를 발생하고, 적어도 한 쌍의 우측포트 및 좌측포트번지비트가 서로 다를 때 "L"을 발생한다.

제4b는 행디코더 전력제어회로(71 및 72) 각각의 회로도이다. 제4b도에 도시된 바와 같이, 각각의 행디코더 전력제어회로(71 및 72)는 인버터(INV1 및 INV2), NAND게이트(G11), P-채널 FET(Q1), 및 N-채널 FET(Q2 및 Q3)로 구성된다. 회로(71 및 72) 각각은 기록제어신호($/WE_L$ 또는 $/WE_R$), 및 번지매치검출회로(AM)를 수신한다.

기록제어신호가, 번지매치검출회로(AM)이 "H"로 유지되면서 적용될 때,인버터(INV2)의 출력신호(LC)는 "H"로 변환된다.

세 FETs(Q1-Q3)가 서로 접속되는 노드에 행디코더 전력제어회로(71 또는 72)의 출력단자(VC)가 있다.

인버터(INV2)의 출력신호(LC)가 "L"에 있을 때, 트랜지스터(Q1)는 ON되고, 트랜지스터(Q2)가 OFF됨에 따라 출력단자(VC)는전력공급전압(Vcc)로 세트된다.

출력신호(LC)가 "H"에 있을때, 트랜지스터(Q1)는 OFF되고 트랜지스터(Q2)는 ON된다.

이때, 출력단자(VC)는 항상 ON인 트랜지스터(Q3)에 의해 Vcc-Vth로 세트된다.

Vth는 트랜지스터(Q3)의 역치전압이라는 사실이 주목될 것이다.

트랜지스터(Q2)는 좁은 채널폭 및 긴 채널길이를 갖는 저역-gm 트랜지스터이다.

트랜지스터(Q2 및 3)가 모두 ON일 때, 즉 인버터(INV2)의 출력신호(LC)가 "H"일때, 출력단자(VC)는 Vcc-Vth로 세트된다.

행디코더 전력제어회로(71 또는 72)의 출력전압(VC)은, 선택적으로 행 선택선을 구동하는 행디코더(22 또는 21)의 최종단의 인버터의 전력공급전압으로서 공급된다.

제4c는, NAND회로(G12), P-채널 트랜지스터(Q5) 및 N-채널트랜지스터(Q6)로 각각 구성된, 행디코더 회로(21 및 22)의 각 최종단의 인버터를 도시한다.

트랜지스터(Q5 및 Q6)는, 행디코더 회로(21 및 22)의 각 최종단 인버터를 형성한다. 전압(VC)이 전압(Vcc) 대신에 인버터로 적용된다는 사실이 주목될 것이다.

디코더(인버터)의 "L"레벨이 0볼트이지만, 그의 "H"레벨은 Vcc가 아닌 VC와 같다. VC는 기억장치의 구동상태를 근거로 한 Vcc 또는 Vcc-Vth 중의 하나이다.

제5a는, 상기 언급된 동작을 도시한 경과 도표이다.

제5a에 도시된 동작은 좌측포트와 연결된 번지가 제2b에 도시된 경우에서와 같이 우측포트를 거쳐 기억장치로 기록된 우측포트 및 데이타와 연결된 바와 같은 것일 경우를 도시한다. 제5a에 도시된 T1에서, 좌측포트를 거쳐서 적용된 번지는 변하여, 우측포트를 거쳐서 적용된 번지와 동일하게 된다.

시각(T2)에서, 기록신호는 우측포트로 적용된다.

시각(T3)에서, 기록동작은 우측포트에서 완결된다. 시각(T4)에서, 좌측포트를 거쳐 적용된 번지는 변하여, 우측포트를 거쳐 적용된 것과 다르게 된다.

시각(T1)에서, 상기 번지는 서로 상이하며, 따라서 번지매치검출회로(AM)는 "L"에 있고, 출력신호(LC)도 또한 "L"에 있다.

이 시각에서 획득된 출력전압(VC)는 Vcc와 같다. 시각(T1)에서, 좌측포트와 연결된 번지는 변하여 우측포트에 연결된 것과 동일하게 된다.

따라서, 번지매치검출회로(AM)는 "H"로 변환하지만, 출력신호(LC)는, 우측포트가 아직 기록동작을 개시하지 않았기 때문에 "L"에서 계속적으로 유지된다.

따라서, 출력전압(VC)은 Vcc에서 계속 유지된다.

현재 번지에 의해 선택된 저역선택선(WL_L)의 레벨은 시각(T1)에서 Vcc로 변환한다. 시각(T2)에서, 우측포트는 기록동작을 개시한다.

이 변환에 대응하여, 출력신호 LC는 "H"로 변환하고, 출력전압(VC)은 Vcc-Vth로 감소한다.

이 변환에 대응하여, 좌측포트의 선택행과 연결된 "H"레벨은 Vcc-Vth로 감소한다. 시각(T3)에서, 우측포트의 기록동작은 종료된다.

따라서, 출력전압(VC)은 Vcc로 복귀하고, 저역선택선의 "H"레벨은 Vcc로 복귀한다. 시각(T4)에서, 좌측포트에 연결된 번지는 변환하고, 고려되는 행 선택선의 레벨은 0V로 변환하고, 번지매치검출회로(AM)는 "L"로 변환한다.

이제, 양 포트가 동일 행을 선택하고, 기타 포트가 기록동작으로 변환될 때, 기록동작이 독출된 데이타를 거쳐 1포트의 행 선택선의 "H"레벨을 감소시킴으로써 적절히 실행될 수 있는 이유에 대한 설명이 주어질 것이다.

제2b도를 참조로 기술되어왔던 바와 같이, 동일 행 및 데이타를 선택하는 좌측 및 우측포트가 좌측 및 우측 포트중 하나(고려되는 예의 우측포트)를 거쳐 기록될 때, 기억셀의 노드(/C)의 레벨은, 트랜지스터(17 및 19)의 트랜스 콘덕턴스 값(gm)의 비에 의해 $/BL_L$ 및 $/BL_R$의 레벨간의 차리를 나눔으로써 획득된 레벨과 같다. 본 발명의 상기 언급된 제1실시예에 따르면, 트랜지스터(17)의 트랜스 콘덕턴스(gm)는 판독측상의 포트에서의 행 선택선의 레벨(즉, WL_L의 레벨)을 감소함으로써 감소된다.

따라서, 노드(/C)의 레벨은 종래의 회로에 대한 것보다 더 작은 레벨로 감소되며, 따라서 교차-결합된 트랜지스터(14)를 OFF하기 쉬워진다.

결과적으로, 이중포트 기억장치에서의 기록동작은, 이중포트 기억장치에서 유래한 상태하에서 조차 안정적으로 실행될 수 있다.

이제, 제2실시예의 필수부품을 도시한, 제3b도를 참조로 본 발명의 제2실시예에 대한 설명이 주어질 것이다. 본 발명의 제2실시예에 따르면, 동일 행 및 데이타를 선택한 2개의 포트가 그들 중 하나를 거쳐 특정 기억장치셀로 기록되었을 때, 기타 포트에 있는 데이타선 부하의 임피던스는, 우측 또는 좌측 데이타선 부하제어회로(73 또는 74)에 의해 증가된다.

제4d는 우측 및 좌측 데이타선 부하제어회로(73 및 74) 각각의 회로도이다.

제4d에 도시된 바와 같이, 각 데이타선 부하제어회로는 인버터(INV3 및 INV4)와 NAND게이트(G13)로 구성되어 있다.

데이타선 부하제어회로 각각은, 기록제어신호($/WE_L$ 또는 $/WE_R$) 및 번지매치검출회로(AM)를 수신하고, 번지매치검출회로(AM)가 활동중인 동안 인버터(INV4)의 출력단자를 거쳐 "H"레벨출력신호(LC_R 또는 LC_L)를 발생한다.

데이타선 부하제어회로(73 및 74)의 출력신호(LC_R 및 LC_L)는, 이들 출력신호에 의해 제어된, 우측포트 및 좌측포트 데이터선 부하로 송신된다.

제6도는, 제3b에 도시된 구조의 회로도이다.

제6도에서, 종래 도표에서 도시된 바와 같은 부품이 동일참조번호로 주어진다.

제6도에 도시된 바와 같이, P채널 FETs(77-82,75,76,85 및 86)는, 비트선 부하회로(51-54) 및 데이타선 부하회로(59-62)로 직렬 접속된다.

출력신호(LC_L)가 "H"에 있을 때, 트랜지스터(75,76,77)의 임피던스는 증가된다. 출력신호(LC_R)이 "H"에 있을 때, 트랜지스터(81,82,85 및 86)의 임피던스는 증가된다.

트랜지스터(79 및 80)의 임피던스는, 우측포트의 열선택신호(Y_R)가 "H"에 있을 때 증가된다.

트랜지스터(85 및 86)의 임피던스는, 열선택신호(Y_L)가 "H"에 있을 때 증가된다.

이제, 동일 행 및 데이타 "H"를 선택한 좌측 및 우측포트가 제2b도에 도시된 경우와 같이 우측포트를 거쳐 기록될 때 실행된 구동을 도시하는 제5b도를 참조하여 제6도에 도시된 회로의 구동에 대한 기술이 주어질 것이다.

시각(T1)에서, 좌측포트를 경우하여 적용된 번지가 변화하고, 적어도 좌측 및 우측포트를 경우하여 적용된 행 번지들이 서로 같게 된다.

시각(T2)에서, 기록신호는 우측포트에 적용된다.

시각(T3)에서, 우측포트를 거쳐 실행된 기록동작이 완결된다.

시각(T4)에서, 좌측포트를 적용된 번지가 변화하여 우측포트를 거쳐 적용된 번지와 다르게 된다.

시각(T1)에서, 우측 및 좌측포트를 거쳐 적용된 번지는 서로 다르다.

따라서 번지매치검출회로(AM)는 "L"에 있고, 출력신호(LC_L)는 "L"에 있다.

결과적으로 비트선 부하회로를 형성하는 트랜지스터(77 및 78)와 데이타선 부하회로를 형성하는 트랜지스터(75 및 76)는 ON되고, 교체가 N채널 트랜지스터(51,52,59 및 60) 각각을 거쳐, 연결된 비트선 및 데이타선에 적용된다. 적어도 좌측 및 우측포트를 거쳐 적용된 행번지들이 시각(T1)에 서로 같게될 때, 번지매치검출회로(AM)는 "H"로 전환된다.

시각(T1)에서 우측포트에서의 기록동작은 아직 개시되지 않았고, 따라서 출력신호(LC_L)는 지속적으로 "L"로 유지된다.

결과적으로 비트선 부하회로 및 데이타선 부하회로의 상태는 시각(T1)에서와 같다.

시각(T2)에서 우측포트에서의 기록동작이 개시된다.

그때 출력신호(LC_L)는 "H"로 전환되고, 비트선 부하회로를 형성하는 트랜지스터(77 및 78)는 OFF된다.

데이타 기록동작이 우측포트를 거쳐 실행되는 열에 관하여, Y_R는 "H"에 있어서, 상기 열에 연결된 좌측 포트의 비트선 부하회로의 트랜지스터(79 및 80)는 OFF이다. 결과적으로 이 열의 모든 비트선 부하회로는 OFF이다.

따라서 전류경로가 없어서, 좌측포트의 플립플롭(52 및 60)로 부터의 전류는 트랜지스터(17 및 19)를 거쳐 기록 트랜지스터(66)으로 흐르고, 기억셀의 노드(/C)의 레벨은 낮게 유지된다.

결과적으로 안정된 기록동작이 실행될 수 있다. 더욱이 출력신호(LC_L)는 "H"에 있고, 데이타선 부하회로를 형성하는 트랜지스터(75 및 76)는 OFF이다.

따라서, 상기 전류경로는 동일행 및 동일열이 좌측 및 우측포트를 거쳐 선택되었을 때 조차 형성되지 않는다.

기록동작이 우측포트를 거쳐 실행된 열 이외의 열에 있어서, Y_R는 "L"에 있고, 따라서 비트선 부하회로는 ON이다.

결과적으로 비트선의 부동상태와 불안정한 기록동작을 방지할 수있다.

우측포트에서의 기록동작이 시각(T3)에서 완결되었을 때 출력신호(LC_L)는 "L"로 복귀되고, 비트선 부하회로 및 데이타선 부하회로는 ON된다.

이제 7a내지 7d도에 대해 설명될 것이다.

FIFO 기억장치에서 어떤 포트가 데이타 기록을 위해 사용되고 어떤 포트가 데이타 판독에 사용될 것인가를 사전에 결정된다.

이제, 우측포트는 기억셀 배열로 데이타를 기억시키기 위해 사용되고, 좌측포트는 기억셀 배열로 부터 데이타를 독출하기 위해 사용된다는 사실이 추측될 것이다. 제7a에 도시된 바와 같이, 데이타 판독에 사용하기 위한 전송트랜지스터(16 및 17)의 채널폭(W_R)은, 데이타 기록(W_W)에 사용하기 위한 전송트랜지스터(18 및 19)의 채널폭보다 좁도록 설계된다.

이 구조로서, 데이타 기록에 사용하기 위한 전송 트랜지스터의 임피던스는 데이타판독에 사용하기 위한 전송 트랜지스터보다 더 작게 만들어지며, 이들 트랜지스터의 임피던스의 비에 의존한 기억셀의 노드(/C)는 더 작은 레벨로 세트될 수 있다.

제7d에 도시된 구조에서 데이타 판독에 사용하기 위한 전송 트랜지스터의 채널길이보다 더 길다.

이 구조는 제7도에 도시된 바와 같은 장점을 갖는다.

제7b 및 제7c는 채널길이 또는 폭을 변경하지 않고 노드(/C)의 레벨을 감소시키려는 회로를 도시한다.

제7b도는 기록측(우측포트측) 상의 회로를 도시하고, 제7c도는 판독측(우측포트측) 상의 회로를 도시한다.

제7b도에 도시된 트랜지스터(Q7 및 Q8)는 CMOS 인버터를 형성하고, 트랜지스터(Q9 및 Q10)는 CMOS인버터를 형성한다.

제7b및 제7c에 도시된 회로는 행디코더의 단어선 구동기를 형성한다.

제7c에 도시된 바와 같이 트랜지스터(Q11)에 접속된 다이오드는 직렬로 CMOS 인버터에 접속된다.

단어선이 선택되었을 때, 제1d도에 도시된 기록포인터(42) 및 판독포인터(44)는 인버터(INV5 및

INV6)각각에 의해 변환된 "H"레벨신호를 출력한다.

이로 인해, 트랜지스터(Q7 및 Q9)는 ON되고, 트랜지스터(Q8 및 Q10)는 OFF된다.

결과적으로 단어선(WL_R 및 WL_L)은 "H"로 전환된다.

그러나, 트랜지스터(Q11)는 판독측(우측포트측)에 제공되며, 따라서 WL_R= Vcc 및 WL_L=Vcc-Vth이다.

단어선의 선택레벨이 감소함으로써, 전송 트랜지스터의 임피던스는 증가한다.

따라서 제7a도 또는 7d도에 도시된 바와 같은 효과가 획득될 수 있다.

본 발명의 개시된 특정 실시예에 제한되지 않고, 변화와 변형이 본 발명의 범위와 멀어지지 않고 만들어 질 수 있다.

(57) 청구의 범위

청구항 1

이중포트 기억회로에 있어서, 한쌍의 노드를 갖는 기억셀(11) ; 상기 기억셀에 접속된 제1쌍의 비트선(BL_R,/BL_R) 및 제1단어선(WL_R)을 갖는 제1포트(23,25,31,33) ; 및 상기 기억셀에 접속된 제2쌍의 비트선(BL_L,/BL_L) 및 제2단어선(WL_L)을 갖는 제2포트(22,24,32,34)로 구성되며, 상기 이중포트 기억회로가, 기억셀이 제2 및 제2포트 양측에 의해 선택된 상태에서 제1 및 제2포트중 하나로 부터 기록된 데이타를 검출하기 위한 검출수단(70) ; 및 상기 검출수단의 검출출력에 대응하여 노드중 하나의 전위를 감소시키기 위한, 상기 제1 및 제2포트 및 상기 검출수단과 결합된 제어수단(71,72 ; 73,74)로 구성된 것을 특징으로 하는 이중포트 기억회로.

청구항 2

제1항에 있어서, 상기 제어수단이, 단어선 선택레벨 및 단어선 비 선택레벨간의 레벨에 대한 제1 및 제2포트중 다른 하나에 연결된 제1 및 제2단어선중 하나를 세트시키기 위한 수단(71,72)로 구성된 것을 특징으로 하는 이중포트 기억회로.

청구항 3

제1항에 있어서, 상기 제어수단이 제 1 및 제2포트중 다른 하나와 연결된 제1 및 제2단어선쌍중 하나의 임피던스값을 증가시키기 위한 수단(73,74)으로 구성된 것을 특징으로 하는 이중포트 기억회로.

청구항 4

제1항에 있어서, 상기 이중포트 기억회로가, 상기 제1비트선쌍(DB_R,/DB_R)과 결합된 제1데이타선쌍 및 상기 제2비트선쌍과 결합된 상기 제2데이타선쌍(DB_L,/DB_L)로 구성되고, 상기 제어수단이 제1및 제2포트중 다른 하나와 결합된 제1 및 제2데이타선쌍중 하나의 임피던스값을 증가시키기 위한 수단(73,74)로 구성된 것을 특징으로 하는 이중포트 기억회로.

청구항 5

제1항에 있어서, 상기 이중포트 기억회로가, 상기 제1비트선쌍과 결합된 제1데이타선쌍(DB_R,/DB_R) 및 상기 제2비트선쌍과 결합된 상기 제2데이타선쌍으로 구성되고, 상기 제어수단이 다른 제1및 제2포트와 연결된 제1 및 제2 비트선쌍중 하나의 임피던스값을 증가시키고, 상기 제1 및 제2비트선중 하나와 결합된 제1 및 제2데이타선쌍중 하나의 임피던스값을 증가시키기 위한 수단으로 구성된 것을 특징으로 하는 이중포트 기억회로.

청구항 6

제1항에 있어서, 상기반도체 집적기억회로가, 데이타가 상기 기록포트를 거쳐 기억셀로 기록되었을 때, 제1임피던스회로가 획득된 제2비트선쌍과 결합된 제2임피던스회로의 임피던스값보다 더 큰 임피던스값을 갖도록 데이타가 기억셀로 부터 상기 판독포트를 거쳐 독출될 때 획득된 제1비트선쌍과 결합된 제1임피던스회로를 제어하기 위한 수단(73,74)으로 구성되고 ; 제1포트가 제1비트선쌍을 거쳐 기억셀로 부터 독출된 데이타를 거친 판독포트이고 ; 제2포트가 제2비트선쌍을 거쳐 기억셀로 기록된 데이타를 거친 기록포트인 것을 특징으로 하는 이중포트 기억회로.

청구항 7

제1항에 있어서, 상기 기억셀이 제1비트선쌍 및 제1단어선간에 결합된 제1 및 제2전송 트랜지스터(18,19) 및 제2비트선쌍 및 제2단어선간에 결합된 제3 및 제4전송 트랜지스터(16,17)로 구성되고, 제3 및 제4트랜지스터의 임피던스값이 제1 및 제2트랜지스터의 임피던스값보다 작으며, 제1포트가 제1비트선쌍을 거쳐 기억셀로 부터 독출된 데이타를 거친 판독포트이고, 제2포트가 제2비트선쌍을 거쳐 기억셀로 기록된 데이타를 거친 기록포트인 것을 특징으로 하는 이중포트 기억회로.

청구항 8

제1항에 있어서, 상기 기억셀이 제1비트선쌍 및 제1단어선간에 결합된 제1 및 제2전송 트랜지스터(18,19) 및 제2비트선쌍 및 제2단어선간에 결합된 제3 및 제4전송 트랜지스터(16,17)로 구성되고, 제1 및 제2트랜지스터 각각이, 제3 및 제4트랜지스터 각각의 채널폭(W_L) 작은 채널폭(W_R)을 갖으며, 제1포트가 제1비트선쌍을 거쳐 기억장치로 부터 독출된 데이타를 거친 판독포트이고, 제2포트가 제2

비트선쌍을 거쳐 기억셀로 기록된 데이타를 거친 포트인 것을 특징으로 하는 이중포트 기억회로.

청구항 9

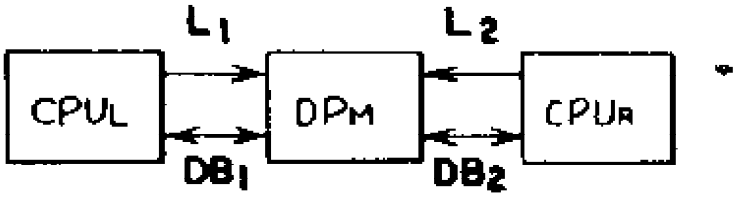
제1항에 있어서, 상기 기억셀이 제1비트선쌍 및 제1단어선간에 결합된 제1 및 제2전송 트랜지스터(18,19) 및 제2비트선쌍 및 제2단어선간에 결합된 제3 및 제4전송 트랜지스터(16,17)로 구성되고, 제1 및 제2트랜지스터 각각이, 제3 및 제4트랜지스터 각각의 채널길이(L_W) 보다 작은 채널길이(L_R)을 갖으며, 제1포트가 제1비트선쌍을 거쳐 기억장치로 부터 독출된 데이타를 거친 판독포트이고, 제2포트가 제2비트선쌍을 거쳐 기억셀로 기록된 데이타를 거친 포트인 것을 특징으로 하는 이중포트 기억회로.

청구항 10

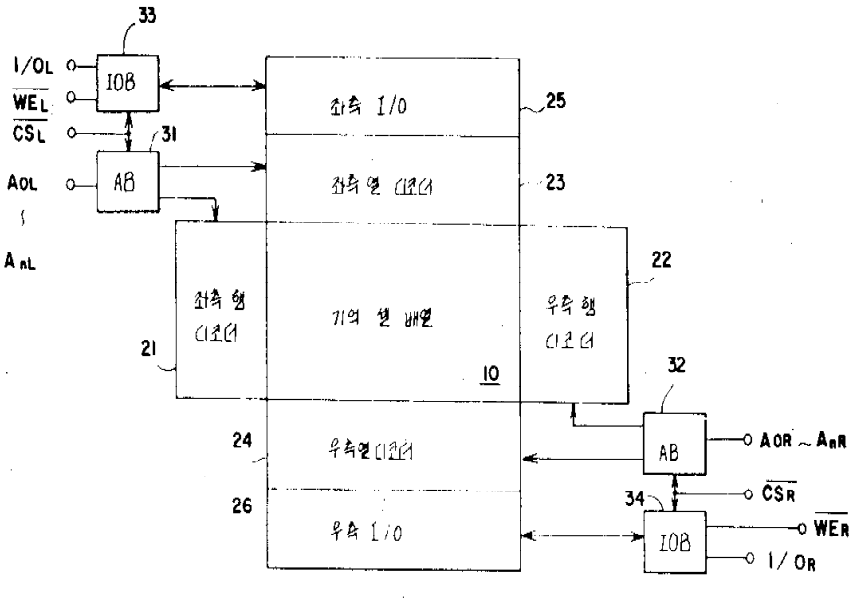
제1항에 있어서, 상기 기억셀이 제1비트선쌍 및 제1단어선간에 결합된 제1 및 제2전송 트랜지스터(18,19) 및 제2비트선쌍 및 제2단어선간에 결합된 제3 및 제4전송 트랜지스터(16,17)로 구성되고, 제1 및 제2트랜지스터 각각이, 제1비트선쌍이 선택되었을 때, 제3 및 제4트랜지스터 각각의 것보다 더 작은 게이트 레벨을 1단어선을 거쳐 수신하며, 제1포트가 제1비트선쌍을 거쳐 기억장치로 부터 독출된 데이타를 거친 판독포트이고, 제2포트가 제2비트선쌍을 거쳐 기억셀로 기록된 데이타를 거친 포트인 것을 특징으로 하는 이중포트 기억회로.

도면

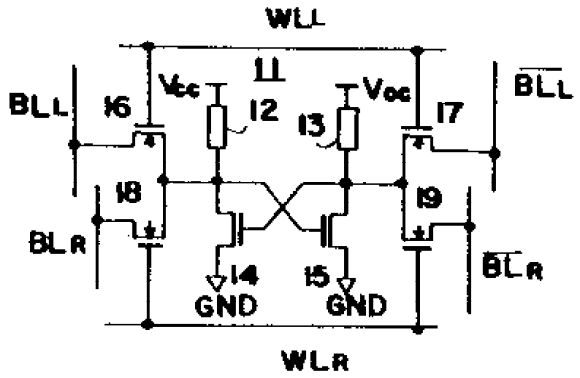
도면1A



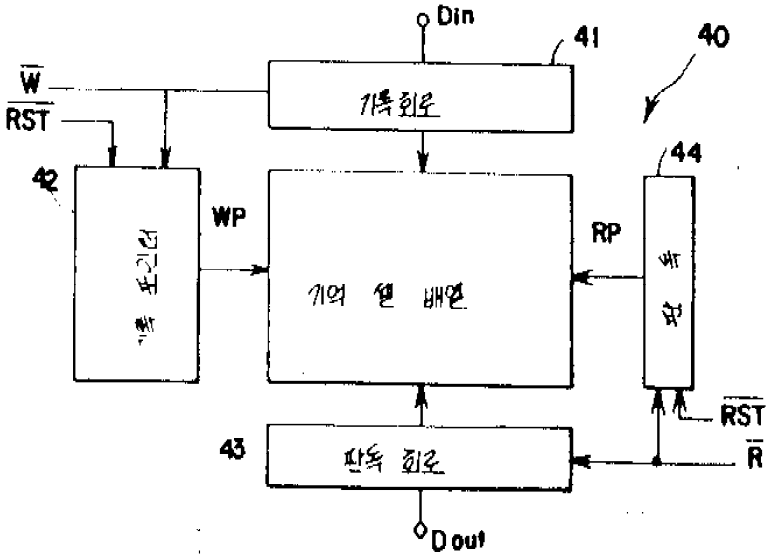
도면1B



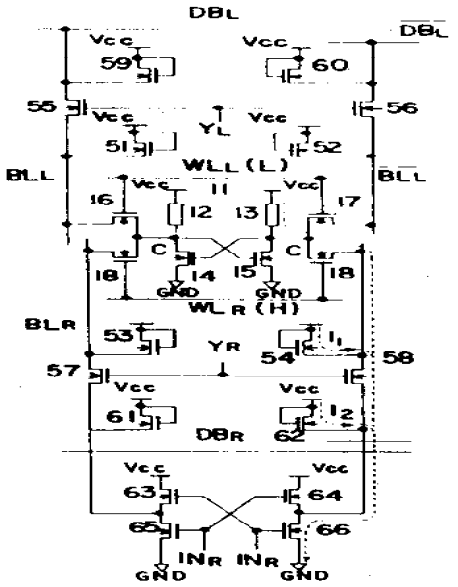
도면1C


WLL
11
BLL
16
Vcc
12
13
Vcc
17
BLL
18
19
BLR
14
15
GND
GND
BLR
WLR

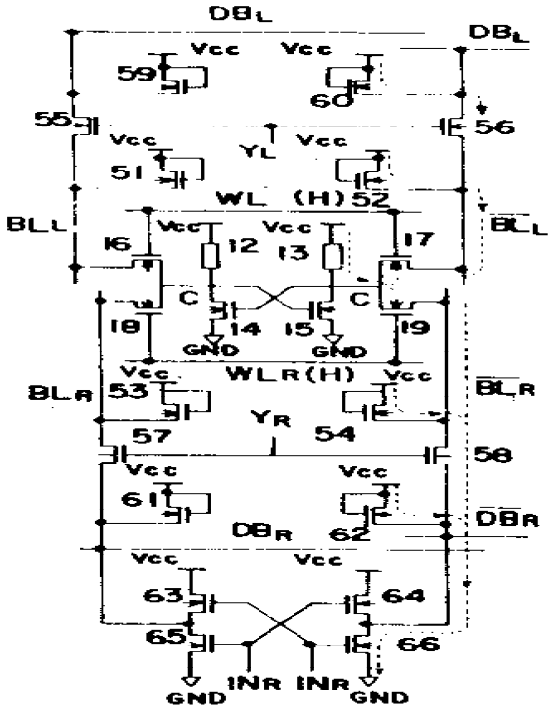
도면1D


Din
41
40
W
RST
기록 회로
42
44
WP
RP
기억 열 배열
RST
43
판독 회로
R
Dout

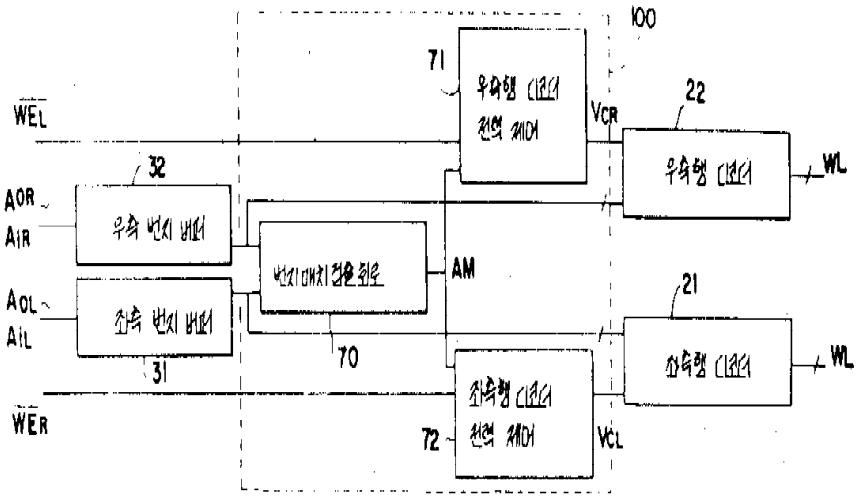
도면2A


DBL
DBL
Vcc
59
60
55
56
YL
51
52
WLL(L)
BLL
BLL
11
16
12
13
17
C
14
15
18
GND
WLR(H)
BLR
53
YR
54
57
58
DBR
61
62
63
64
65
66
INR
GND

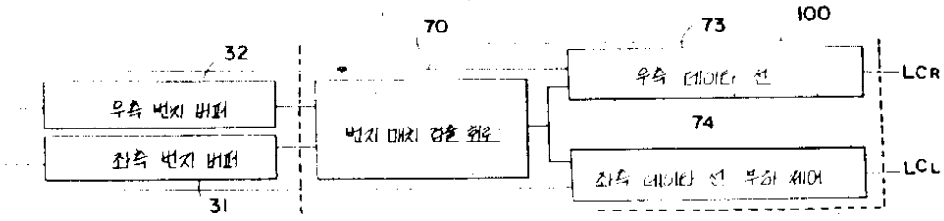
도면2B


DBL
DBL
Vcc
59
60
55
56
YL
51
WL (H) 52
BLL
BLL
16
12
13
17
C
18
14
15
19
GND
WLR(H)
BLR
53
BLR
YR
57
54
58
61
DBR
62
63
64
65
66
INR
GND

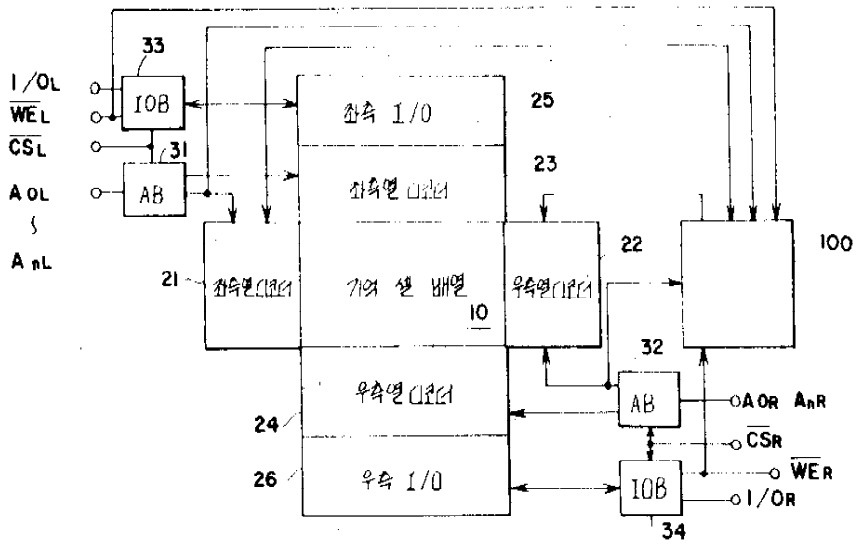
도면3A



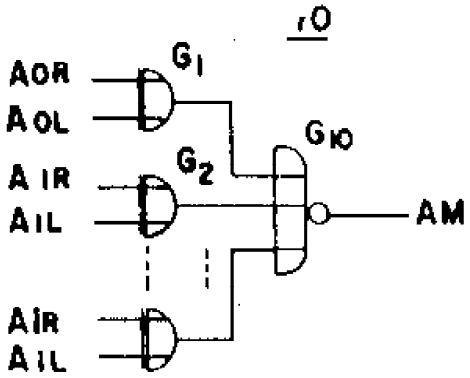
도면3B



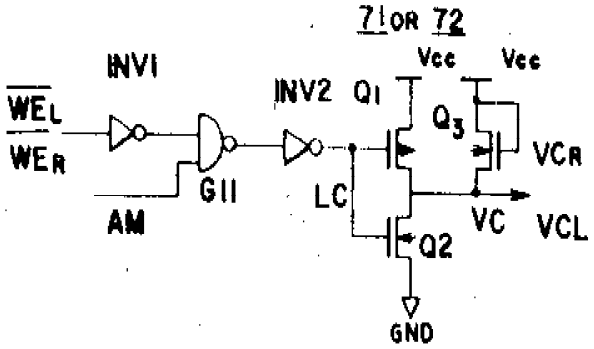
도면3C



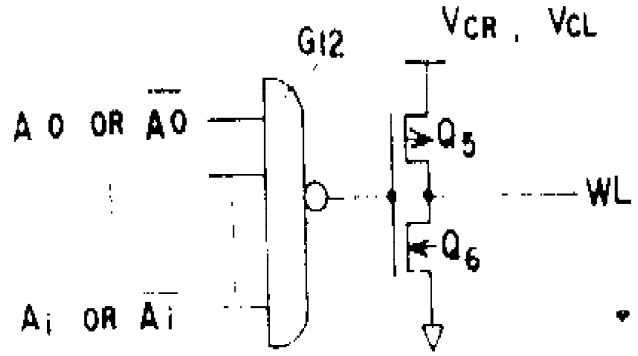
도면4A



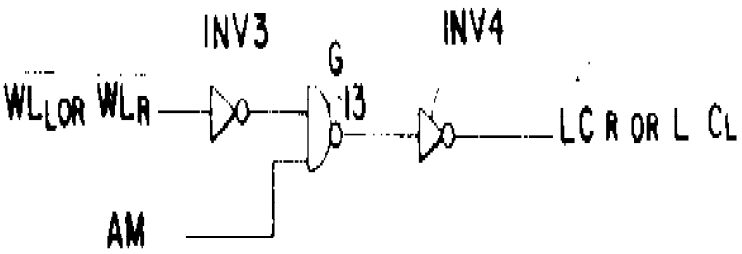
도면4B



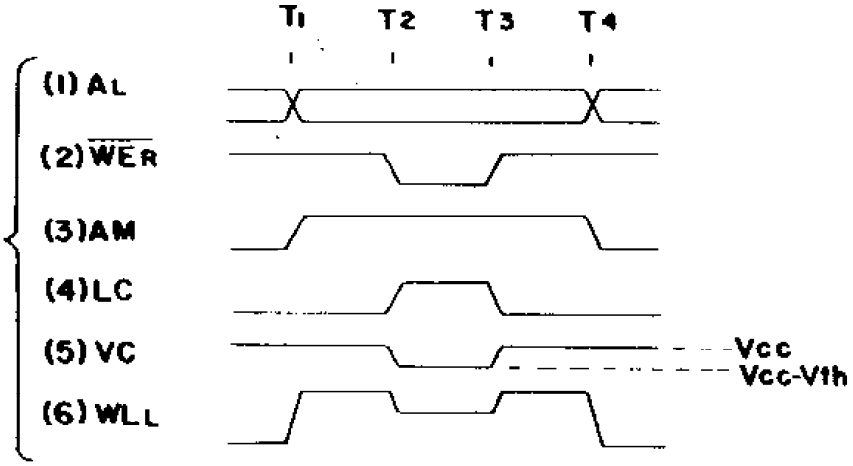
도면4C



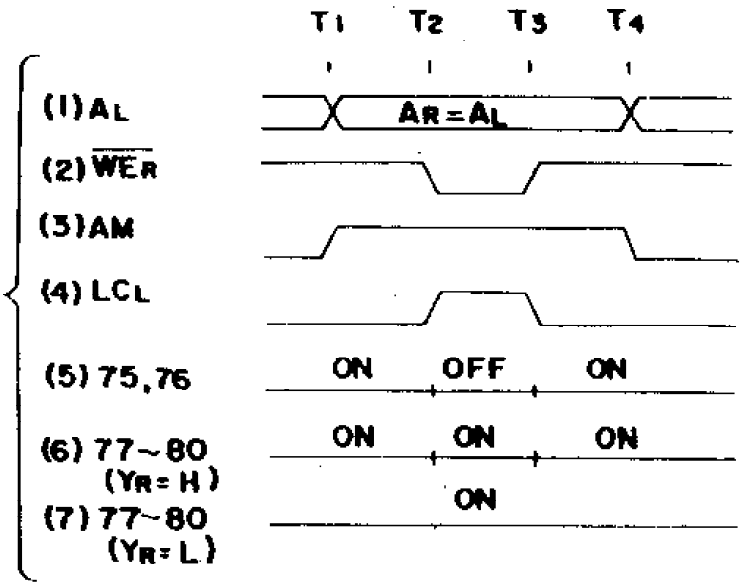
도면4D


INV3
INV4
G
13
WLLOR WLR
LC R OR L CL
AM

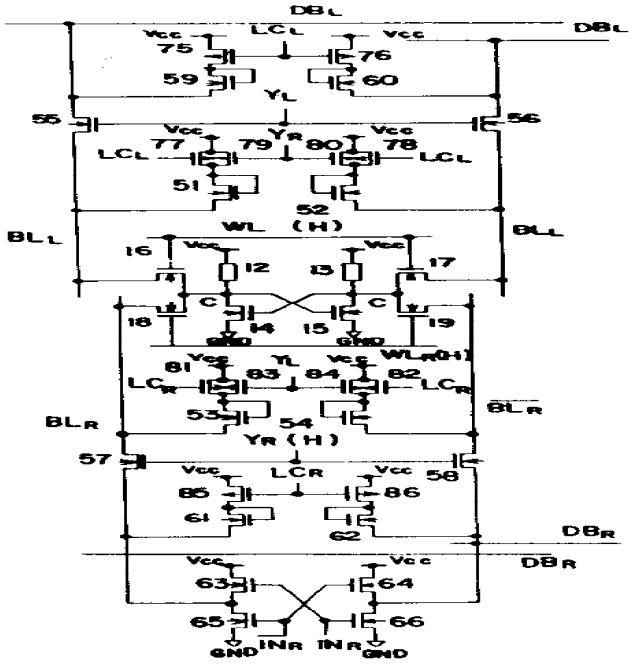
도면5A


T1
T2
T3
T4
(1) AL
(2) WER
(3) AM
(4) LC
(5) VC
(6) WLL
Vcc
Vcc-Vth

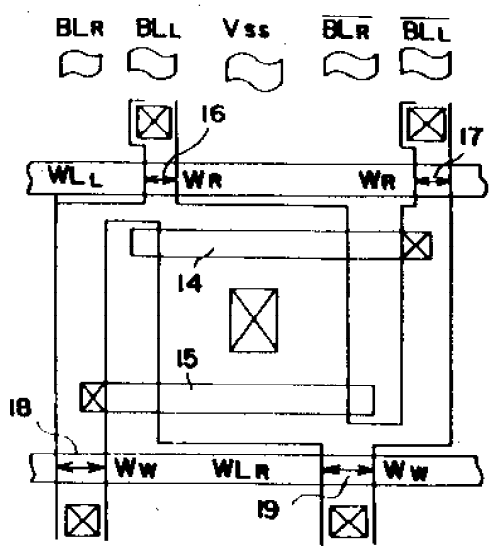
도면5B


T1
T2
T3
T4
(1) AL
AR=AL
(2) WER
(3) AM
(4) LCL
(5) 75,76
ON
OFF
ON
(6) 77~80 (YR=H)
ON
ON
ON
(7) 77~80 (YR=L)
ON

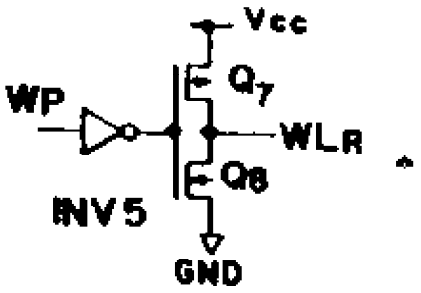
도면6


DBL
LCL
Vcc
75
76
59
60
YL
55
56
77
79
80
78
51
52
WL (H)
BLL
16
12
13
17
18
14
15
19
GND
81
83
84
82
LCR
53
54
BLR
YR (H)
57
58
86
61
62
DBR
63
64
65
66
INR
GND

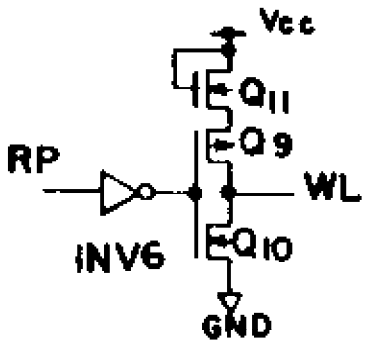
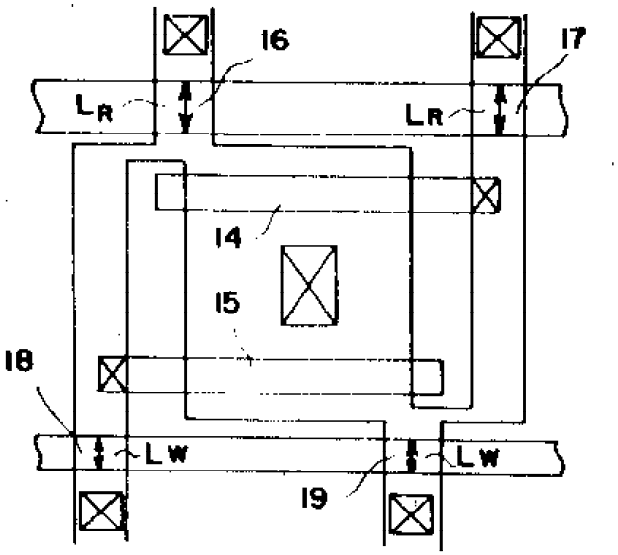
도면7A



도면7B



도면7C



도면7D