

393722

申請日期	87.6.15
案 號	8710P460
類 別	H01L27/76

A4

C4

393722

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	含有淺溝渠隔離之積體電路裝置
	英 文	Integrated Circuit Devices Including Shallow Trench Isolation
二、發明 創作人	姓 名	諾伯特亞諾德 (Norbert ARNOLD)
	國 籍	美國
	住、居所	美國紐約州10952雀斯特納特里格凱斯路26號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

美 國 (地區) 申請專利，申請日期： 案號： ， ☒ 有 ☐ 無主張優先權
1997年6月26日 08/883,356 (主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明領域

本發明係有關一種積體電路裝置，特別的是這種裝置於所含淺溝渠內填充有介電質以便將埋藏積體電路的矽晶片隔離成分開的部分。

發明背景

有關埋藏於矽晶片內的積體電路，通常必需將晶片的活性表面部分分割成互相之間呈電氣隔離的分開部分。然後電路上像電晶體、電容、電阻、及/或二極體之類的一個或更多元件是形成於不同的分開部分內，再依預期的電路設計以該活性表面上的導體使這些元件電氣地連接在一起。因為在高密度積體電路中必需有效地使用晶片上活性表面的面積，故能依儘可能少用這種表面積的方式使分開部分互相隔離是很重要的。有關這種隔離方式，近來變得愈益重要的一種技術是所謂淺溝渠隔離(STI)。於這種技術中的隔離是由形成於晶片之活性表面上填有介電質的淺溝渠所提供的。通常預期這類溝渠是深度大於其寬度，而其寬度經常是小於一微米。這種尺寸的溝渠出現了作完全可靠之填充的困難。填充物是澱積氧化矽使之覆蓋晶片上具有溝渠的整個表面，然後再用化學機械磨光法(CMP)使表面平坦化以便將除填充於溝渠處之外的氧化矽去除。不過，以通常所預期溝渠的小尺寸而言是很難於整個晶片上使填充物一致地達成預期的程度。

五、發明說明(>)

發明概述

依本發明，有利地，欲填充隔離之溝渠是由兩個步驟形成的。首先，利用蝕刻法於晶片靠上邊或是表面部份內形成溝渠，有利地使其深度大約能匹配其溝渠寬度及實質上呈鉛垂的側壁。第二，利用加進一個其寬度會隨深度逐漸變小使得溝渠底部之寬度小於其表面寬度的靠下邊部分而加深溝渠。由於基本上排除了溝渠底部上的尖鉛角落故更易於進行填充。這種逐漸變小的部分應該有利地延伸於溝渠上具有均勻寬度之靠上邊部分的四分之一處到四分之三處之間。在澱積了氮化矽保護蓋之後，於晶片的頂表面以氧離子垂直地衝擊以便將氧離子選擇性地植入晶片中鄰近溝渠靠下邊(寬度)逐漸變小部分的區域內。接著加熱晶片以便同時使氧離子於溝渠底部部分擴散得更深入且於溝渠側壁上逐漸變小部分擴散得更寬。晶片上有氧離子擴散進矽的部分會因為受到氧化或只是因為氧離子的存在增加了其阻抗而使這些部分的阻抗有效地變得更高。此外，矽受到氧化處理經常會有體積的改變而出現以氮化矽填充原始溝渠底部部分的趨勢。剩餘的溝渠能以常用的方式填入氮化矽。通常，這會涉及以氮化矽覆蓋頂表面然後以CMP法將之平坦化而留下填有氧化物的溝渠。

從一種觀點，本發明所引導的是於晶片內形成填有氮化矽之溝渠的製程。此一製程包括的步驟有：於晶片內形成一個溝渠使之至少於其靠下邊部分具有逐漸變小之

五、發明說明(4)

側壁：將氧離子植入該溝渠靠下邊部分之側壁中；加熱該晶片以形成該溝渠之氧植入之靠下邊部分之矽氧化物；以及以澱積之矽氧化物充填該溝渠之其餘部分。

本發明將以下文較詳細之說明給合附圖為主而呈較佳於理解。

圖式簡單說明

第1-6圖、顯示的是根據本發明形成填充有氧化矽之溝渠的程序中之矽晶片在不同步驟時的截面圖。

應該注意的是這些圖未必是依實際比例繪製的。

較佳實施說明

本發明係有關一種半導體裝置的製造。特別是，本發明係有關形成一種淺溝渠隔離以分開裝置內的元件。通常如同目前工業上的一般應用，這些裝置是於隨後會切成各含一個裝置之個別晶片的半導體晶圓內或上接受平行的處理。為了簡化的目的，將依單一晶片的方式說明這個製程。

如上所述，此裝置是形成於半導體晶圓之內及/或其上。例如，此晶圓包括有單晶矽。像絕緣體上的矽(SOI)或是砷化鎵之類其他型式的半導體基板也是很有用的。

如第1圖所示，一種犧牲氧化物(PAD oxide)薄層11的形成通常是使之覆蓋於一個包括例如矽的晶片或基片13上的活性(頂)表面13A之上。這種氧化物基本上是扮演著於製程中保護矽表面的角色。然後於PAD氧化層11上形成一個於製程中扮演著蝕刻阻斷層的氧化矽(PAD nitride)

五、發明說明(4)

層 15。接著於頂表面上澱積一個其材料是扮演著氧離子衝擊的緩衝層且終將用來將氧離子選擇性地植入將要形成之溝渠內的層膜 17。多晶矽是特別適用於這個目的的材料。像非結晶矽或鍺之類能防止氧離子穿透之其他型的材料也是很有用的。層膜 17 的有利厚度應該是使之能於加熱步驟中有效地完全氧化並能於稍後的製程中用來使植入的氧離子進行退火。

接下來，由第 2 圖可以看出利用習知的微影技術可以例如形成具有阻體的遮罩層 19 並將之製作成圖案以定義出一個欲蝕刻的溝渠。然後有利地於將要形成溝渠的區域內選擇性地蝕刻掉多晶矽層 17、氮化矽層 15、以及 PAD 氧化矽層 11 而暴露出裸露的矽表面 13A。通常，這種蝕刻步驟可以利用能作異向性蝕刻的反應離子蝕刻 (RIE) 法而完成。阻體層 19 是在蝕刻步驟之後去除的。

現在參照第 3 圖，於將要形成溝渠處裸露出晶片表面 13A 之後，以習知形式異向性蝕刻基片 13 以便於其內形成其靠上邊部分 21A 具有基本上呈鉛垂之側壁的溝渠 21。這個部分的高度是有利地大約與溝渠的寬度相同，而溝渠的寬度可能大約是最小特性尺寸的等級，目前這個等級大約是 0.175 微米。不過，在某些情況下一個更淺的深度例如溝渠寬度的一半也能適用。任何已知用來蝕刻基本上具有鉛垂側壁之溝渠的反應離子蝕刻 (RIE) 技術都可以用於這個目的。

接下來，蝕刻出溝渠 21 的一個靠下邊逐漸變小部分 21B

五、發明說明(5)

。部分 21A 和部分 21B 的聯合寬度是足夠扮演淺溝渠隔離的角色。通常，部分 21B 的高度是有效地介於溝渠 21 寬度的四分之一處到四分之三處之間。任何已知用來蝕刻基本上具有鉛垂側壁之溝渠的反應離子蝕刻(RIE)技術都可以用於這個步驟。

接下來，由第 4 圖可以看出在將用來定義溝渠區域以供蝕刻的遮罩 19 去除之後，能有利地澱積氮化矽薄層 25 使之覆蓋於基片 13 上。氮化物為後續的氧離子植入步驟扮演著屏蔽層的角色。能選擇性地對氧化物扮演屏蔽植入層之角色的其他材料也是很有用的。另外，氧化物和氮化物層的組合也是很有用的。在氮化矽層就定位之後，矽晶片 13 接受氧離子的衝擊以進行植入。因為層膜 17 的遮罩效應，基本上氧離子是選擇性地植入溝渠部分 21B 逐漸變小的側壁及底壁內。完成氧離子植入的優點是說明於例如 A. Auberton 等人發表於 Nuclear Instrument and Methods in Physics Research B96(1995)pp 402-424 標題為「SIMOX- 離子植入的一項新挑戰 (SIMOX-a new challenge for ion implantation)」的論文中，以下在所有目的下將之列為本發明的參考文獻。例如當使用的劑量是大約 $4 \times 10^{18} \text{ }^{18}\text{O}^{+}/\text{cm}^2$ 到 $1 \times 10^{18} \text{ }^{18}\text{O}^{+}/\text{cm}^2$ 之間而具有的能是大約 120 KeV 時可以得到令人滿意的結果。於第 4 圖中，氧離子穿透而延伸進入溝渠壁的範圍是以虛線 27 標示出。氧離子也會植入扮演遮罩角色的多晶矽層 17 內而這也會轉換成氧化矽。圖中並未標示出如是植入的氧

五、發明說明 (b)

離子以保持圖表的簡潔。

在植入氧離子之後，令基片 13 接受加熱。加熱基片所達的溫度是足以因退火而去除植入所導致的損壞，同時使植入的氧離子與矽反應而沿溝渠部分 21B 逐漸變小的側壁及底壁形成氧化矽，並將層膜 17 轉換成氧化矽膜（仍標示為層膜 17）。

於一個實施例中，是將基片加熱到大約 1150-1300℃ 的溫度。退火時間是足夠長以確保於植入氧離子位置形成預期的氧化矽。通常，退火時間會持續幾個小時。此外，當矽和氧離子結合成氧化矽時會發生腫脹的現象。這種腫脹現象會因填充溝渠 21 底部的尖銳角落而有圓鈍化的傾向，且使得更容易於後續步驟中澱積氧化矽以填充到溝渠 21。另外，當溝渠 21 底部接受植入的矽區域轉化成氧化物時，氧化物的添加有效地加深了溝渠 21 的隔離角色。

於第 5 圖所示，如區域 28 係由加熱步驟於溝渠 21 底部所產生的氧化矽層。這同時包含有矽晶片 13 上已轉化成氧化物的一部分以及原始溝渠 21 中由腫脹所填充的一部分。圖中還顯示了澱積於晶片頂表面的介電層 30。於一個實施例中，此介電層包括了氧化矽。首先去除氮化矽層 25 之後才澱積這個層膜 30 以允許這個澱積層與層膜 28 合併。必要時可將溝渠的底部和側壁氧化。優點是，選擇這個層膜 30 的厚度使之足以確保其填充溝渠時的澱積結果而致層膜 30 能與二氧化矽層區域 28 合併。已知的各

五、發明說明(7)

種形成介電層的技術都可以適用於這個目的。例如，介電層的澱積技術包含 TEOS(正矽酸乙酯)或 HDP。

接下來，令氧化矽層 30 接受化學機械磨光法(CMP)的磨光使其表面平坦化成大約是能扮演蝕刻阻斷層的原始 PAD 氮化矽層 15 的位準如第 6 圖所示。層膜 30 中會保留一部分 32 以填充溝渠 21。任何已知的技術都可以用於這個步驟。

在去除該氧化矽層 30 之後，造成一晶片 13，如第 6 圖所示，其頂部(活化)表面含有一氧化矽填充之溝渠 32，此溝渠將晶片靠上邊部分分割成許多呈電氣隔離的區域 33 和 34，然後每一個區域都可以用來容納頂期積體電路中的一個或更多個元件。如同所預期的，隨後依習知的形式將一層或更多層的導電圖案(未標示)覆蓋於晶片 13 的頂表面上而令這些元件連接在一起。於某些情況下，可以證明最好為一些元件透過背後的表面提供到電壓源端子的連接如接地。

值得鑑賞的是已說明了依所附實施例而作的各種改變可以在不偏離本發明所附申請專利範圍之精神及架構下完成。特別是，所提及的特定尺寸僅屬目前的較佳條件而其他尺寸也能適用。另外，任何適用的技術都可以用來形成本發明中至少具有一個逐漸變小靠下邊部分的有用溝渠。同樣地，相信對用於上述各層之材料的說明是很重要的，而具有類似性質的才料也能適用於本發明。此外，於某些情況下可能最好在加熱晶片之前於氧離子

五、發明說明(8)

- 植入的溝渠內填充以澱積的氯化矽，以便使植入的氧離子與矽晶片發生反應。在完成製程之後，可能證明這種方法是能使溝渠靠下邊部分的缺陷最小化的一種較好方法。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

象

五、發明說明(9)

參考符號說明

- 11.....PAD氧化物層
- 13.....基片
- 13A.....活性表面
- 15.....氧化矽層
- 17.....矽晶片層
- 19.....阻體(遮罩)層
- 21, 32.....溝渠
- 21A.....溝渠的靠上邊部份
- 21B.....溝渠的靠下邊部份
- 25.....氮化矽層
- 28.....二氧化矽層區域
- 30.....介電層
- 33, 34.....溝渠的分割區域

(請先閱讀背面之注意事項再填寫本頁)

表

訂

象

四、中文發明摘要(發明之名稱：

含有淺溝渠隔離之積體電路裝置

一種於矽晶片的活性表面上形成填有氧化矽之淺溝渠的製程，開始是於矽晶片內形成具有鉛垂側壁之靠上邊部分以及具有逐漸變小側壁之靠下邊部分的溝渠。然後選擇性地將氧(離子)植入溝渠靠下邊部分的側壁內並加熱晶片以便植入的氧(離子)與矽反應而形成氧化矽。然後以澱積的氧化矽填充於其餘的溝渠內，通常是利用於表面澱積一層氧化矽然後基本上將澱積的氧化矽平坦化成溝渠頂端的位準。填有氧化矽之淺溝渠扮演著將晶片的表面部分分割成分開的區域，而每一個區域都可以用來容納積體電路上的一個或是更多的電路元件。

英文發明摘要(發明之名稱：Integrated Circuit Devices Including Shallow Trench Isolation)

A process for forming a silicon oxide-filled shallow trench on the active surface of a silicon chip starts with forming a trench in the silicon chip that has an upper portion with vertical side walls and a lower portion with tapered side walls. Then oxygen is implanted selectively into the walls of the lower portion of the trench and the chip is heated to react the implanted oxygen with the silicon to form silicon oxide. The rest of the trench is then filled with deposited silicon oxide, typically by depositing a layer of silicon oxide over the surface and then planarizing the deposited silicon oxide essentially to the level of the top of the trench. The silicon-filled shallow trench serves to divide the surface portion of the chip into discrete regions, each for housing one or more circuit components of an integrated circuit.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種製程係用於製造半導體裝置而含有形成隔離溝渠

步驟，這些步驟包括：

於半導體基片內形成溝渠；

將氬離子植入該溝渠內；

加熱基片以便於植入氬離子處形成氧化矽；以及

以介電層填充該溝渠。

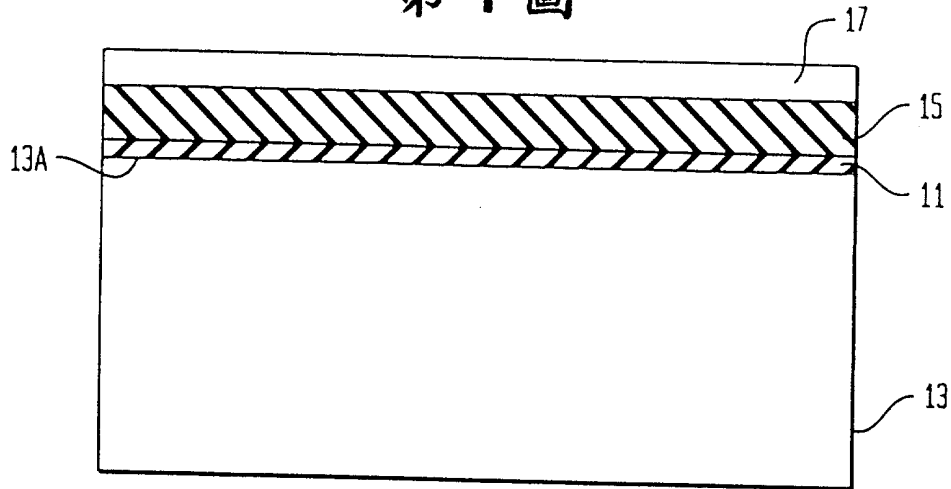
(請先閱讀背面之注意事項再填寫本頁)

裝

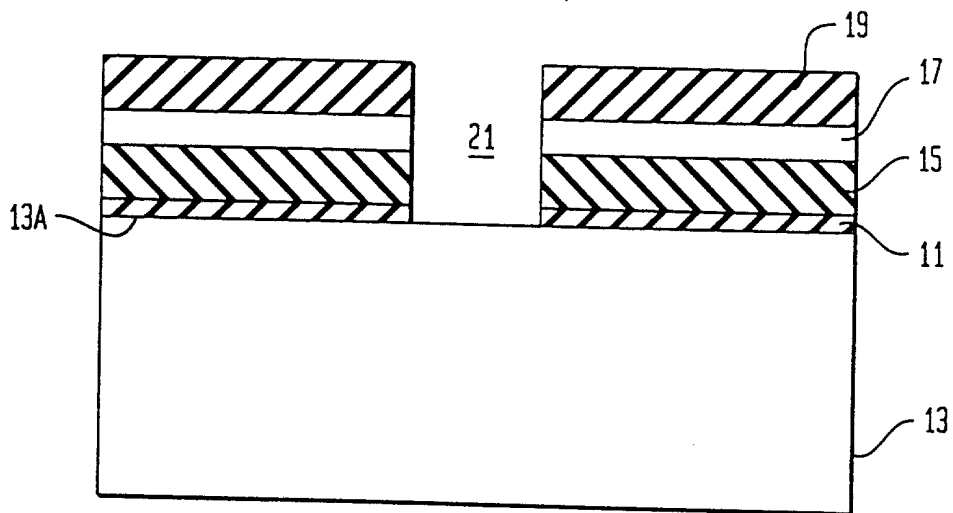
訂

泉

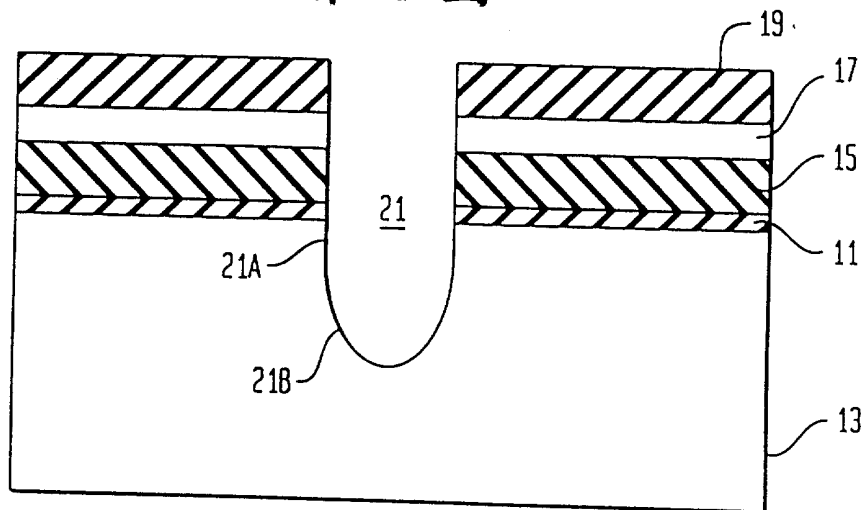
第 1 圖



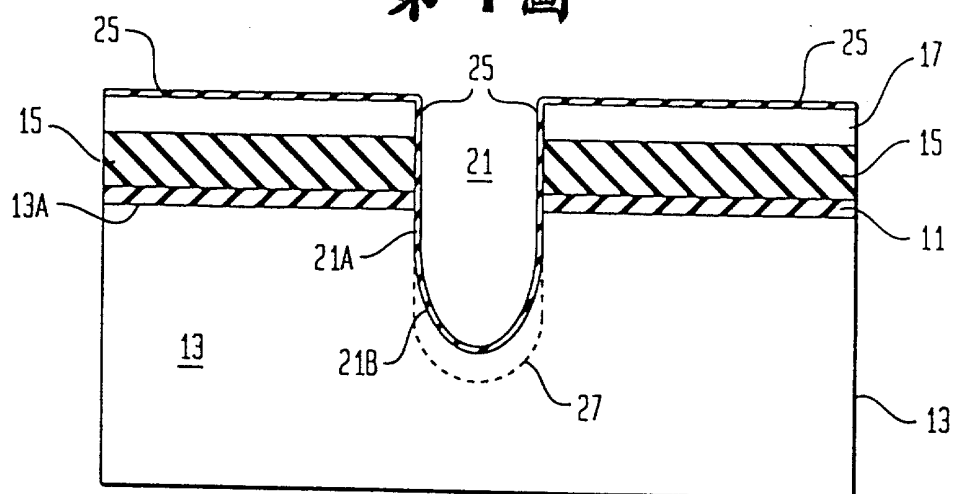
第 2 圖



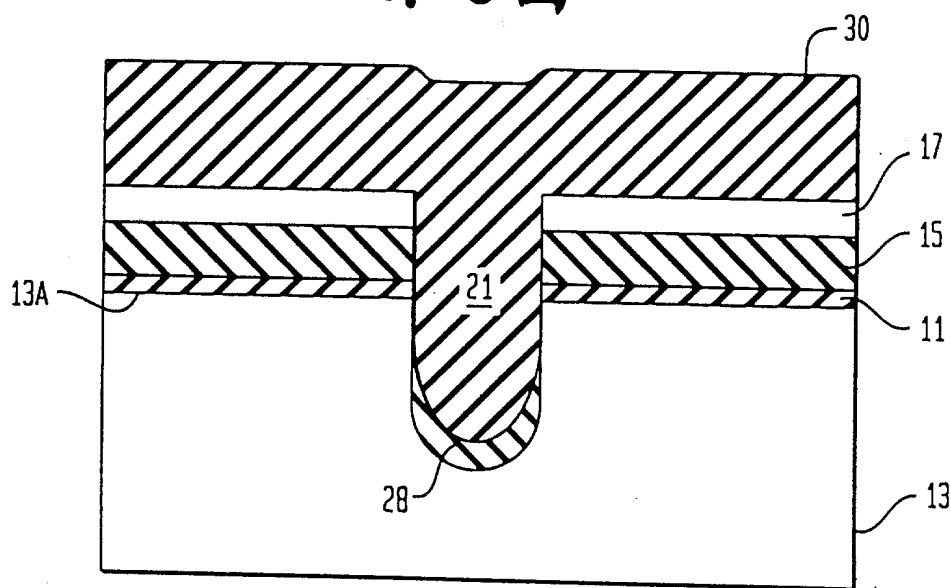
第 3 圖



第 4 圖



第 5 圖



第 6 圖

