

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-129366

(P2006-129366A)

(43) 公開日 平成18年5月18日(2006.5.18)

(51) Int. Cl.		F I	テーマコード (参考)
H03F 3/217 (2006.01)		H03F 3/217	5J500
H03F 1/26 (2006.01)		H03F 1/26	

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号	特願2004-318114 (P2004-318114)	(71) 出願人	390020248 日本テキサス・インスツルメンツ株式会社 東京都新宿区西新宿六丁目24番1号
(22) 出願日	平成16年11月1日(2004.11.1)	(74) 代理人	100089705 弁理士 社本 一夫
		(74) 代理人	100076691 弁理士 増井 忠式
		(74) 代理人	100075270 弁理士 小林 泰
		(74) 代理人	100080137 弁理士 千葉 昭男
		(74) 代理人	100096013 弁理士 富田 博行
		(74) 代理人	100120112 弁理士 中西 基晴

最終頁に続く

(54) 【発明の名称】 PWMドライバおよびこれを用いたD級増幅器

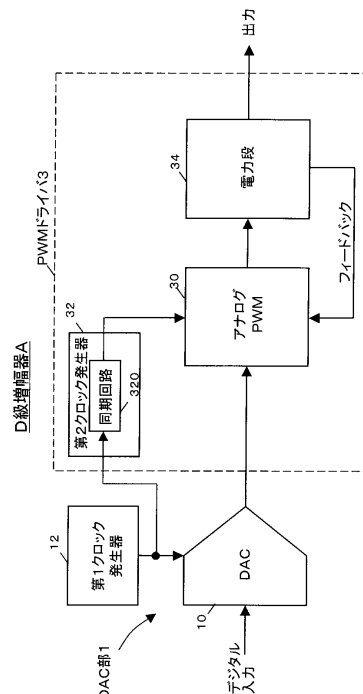
(57) 【要約】

【課題】 折り返し雑音の発生が低減したD級増幅器を提供する。

【解決手段】 D級増幅器は、第1のサンプリング周波数で動作するD/A変換器10と、

D/A変換器10からの出力を受けるPWMドライバ3とを備える。PWMドライバ3は、第1サンプリング周波数と同期した第2のサンプリング周波数で動作する。第2サンプリング周波数は、PWMドライバの三角波周波数に関連させることができる。また、記第1サンプリング周波数と第2サンプリング周波数との同期は、それらの周波数を、一方が他方の整数倍関係とすることにより行うことができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

D 級増幅器であって、

イ) 第 1 のサンプリング周波数で動作する D / A 変換器と、

ロ) 該 D / A 変換器からの出力を受ける P W M ドライバであって、前記第 1 サンプリング周波数と同期した第 2 のサンプリング周波数で動作する、前記の P W M ドライバと、から成る D 級増幅器。

【請求項 2】

請求項 1 に記載の D 級増幅器において、

前記第 2 サンプリング周波数は、前記 P W M ドライバの三角波周波数に関連すること、
を特徴とする D 級増幅器。 10

【請求項 3】

請求項 1 に記載の D 級増幅器において、

前記第 1 サンプリング周波数と前記第 2 サンプリング周波数との同期は、それらの周波数を、一方が他方の整数倍関係とすることにより行うこと、
を特徴とする D 級増幅器。

【請求項 4】

請求項 1 に記載の D 級増幅器において、

前記 P W M ドライバは、

P W M 変調器と、

P W M 変調器からの出力を受ける電力段と、

を備えたこと、

を特徴とする D 級増幅器。 20

【請求項 5】

P W M ドライバであって、

イ) クロックを発生するクロック発生器であって、前記クロックが、P W M ドライバが受ける入力信号に係る第 1 のサンプリング周波数に同期した第 2 のサンプリング周波数を定める、前記のクロック発生器と、

ロ) 前記入力信号を受け、前記クロックが定める前記第 2 のサンプリング周波数で動作する P W M 変調器と、
を備えた P W M ドライバ。 30

【請求項 6】

第 1 のクロック信号に応答して入力デジタル信号をアナログ信号に変換するデジタル・アナログ変換部と、

前記第 1 のクロック信号に同期した第 2 のクロック信号に応じて前記アナログ信号を P W M 変調して P W M 変調信号を出力する P W M 変調部と、

前記 P W M 変調信号に応じた駆動信号を出力する駆動部と、

を有する D 級増幅器。

【請求項 7】

前記駆動信号を前記 P W M 変調部に帰還する帰還ループを有する請求項 6 に記載の D 級増幅器。 40

【請求項 8】

前記 P W M 変調部が、前記アナログ信号と前記駆動信号との差信号を出力する減算器を有する請求項 7 に記載の D 級増幅器。

【請求項 9】

前記 P W M 変調部が、前記第 1 のクロック信号の 2 分の 1 の周波数の三角波信号に基づいて行なわれる請求項 6 , 7 又は 8 に記載の D 級増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、P W Mドライバおよびこれを用いたD級増幅器に関するものである。

【背景技術】

【0002】

D級増幅器（いわゆるデジタルアンプ）を実現する方法は、各種提案されている。大別すると、デジタル方式とアナログ方式の実現方法が存在する。図7には、デジタル方式の例を示す。デジタル方式では、一般的には、入力されたデジタル信号をオーバーサンプリングしその後デルタ・シグマ変調し、そして得られたパラレルのマルチビット信号をデジタル・パルス幅変調器（デジタルP W M）で1ビットのパルス幅変調信号に変換することで、増幅段である電力段を駆動するための信号を得るように構成されている（非特許文献1）。

10

このようなデジタル方式のD級増幅器の場合、電力段が理想的なスイッチであれば、電力段の前段までのデジタル回路で決定される性能を実現できる。しかし、現実に存在する電力段は数々の非理想的要素を持っているため、現実の回路では、D級増幅器の性能は、電力段の特性に制限されてしまう。したがって、デジタル方式のD級増幅器では、いかに信号処理の性能を上げて、D級増幅器に含まれる電力段のもつ特性以上の性能は実現できない。

【0003】

図8には、アナログ方式のD級増幅器の例を示している。このアナログ方式では、デジタルP W MではなくアナログP W M回路を用い、そしてこのアナログP W M回路に対し電力段の出力から帰還を用いることにより、電力段の持つ非理想要素による影響を低減し、その結果としてD級増幅器の大幅な性能向上を図ることができる。

20

しかし、アナログP W M回路はアナログ入力信号を必要とするため、近年主流の信号源であるC DやD V Dといったデジタル信号を扱う際には、図示のように、デジタル - アナログ変換器が必要となる。また、多くのデジタル - アナログ変換器（D A C）は信号帯域外に雑音を持っており、その雑音を除去するため、図示のように、D A Cの後にポスト・ローパスフィルタ（L P F）を設ける必要がある。このローパス・フィルタに対しては非常に低い帯域までの遮断特性が要求されるため、I C回路へのL P Fの集積化は容易ではない。

【非特許文献1】L. Risbo, T. Morch, Performance of an all-digital power amplification system, 104th Audio Engineering Society Convention, Amsterdam, preprint 4695

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

したがって、本発明の目的は、P W Mドライバを提供することである。

本発明の別の目的は、このP W Mドライバを用いたD級増幅器を提供することである。

本発明のその他の目的は、以下の説明から明らかとなる。

【課題を解決するための手段】

【0005】

40

本発明による、D級増幅器は、イ)第1のサンプリング周波数で動作するD/A変換器と、ロ)該D/A変換器からの出力を受けるP W Mドライバであって、前記第1サンプリング周波数と同期した第2のサンプリング周波数で動作する、前記のP W Mドライバと、から成る。

【0006】

本発明によれば、前記第2サンプリング周波数は、前記P W Mドライバの三角波周波数に関連するようにできる。前記三角波周波数は、前記第2サンプリング周波数の1/2の周波数を有するようにできる。前記第1サンプリング周波数と前記第2サンプリング周波数との同期は、それらの周波数を、一方が他方の整数倍関係とすることにより行うようにできる。前記整数倍関係は、1倍とすることができる。

50

【 0 0 0 7 】

また、本発明によれば、前記 P W M ドライバは、P W M 変調器と、P W M 変調器からの出力を受ける電力段と、を備えるようにできる。また、前記 P W M ドライバは、前記電力段の出力から前記 P W M 変調器へのフィードバック・ループを有するようにできる。

【 0 0 0 8 】

さらに、本発明による、P W M ドライバは、イ) クロックを発生するクロック発生器であって、前記クロックが、P W M ドライバが受ける入力信号に係る第 1 のサンプリング周波数に同期した第 2 のサンプリング周波数を定める、前記のクロック発生器と、ロ) 前記入力信号を受け、前記クロックが定める前記第 2 のサンプリング周波数で動作する P W M 変調器と、を備える。

10

【 0 0 0 9 】

本発明によれば、P W M ドライバは、さらに、前記 P W M 変調器からの出力を受ける電力段を含むようにできる。また、前記 P W M ドライバは、前記電力段の出力から前記 P W M 変調器へのフィードバック・ループを有するようにできる。

【 発明の効果 】

【 0 0 1 0 】

本発明によれば、D 級増幅器における P W M ドライバのサンプリング周波数を、P W M ドライバが受ける D 級増幅器の他の回路からの入力信号に係るサンプリング周波数に同期させることにより、P W M 変調において生ずる雑音を低減することができる。

【 発明を実施するための最良の形態 】

20

【 0 0 1 1 】

次に、本発明のいくつかの実施形態について、図面を参照して詳細に説明する。

図 1 を参照して、本発明の 1 実施形態の D 級増幅器 A について説明する。D 級増幅器 A は、大きく分けて D / A 変換器 (D A C) 部 1 と P W M (パルス幅変調) ドライバ 3 とから構成されている。D A C 部 1 は、D A C 1 0 と、第 1 クロック発生器 1 2 とを備えている。一方、P W M ドライバ 3 は、アナログ P W M 変調器 3 0 と、第 2 クロックを発生する第 2 クロック発生器 3 2 と、電力段 3 4 とを備えている。

【 0 0 1 2 】

詳細には、D A C 1 0 は、任意のタイプの D A C が可能であって、入力にデジタル入力信号を受け、また第 1 クロック発生器 1 2 から第 1 クロックを受ける入力を有し、そして第 1 クロックにより定まるサンプリング周波数で動作することによって、受けたデジタル入力信号を D / A 変換しそしてその結果としての出力を発生する。この出力は、0 次ホールドの信号形態にある D / A 変換出力である。尚、D A C 1 0 の場合におけるサンプリング周波数とは、アナログ信号をサンプリングするための周波数という意味ではなく、デジタル信号をアナログ信号に変換するための処理を支配している周波数を意味するものである。したがって、D A C 1 0 の出力は、第 1 クロック発生器 1 2 が定めるこのサンプリング周波数により決まる周波数成分、すなわち信号帯域外ノイズを含んでいる。

30

【 0 0 1 3 】

一方、P W M ドライバ 3 のアナログ P W M 変調器 3 0 は、D A C 1 0 からのその D / A 変換出力を受ける入力を有しており、さらにまた、第 2 クロック発生器 3 2 からのクロックを受ける入力も有している。第 2 クロック発生器 3 2 は、図示のように同期回路 3 2 0 で構成されていて、この回路は、第 1 クロック発生器 1 2 からの第 1 クロックを直接受ける入力もち、そしてこの第 1 クロックに同期した第 2 クロックを出力に発生する。この同期回路は、第 1 クロック発生器 1 2 の出力をそのままアナログ P W M 変調器 3 0 に供給する単なる接続としたり、あるいは分周器または逡倍器で構成することができる。この第 2 クロックを上記のように受ける P W M 変調器 3 0 は、第 2 クロックの周波数により定まる周波数をもつ三角波を使用し、そして D A C 1 0 出力に回答してパルス幅変調を実行し、その結果のパルス幅変調された信号を発生する。このパルス幅変調信号は、電力段 3 4 が入力に受け、そしてこの電力段 3 4 は、例えば、スピーカ等の負荷を駆動するためにパルス幅変調信号を電力増幅して出力する。この電力段 3 4 からは、図示のように、アナロ

40

50

グPWM変調器30に対しフィードバック接続を設けており、これにより、電力段内の非理想要素による影響を低減して、D級増幅器全体の性能向上を図ることができる。

【0014】

この図1に示したD級増幅器Aにおいては、DAC部1とPWMドライバ3との間におけるサンプリング周波数の同期は、DAC部1における第1クロック発生器12の第1クロックを、PWMドライバ3の同期回路320が直接受けるように接続することによって実現している。同期回路320では、受けた第1クロックをそのままあるいは分周または通倍して第2クロックとして出力し、そしてこの第2クロックを受けるPWM変調器30では、この第2クロックの周波数に応じた周波数の三角波を発生する。この三角波の周波数は、アナログPWM変調器30におけるサンプリング周波数を定めるものである。したがって、図1の第2クロック発生器32を設けることにより、DAC10の出力を受けるアナログPWM変調器30において、折り返し雑音の発生を除去あるいは発生しても最小限にすることができる。これにより、信号帯域外ノイズを含むDAC出力を、出力バッファやローパス・フィルタを介することなく、そのまま後続のPWMドライバに供給することができ、これによってさらに、図8の従来回路構成で必要であったポストLPFを不要とすることができる。また、これにより、D級増幅器Aの集積化が容易となる。

10

【0015】

次に、図2を参照して、図1のD級増幅器Aをより具体化した1実施形態のD級増幅器Bについて説明する。尚、図2においては、図1の要素と対応する要素には、同じ参照番号の後に記号“B”を付してある。この図2のD級増幅器Bにおいては、DAC部1BにおいてDACとして型DACを含み、またPWMドライバ3B内のPWM変調器として積分器を1段含む回路を使用している。詳細には、D級増幅器BのDAC部1Bは、型DAC10Bと、第1クロック発生器12Bとを備えている。型DAC10Bは、公知の回路構成のものであって、1例として、デジタル入力を受けるデルタ・シグマ変調器100Bと、この変調器からのマルチビット出力を受けるダイナミック・エレメント・マッチング(DEM)回路102Bと、このDEM回路102Bからのマルチビット出力を受けるセグメント型DAC104Bとで構成されている。DEM回路102Bについては、以下の文献に詳細に説明されているので、ここでは説明を省略する。

20

1: Rudy J. Van de Plassche, "Dynamic element matching for high-accuracy monolithic D/A converters," IEEE J. Solid-State Circuits, vol. SC-11, pp. 795-800, Dec. 1976.

30

2: L. Richard Carley, "A noise-shaping coder topology for 15+ bit converters," IEEE J. Solid-State Circuits, vol. SC-24, pp. 267-273, 1989.

3: Bosco H. Leung, "Architectures for multi-bit oversampled A/D converter employing dynamic element matching techniques," IEEE ISCAS 1991, pp. 1657-1660.

また、セグメント型DAC104Bは、知られている様に、互いに均等の重みを発生する多数のセグメントを並列に備えた回路である。このような構成をもつ型DAC10Bは、第1クロック発生器12Bからの $32f_s$ クロックを受けるように接続されている。ここで、 f_s は、デルタ・シグマ変調器100Bが外部から受けるデジタル信号に関連するサンプリング周波数である。型DAC10Bでは32倍のオーバーサンプリングした出力を発生するため、第1クロック発生器12Bで $32f_s$ のクロックを発生する。尚、本実施形態の説明では、デルタ・シグマ変調器100Bが受けるデジタル入力は、本例では、図示しないデジタル・シグナル・プロセッサ(DSP)からの8倍($8f_s$)のオーバーサンプリングがされたデジタル信号であるとする(尚、 f_s は、DSPが受けるオリジナルのデジタル信号のサンプリング周波数である)。これにより、デジタル入力信号は、デルタ・シグマ変調器100Bでさらに4倍にオーバーサンプリング及び変調されて、DEM回路102Bを介してセグメント型DAC104Bに入力される。DAC104Bは、D/A変換処理後の信号を、32倍($32f_s$)のオーバーサンプリングされた信号として出力する。このD/A変換後の信号は、信号帯域外のノイズを含む信号である。

40

【0016】

50

一方、PWMドライバ3Bは、アナログPWM変調器30Bと、第2クロック発生器32Bと電力段34Bとを備えている。詳しくは、第2クロック発生器32Bは、1/2分周器320Bで構成されていて、第1クロック発生器12Bからの32fsクロックを受け、そして分周結果である16fsクロックを出力に発生する。また、アナログPWM変調器30Bは、三角波発生器300Bと、減算器302Bと、積分器304Bと、加算器306Bと、比較器308Bとを備えている。減算器302Bは、2つの入力のうちの一方にセグメント型DAC104Bの出力を受け、他方の入力に電力段34Bからのフィードバック出力を受け、そして一方の入力から他方の入力を減算した結果を出力に発生する。このフィードバック接続は、上記のように電力段34B内の非線形要素による影響を除去または低減するように働く。次に、減算器出力を受ける積分器は、入力の積分した結果を出力に発生し、そしてこれは、加算器306Bの2つの入力のうちの一方に印加される。一方、三角波発生器300Bは、入力に分周器320Bからの16fsクロックを受け、そして出力に、32fsの1/2の16fsの周波数の三角波を発生する。ここで、パルス幅変調においては、三角波の1周期の間に2回サンプリングが発生するため、16fsの三角波は、実質上32fsのサンプリング周波数に相当している。この三角波は、加算器306Bの他方の入力に印加され、その結果、加算器は、出力に積分器出力と三角波との加算結果である出力を発生する。この加算器出力を一方の入力に受ける比較器308Bは、他方の入力に基準レベル値を受け、そして加算器出力が、基準レベル値より大きいときハイの出力を、そして大きくないときローの出力を発生する。この比較器出力がパルス幅変調信号となる。尚、このアナログPWM変調器30Bでは、積分器出力を三角波の加算した後にその加算結果を基準レベルと比較してパルス幅変調信号を形成する回路構成を採用しているが、その他の任意の既知の回路構成のものに変更することもできる。このようにして形成されたパルス幅変調信号は、電力段34Bにより電力増幅されて出力される。この電力段は、任意の既知のD級ドライブ回路で構成することができる。この電力段の出力は、D級増幅器で駆動すべき負荷へ供給される。また、電力段のこの出力は、電力段34Bから減算器302Bへフィードバック出力として使用することができる。

10

20

【0017】

次に、図3および図4を参照して、図2のD級増幅器Bの動作について詳細に説明する。尚、図3は、型DAC10Bが受けるデジタル入力(図3(a))と、セグメント型DAC104Bの出力(図3(b))と、PWM変調器30Bの出力(図3(c))の波形を示している。図3から分かるように、デジタル入力、DAC部、PWMドライバ部の信号の流れに従い、信号の振幅方向(グラフ縦軸)の分解能は下がっていき、時間軸方向の分解能が上がっていく形になっており、そして最終的なPWM変調器30Bの出力(電力段34Bの出力も同様)においては時間軸方向は連続信号になっている。図4は、それらデジタル入力(図4(a))と、DAC出力(図4(b))と、PWM変調器出力(図4(c))の周波数スペクトルを示している。一般的なオーディオ信号の場合を例では、デジタル入力信号は48kHz(fsに相当)で24ビットの信号であり、これがDAC部1Bの出力では1.536MHz(32fsに相当)で6ビットの信号に変換され、最終的には768kHz(16fsに相当)のPWM信号となる。

30

40

【0018】

図3から分かるように、デジタル入力は、マルチビットのデジタル信号であって、サンプリング周波数8fs(Fdigitalとも記す)を有する。尚、理解の便宜のため、このデジタル入力信号は、0次ホールドした形態で示しているが、実際には、離散化された二進信号である。図4(a)に示したように、このデジタル入力信号それ自体も、オリジナルの入力信号の成分以外に、サンプリング周波数Fdigitalの整数倍の位置に高調波成分を有している。このデジタル入力信号から型DAC10Bが発生するDAC出力は、図3(b)に示すように、4倍オーバーサンプリング処理を経ているため、サンプリング周波数が図3(a)のものより高くなり、結果として32fs(Fdacとも記す)のサンプリング周波数を有するものとなっている。同様に、図3(b)においても、理解しやすくするため、0次ホールドした形態で波形を示しているが、実際には、離散化されたマルチ

50

ビットの二進信号である。このDAC出力の周波数スペクトルは、図4(b)に示したように、入力信号帯域とオーバーサンプリング周波数との間に、信号帯域外ノイズが存在している。

【0019】

次に、PWM変調器30Bの出力においては、図3(c)に示すように、信号帯域とF_{dac}周波数領域との間の信号帯域外ノイズが減衰されており、またこれと共に、三角波周波数F_{pwm}近辺の周波数領域にはPWM変調による周波数スペクトルが現れている。この場合、DAC10Bのサンプリング周波数F_{dac}とPWM変調器30Bのサンプリング周波数は、互いに同期しているため、PWM変調器でのパルス幅変調により生ずるサンプリングによっては折り返し雑音が発生していない。

10

【0020】

詳しくは、一般に、折り返し雑音が問題になるのは、サンプリング周波数の1/2以上の帯域に成分をもつ信号をサンプリングする場合である。通常、サンプリングされた信号は、イメージ成分をサンプリング周波数の整数倍の位置の近辺にもつため、一度サンプリングされた信号を再度異なる周波数でサンプリングするためには、フィルタを介してイメージ成分を除去する必要がある。したがって図8のアナログ方式の従回路では、ポストLPFが必要となっている。しかし、本実施形態においては、DAC104Bで発生する信号帯域外のノイズは、PWM変調器30Bに含まれたフィードバックを有する積分器304Bのもつローパス特性により減衰あるいは除去され、そしてこの信号帯域外ノイズが低減された状態でパルス幅変調される。ここで、三角波周波数F_{pwm}はF_{dac}の1/2であるが、上記のようにPWM変調において生ずるサンプリングは三角波の1周期に2回のレートで生じるため、PWM変調器におけるサンプリング周波数F_{pwm}sは、2倍のF_{pwm}に等しく、これはF_{dac}に一致している(F_{pwm}s = 2 × F_{pwm} = F_{dac})。このサンプリング周波数同期の結果として、上記のように、折り返し雑音が発生しない。

20

【0021】

次に、図5を参照して、図1のD級増幅器Aをより具体化した、図2の実施形態とは別の実施形態のD級増幅器Cについて説明する。尚、図5においては、図1および図2の要素と対応する要素には、同じ参照番号の後に記号“C”を付してある。図から分かるように、図5のD級増幅器Cは、図2のD級増幅器Bとはほぼ同じであり、異なっている点は、DAC部1C内に含むDACが、型DACとは別のタイプのR-2Rマルチビット型DAC10Cである点である。その他の点、すなわち、DAC部1Cが32fsクロックを発生する第1クロック発生器12Cも含む点、また、PWMドライバ3Cが、第2クロック発生器32C(分周器320Cで構成)、アナログPWM変調器30C(16fs三角波を発生する三角波発生器300C、減算器302C、積分器304C、加算器306C、比較器308Cを含む)、電力段34Cを備える点は、同じである。すなわち、図5のD級増幅器CのR-2Rマルチビット型DAC10Cは、既知の回路構成のものであって、4倍のオーバーサンプリングを行うDACであって、R-2Rラダーネットワークを備えており、そしてDACと同様に帯域外の雑音を持ったアナログ信号を出力する。このようなDACを使用した本実施形態でも、DAC部1CとPWMドライバ3C間でのサンプリング周波数の同期により、折り返し雑音を除去または低減できるという効果が同様に得られる。

30

40

【0022】

次に、図6を参照して、図1、図2および図5に示したPWMドライバ部分の別の実施形態であるPWMドライバ3Dについて説明する。同様に、図6においては、図1、図2または図5の要素に対応する要素には、同じ参照番号の後に記号“D”を付してある。また、図6では、図1、図2および図5に示した第2サンプリング周波数発生器32、第2クロック発生器32等に対応する要素は図示を省略してある。この図6は、PWMドライバのうちの電力段からアナログPWM変調器へのフィードバックのより具体的な例を示している。詳細には、PWMドライバ3Dは、アナログPWM変調器30Dと電力段34Dとを含んでいる。PWM変調器30Dは、例えば図2に示したような減算器302Bおよ

50

び積分器 304B の組み合わせの代わりに 2 次のループ・フィルタ 304C を備えているが、その他の三角波発生器、加算器、比較器は同様に備えている（図示は省略）。また、電力段 34D は、電力回路 340D に加えてこの出力側に接続されたローパス・フィルタ（LPF）342D とを備えている。このローパス・フィルタの出力は、スピーカ等の負荷に接続することができる。

【0023】

電力段 34D から PWM 変調器 30D へのフィードバックは、本実施形態では、電力回路 340D の出力と LPF 342D の出力の 2 つを使用する。また、フィードバック先の回路位置として、図 1、図 2 および図 5 の実施形態では、電力段の出力を積分器の入力位置を選んでいるが、本実施形態では、PWM 変調器 30D 内の複数の異なった位置を選択することができる。例えば、図 1、図 2 および図 5 の実施形態では 1 段の積分器を使用しているが、本実施形態では、図示のように、1 段の積分器の代わりに、2 つのフィルタ段 3040 および 3042 を直列接続した 2 次ループ・フィルタ 304C を使用している。したがって、本実施形態では、電力回路 340D の出力を第 1 のフィルタ段 3040 の入力に、また LPF 342D の出力を第 2 のフィルタ段 3042 の入力にフィードバックしている。これにより、電力段内の非線形要素による影響をより一層低減することができる（具体的には、例えば、LPF の非線形要素も低減することができるという効果がある。2 重にフィードバックをかけることにより、電力回路及び LPF それぞれに対し適切な低減効果をもたせることができる。）。尚、この実施形態では、2 次のループ・フィルタを使用したが、さらに高次のループ・フィルタを使用することもでき、この場合、フィードバックは、最適な性能が得られるようにフィードバック信号の組み合わせ、フィードバック先回路の位置を選択することができる。

10

20

【0024】

以上に詳細に説明した種々の実施形態においては、同期の実現方法として、1/2 の分周比をもつ分周器を用いた例について詳述した。しかし、サンプリング周波数間の同期は、それら周波数を等しくすること以外に整数倍関係にすることによっても実現することができる。したがって、図 2 および図 5 の実施形態において、分周器の分周比として 1/2 以外を値を選択することもでき、また例えば 2 倍、3 倍等に変更することもでき、そしてこのような場合でも、折り返し雑音の低減または除去を実現することができる。また、上記の実施形態では、PWM 変調器が三角波を使用する例を説明したが、三角波以外の波形、例えば鋸歯状波を使用することもできる。鋸歯状波の場合、サンプリングは 1 周期に 1 回しか発生しないため、これに応じて分周比あるいは逡倍比を調節すれば良い。さらに、折り返し雑音の低減の観点からは、分周器の代わりに逡倍器を使用することもできる。

30

【図面の簡単な説明】

【0025】

【図 1】図 1 は、本発明の 1 実施形態の D 級増幅器を示すブロック図。

【図 2】図 2 は、図 1 の D 級増幅器をより具体化した 1 実施形態の D 級増幅器を示すブロック図。

【図 3】図 3 は、図 2 の D 級増幅器内の信号の波形を示す波形図。

【図 4】図 4 は、図 3 に示した図 2 の D 級増幅器内の信号の周波数スペクトルを示す図。

40

【図 5】図 5 は、図 1 の D 級増幅器をより具体化した、図 2 の実施形態とは別の実施形態を示すブロック図。

【図 6】図 6 は、図 1、図 2 および図 5 に示した PWM ドライバ部分の別の実施形態を示すブロック図。

【図 7】図 7 は、従来のデジタル方式の D 級増幅器を示すブロック図。

【図 8】図 8 は、従来のアナログ方式の D 級増幅器を示すブロック図。

【符号の説明】

【0026】

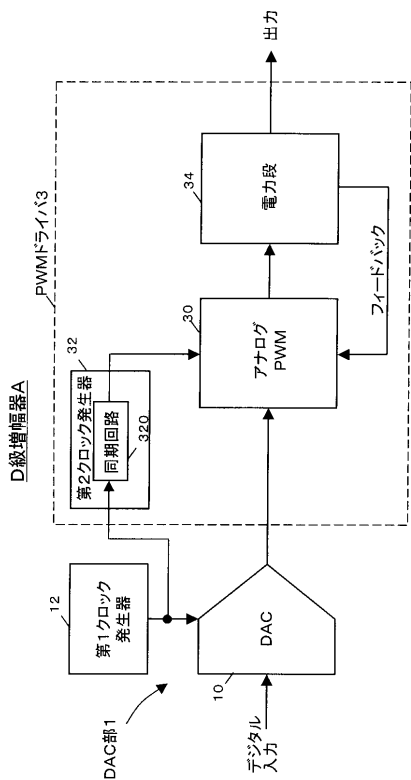
1, 1B, 1C DAC 部

3, 3B, 3C, 3D PWM ドライバ

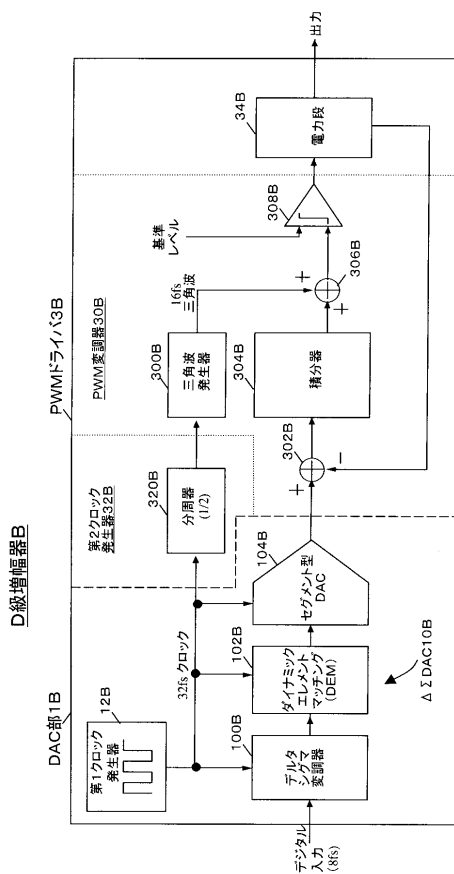
50

1 2 , 1 2 B , 1 2 C , 1 2 G 第 1 クロック 発生器
 3 2 , 3 2 B , 3 2 C , 3 2 G 第 2 クロック 発生器

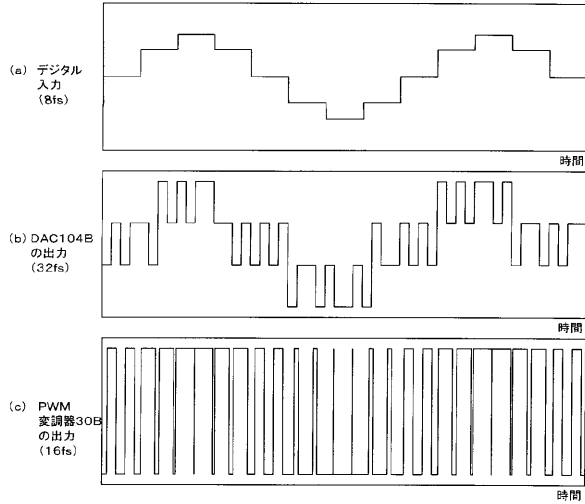
【 図 1 】



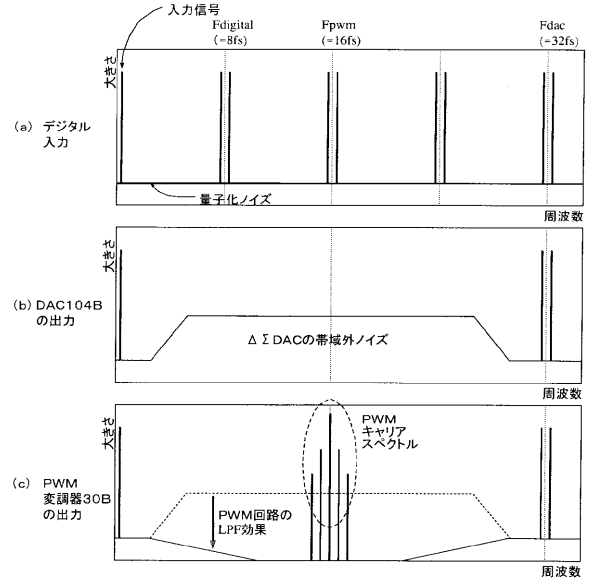
【 図 2 】



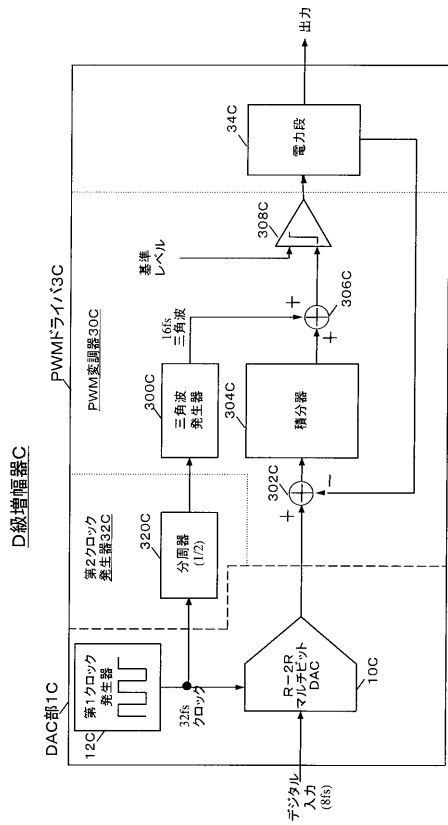
【 図 3 】



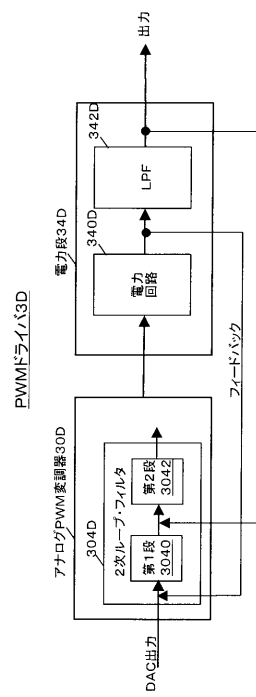
【 図 4 】



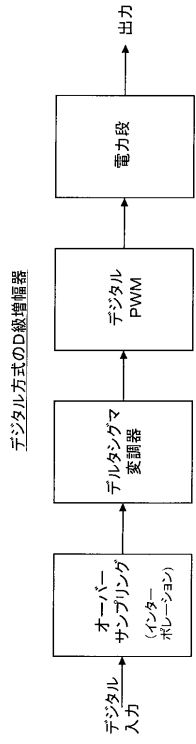
【 図 5 】



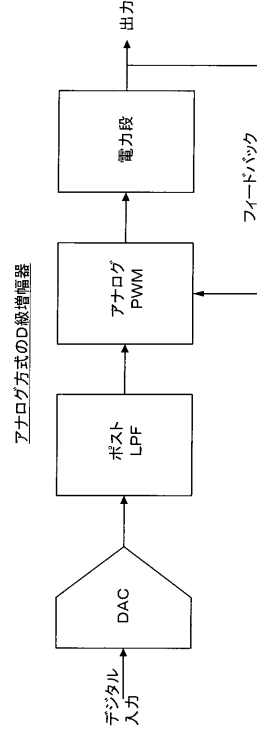
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 井戸 徹

東京都新宿区西新宿六丁目2-4番1号 日本テキサス・インスツルメンツ株式会社内

(72)発明者 石塚 総一郎

東京都新宿区西新宿六丁目2-4番1号 日本テキサス・インスツルメンツ株式会社内

Fターム(参考) 5J500 AA02 AA27 AA41 AA66 AC41 AF20 AK26 AK31 AK42 AK53

AS05 AT01 AT03 AT06