

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(43) 국제공개일
2010년 3월 18일 (18.03.2010)

PCT

(10) 국제공개번호
WO 2010/030109 A2

- (51) 국제특허분류:
H01L 31/042 (2006.01)
- (21) 국제출원번호: PCT/KR2009/005096
- (22) 국제출원일: 2009년 9월 9일 (09.09.2009)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2008-0090073 2008년 9월 12일 (12.09.2008) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): 주식회사 엘지화학 (LG CHEM, LTD.) [KR/KR]; 서울특별시 영등포구 여의도동 20번지, 150-721 Seoul (KR).
- (72) 발명자: 겸
- (75) 발명자/출원인 (US 에 한하여): 윤석현 (YOON, Seokhyun) [KR/KR]; 대전광역시 유성구 도룡동 4-6번지 스마트시티 203동 1903호, 305-340 Daejeon (KR). 황인석 (HWANG, Inseok) [KR/KR]; 대전광역시 유성구 도룡동 431-6번지 현대아파트 101동 804호, 305-340 Daejeon (KR). 김승욱 (KIM, Seung Wook) [KR/KR]; 경기도 용인시 기흥구 보정동 22블럭 죽현

마을 동원로알듀크 302동 401호, 446-976 Gyeonggi-do (KR).

(74) 대리인: 손창규 (SOHN, Chang Kyu); 서울특별시 강남구 역삼1동 642-16번지 성지하이츠 2차빌딩 1403호, 135-910 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

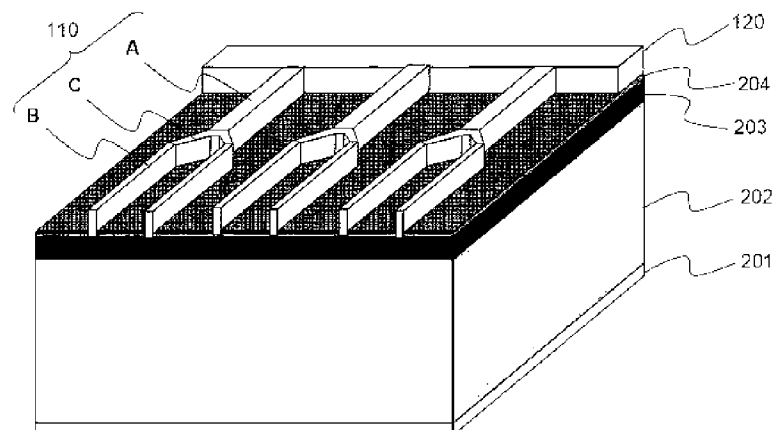
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,

[다음 쪽 계속]

(54) Title: FRONT ELECTRODE FOR SOLAR CELL WHICH MINIMIZES POWER LOSS, AND SOLAR CELL INCLUDING THE SAME

(54) 발명의 명칭 : 전력 손실이 최소화된 태양전지용 전면 전극 및 이를 포함하는 태양전지

[Fig. 7]



(57) Abstract: The present invention relates to a technique involving a front electrode for a solar cell which is characterized by having the following structure. A pattern comprising plural grid electrodes and one or more collector electrodes is printed on a semiconductor substrate as the front electrode. The grid electrodes are parallel to each other, and the collector electrode crosses the grid electrodes. The current flowing into the grid electrodes moves to and is collected at the collector electrode. The widths of the grid electrodes increase toward the direction of the collector electrode.

(57) 요약서: 본 발명은 태양전지용 전면 전극으로서, 반도체 기판 상에 서로 평행한 다수의 그리드 전극들 및 상기 그리드 전극들과 교차하는 하나 또는 그 이상의 집전용 전극으로 이루어진 패턴이 형성되어 있고, 상기 그리드 전극으로 유입된 전류는 집전용 전극으로 이동하여 집전되며, 상기 그리드 전극의 폭은 집전용 전극 방향으로 증가하는 구조로 이루어진 것을 특징으로 하는 태양전지용 전면 전극에 관한 기술이다.



WO 2010/030109 A2



BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, **공개:**
SN, TD, TG).

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를
별도 공개함 (규칙 48.2(g))

명세서

전력 손실이 최소화된 태양전지용 전면 전극 및 이를 포함하는 태양전지

기술분야

- [1] 본 발명은 전력 손실이 최소화된 태양전지용 전면 전극 및 이를 포함하는 태양전지에 관한 것으로, 더욱 상세하게는, 반도체 기판 상에 서로 평행한 다수의 그리드 전극들 및 상기 그리드 전극들과 교차하는 하나 또는 그 이상의 집전용 전극으로 이루어진 패턴이 형성되어 있고, 상기 그리드 전극으로 유입된 전류는 집전용 전극으로 이동하여 집전되며, 상기 그리드 전극의 폭은 집전용 전극 방향으로 증가하는 구조로 이루어진 것을 특징으로 하는 태양전지용 전면 전극에 관한 기술이다.

배경기술

- [2] 최근 환경문제와 에너지 고갈에 대한 우려가 커지면서, 에너지 자원이 풍부하고 환경오염에 대한 문제점이 없으며 에너지 효율이 높은 대체 에너지로서의 태양전지에 대한 관심이 높아지고 있다.
- [3] 태양전지는 태양열을 이용하여 터빈을 회전시키는데 필요한 증기를 발생시키는 태양열 전지와, 반도체의 성질을 이용하여 태양빛(photons)을 전기 에너지로 변환시키는 태양광 전지로 나눌 수 있다. 그 중에서도 빛을 흡수하여 전자와 정공을 생성함으로써 광 에너지를 전기 에너지로 변환하는 태양광 전지에 대한 연구가 활발히 행해지고 있다.
- [4] 도 1에는 이러한 태양광 전지(이하에서는 "태양전지(Solar cell)"로 약칭함)의 구조가 모식적으로 도시되어 있는 바, 이를 참조하면, 제 1 도전형 반도체 층(22) 상에 그와 반대 도전형의 제 2 도전형 반도체 층(23)이 형성되어 있고 그 계면에 P/N 접합을 포함하고 있으며, 상기 제 1 도전형 반도체 층(22)의 적어도 일부에 접촉되어 있는 후면 전극(rear electrode; 21)과 제 2 도전형 반도체 층(23)의 적어도 일부에 접촉되어 있는 전면 전극(front electrode; 11)을 포함하고 있다. 경우에 따라서는, 제 2 도전형 반도체 층(23) 상에 빛의 반사를 방해하기 위한 반사방지막(24)을 형성할 수도 있다.
- [5] 제 1 도전형 반도체 층(22)으로는 주로 p-형 실리콘 기판이 사용되고 있고, 제 2 도전형 반도체 층(23)으로는 n-형 이미터(emitter) 층이 사용되고 있다. 또한, 이미터 층(23) 상에 주로 Ag 패턴으로 전면 전극(11)을 형성하며, 실리콘 기판(22)의 배면에 Al 층으로 후면 전극(21)을 형성한다. 이러한 전면 전극(11)과 후면 전극(21)의 형성은 일반적으로 스크린 프린팅 방식으로 행해지고 있다. 전면 전극은 일반적으로 폭이 넓은 두 개의 집전용 전극('버스바(busbar)'라고도 함)와 150 μm 정도로 폭이 가는 그리드 전극('핑거(finger)'라고도 함)으로 이루어져 있다.

- [6] 이러한 구조의 태양전지에서, 태양광이 전면 전극(11) 측으로 입사되면 자유 전자가 발생하고, 이들은 pn 접합의 원리에 따라 n형 반도체 층(23) 쪽으로 이동하게 되고, 이러한 전자의 흐름이 전류가 된다.
- [7] 이와 같이 광에너지를 직접 전기에너지로 변환하는 태양전지의 성능은 입사하는 태양 에너지에 대한 태양전지의 출력 전기 에너지의 비에 의해 표시되며, 이 비는 태양전지의 성능의 지표를 나타내는 것으로, 통상 "에너지 변환 효율", 간단히 "변환 효율"이라고 부르고 있다. 변환 효율의 이론적 한계는 태양전지를 구성하는 물질에 따라 정해지며, 태양광 에너지의 스펙트럼과 태양전지의 감도 스펙트럼의 정합에 지배된다. 예를 들어, 단결정 실리콘의 태양전지에서 변환 효율은 약 30~35%이고, 비결정계 실리콘 태양전지에서 변환 효율은 25%이며, 화합물 반도체의 경우는 20~40%이다. 그러나, 실제 태양전지의 효율은 현재 실험실 규모에서 25% 정도이다.
- [8] 그 원인은 표면 반사광 손실, 캐리어 중 표면 또는 전극 계면에서의 재결합에 의해 잃는 손실, 캐리어가 광전지 내부의 재결합에 의해 잃는 손실, 태양전지의 내부저항에 의한 손실 등으로 분류할 수 있다.
- [9] 이 중, 전극에 의한 전력 손실은 n형 반도체 층에서의 광 전류 이동에 의한 저항 손실, n형 반도체 층과 그리드 전극 사이의 접촉 저항에 의한 손실, 그리드 전극을 따라 흐르는 광 전류에 의한 저항 손실, 및 그리드 전극에 의해 가려지는 면적에 의한 손실로 이루어져 있다.
- [10] 따라서, 높은 효율의 태양전지를 위해 이러한 전극에 의한 전력 손실을 최소화하는 한편, 빛 흡수량을 최대화하기 위한 기술에 대한 필요성이 높은 실정이다.

발명의 상세한 설명

기술적 과제

- [11] 본 발명은 종래기술의 문제점들과 과거로부터 요청되어온 기술적 과제를 해결하는 것을 목적으로 한다.
- [12] 구체적으로, 본 발명의 목적은 태양전지용 전면 전극에서 그리드 전극의 폭을 조절하여 전극에 의한 전력 손실을 최소화하고 빛 흡수량을 최대화할 수 있는 구조를 제공하는 것이다.
- [13] 본 발명자들은 다양한 방법을 시도해 본 결과 그리드 전극의 폭을 집전용 전극측에서 상대적으로 크게 구성한 최적의 전극 형태를 제시함으로써 기존의 전극 형태에 비해 전극 손실을 크게 낮출 수 있음을 확인하고 본 발명을 완성하였다.

기술적 해결방법

- [14] 이러한 목적을 달성하기 위한 본 발명에 따른 태양전지용 전면 전극은, 반도체 기판 상에 서로 평행한 다수의 그리드 전극들 및 상기 그리드 전극들과 교차하는 하나 또는 그 이상의 집전용 전극으로 이루어진 패턴이 형성되어 있고, 상기

그리드 전극으로 유입된 전류는 집전용 전극으로 이동하여 집전되며, 상기 그리드의 전극 폭이 집전용 전극 방향으로 증가하는 구조로 이루어져 있는 것을 특징으로 한다.

- [15] 종래 그리드 전극은 도 5에서와 같이 120 ~ 150 μm 정도의 매우 두껍고 일정한 폭을 갖고 있어서, 전극에 의해 가려지는 부위(shadow)의 면적이 크므로 많은 전극 손실이 발생하였다. 이에, 본 발명자들은 전극에 의한 손실을 최소화하기 위한 구조를 개발하기 위해 전극의 손실과 그리드 전극 및 집전용 전극의 크기와의 상관관계를 고찰하였다.
- [16] 앞서 언급한 바와 같이, 전극의 손실은 ① 전류가 n-형 반도체 층을 지날 때 일어나는 손실 (I) + ② 전류가 n-형 반도체 층에서 전극 그리드로 넘어갈 때 일어나는 손실 (II) + ③ 전류가 전극 그리드를 따라 흐를 때 일어나는 손실 (III) + ④ 전극에 의해 가려지는 면적에 의한 손실 (IV)로 이루어져 있다. 도 2를 참조하여 손실 값을 각각 계산하면 하기와 같다.
- [17] 손실 (I) = $\sim b^2 \sim n^{-2} \times R_s$
 손실 (II) = $\sim b \times \rho_c^{1/2} \sim n^{-1} \times \rho_c^{1/2}$
 손실 (III) = $\sim (L_a^2 \times b) / (t_a \times W_a) \sim L_a^2 \times n^{-1} \times W_a^{-2}$
 손실 (IV) = $\sim W_a \times n$
- [18] (상기 식에서, b는 그리드 전극 당 간격, n은 그리드 전극의 개수, ρ_c 는 전극 그리드와 n형 반도체 층 사이의 접촉 비저항, L_a 는 전면 전극의 길이, t_a 는 그리드 전극의 두께(높이), W_a 는 그리드 전극의 폭이다)
- [19] 상기 식들을 살펴보면, 그리드 전극의 수(n), 폭(W_a), 및 길이(L_a)에 의해 각 성분의 합을 최소로 하는 (n, L_a , W_a)의 쌍이 존재함을 알 수 있다.
- [20] 즉, 상기 그리드 전극의 폭이 넓을수록 섀도우 부분이 증가하게 되어 손실 (IV)(이하 경우에 따라 '섀도우 손실'이라고도 함)의 값이 증가하는 바, 빛 흡수량이 줄어들게 되는 반면, 그리드 전극의 폭이 지나치게 좁으면 전극의 저항이 커지게 되어 손실 (III)이 증가하는 문제가 발생한다.
- [21] 한편, 상기 전극의 손실 값에서 그리드 전극을 따라 흐르는 전류는 그리드 전극의 길이에 따라 적분식으로 증가함으로써, 초기에는 그리드 전극의 폭이 좁은 것이 유리하지만, 일정 길이 이상의 경우에는 저항으로 인해 폭이 넓은 것이 바람직함을 알 수 있다.
- [22] 이를 바탕으로, 본 발명에서 그리드 전극은 전류의 양이 증가되는 집전용 전극 방향으로 그것의 폭이 증가하는 구조로 이루어져 있다. 또한, 단위 면적당 효율을 고려할 때 그리드 전극과 집전용 전극은 직교하도록 구성하는 것이 바람직하다.
- [23] 상기에서 그리드 전극의 폭 증가율은, 바람직하게는, 집전용 전극에 접한 그리드 전극 폭이 그것의 대향 단부의 폭에 대해 50 내지 500%, 더욱

- 바람직하게는, 200 내지 500%의 폭 증가를 갖는 범위일 수 있다.
- [24] 집전용 전극 방향으로 그리드 전극의 폭이 증가하는 형태는 다양할 수 있는 바, 하나의 예에서, 그리드 전극의 폭은 집전용 전극에 대한 거리에 반비례하여 연속적으로 증가하는 형태일 수 있다.
- [25] 연속적으로 증가하는 형태는, 예를 들어, 1차 함수 형태의 직선형 구조, 2차 함수 형태의 곡선형 구조 등을 들 수 있다.
- [26] 또 다른 예에서, 그리드 전극의 폭은 집전용 전극에 대한 거리에 반비례하여 비연속적으로 증가하는 형태일 수 있다.
- [27] 비연속적으로 증가하는 형태는, 예를 들어, 계단식 구조와 분지식 구조 등을 들 수 있다.
- [28] 하나의 바람직한 예에서, 그리드 전극의 폭이 150 μm 이하인 제 1 패턴부 및 그리드 전극의 폭이 제 1 패턴부의 그리드 전극의 폭보다 좁은 제 2 패턴부로 이루어진 구조를 들 수 있다.
- [29] 이와 같이, 그리드 전극의 폭이 상대적으로 넓은 제 1 패턴부와 상대적으로 좁은 제 2 패턴부의 복합형 구조인 전면 전극의 경우, 그리드 전극의 길이를 따라 누적적으로 증가되는 전류에 효과적으로 대응할 수 있으므로 전류의 저항 증가에 따른 손실을 최소화할 수 있다는 장점이 있다.
- [30] 이를 위해, 전류의 양이 증가되는 집전용 전극 측에 위치한 그리드 전극에 대하여 소정 길이로 제 1 패턴부를 형성하는 것이 바람직하다. 또한, 단위 면적당 효율을 고려할 때 제 1 패턴부와 집전용 전극은 직교하도록 구성하는 것이 바람직하다. 한편, 상기 집전용 전극은 폭이 1.5 ~ 3 mm 정도이고, 소정의 간격으로 2개가 형성되는 것이 바람직하다.
- [31] 하나의 바람직한 예에서, 상기 제 2 패턴부는 둘 또는 그 이상의 그리드 전극들이 접합된 구조로 이루어질 수 있다. 이에 따라, 상대적으로 폭이 좁은 제 2 패턴부의 그리드 전극들이 접합되면서 제 1 패턴부의 그리드 전극들로 연결되므로, 제 1 패턴과 제 2 패턴 간 이동시의 전력 손실을 무시할 수 있는 수준으로 조절할 수 있다.
- [32] 이와 같이, 제 2 패턴부에서 그리드 전극들이 접합된 구조는 바람직하게는 제 1 패턴부의 그리드 전극과 제 2 패턴부의 그리드 전극 사이에 이들의 단부를 연결하는 수지상(dendrite) 구조의 형태로 달성될 수 있으며, 이를 이하에서 '수지상 전극(dendrite electrode)'이라 한다.
- [33] 상기 제 1 패턴부와 제 2 패턴부에서 그리드 전극의 폭은 그리드 전극에 의한 웨도우 손실을 최소화하면서도 전류 누적에 의한 저항 증가를 최소화할 수 있도록 조절되는 것이 바람직하다.
- [34] 이 때, 상기 제 2 패턴부는 전류가 도입되는 부위로서 전류의 누적이 적은 부분이므로 웨도우 손실을 최소화하는 측면에서 상대적으로 작은 폭을 갖는 그리드 전극을 형성하는 것이 바람직하지만, 지나치게 폭이 작은 경우는 전극 형성이 용이하지 않을 뿐만 아니라, 저항이 증가되는 문제가 발생한다.

- [35] 또한, 상기 제 1 패턴부는 전류가 집전용 전극으로 유출되는 부위(경우에 따라서는 전류가 도입되는 부위로도 작용함)이므로 전류 누적에 의한 저항 증가를 최소화하는 측면에서 넓은 폭을 갖는 것이 바람직하지만, 지나치게 증가하는 경우 웨도우 손실 및 재료 낭비가 초래되는 문제가 있다.
- [36] 이를 고려할 때, 상기 수지상 전극 폭은 제 2 패턴부의 그리드 전극 폭을 기준으로 1 내지 2 배일 수 있고, 바람직하게는 1 내지 1.5 배일 수 있다.
- [37] 또한, 상기 제 1 패턴부의 그리드 전극 폭은 수지상 전극 폭보다 큰 범위에서, 제 2 패턴부의 그리드 전극 폭을 기준으로 1.1 내지 15 배일 수 있고, 바람직하게는 3 내지 5 배일 수 있다.
- [38] 하나의 바람직한 예에서, 상기 제 2 패턴부의 그리드 전극 폭은 10 내지 60 μm , 더욱 바람직하게는 10 내지 40 μm 일 수 있고, 상기 제 1 패턴부의 그리드 전극 폭은 제 2 패턴부의 그리드 전극의 폭 보다 큰 범위 내에서 50 내지 150 μm 이고, 더욱 바람직하게는 60 내지 100 μm 일 수 있다.
- [39] 상기 수지상 전극이 형성된 경우, 수지상 전극의 폭은 제 2 패턴부의 그리드 전극의 폭과 동일하거나 또는 그보다 큰 범위에서 10 내지 80 μm , 더욱 바람직하게는 10 내지 50 μm 일 수 있다.
- [40] 한편, 상기 그리드 전극들 간의 간격이 넓으면 n-형 반도체 층으로부터 그리드 전극까지의 전류의 이동 거리가 길어지게 되어 전류 손실이 발생하게 되고, 반면에 간격이 지나치게 좁으면 웨도우 손실이 증가하게 되는 문제가 있다.
- [41] 상기 제 2 패턴부는 종래에 비해 얇은 그리드 전극을 사용하므로, 종래 2.5 ~ 3 mm 정도인 그리드 전극들 간의 간격을 줄이는 경우에도 웨도우 손실의 증가가 발생하지 않고, 전류의 이동 거리가 짧아지게 되어 효율이 더욱 상승될 수 있다. 반면에, 상기 제 1 패턴부의 그리드 전극은, 제 2 패턴부 보다 폭이 넓기 때문에 웨도우 손실을 최소화하기 위하여, 전극간 간격을 제 2 패턴부의 전극간 간격보다 지나치게 작지 않게 형성하는 것이 바람직하다. 예를 들어, 제 1 패턴부의 그리드 전극들 간의 간격은 제 2 패턴부의 그리드 전극들 간의 간격을 기준으로 0.7 내지 6 배, 바람직하게는 1 내지 3 배일 수 있다.
- [42] 하나의 바람직한 예에서, 상기 제 2 패턴부의 그리드 전극들 간의 간격은 0.5 내지 2 mm이고, 상기 제 1 패턴부의 그리드 전극들 간의 간격은 제 2 패턴부의 그리드 전극들의 간격보다 같거나 큰 범위에서 1.5 내지 3 mm일 수 있다.
- [43] 상기 수지상 전극의 경우 그리드 전극의 길이 방향에 대하여 30 ~ 70° 정도의 각도로 기울어져 있는 것이 바람직하다.
- [44] 또한, 상기 제 2 패턴부의 길이가 그리드 전극의 총 길이 대비, 70%를 초과하거나 제 1 패턴부의 길이가 30% 미만이면, 전류 저항이 지나치게 높아지게 되고, 제 2 패턴부의 길이가 10% 미만이거나 제 1 패턴부의 길이가 90% 초과하면, 웨도우 손실이 높아지게 된다.
- [45] 따라서, 상기 제 2 패턴부의 그리드 전극의 길이는 전체 그리드 전극의 길이 대비 10 내지 70%이고, 상기 제 1 패턴부의 그리드 전극의 길이는 30 내지 90%인

것이 바람직하다. 상기 수지상 전극의 길이가 길면 그리드 전극의 길이가 불필요하게 길어지게 되므로 전체 패턴의 길이 대비 0 내지 10%의 길이를 갖는 것이 바람직하다.

- [46] 상기 반도체 기판은 결정성 실리콘으로 이루어진 n형 반도체 층일 수 있고, 필요에 의해 다양한 종류의 층이 부가될 수도 있다. 예를 들어, N⁺ 반도체 층의 불순물 층 상에 반사방지막이 도포될 수 있고, 상기 반사방지막으로는 실리콘 질화물 또는 실리콘 산화물 등이 사용될 수 있다.
- [47] 또한, 광 전류의 표면 결합 속도(surface recombination velocity)를 줄이기 위해 n-층의 저항을 높이는 것이 바람직한 바, 상기 n-형 반도체 층의 저항은 50 옴(Ω) 이상, 더욱 바람직하게는 100 옴(Ω) 이상일 수 있다.
- [48] 본 발명은 또한, 상기의 전면 전극을 포함하는 태양전지를 제공한다.
- [49] 본 발명에 따른 태양전지는 그리드 전극의 구조를 최적화함으로써 전극 손실이 1.3 mW/cm² 미만이므로 변환 효율이 매우 우수하다는 장점이 있다.
- [50] 상기 태양전지는 벌크형 재료일 수 있고, 고효율의 측면에서 결정성 실리콘 태양전지인 것이 바람직하다. 태양전지의 구성 및 제조방법은 당업계에 널리 공지되어 있으므로 이에 대한 구체적인 설명은 본 명세서에서 생략한다.
- [51] 또한, 본 발명은 태양전지용 전면 전극을 제조하는 방법을 제공한다. 종래 전면 전극은 스크린 프린팅 공정에 의해 제조되었다. 스크린 프린팅 공정은 스크린 마스크 사이로 잉크를 밀어내어 프린팅하는 방식으로서, 정밀도가 100 μ m 정도이므로 100 μ m 이하의 패턴을 구현할 수 없는 한계가 있어 전극 손실이 크다는 문제가 있다. 또한 스퀴지로 밀어내어야 하므로, 연속 공정에는 불리하다는 단점이 있다.
- [52] 이러한 한계를 극복하기 위해, 본 발명에 따른 제조 방법은 반도체 기판 상에 서로 평행한 다수의 그리드 전극들 및 상기 그리드 전극과 교차하는 집전용 전극으로 이루어진 패턴을 형성할 때,
- [53] (a) 100 μ m 이하의 폭을 갖는 그리드를 형성하기 위해, 그라비아 프린팅법 또는 오프셋 프린팅법을 이용하여 반도체 기판에 페이스트를 프린트하는 단계; 및
- [54] (b) 가열 및 가압하여 페이스트를 경화하는 단계;를 포함하는 것으로 구성되어 있다.
- [55] 이와 같이, 그라비아 프린팅법 또는 오프셋 프린팅법을 이용하여 전면 전극을 형성하는 경우 미세한 크기를 갖는 패턴을 용이하게 제조할 수 있고, 연속 공정이 가능하여 공정 효율성이 매우 높다는 장점이 있다.
- [56] 구체적인 예에서, 상기 오프셋 프린팅법을 이용하는 경우에는,
- [57] (i) 전면 전극의 패턴에 대응하는 소정 패턴의 홈을 갖는 프린팅 기판을 마련하는 단계;
- [58] (ii) 상기 프린팅 기판에 형성된 홈에 전극 형성용 페이스트를 채우는 단계;
- [59] (iii) 상기 프린팅 기판에 인쇄물을 회전시켜 홈에 채워진 페이스트를 인쇄물로 전사하는 단계; 및

- [60] (iv) 반도체 기판 상에 인쇄물을 회전시켜 인쇄물에 전사된 페이스트를 반도체 기판에 전사하는 단계;
- [61] 를 포함할 수 있다.
- [62] 이러한 오프셋 프린팅법은 패터닝 정밀도가 10-20 μm 정도이며, 두께는 수 μm 정도이므로 매우 미세한 크기의 패턴을 형성할 수 있다는 장점이 있을 뿐만 아니라, 인쇄물을 이용하여 기판 상에 페이스트를 전사하기 때문에, 소망하는 면적에 대응하는 인쇄물을 이용함으로써 대면적의 경우에도 1회의 전사에 의해 패턴을 형성할 수 있다는 장점이 있다.
- [63] 또 다른 예에서, 상기 그라비아 프린팅법을 이용하는 경우에는,
- [64] (i) 전면 전극의 패턴에 대응하는 소정 패턴의 홈을 갖는 블랭킷 실린더(blanket cylinder)를 마련하는 단계;
- [65] (ii) 상기 블랭킷 실린더에 형성된 홈에 전극 형성용 페이스트를 채우는 단계; 및
- [66] (iii) 상기 블랭킷 실린더를 반도체 기판 상에 회전시켜 상기 페이스트를 전사하는 단계;
- [67] 를 포함할 수 있다.
- [68] 이러한 그라비아 프린팅법 역시 sub- μm 급의 패턴을 인쇄하는 것이 가능하므로 미세 패턴을 형성하기에 적합할 뿐만 아니라, 오프셋 프린팅법과 같이 대면적의 패터닝을 1회에 수행할 수 있다는 장점이 있다.
- [69] 본 발명에 따른 전면 전극의 제조 방법에서, 상기 페이스트는 전면 전극의 그리드 및 집전용 전극의 형성을 위한 재료를 포함하는 바, 바람직하게는 Ag 분말을 포함할 수 있다.
- [70] 한편, 상기 페이스트의 경화 단계는 바람직하게는 150 ~ 200°C의 온도에서 사전 건조 단계, 400 ~ 500°C에서의 바인더 제거 단계, 및 750 ~ 850°C에서의 소결 단계로 이루어질 수 있고, 총 경화 과정에 소요되는 시간은 5 ~ 10분일 수 있다.

도면의 간단한 설명

- [71] 도 1은 종래 기술에 따른 태양전지의 일부 사시도이다;
- [72] 도 2는 태양전지용 전면 전극의 모식도이다;
- [73] 도 3은 본 발명의 하나의 실시예에 따른 제 2 형 전면 전극의 부분 평면도다;
- [74] 도 4는 본 발명의 또 다른 실시예에 따른 제 2 형 전면 전극의 부분 평면도다;
- [75] 도 5는 종래 기술에 따른 전면 전극의 부분 평면도다;
- [76] 도 6은 본 발명의 하나의 실시예에 따라 오프셋 프린팅법으로 패턴을 형성하는 과정의 모식도이다;
- [77] 도 7은 도 3에 따른 전면 전극이 형성된 태양전지의 부분 사시도이다;
- [78] 도 8은 도 3에 따른 전면전극이 형성된 태양전지의 평면도다;
- [79] 도 9 및 도 10은 본 발명의 실험예에 따라 전력 손실률을 나타낸 그래프이다.
- [80]
- [81] <도면의 주요 부호에 대한 설명>

- [82] 11, 110: 그리드 전극 12, 120: 집전용 전극
- [83] 21, 201: 후면 전극 22, 202: p-형 반도체 층
- [84] 23, 203: n-형 반도체 층 24, 204: 반사방지막

발명의 실시를 위한 형태

- [85] 이하, 본 발명의 실시예에 따른 도면을 참조하여 본 발명을 더욱 상술하지만, 본 발명의 범주가 그것에 의해 한정되는 것은 아니다.
- [86] 도 3 및 도 4에는 본 발명의 하나의 실시예에 따른 전면 전극의 부분 평면도가 모식적으로 도시되어 있다.
- [87] 이들 도면을 참조하면, 그리드 전극(110)은 집전용 전극(120) 측에 위치한 제 1 패턴부(A), 집전용 전극(120)과 원거리에 있는 제 2 패턴부(B), 및 제 1 패턴부(A)와 제 2 패턴부(B) 사이에 위치하는 수지상 전극(C)으로 이루어져 있다. 제 1 패턴부(A)는 상대적으로 넓은 폭의 그리드 전극들이 정기계 배열되어 있는 반면, 제 2 패턴부에서는 상대적으로 좁은 폭의 그리드 전극들이 조밀하게 배열되어 있다.
- [88] 이와 같은 구조에 의해, 제 2 패턴부(B)에서 전류가 유입되는 양을 최대화하면서도 넓은 폭의 제 1 패턴부(A)에 의해 전류 저항 및 웨도우 손실을 최소화할 수 있다.
- [89] 도 3에 도시된 전면 전극에서는 수지상 전극(C)이 제 2 패턴부의 그리드 전극을 두 개씩 상호 접합한 형태를 갖고, 도 4에 도시된 전면 전극에서는 제 2 패턴부의 모든 그리드 전극들이 상호 접합한 형태를 갖고 있다. 도 4에 따른 전면 전극에서는 제 1 패턴부의 그리드 전극의 간격이 상대적으로 좁아지므로 웨도우 손실을 고려하여 도 3의 제 1 패턴부에서의 그리드 전극의 폭보다 좁은 폭을 갖는 그리드 전극을 형성할 수 있다.
- [90] 도 6에는 본 발명의 하나의 실시예에 따라 오프셋 프린팅법을 사용하여 전면 전극을 제조하는 과정이 모식적으로 도시되어 있다.
- [91] 도 6을 참조하면, 우선 반도체 기판에 형성하고자 하는 전면 전극의 패턴에 대응하는 형태의 홈(301)을 프린팅 기관(300)에 형성한다. 이 때, 홈(301)을 형성하는 방법은 특별히 제한되지 않으며 포토리소그래피법 등의 공지의 방법으로 수행할 수 있다. 그런 다음, 홈(301)의 내부에 전극 형성용 페이스트(310)를 충전한다. 이는, 프린팅 기관(300)의 표면에 페이스트(310)를 도포한 후 닥터 블레이드(330)를 프린팅 기관(300)에 접촉한 상태로 진행시킴으로써 이루어질 수 있다. 따라서, 닥터 블레이드(330)의 진행에 따라 홈(301) 내부에 페이스트(310)가 충전되는 한편, 프린팅 기관(300) 상에 남아 있는 페이스트(310)가 제거될 수 있다.
- [92] 그런 다음, 프린팅 기관(300)의 홈(301) 내부에 충전된 페이스트(310)는 프린팅 기관(300)의 표면에 접촉하여 회전하는 인쇄롤(340)의 표면에 전사된다. 인쇄롤(340)은 패턴이 형성되는 반도체 기판(204)의 폭과 동일한 폭으로 형성될

수 있고, 반도체 기판(204)의 길이와 동일한 길이의 원주를 가질 수 있다. 이에 따라, 1 회의 회전에 의해 프린팅 기판(300)의 홈(301)에 충전된 페이스트(310)가 모두 인쇄물(340)의 원주 표면에 전사된다.

- [93] 이 후, 인쇄물(340)을 반도체 기판(204)의 표면과 접촉시킨 상태에서 회전시킴으로써 인쇄물(340)에 전사된 페이스트(310)가 반도체 기판(204)에 전사되며, 전사된 페이스트(110)를 경화시킴으로써 패터를 형성한다.
- [94] 이와 같이, 오프셋 프린트법을 이용하여 전면 전극을 패터닝하는 경우, 미세한 크기를 갖는 패터를 용이하게 형성할 수 있을 뿐만 아니라, 프린팅 기판(300)과 인쇄물(340)을 반도체 기판(204)의 크기에 따라 제작함으로써, 1회의 전사에 의해 패터를 형성할 수 있어서 공정 효율성이 매우 높다는 장점이 있다.
- [95] 도 7에는 도 3에 따른 전면 전극이 형성된 태양전지의 부분 사시도가 모식적으로 도시되어 있다.
- [96] 도 7을 참조하면, 태양전지는 p형 반도체 층(202) 상에 그에 반대 도전형인 n형 반도체 층(203)이 형성되어 있어서 계면에서 p/n 접합을 이루고 있다. p형 반도체 층(202)의 하면에는 후면 전극(201)이 형성되어 있다. n형 반도체 층(203)의 상면에는 빛의 반사를 방해하기 위해 허니콤 구조를 갖는 반사방지막(204)이 형성되어 있으며, 반사방지막(204) 상에 그리드 전극 및 집전용 전극(120)를 포함하는 전면 전극이 형성되어 있고, n형 반도체 층(203)과 적어도 일부에서 접촉되어 있다.
- [97] 상기 p형 반도체 층(202)으로는 주로 p-형 실리콘 기판이 사용되고 있고, n형 반도체 층(203)으로는 phosphorous(P)가 도핑된 n-형 이미터(emitter) 층이 사용되고 있다. 또한, 전면 전극(110)은 주로 Ag 패터너로 형성되고, p형 반도체 층(202)의 배면에 후면 전극(201)은 주로 Al 층으로 형성된다.
- [98] 전면 전극은 넓은 폭을 갖는 집전용 전극(120)과 수직으로 연결되고, 150 μm 이하의 폭을 갖는 그리드 전극으로 이루어진 제 1 패터너부(110A), 제 1 패터너부(A) 보다 좁은 폭을 갖는 그리드 전극으로 이루어진 제 2 패터너부(110B), 및 이들과 상호 접촉하여 연결하고 있는 그리드 전극으로 이루어진 수지상 전극(110C)으로 이루어져 있다.
- [99] 이러한 구조에서 n형 반도체 층(203)으로부터 제 2 패터너부(B)로 유입되는 전류가 그리드 전극(110)을 따라 흐르면서 누적되는 바 제 1 패터너부(A)에 의해 저항 증가를 최소화할 수 있는 한편, 제 1 패터너부(110A)의 간격을 넓게 구성하고, 제 2 패터너부(110B)의 간격을 좁게 하여 쉐도우 손실을 최소화함으로써, 전체적으로 전력 손실을 최소화할 수 있다.
- [100] 도 8에는 본 발명에 따른 태양전지의 전면 전극의 평면도가 모식적으로 도시되어 있다.
- [101] 도 8을 참조하면, 2 개의 집전용 전극(120)과 이들 집전용 전극들 사이에 집전용 전극(120)으로부터 직교한 형태의 그리드 전극이 형성되어 있는 구조를 가진다. 이 때, 상대적으로 두께가 두꺼운 제 1 패터너부(110A)가 집전용 전극(120)과

연결되고, 그와 직교한 형태로 형성되어 있다. 또한, 제 2 패턴부(110B)는 제 1 패턴부(110A)와 연결되어 있고, 두 개의 집전용 전극들(120) 사이의 중앙부를 통해 상호 연결된 구조를 갖는다.

[102]

[103] 이하, 본 발명의 실시예를 참조하여 본 발명을 더욱 상술하지만, 본 발명의 범주가 그것에 의해 한정되는 것은 아니다.

[104]

[105] [실시예 1]

[106] 결정성 p형 실리콘 기판 상에 phosphorous(P)를 확산시켜 저항이 50 ohm인 n층을 만들고, n층의 전면에 반사 방지용 SiN_x 층을 증착하였다. 이와 같이 pn 접합이 형성된 기판에 대하여 후면 쪽에 Al 페이스트를 스크린 인쇄 및 소성에 의해 후면 전극층을 만들고, n층 쪽의 전면에, Ag 페이스트를 사용하여 오프셋 프린팅법으로 도 3에서와 같은 형태로 전극을 형성하였다. 구체적으로는, 그리드 전극 중, 제 1 패턴부(A)의 길이를 2.6 cm로 하고, 제 2 패턴부(B)의 길이를 1 cm로 하였으며, 제 1 패턴부(A)의 그리드 전극의 폭 및 간격을 각각 90 μ m와 2 mm로 하고, 제 2 패턴부(B)의 그리드 전극의 폭 및 간격을 각각 20 μ m와 1 mm로 하였으며, 수지상 전극(C)의 길이를 0.05 cm로 하였다. 그렇게 전극을 형성하여, n층의 저항이 50 ohm인 태양전지를 제조하였다.

[107]

[108] [실시예 2]

[109] 제 1 패턴부의 길이를 2.4 cm로 하고, 제 2 패턴부의 길이를 1.2 cm로 하였으며, 제 1 패턴부의 그리드 전극의 폭 및 간격을 각각 90 μ m와 1.7 mm로 하고, 제 2 패턴부의 그리드 전극의 폭 및 간격을 각각 20 μ m와 0.83 mm로 하였으며, 수지상 전극(C)의 길이를 0.05 cm로 하였다는 점을 제외하고는, 실시예 1과 동일한 방법으로, n층의 저항이 100 ohm인 태양전지를 제조하였다.

[110]

[111] [비교예 1]

[112] 도 5에서와 같은 형태로, 그리드 전극의 폭을 120 μ m로 하고, 그리드 전극의 간격을 2.5 mm로 하여, n층의 저항이 50 ohm인 태양전지를 제조하였다.

[113]

[114] [비교예 2]

[115] 그리드 전극의 폭을 20 μ m로 하고, 그리드 전극의 간격을 1 mm로 하여, 도 5에서와 같은 형태의 n층의 저항이 50 ohm인 태양전지를 제조하였다.

[116]

[117] [비교예 3]

[118] 도 5에서와 같은 형태로, 그리드 전극의 폭을 120 μ m로 하고, 그리드 전극의 간격을 2.5 mm로 하여, n층의 저항이 100 ohm인 태양전지를 제조하였다.

[119]

[120] [비교예 4]

[121] 그리드 전극의 폭을 $20\ \mu\text{m}$ 로 하고, 그리드 전극의 간격을 $1\ \text{mm}$ 로 하여, 도 5에서와 같은 형태의 n층의 저항이 $100\ \text{ohm}$ 인 태양전지를 제조하였다.

[122] <표 1>

[123]

	그리드 전극 길이 (cm)		그리드 전극 폭 (μm)		그리드 전극 간격 (mm)		n층 저항 (ohm)
	제 1 패턴부	제 2 패턴부	제 1 패턴부	제 2 패턴부	제 1 패턴부	제 2 패턴부	
실시에 1	2.6	1.0	90	20	2	1	50
실시에 2	2.4	1.2	90	20	1.7	0.83	100
비교예 1	3.6		120		2.5		50
비교예 2	3.6		20		1		50
비교예 3	3.6		120		2.5		100
비교예 4	3.6		20		1		100

[124]

[125] [실험예 1]

[126] 상기 실시에 1 및 2와 비교예 1 내지 4에서 각각 제조된 태양전지의 전력 손실을 계산하였고, 그 결과를 도 9 및 10과 하기 표 2에 각각 나타내었다.

[127] <표 2>

[128]

	n-type loss	Contact loss	Finger loss	Shadowing loss	전체 손실률	비교예1(3) 대비 손실률 차이	비교예2(4) 대비 손실률 차이
실시예 1	0.16	0.003	0.31	0.67	1.14	0.21%	0.79%
실시예 2	0.21	0.003	0.35	0.70	1.26	0.41%	0.68%
비교예 1	0.32	0.003	0.18	0.84	1.35	-	-
비교예 2	0.007	0.005	0.95	0.98	1.93	-	-
비교예 3	0.28	0.003	0.12	1.26	1.67	-	-
비교예 4	0.01	0.0007	0.95	0.98	1.94	-	-

[129] 이들 결과에서, "n-type loss"는 전류가 n-형 반도체 층을 지날 때 일어나는 손실 (손실 I)이고, "contact loss"는 전류가 n-형 반도체 층에서 전극 그리드로 넘어갈 때 일어나는 손실 (손실 II)이다. 또한, "finger loss"는 전류가 전극 그리드를 따라 흐를 때 일어나는 손실 (손실 III)이고, "shadow loss"는 전극에 의해 가려지는 면적에 의한 손실 (손실 IV)이다.

[130] 또한, 상기 표 2에서 비교예 대비 실시예의 손실률 차이는 에미터 저항(n층 저항)이 동일한 경우를 비교 대상으로 손실률 차이를 의미한다. 즉, 실시예 1은 에미터 저항이 50 ohm인 비교예 1 및 2와 비교하였고, 실시예 2는 에미터 저항이 100 ohm인 비교예 3 및 4와 비교하였다.

[131] 먼저 도 9와 그에 따른 표 2의 내용을 참조하면, 본 발명의 전면 전극을 형성한 실시예 1의 태양전지는 비교예 1 및 2에 따른 태양전지에 비해 전력 손실이 현저히 줄어들었음을 확인할 수 있다.

[132] 구체적으로, 비교예 2에 따른 전지의 경우 지나치게 얇고 조밀한 그리드 전극을 형성함으로써 그리드 전극을 흐르는 전류의 저항이 증가하여 손실 III이 매우

높은 반면에, 실시예 1에 따른 전지는 상대적으로 손실 III이 현저히 저하되었음을 알 수 있다. 또한, 비교예 1에 따른 전지는 넓은 폭과 간격의 그리드 전극을 사용함으로써 웨도우 손실이 매우 높은 반면에, 본 발명의 실시예 1에 따른 전지의 경우에는 웨도우 손실이 크게 저하되었음을 확인할 수 있다.

[133] 이에, 실시예 1에 따른 전지의 경우, 전력 손실률이 비교예 1의 전지에 비해 0.21% 감소되었고, 비교예 2의 전지에 비해서는 무려 0.79% 감소되었음을 확인할 수 있다.

[134] 또한, 도 10과 그에 따른 표 2의 내용을 참조하면, 100 ohm의 저항을 갖는 n형 반도체층을 형성한 경우, 종래의 전지(비교예 3)에 비해 전력 손실이 더욱 크게 감소하였음을 확인할 수 있다(0.41% 감소). 따라서, 본 발명에 따른 전면 전극은 전류의 표면 결합 속도를 줄이기 위한 고저항의 n형 반도체층을 사용하는 경우에도 바람직하게 적용될 수 있음을 확인할 수 있다.

산업상 이용가능성

[135] 이상의 설명과 같이, 본 발명에 따른 태양전지용 전면 전극은 상기 그리드 전극의 폭이 집전용 전극 방향으로 증가하는 구조로 형성함으로써 웨도우 손실을 최소화하면서도 저항 증가를 최소화할 수 있어서 전력 손실을 감소시켜 이를 포함하는 경우 궁극적으로 효율이 높은 태양전지를 제조할 수 있다.

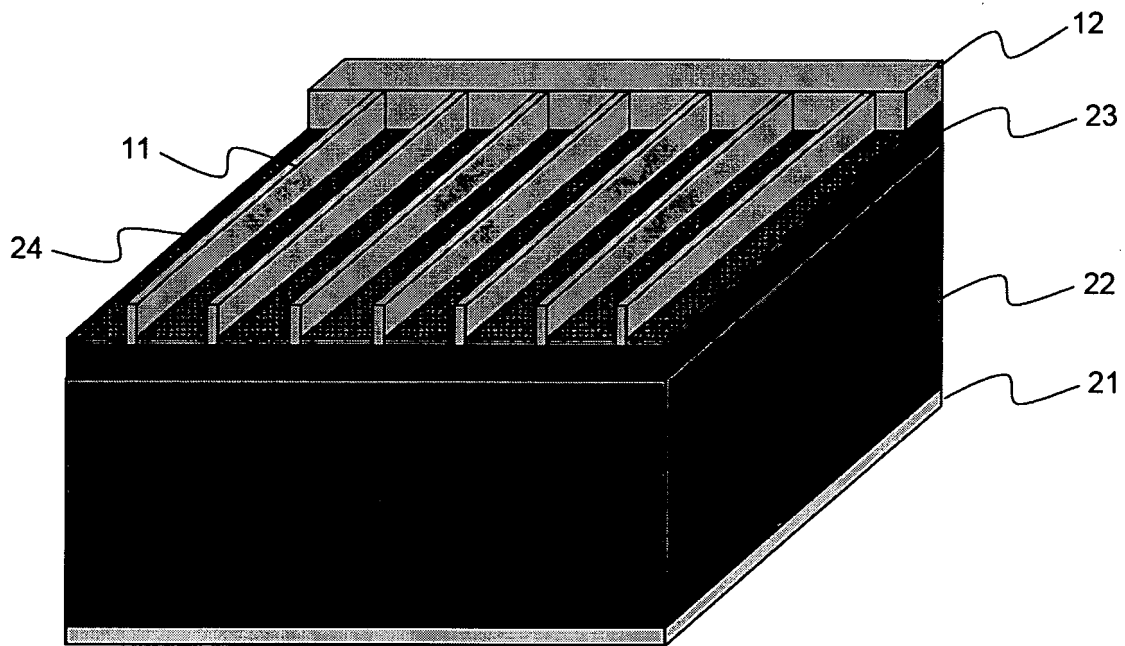
[136] 본 발명이 속한 분야에서 통상의 지식을 가진 자라면 상기 내용을 바탕으로 본 발명의 범주내에서 다양한 응용 및 변형을 행하는 것이 가능할 것이다.

청구범위

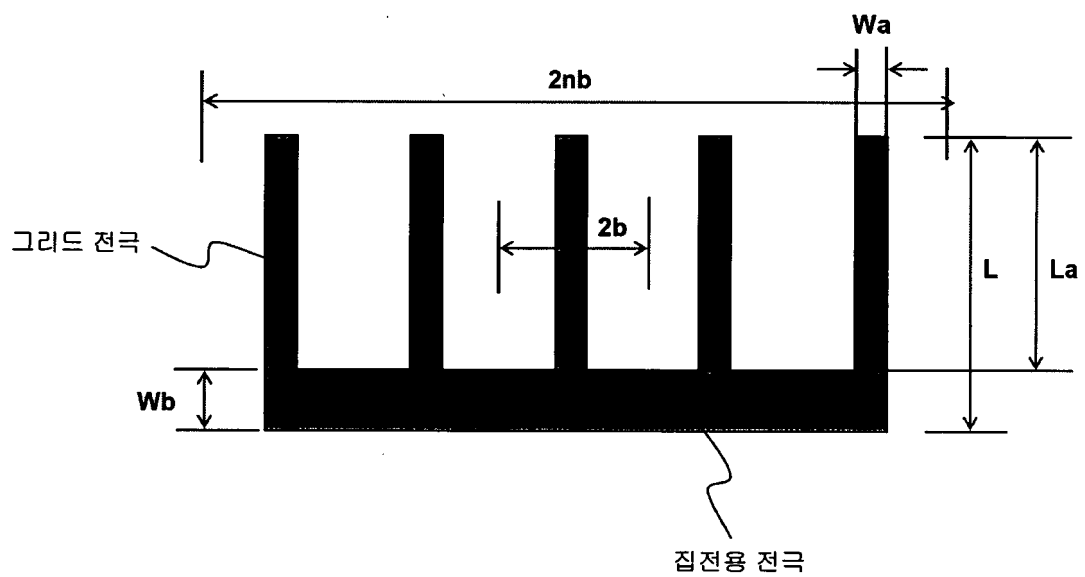
- [1] 태양전지용 전면 전극으로서, 반도체 기판 상에 서로 평행한 다수의 그리드 전극들 및 상기 그리드 전극들과 교차하는 하나 또는 그 이상의 집전용 전극으로 이루어진 패턴이 형성되어 있고, 상기 그리드 전극으로 유입된 전류는 집전용 전극으로 이동하여 집전되며, 상기 그리드 전극의 폭은 집전용 전극 방향으로 증가하는 구조로 이루어진 것을 특징으로 하는 태양전지용 전면 전극.
- [2] 제 1 항에 있어서, 상기 그리드 전극은 상기 집전용 전극과 직교하는 태양전지용 전면 전극.
- [3] 제 1 항에 있어서, 상기 그리드 전극의 폭은 집전용 전극에 대한 거리에 반비례하여 연속적으로 증가하는 구조로 이루어진 것을 특징으로 하는 태양전지용 전면 전극.
- [4] 제 1 항에 있어서, 상기 그리드 전극의 폭은 집전용 전극에 대한 거리에 반비례하여 비연속적으로 증가하는 구조로 이루어진 것을 특징으로 하는 태양전지용 전면 전극.
- [5] 제 1 항에 있어서, 상기 그리드 전극 폭의 증가율은 집전용 전극에 접한 그리드 전극 폭이 대향 단부의 폭에 대해 50 내지 500%의 폭 증가를 갖는 범위에 있는 것을 특징으로 하는 태양전지용 전면 전극.
- [6] 제 4 항에 있어서, 상기 패턴에서 그리드 전극의 폭이 150 μm 이하인 제 1 패턴부 및 그리드 전극의 폭이 제 1 패턴부의 그리드 전극의 폭보다 좁은 제 2 패턴부로 이루어진 태양전지용 전면 전극.
- [7] 제 6 항에 있어서, 상기 제 2 패턴부는 둘 또는 그 이상의 그리드 전극들이 접합된 구조로 이루어진 태양전지용 전면 전극.
- [8] 제 6 항에 있어서, 상기 제 1 패턴부의 그리드 전극과 제 2 패턴부의 그리드 전극 사이에는 이들의 단부를 연결하는 수지상(dendrite) 전극이 위치하는 태양전지용 전면 전극.
- [9] 제 8 항에 있어서, 상기 수지상 전극 폭은 제 2 패턴부의 그리드 전극 폭을 기준으로 1 내지 2 배인 것을 특징으로 하는 태양전지용 전면 전극.
- [10] 제 8 항에 있어서, 상기 제 1 패턴부의 그리드 전극 폭은 수지상 전극 폭보다 큰 범위에서, 제 2 패턴부의 그리드 전극 폭을 기준으로 1.1 내지 15 배인 것을 특징으로 하는 태양전지용 전면 전극.
- [11] 제 8 항에 있어서, 상기 제 2 패턴부의 그리드 전극 폭은 10 내지 60 μm 이고, 상기 제 1 패턴부의 그리드 전극 폭은 제 2 패턴부의 그리드 전극의 폭 보다 큰 범위 내에서 50 내지 150 μm 이며, 상기 수지상 전극은 제 2 패턴부의 그리드 전극의 폭과 동일하거나 또는 그보다 큰 범위에서 10 내지 60 μm 인 태양전지용 전면 전극.
- [12] 제 6 항에 있어서, 상기 제 1 패턴부의 그리드 전극들 간의 간격은 상기 제 2

- 패턴부의 그리드 전극들 간의 간격을 기준으로 0.7 내지 6배인 것을 특징으로 하는 태양전지용 전면 전극.
- [13] 제 6 항에 있어서, 상기 제 2 패턴부의 그리드 전극들 간의 간격은 0.5 내지 2 mm이고, 상기 제 1 패턴부의 그리드 전극들 간의 간격은 제 2 패턴부의 그리드 전극들의 간격과 같거나 큰 범위에서 1.5 내지 3 mm인 태양전지용 전면 전극.
- [14] 제 8 항에 있어서, 그리드 전극의 총 길이 대비, 상기 제 2 패턴부의 그리드 전극의 길이는 10 내지 70%이고, 상기 제 1 패턴부의 그리드 전극의 길이는 30 내지 90%이며, 상기 수지상 전극의 길이는 0 내지 10%인 태양전지용 전면 전극.
- [15] 제 1 항에 있어서, 상기 반도체 기판은 결정성 실리콘으로 이루어진 n형 반도체 층인 태양전지용 전면 전극.
- [16] 제 1 항에 있어서, 상기 반도체 기판의 저항은 50 Ω 이상인 태양전지용 전면 전극.
- [17] 제 1 항 내지 제 16 항 중 어느 하나에 따른 전면 전극을 포함하는 태양전지로서, 전극 손실이 1.3 mW/cm² 미만인 태양전지.
- [18] 제 1 항에 따른 태양전지용 전면 전극을 제조하는 방법으로서, 반도체 기판 상에 서로 평행한 다수의 그리드 전극들 및 상기 그리드 전극과 교차하는 집전용 전극으로 이루어진 패턴을 형성할 때,
 (a) 100 μ m 이하의 폭을 갖는 그리드를 형성하기 위해, 그라비아 프린팅법 또는 오프셋 프린팅법을 이용하여 반도체 기판에 페이스트를 프린트하는 단계; 및
 (b) 가열 및/또는 가압하여 페이스트를 경화하는 단계;를 포함하는 태양전지용 전면 전극의 제조방법.
- [19] 제 18 항에 있어서, 상기 오프셋 프린팅법은, 전면 전극의 패턴에 대응하는 소정 패턴의 홈을 갖는 프린팅 기판을 마련하는 단계; 상기 프린팅 기판에 형성된 홈에 전극 형성용 페이스트를 채우는 단계; 상기 프린팅 기판에 인쇄물을 회전시켜 홈에 채워진 페이스트를 인쇄물로 전사하는 단계; 및 반도체 기판 상에 인쇄물을 회전시켜 인쇄물에 전사된 페이스트를 반도체 기판에 전사하는 단계;를 포함하는 태양전지용 전면 전극의 제조방법.
- [20] 제 18 항에 있어서, 상기 그라비아 프린팅법은, 전면 전극의 패턴에 대응하는 소정 패턴의 홈을 갖는 블랭킷 실린더(blanket cylinder)를 마련하는 단계; 상기 블랭킷 실린더에 형성된 홈에 전극 형성용 페이스트를 채우는 단계; 및 상기 블랭킷 실린더를 반도체 기판 상에 회전시켜 상기 페이스트를 전사하는 단계;를 포함하는 태양전지용 전면 전극의 제조방법.
- [21] 제 18 항에 있어서, 상기 페이스트는 Ag 분말을 포함하는 것을 특징으로 하는 태양전지용 전면 전극의 제조방법.

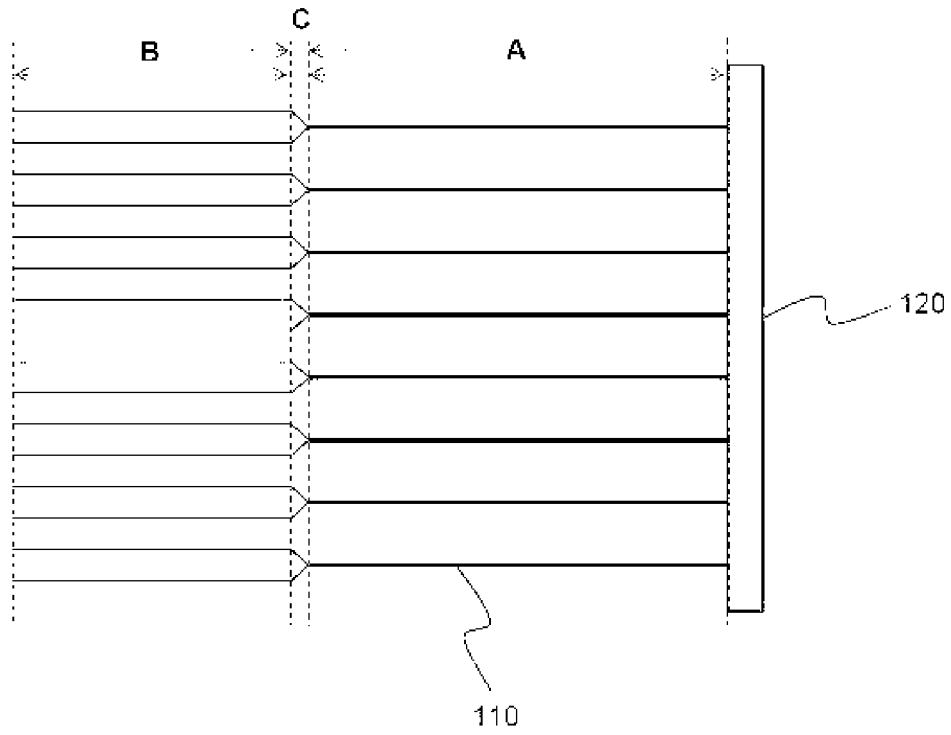
[Fig. 1]



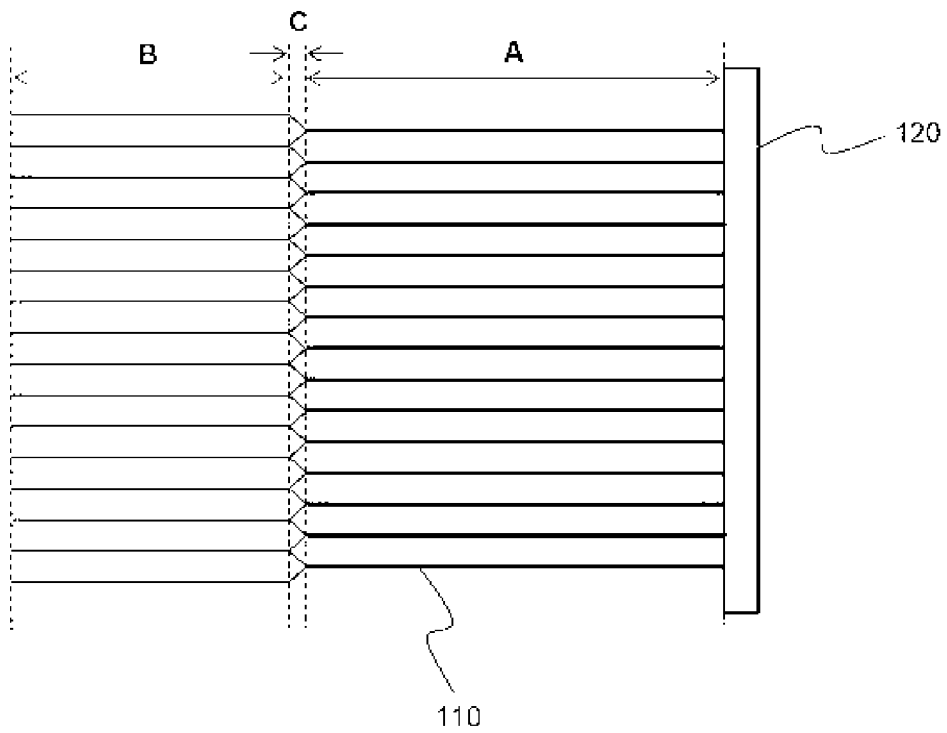
[Fig. 2]



[Fig. 3]

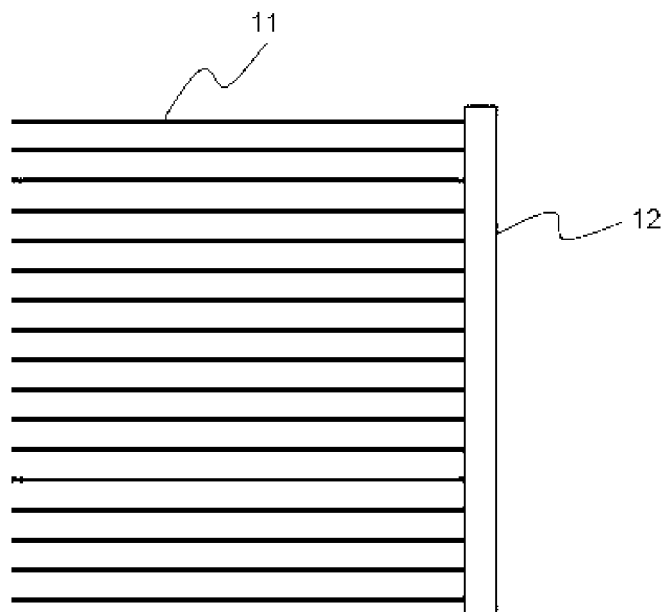
101

[Fig. 4]

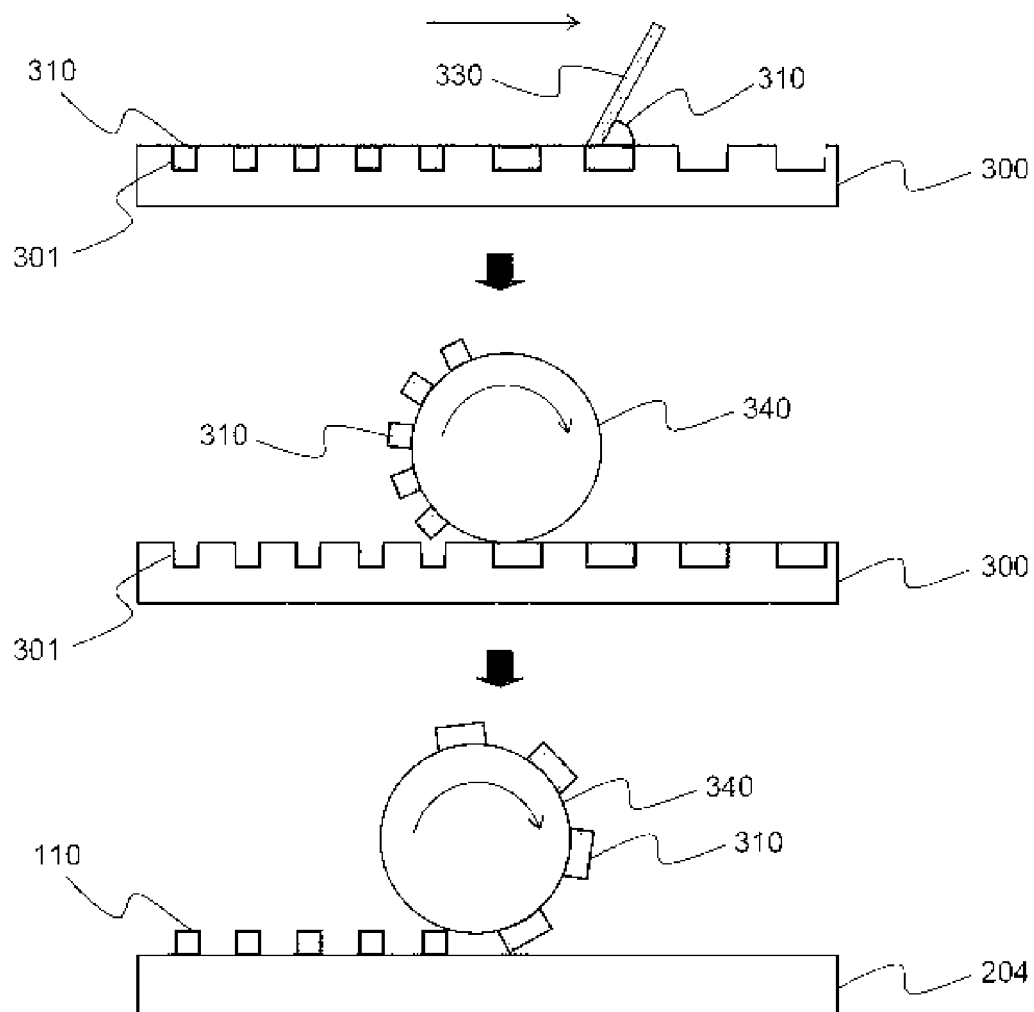
102

[Fig. 5]

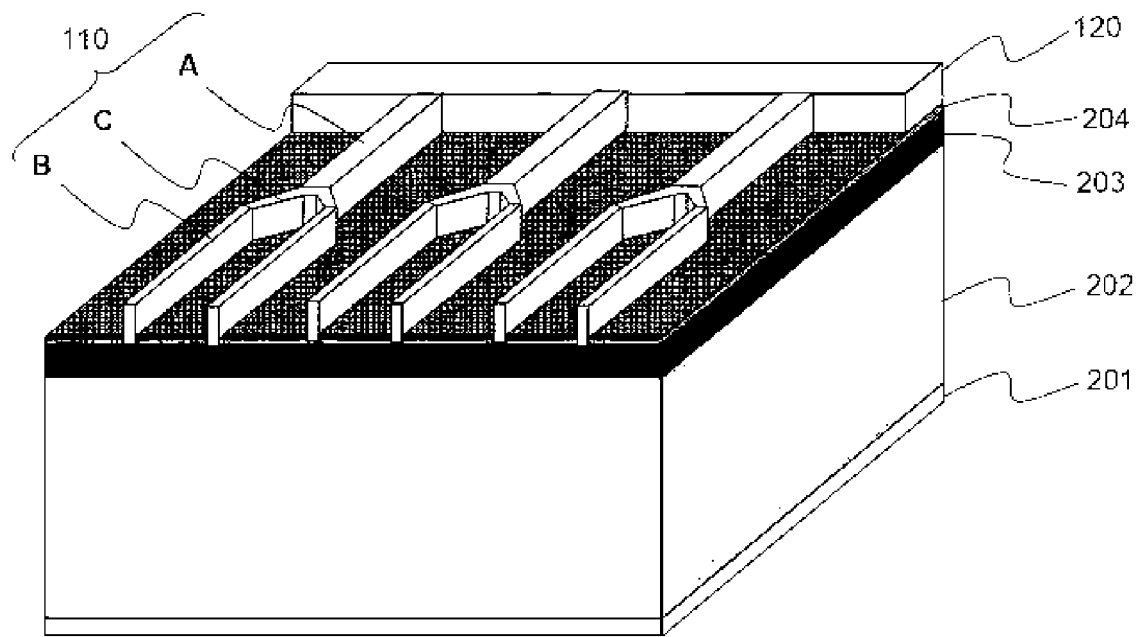
10



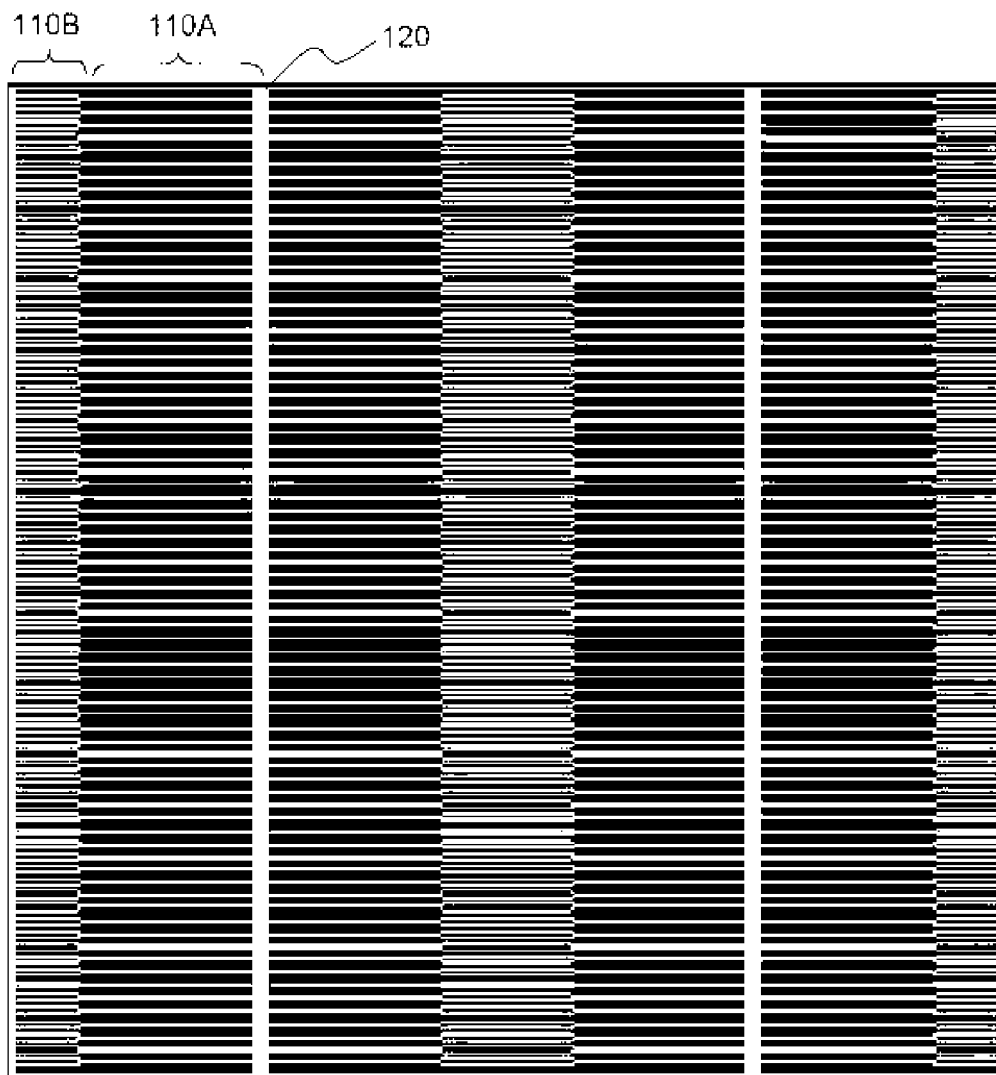
[Fig. 6]



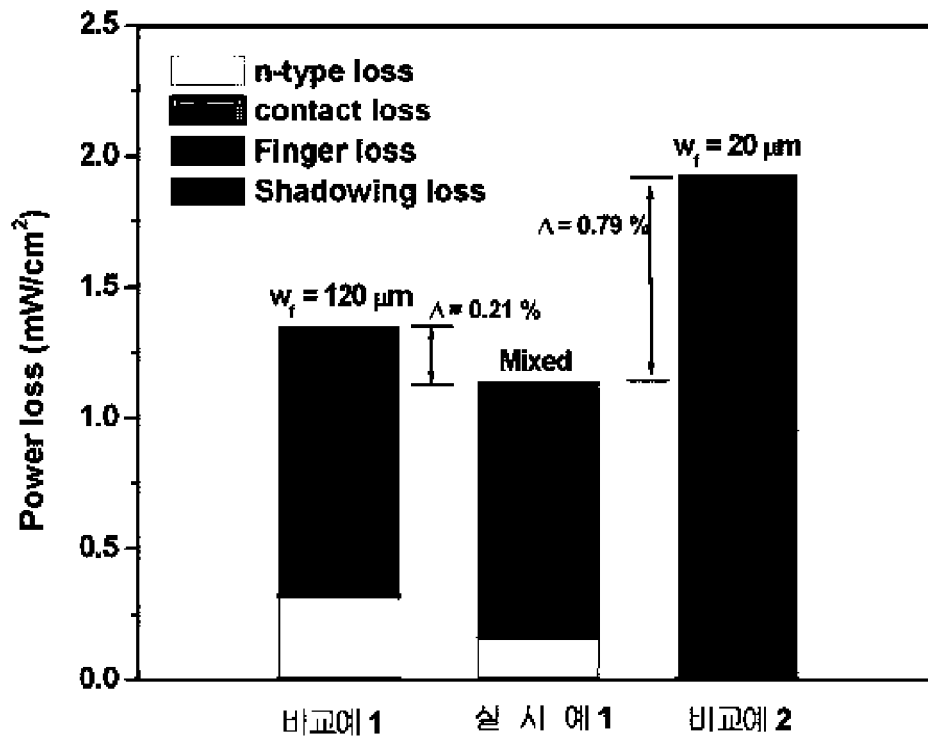
[Fig. 7]



[Fig. 8]



[Fig. 9]



[Fig. 10]

