

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610075110.X

[51] Int. Cl.

H01L 21/335 (2006.01)

H01L 29/772 (2006.01)

[45] 授权公告日 2009 年 4 月 8 日

[11] 授权公告号 CN 100477123C

[22] 申请日 2006.4.18

[21] 申请号 200610075110.X

[30] 优先权

[32] 2005.4.18 [33] US [31] 11/107,843

[73] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 幸山裕亮

[56] 参考文献

CN1527379A 2004.9.8

CN1595624A 2005.3.16

CN1437769A 2003.8.20

CN1444281A 2003.9.24

US5869359A 1999.2.9

US6051509A 2000.4.18

US5663570A 1997.9.2

审查员 张剑铭

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

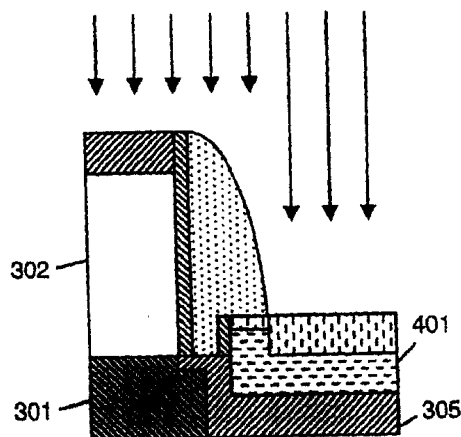
权利要求书 1 页 说明书 6 页 附图 18 页

[54] 发明名称

用于减小多晶硅高度的 SOI 底部预掺杂合并 e-
-SiGe

[57] 摘要

描述了半导体器件结构和制作该结构的方法，该结构提供有完全掺杂的晶体管源/漏区，同时减少甚至避免硼穿透进入晶体管沟道，从而改善了晶体管的性能。此外，这种晶体管受益于对晶体管沟道施加压应力的 SiGe 层 (401)，从而进一步改善了晶体管的性能。



1. 一种用于形成半导体器件的方法，特征在于包括：
在硅本体上形成晶体管栅；
在栅的相对侧面上形成硅本体的凹陷部分；
对该凹陷部分执行第一掺杂，包括对所述凹陷部分的每一个的下表面和侧壁二者掺杂；
在执行第一掺杂的步骤之后，在凹陷部分上形成 SiGe 层；以及
在形成 SiGe 层之后，对栅执行第二掺杂。
2. 根据权利要求 1 的方法，特征在于所述执行第一掺杂的步骤包括在所述凹陷部分上以 3KeV 、 $1 \times 10^{15}\text{cm}^{-2}$ 执行 BF2 注入。
3. 根据权利要求 2 的方法，特征在于所述执行第二掺杂的步骤包括以 5KeV 、 $2.5 \times 10^{15}\text{cm}^{-2}$ 执行 BF2 注入。
4. 根据权利要求 1 的方法，还包括：
在所述栅的相对侧面的每一个上形成侧壁隔层；以及
去除每个侧壁隔层；以及
执行扩展形成，
其中所述执行第一掺杂和形成凹陷部分的步骤在去除该侧壁隔层之前执行。
5. 根据权利要求 1 的方法，特征在于在所述执行第一掺杂和第二掺杂的步骤二者中，在栅下方的硅本体中的晶体管沟道区不被硼渗透。
6. 根据权利要求 5 的方法，特征在于所述晶体管栅包括多晶硅，并在所述硅本体上方延伸不大于 100 纳米。
7. 根据权利要求 5 的方法，特征在于所述执行第二掺杂的步骤包括执行对栅的第二掺杂。
8. 根据权利要求 1 的方法，特征在于所述硅本体被设置在埋置氧化物层的上方，并且其中在执行第一掺杂的步骤之后，使硼扩散到所述 SiGe 层和硅本体中，由此在所述硅本体中得到各自毗邻该埋置氧化物层的一对源/漏区。

用于减小多晶硅高度的 SOI 底部预掺杂合并 e-SiGe

技术领域

本发明的各方面一般地涉及半导体器件及其制造方法，并且更具体地涉及提供一种对晶体管的源/漏区掺杂同时减少硼穿透进入晶体管沟道的途径，并且也在同一晶体管中提供了向晶体管沟道施加压应力的 SiGe 层。

背景技术

各种类型的硅晶体管经常包括多晶硅栅。存在着许多影响栅的合适高度的因素。例如，将栅制作得过高会导致诸如在最终产品中的不希望的寄生电容的问题以及注入遮蔽问题（*implant shadowing problem*）（尤其在多个栅按照小尺度间距重复时），以及导致在制造期间多晶硅蚀刻时的困难。因此，希望限制多晶硅栅的高度。

另一方面，将栅制作得过短会导致其它的问题，例如，在晶体管制造期间，存在着在或者允许不希望的硼穿透进入晶体管沟道、或者对晶体管的源/漏区掺杂不充分之间的折衷。例如，参照图 1，所说明的传统硅器件具有包括硅本体 1、硅本体 1 紧邻下面的埋置氧化物（BOX）层 4 和 BOX 层 4 下面的衬底（未示出）的绝缘体上硅（SOI）晶片结构。该器件具有包括多晶硅栅 2 和源/漏区 3 的晶体管。为了产生源/漏区 3，该区域由硼离子来掺杂。栅 2 也同时由硼离子来掺杂。在图 1 中，为了避免硼离子穿透进入栅 2 下方的沟道中，采用低能量剂量的硼离子。尽管成功地避免了沟道硼穿透，但低能量剂量的副作用是源/漏区 3 没有被充分掺杂使其毗邻 BOX 层 4。换句话说，在源/漏区 3 和 BOX 层 4 之间存在着间隙。这会导致不希望的高结电容。

参照图 2，这次采用更高能量剂量的硼离子。结果，现在源/漏区 3 合适地毗邻 BOX 层 4，因此降低了结电容。然而，为了充分掺杂源/漏区 3，副作用是硼离子已经完全穿透栅 2 而进入下方硅本体 1 的沟道部分。这种沟道硼穿透导致沟道迁移率的极大恶化，这是非常不希

望的。因此，需要一种充分掺杂晶体管源/漏区而又不允许不希望量的硼离子穿透进入沟道的途径。

此外，已经发现在晶体管的栅和沟道的相对侧面使用硅锗 (SiGe) 层可以明显地改善晶体管的性能。这是由通过 SiGe 层作用在沟道上的压力而导致的。因此，也希望找到一种途径制造包括这样的 SiGe 层的晶体管，仍然对源/漏区完全掺杂而没有同时最小化或另外减少沟道硼穿透。

发明内容

本发明的一方面涉及诸如在绝缘体上硅 (SOI) 晶片上制造半导体器件的方法，该半导体器件具有源/漏区被硼离子充分掺杂同时减少或者甚至避免硼穿透晶体管沟道的晶体管。这可以得到具有优异工作特性的晶体管，如低结电容。可以不需要制造额外高的晶体管栅来制造这种器件，其可产生具有低寄生电容的晶体管，同时利用较简单和便宜的一组制造步骤。除了实现上述内容，该制造工艺还允许添加在晶体管沟道上提供压应力的硅锗 (SiGe) 层，从而提高 P 型晶体管沟道内的空穴迁移率。

本发明的另一方面涉及制造上述半导体器件的方法，使得上述晶体管是 P 型场效应晶体管 (PFET)，其中该方法还允许在同一晶片上同时制造 N 型场效应晶体管 (NFET)。

本发明的仍另一方面涉及由上述制造方法得到的半导体器件和/或晶体管。

根据本发明的一个方面，提供一种用于形成半导体器件的方法，包括：在硅本体上形成晶体管栅；在栅的相对侧面上形成硅本体的凹陷部分；对该凹陷部分执行第一掺杂，包括对所述凹陷部分的每一个的下表面和侧壁二者掺杂；在执行第一掺杂的步骤之后，在凹陷部分上形成 SiGe 层；以及在形成 SiGe 层之后，对栅执行第二掺杂。

在考虑以下对示例性实施方式的详细描述时，将清楚本发明的这些和其它方面。

附图说明

通过考虑附图参照下文的描述可以获得对本发明及其优点的更完

整的理解，其中类似的参考数字表示类似的特征。

图 1 表示导致低剂量掺杂的对 SOI 器件的传统低能量硼掺杂。

图 2 表示导致高剂量掺杂的对 SOI 器件的传统高能量硼掺杂。

图 3-6 表示可以在制造具有外延 SiGe 层的 SOI 器件中进行的示例性主要步骤。

图 7-22 表示可以在制造具有外延 SiGe 层的另一 SOI 器件中进行的示例性步骤。

具体实施方式

现在将结合图 3-6 描述在示例性的制造工艺中的概述的重要某些步骤，所述附图按照在示例性工艺中执行的连续次序来显示。参照图 3，所示出的传统 SOI 晶片的一部分包括硅本体 301。在硅本体 301 上形成 P 型场效应晶体管 (PFET) 多晶硅栅 302，在栅 302 的侧壁上形成侧壁隔层 304。栅 302 也由 SiN 层 303 作为帽盖。硅本体 301 的凹陷部分 305 通过硼注入而预掺杂。随后，在图 4 中，在凹陷部分 305 上外延生长 SiGe 层 401。在图 5 中执行扩展形成之后，然后在图 6 中，采用低能量的硼注入栅 302 和源/漏区，从而减少甚至避免硼穿透进入栅 302 下方的沟道。这种低能量的硼可以具有例如 2-10KeV 范围内的能量，如大约 5KeV。

现在将结合图 7-22 讨论对示例性制造工艺的更详细的描述，所述附图按照在示例性工艺中执行的连续次序来显示。首先参照图 7，所示出的传统 SOI 晶片的一部分包括具有嵌入的浅沟槽隔离 (STI) 层 705 的硅本体 701。硅本体 701 可以是例如大约 50-70 纳米厚，而 STI 层 705 可以是例如大约 60-80 纳米厚。在 BOX 层 710 上设置硅本体 701，STI 层 705 稍微地延伸到 BOX 层 710 中。BOX 层 710 可以是例如大约 150 纳米厚。BOX 层 710 又设置在衬底 (未示出) 上。在 STI 层 705 的相对侧面，在硅本体 701 上按照传统的方式形成 N 型场效应晶体管 (NFET) 栅 702 和 PFET 栅 703。栅 702 和 703 可以是例如大约 100 纳米高度或更小，并且可以设置在具有薄栅氧化物层 (未

示出)的硅本体 701 上。然后,按照传统的方式在栅 702 和 703 的顶部沉积第一 SiN 层,以形成帽盖 707 和 708。帽盖 707 和 708 可以是例如大约 50 纳米厚度或更小。按照传统的方式,对栅 702 和 703 的侧壁再氧化(在栅 702 和 703 的侧壁上导致未示出的大约 5 纳米宽的再氧化层),并在硅晶片的整个表面上沉积掩模层 704(如第二 SiN 层)。掩模层 704 可以是例如大约 40 纳米的厚度。随后,SOI 晶片由光致抗蚀剂层 706 覆盖,对其曝光和蚀刻从而仅覆盖 NFET 区域。随后,使用经图形化的光致抗蚀剂层 706 作为掩模执行传统的反应离子蚀刻(RIE),得到 PFET 栅 703 的侧壁上的侧壁隔层 709。侧壁隔层 709 可以各为例如大约 40 纳米的宽度。

参照图 8,去除光致抗蚀剂层 706。然后,采用掩模层 704 和帽盖 708 作为掩模,通过传统的 RIE 选择性的凹陷硅本体 701 的暴露部分,以得到各具有凹陷 801 的凹陷部分 802。凹陷 801 可以是例如进入硅本体 701 大约 40 - 60 纳米的深度,使得剩余的凹陷部分 802 为例如大约 10 纳米的厚度。

参照图 9,然后向硅本体 701 中凹陷区 801 的下表面 901 和侧壁 902 中注入硼,得到表面 901 和 902 下面的硼掺杂 P 型区。例如,可以采用大约 3KeV、 $1 \times 10^{15} \text{cm}^{-2}$ 、偏离法线大约 15 度的角度的二氟化硼(BF_2)注入。这种硼“预掺杂”允许在图 20 中说明的随后掺杂步骤中采用更低的能量剂量的硼。

参照图 10,然后在凹陷区 801 上外延生长 SiGe 层 1001。SiGe 层 1001 可以是例如大约 50 - 70 纳米的厚度。此外,在该外延生长期间或之后,在表面 901 和 902 下面的掺硼 P 型区中至少一些硼扩散到 SiGe 层 1001 中,在图 10 中由 SiGe 层 1001 的较暗部分表示。此外,表面 901 下方的至少一些硼扩散到硅本体 701 中,使得硼毗邻 BOX 层 710。表面 902 附近另外的更多的硼轻微地朝沟道扩散,如图 10 所示。SiGe 层 1001 对栅 703 下方的 PFET 沟道提供压应力,从而改善了 PFET 的性能。

参照图 11,然后去除掩模层 704 和帽盖 707、708。

参照图 12, 然后在栅 702、703 的侧壁上形成偏置隔层 (offset spacer) (如第一氧化物层) 1201。偏置隔层 1201 各自可以延伸栅 702、703 的相应的长度, 并且可以各自是例如大约 10 纳米的宽度。

参照图 13 和 14, 然后采用光致抗蚀剂掩模层 1302 和 1401, 在区域 1301 中的 NFET 上和 PFET (在区域 1402 中) 分别选择性地执行 N 型扩展和 P 型晕圈注入 (halo implantation)。通常, 扩展注入可以是比晕圈注入更高的剂量。例如, 在 NFET 区, 采用大约 2KeV、 $2 \times 10^{15} \text{cm}^{-2}$ 的砷 (As) 扩展注入, 以及采用大约 10KeV、 $8 \times 10^{13} \text{cm}^{-2}$ 、偏离法线大约 30 度角度的硼 (B) 晕圈注入。并且, 在 PFET 区, 采用例如大约 3KeV、 $1 \times 10^{15} \text{cm}^{-2}$ 的二氟化硼 (BF_2) 扩展注入, 以及采用大约 60KeV、 $5 \times 10^{13} \text{cm}^{-2}$ 、偏离法线大约 30 度角度的砷 (As) 晕圈注入。随后可以分别去除光致抗蚀剂掩模层 1302、1401。

参照图 15, 然后在晶片上沉积第三 SiN 层 1501。第三 SiN 层 1501 可以是例如大约 50 纳米的厚度。随后, 采用传统的覆盖 RIE 技术, 在第三 SiN 层 1501 上形成另一组偏置隔层 (如第二氧化物层) 1502。这些偏置隔层 1502 可以各自是例如大约 40 纳米的宽度。

参照图 16, 然后采用光致抗蚀剂掩模层 1601, 仅在 NFET 上执行深源/漏注入。例如, 可以采用 45Kev、 $1 \times 10^{15} \text{cm}^{-2}$ 的磷 (P) 注入。如同可以看到的那样, 由于高能量的磷穿过第三 SiN 层 1501 而形成了区域 1602。

参照图 17, 然后从 NFET (但不从 PFET) 去除偏置隔层 1502。

参照图 18, 在 NFET 栅 702 的相对侧面上形成窄隔层 1801, 并通过在第三 SiN 层 1501 上执行传统的覆盖 RIE 而在 PFET 栅 703 的相对侧面上形成堆叠的宽隔层 1802。窄隔层 1801 可以是例如大约 40 纳米的宽度, 而宽隔层 1802 可以是例如大约 90 纳米的宽度。

参照图 19 和 20, 分别采用光致抗蚀剂掩模层 1901 和 2001 在 NFET 和 PFET 上执行源/漏掺杂。采用浅或轻注入 (导致少量或没有硼穿透进入栅 703), 执行 PFET 的 P 型掺杂。这是可行的, 因为结合图 9 已经发生了对 PFET 的源/漏区的预掺杂。例如, 在 NFET 区中,

可以采用大约 15KeV、 $2 \times 10^{15} \text{cm}^{-2}$ 的砷 (As) 注入, 而在 PFET 区中, 可以采用大约 5KeV、 $2.5 \times 10^{15} \text{cm}^{-2}$ 的二氟化硼 (BF_2) 注入。然后在各自分别的注入之后去除光致抗蚀剂层 1901、2001。作为重 N 型掺杂的结果, 如图 19 所示形了区域 1902。同样, 作为浅 P 型掺杂的结果, 如图 20 所示形成了区域 2002。通过执行这些步骤, 不然之后可能发生的硼穿透进入 PFET 栅 703 下方的沟道被明显地减少, 甚至被完全避免。

参照图 21, 执行激活退火, 使得栅 703 和 704 被很好地掺杂, 分别得到被很好地掺杂的栅 2101 和 2102 以及 NFET 和 PFET 源/漏区, 使得这些区域向下生长以毗邻硅本体 701 紧邻下方的 BOX 层 710。

参照图 22, 在栅 2101、2102 以及 NFET 和 PFET 的源/漏区上形成硅化镍层 2201。

因而已经描述了新结构和用于制作该结构的方法, 该新结构提供有完全掺杂的晶体管源/漏区, 同时减少甚至避免硼穿透进入晶体管沟道, 从而改善晶体管的性能。此外, 这样的晶体管可以受益于对晶体管沟道施加压应力的 SiGe 层, 从而进一步改善了晶体管的性能。

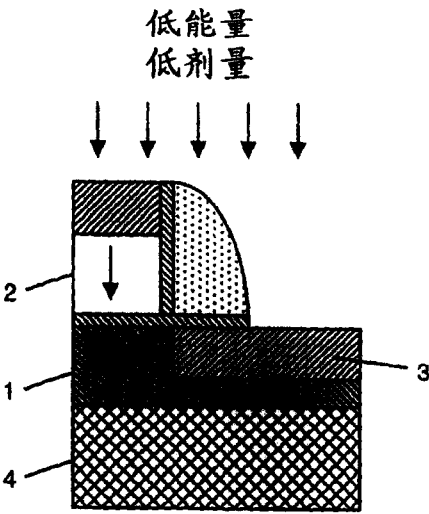


图1

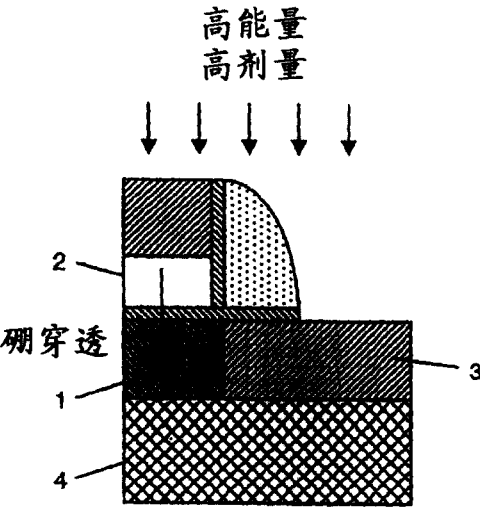


图2

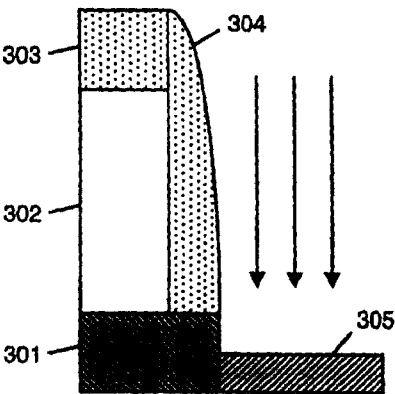


图 3

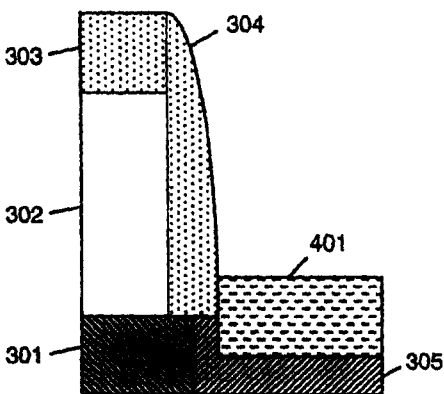


图 4

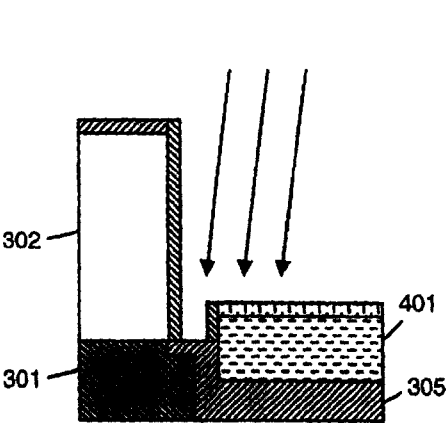


图 5

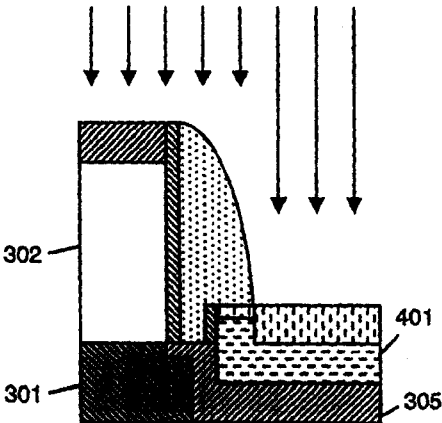


图 6

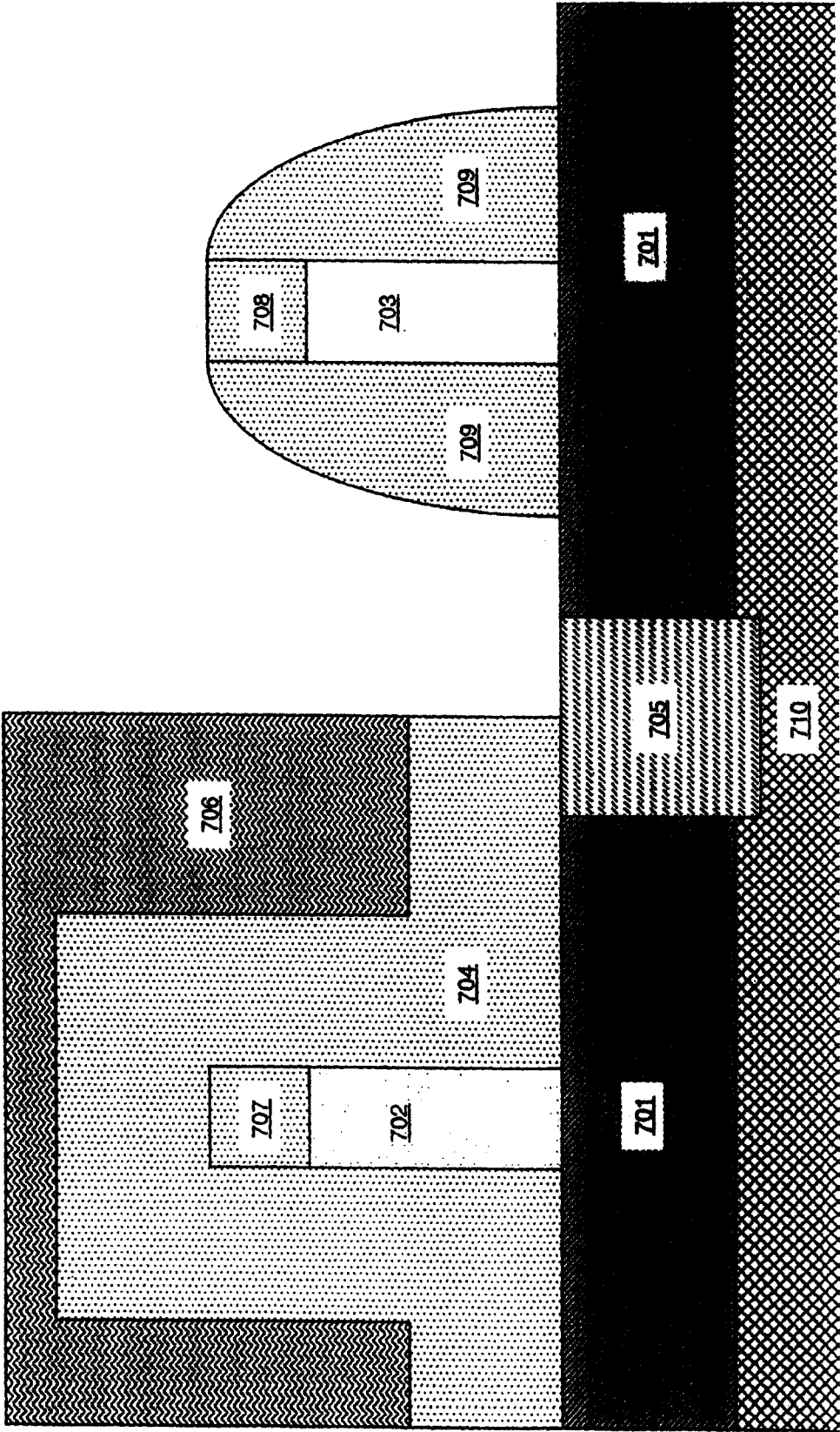


图7

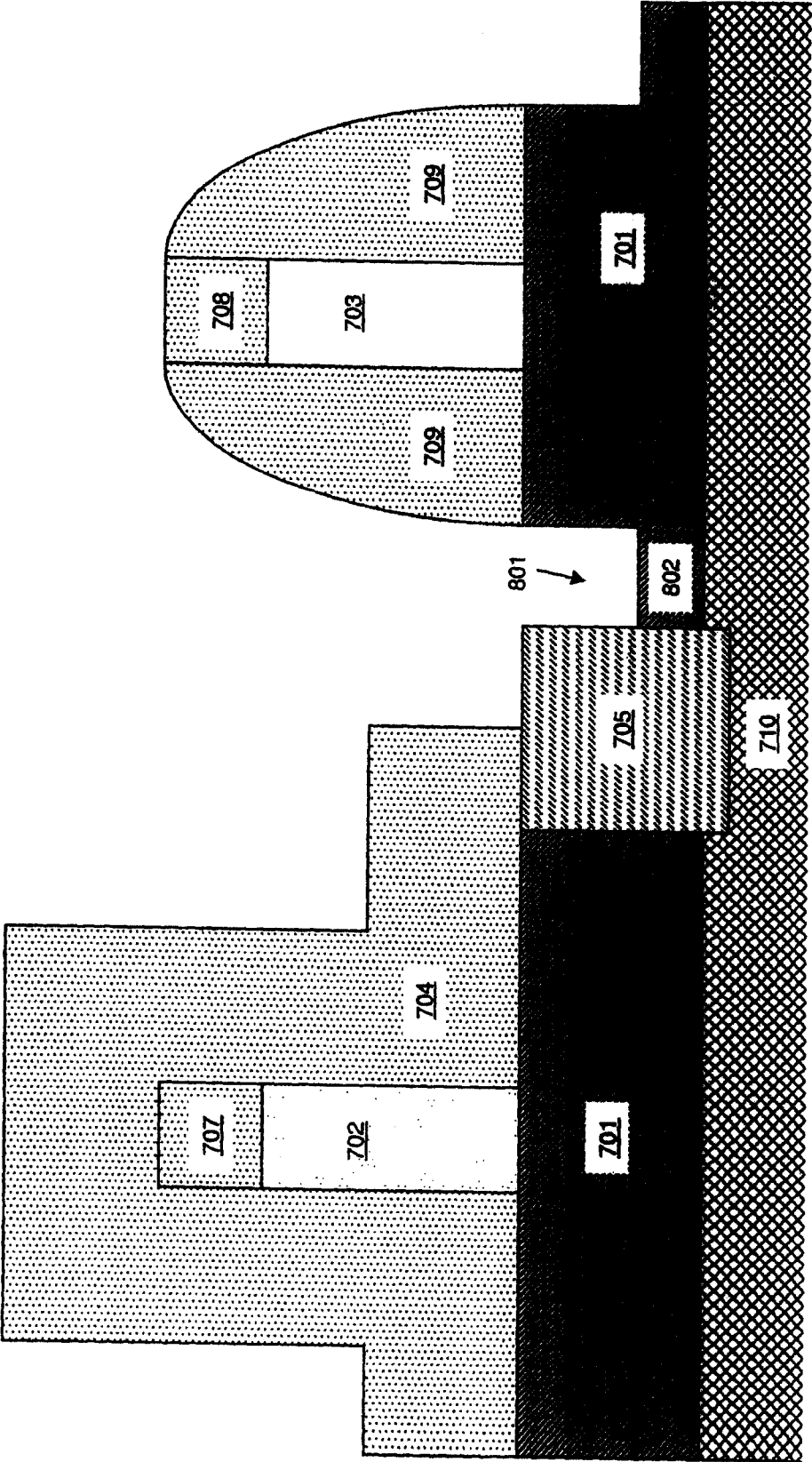


图 8

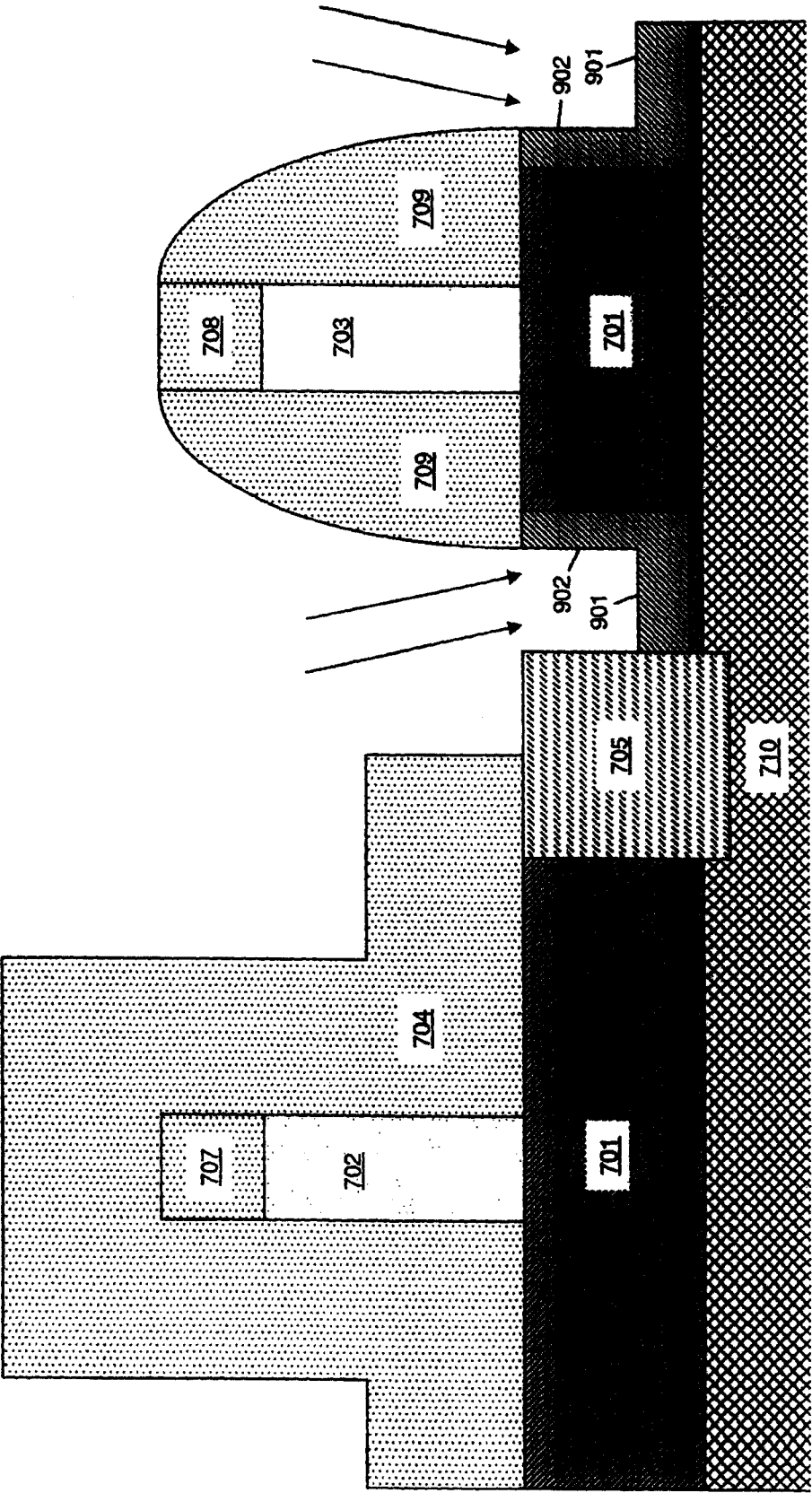


图9

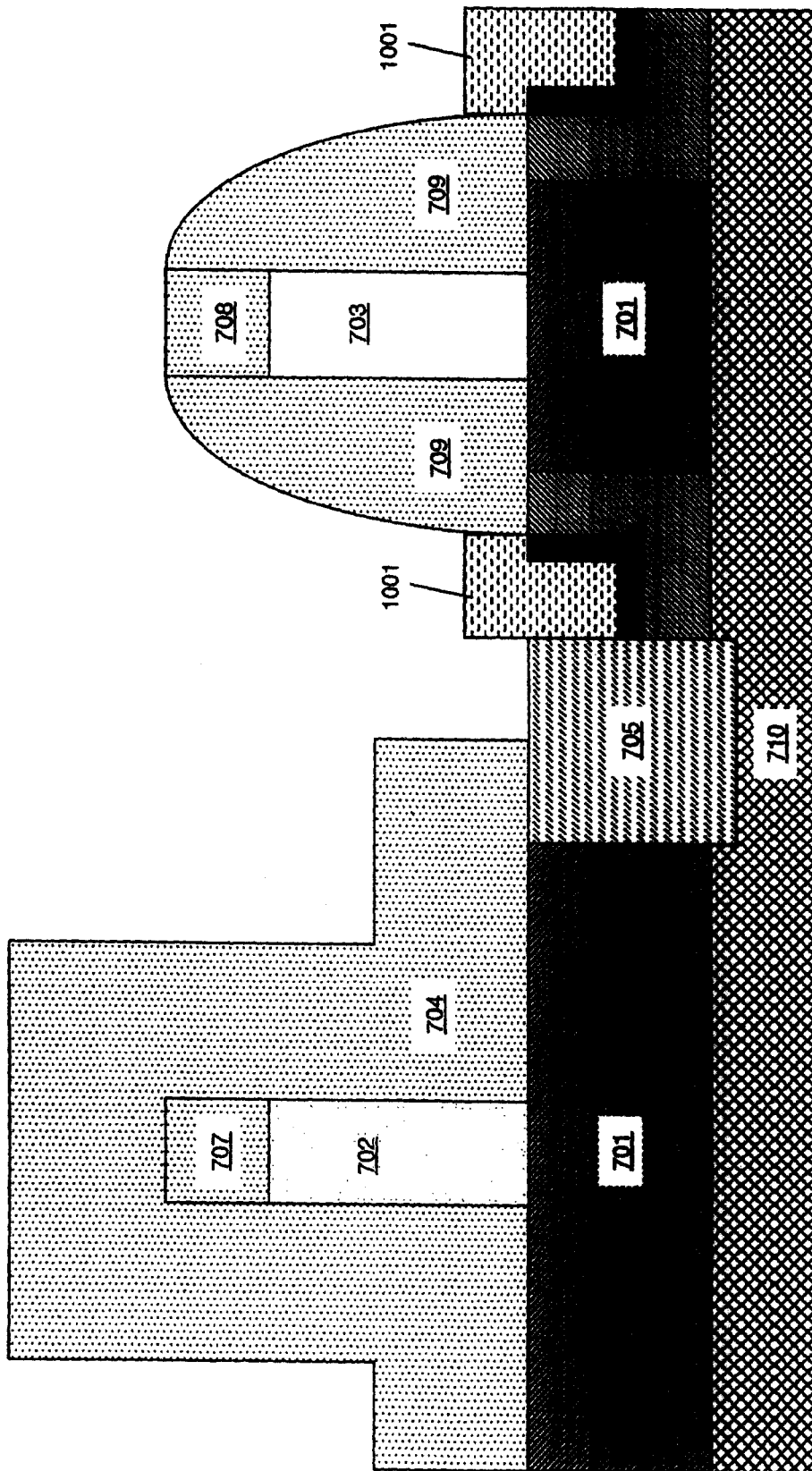


图 10

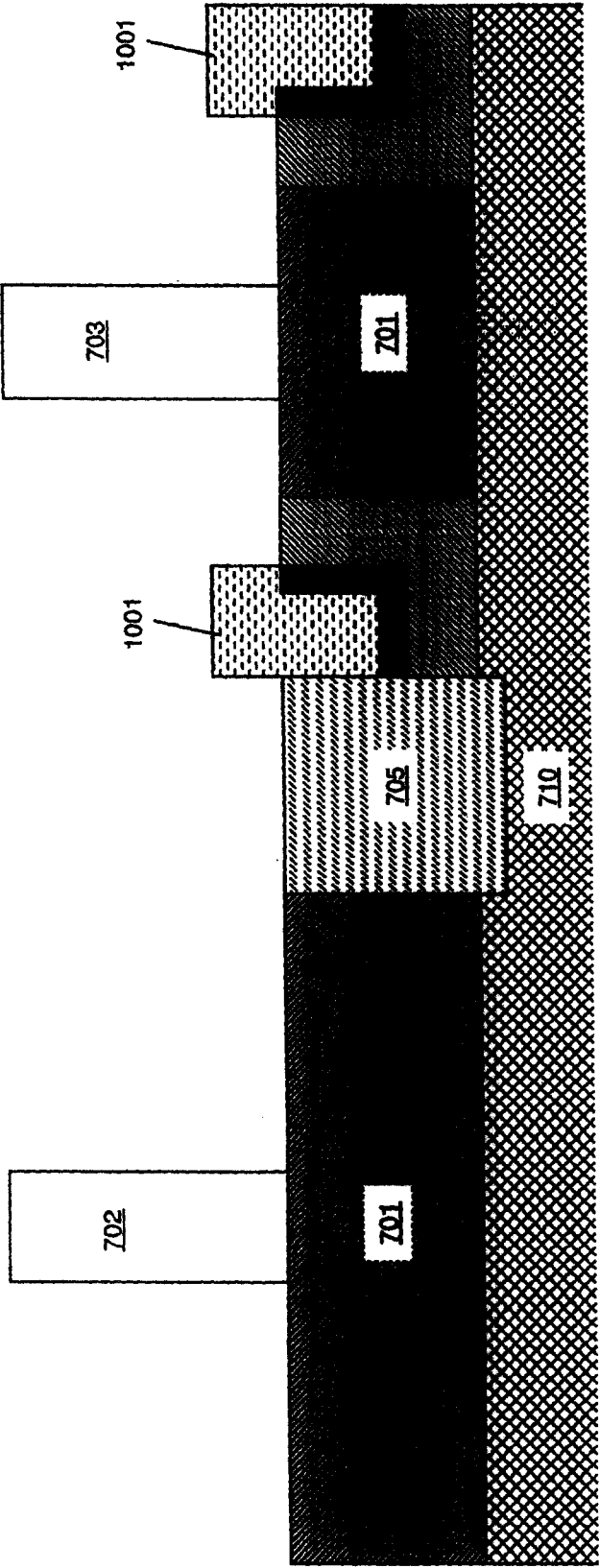


图 11

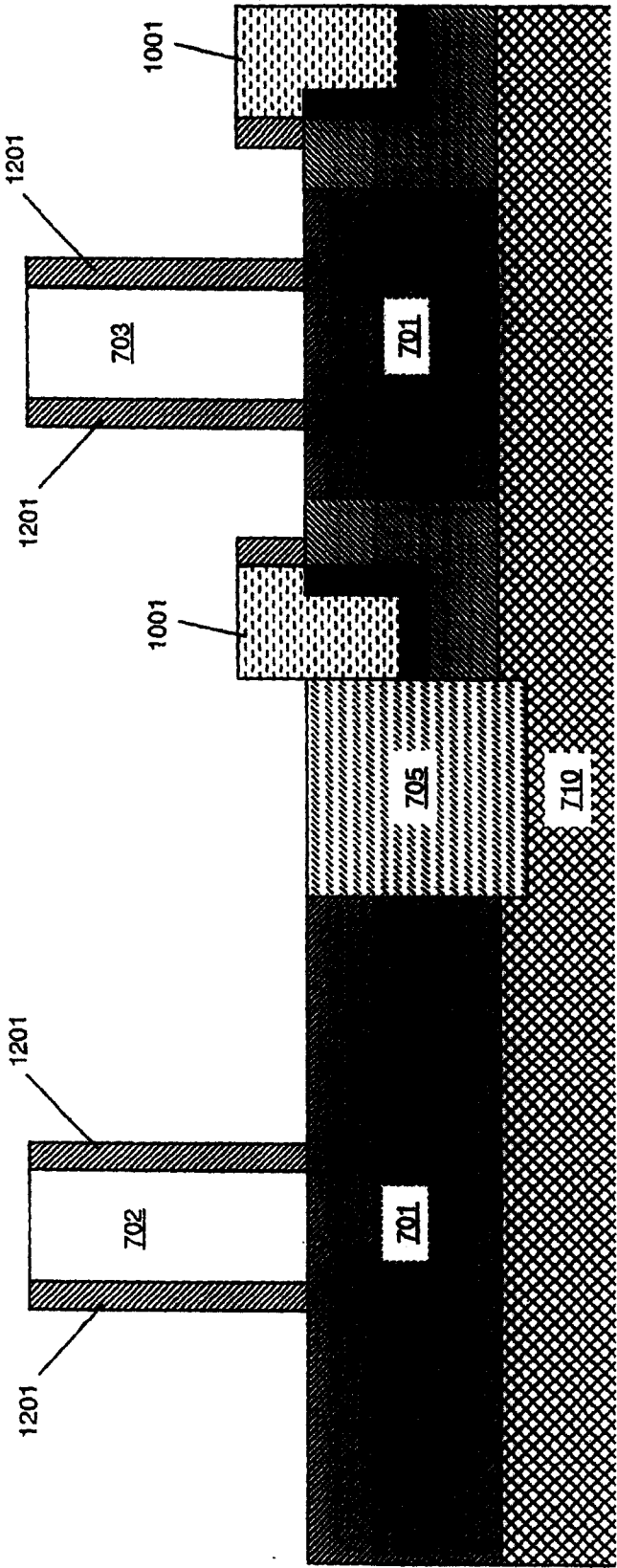


图12

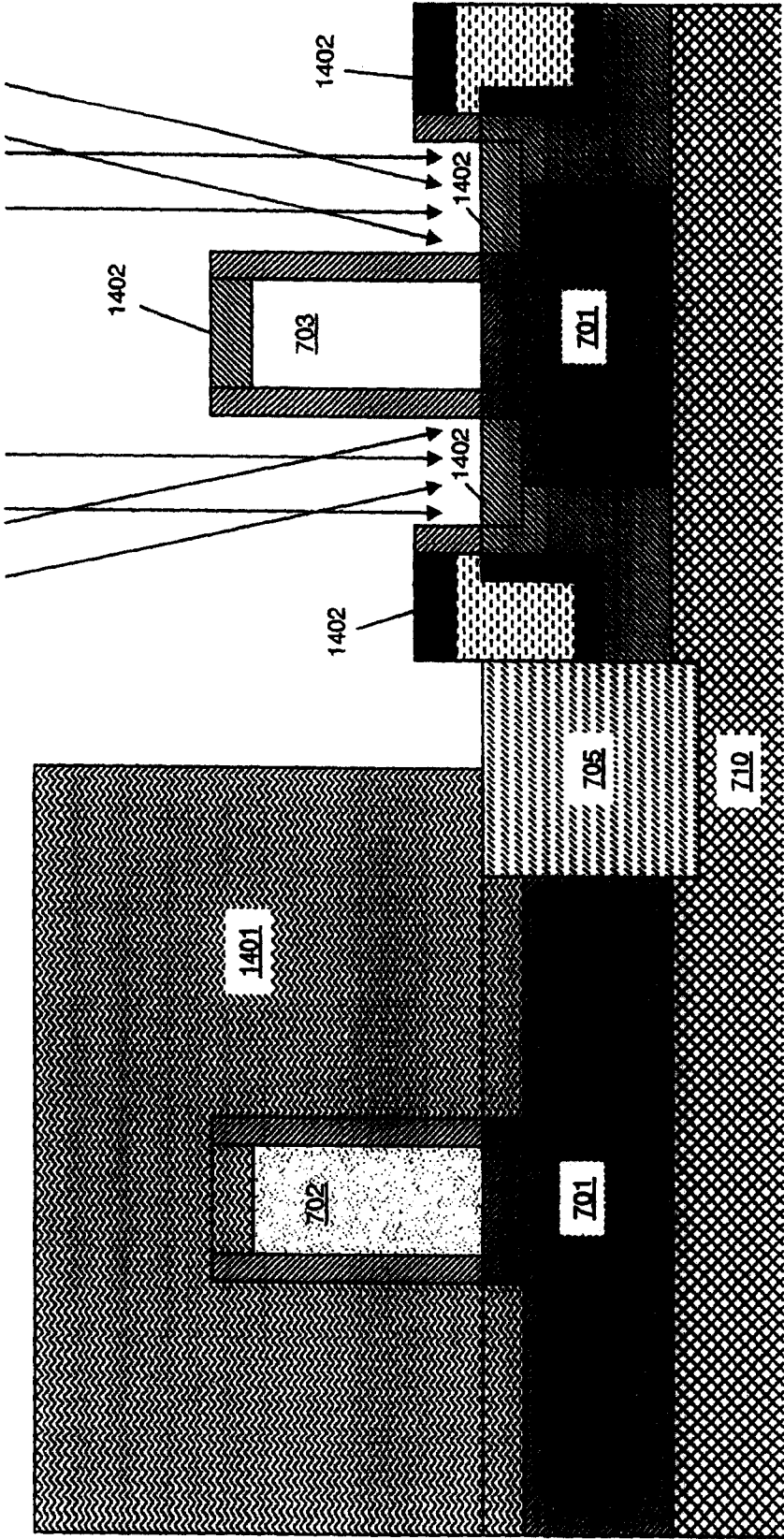


图14

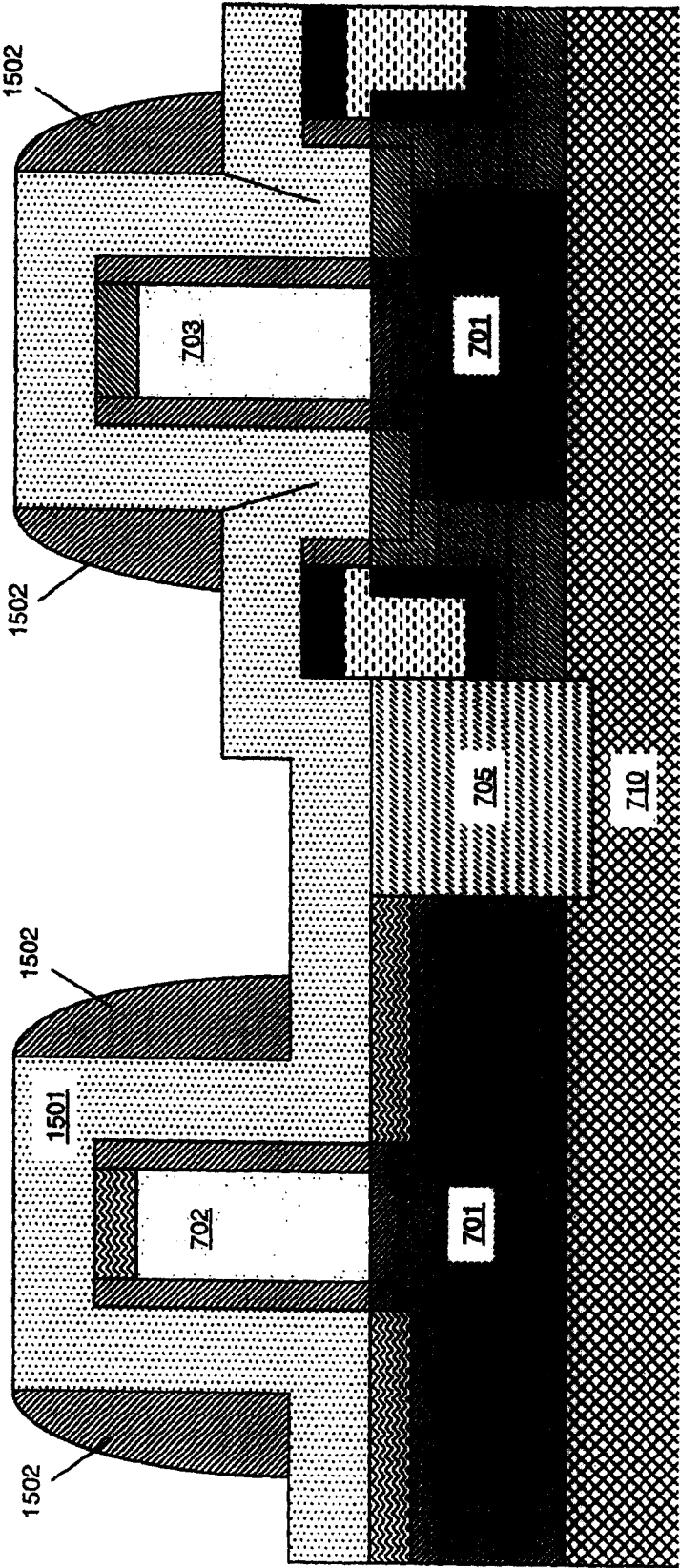


图15

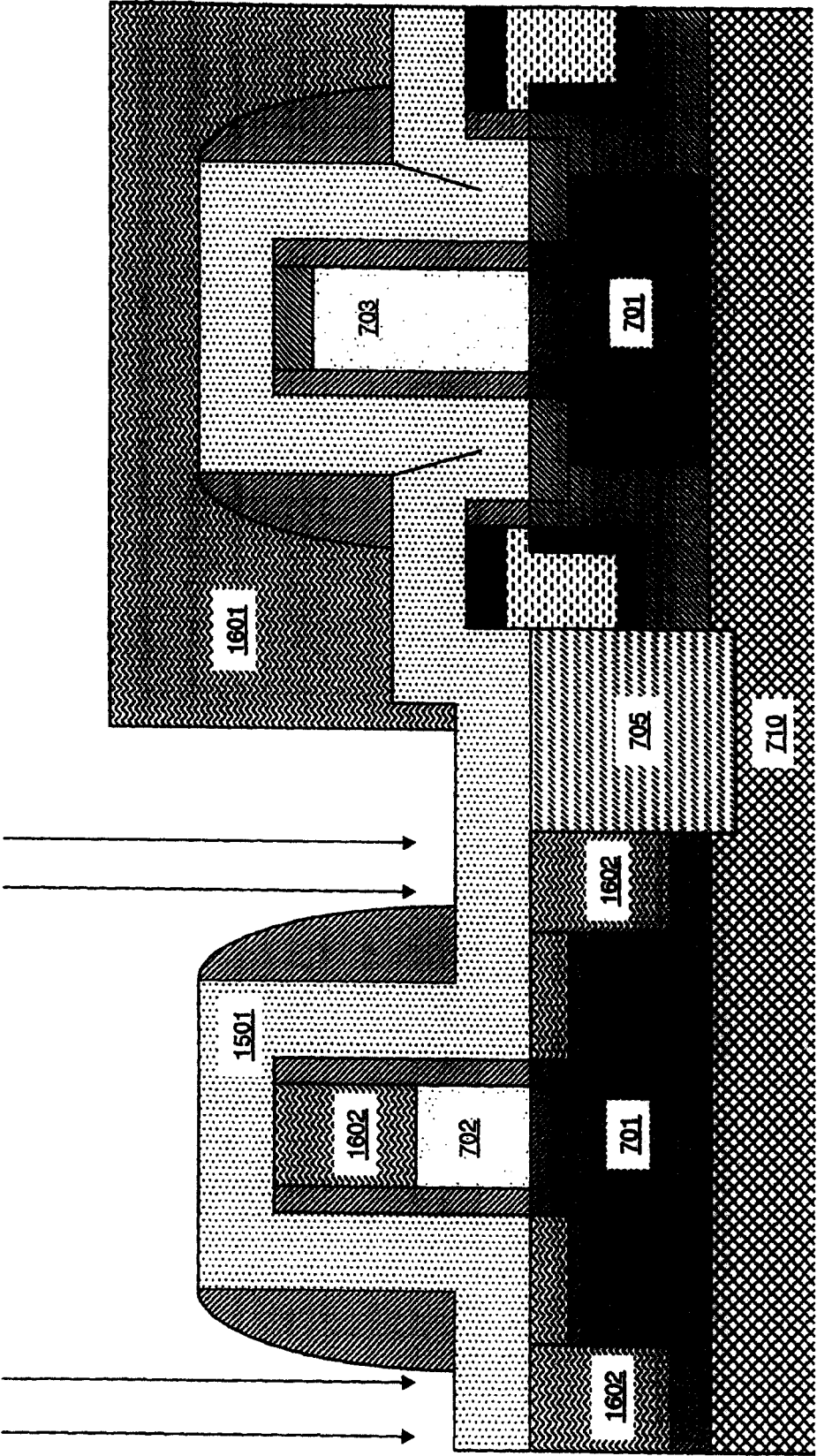


图16

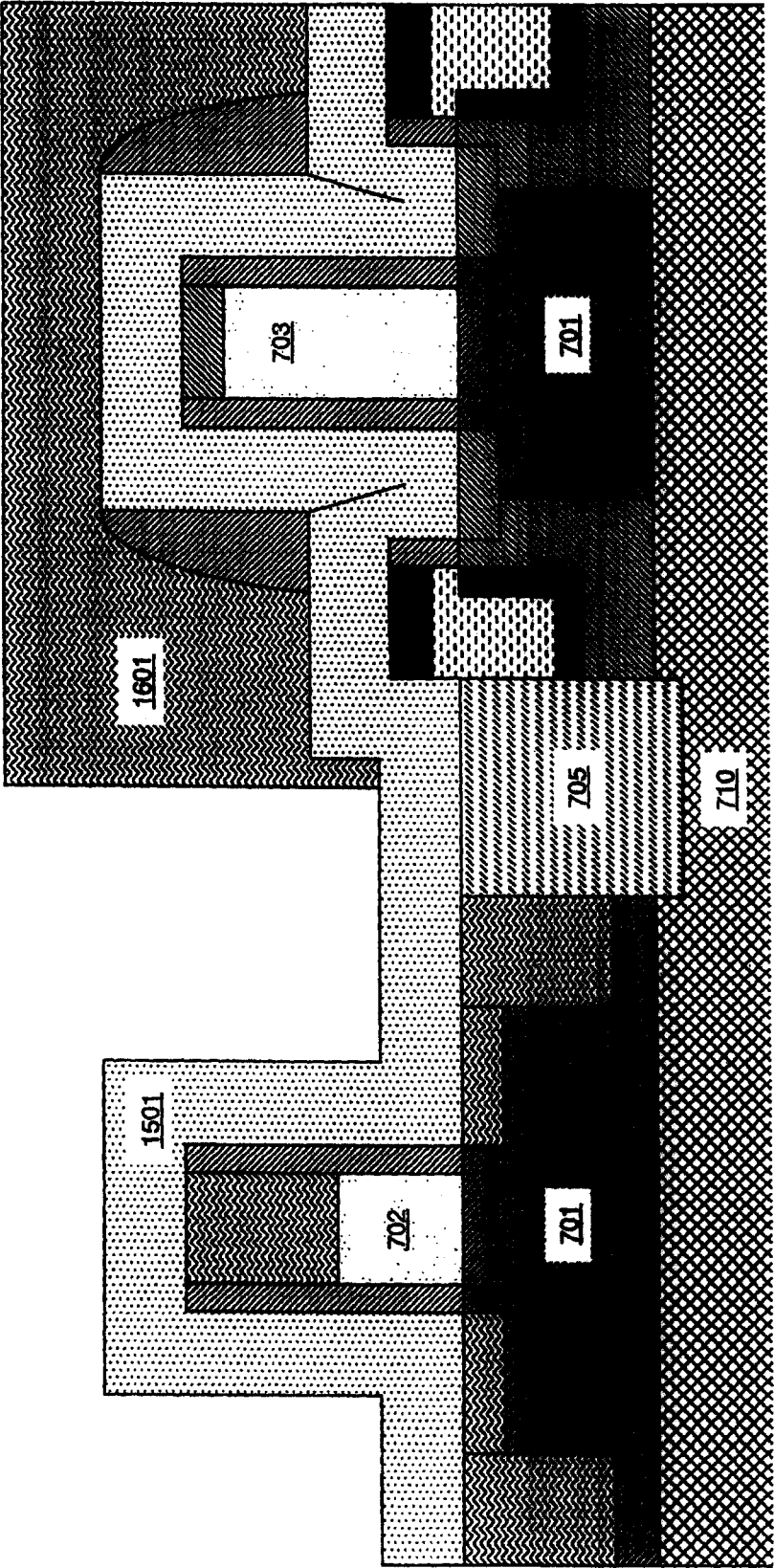


图 17

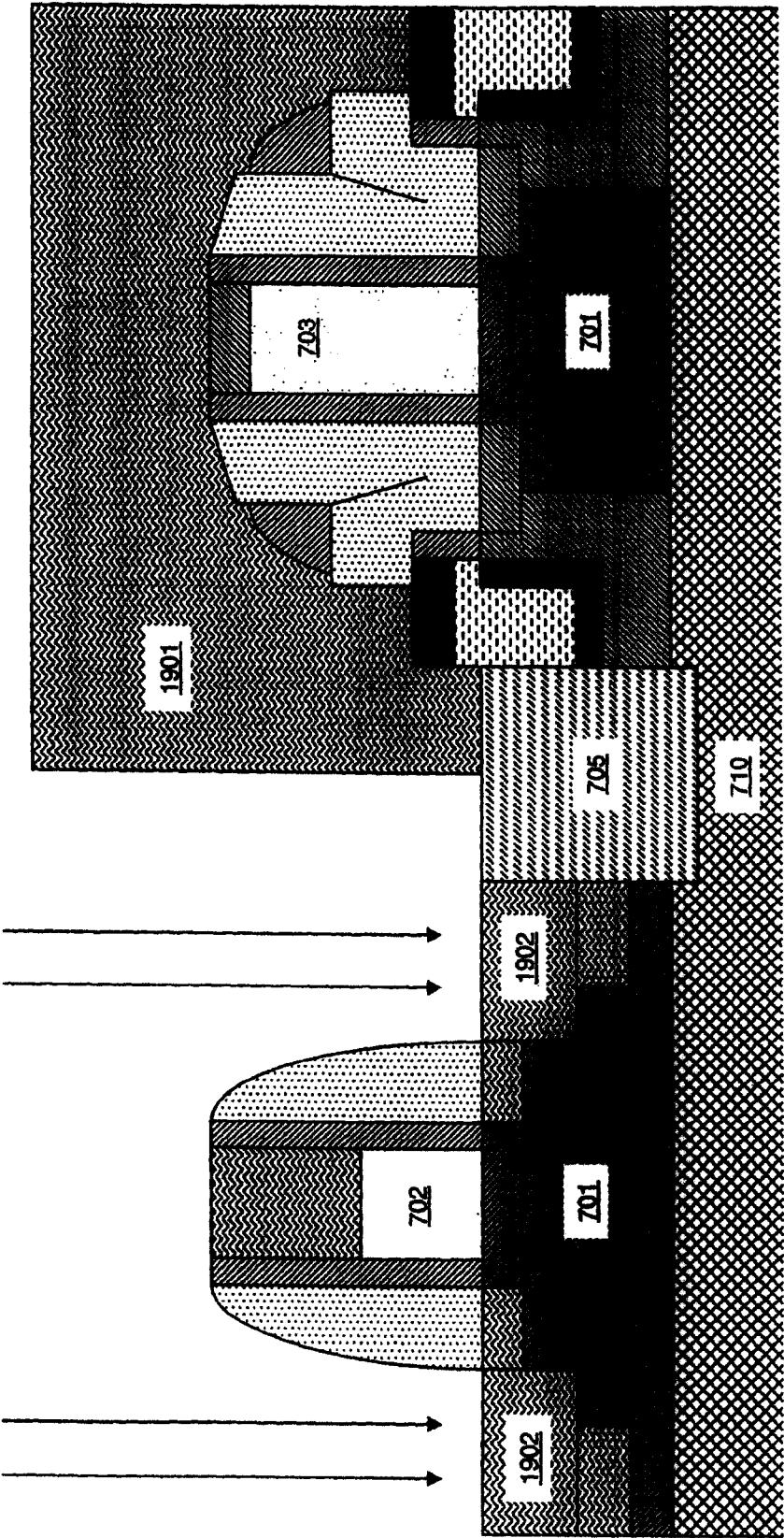


图19

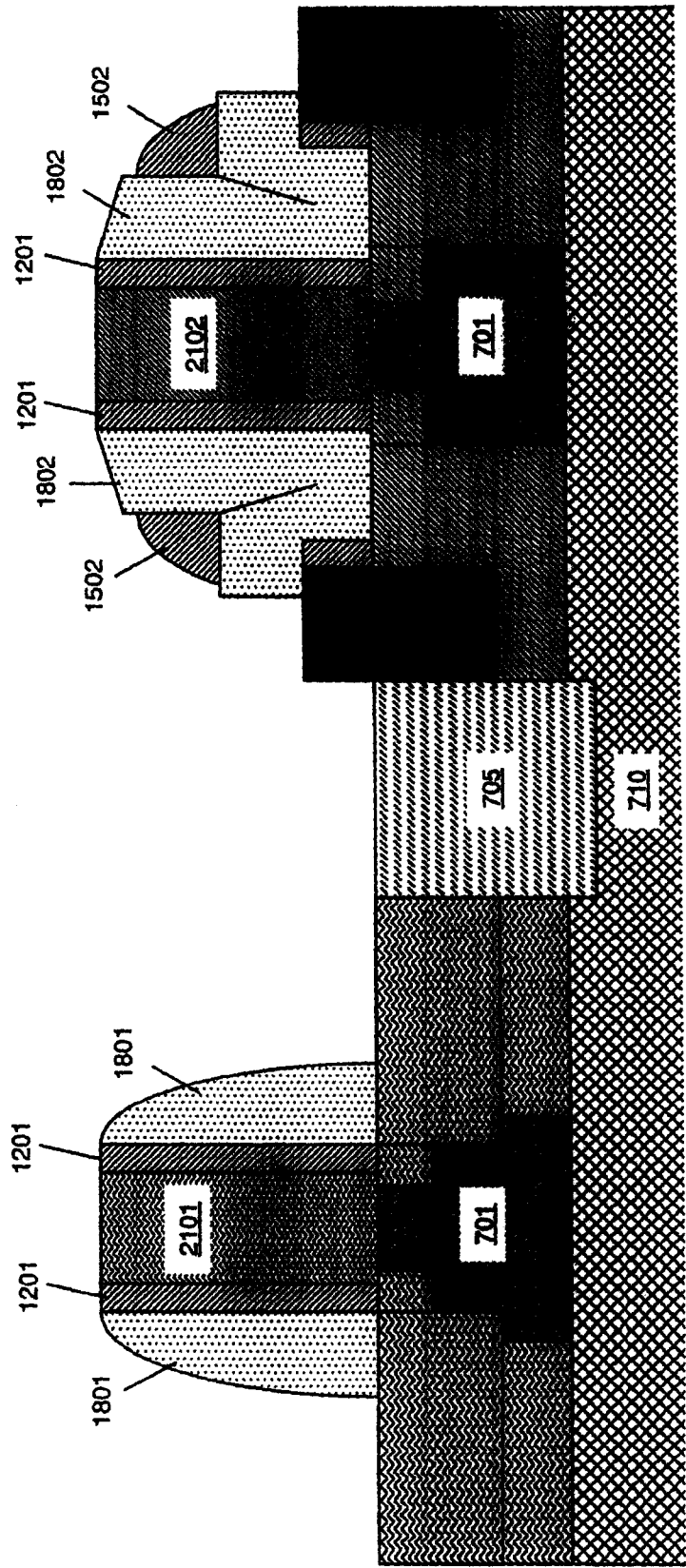


图 21

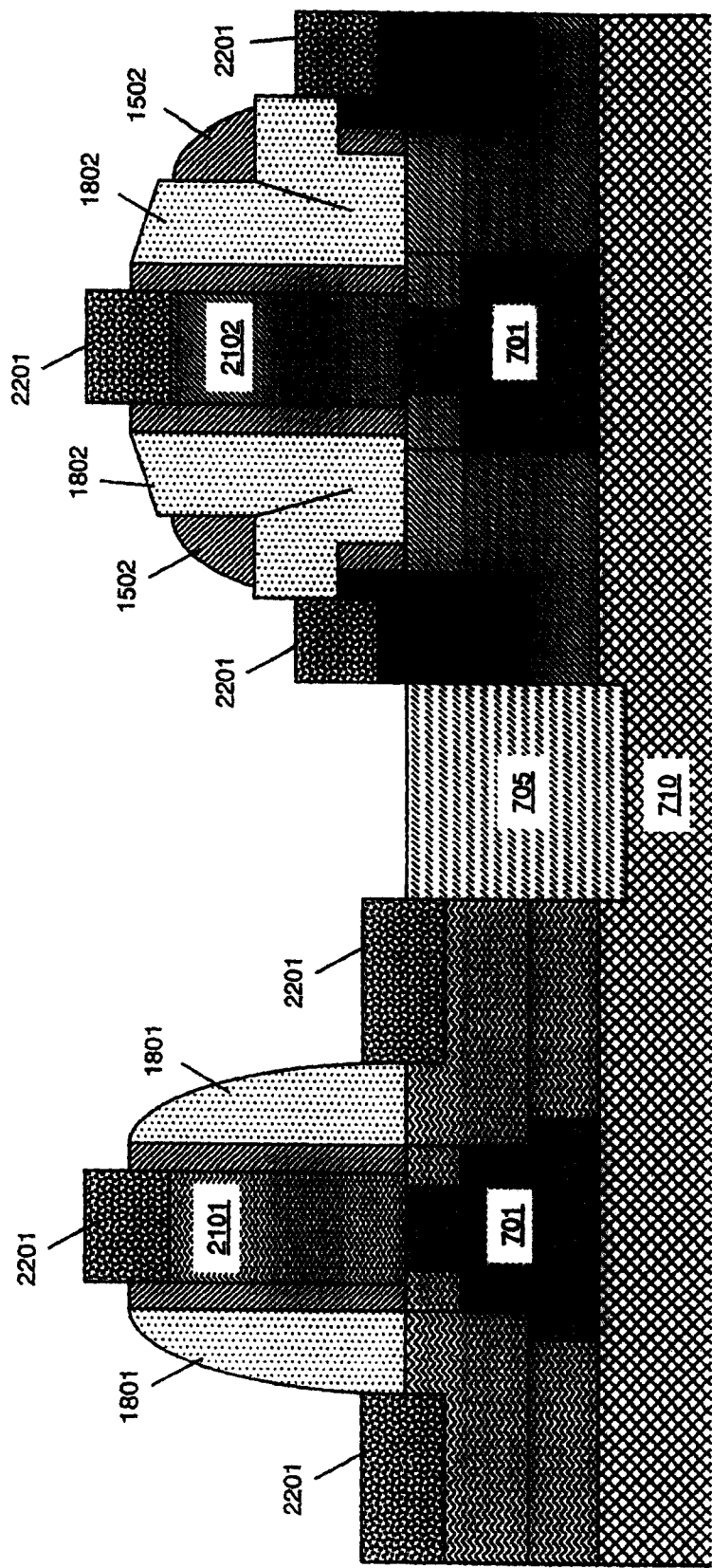


图 22