

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2019-155451
(P2019-155451A)

(43) 公開日 令和1年9月19日(2019.9.19)

(51) Int.Cl.	F I	テーマコード (参考)
B 2 3 K 11/25 (2006.01)	B 2 3 K 11/25	
B 2 3 K 11/24 (2006.01)	B 2 3 K 11/24 3 3 5	
	B 2 3 K 11/25 5 1 O	
	B 2 3 K 11/25 5 1 1	

審査請求 未請求 請求項の数 2 O L (全 16 頁)

(21) 出願番号	特願2018-48473 (P2018-48473)	(71) 出願人	000002945
(22) 出願日	平成30年3月15日 (2018.3.15)		オムロン株式会社
		(74) 代理人	100155712
			弁理士 村上 尚
		(74) 代理人	110001634
			特許業務法人 志賀国際特許事務所
		(72) 発明者	大庭 仁志
			京都府京都市下京区堀小路通堀川東入南不 動堂町801番地 オムロン株式会社内

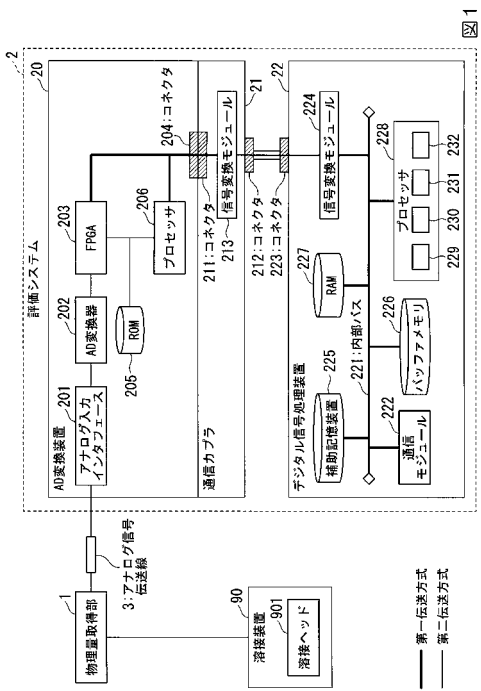
(54) 【発明の名称】 評価システム及び評価方法

(57) 【要約】

【課題】非破壊かつより短い時間で溶接の質を評価する評価システムをより少ない労力で構築することを可能とする評価システムを提供すること。

【解決手段】溶接時に溶接対象に印加される溶接電流、溶接電圧又は荷重と、前記溶接電流、溶接電圧又は荷重を溶接対象に印加する溶接装置が備える溶接ヘッドの溶接時の変位との少なくともひとつの時系列の変化を示すアナログ信号を取得する物理量取得部が取得した前記アナログ信号をデジタル信号に変換するアナログデジタル変換部と、前記デジタル信号を取得し、前記デジタル信号に基づいて、前記溶接時に印加された溶接電流、溶接電圧又は荷重と、前記変位との少なくともひとつが所定の条件を満たすか否かを評価する評価部と、を備え、前記アナログデジタル変換部は、プログラム可能な回路によって構成され、前記回路の構成のコンフィギュレーションデータは、ユーザが変更可能である、評価システム。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

溶接時に溶接対象に印加される溶接電流、溶接電圧又は荷重と、前記溶接電流、溶接電圧又は荷重を溶接対象に印加する溶接装置が備える溶接ヘッドの溶接時の変位との少なくともひとつの時系列の変化を示すアナログ信号を取得する物理量取得部が取得した前記アナログ信号をデジタル信号に変換するアナログデジタル変換部と、

前記デジタル信号を取得し、前記デジタル信号に基づいて、前記溶接時に印加された溶接電流、溶接電圧又は荷重と、前記変位との少なくともひとつが所定の条件を満たすか否かを評価する評価部と、

を備え、

前記アナログデジタル変換部は、プログラム可能な回路によって構成され、

前記回路の構成のコンフィギュレーションデータは、ユーザが変更可能である、

評価システム。

10

【請求項 2】

溶接時に溶接対象に印加される溶接電流、溶接電圧又は荷重と、前記溶接電流、溶接電圧又は荷重を溶接対象に印加する溶接装置が備える溶接ヘッドの溶接時の変位との少なくともひとつの時系列の変化を示すアナログ信号を取得する物理量取得部が取得した前記アナログ信号をデジタル信号に変換するアナログデジタル変換ステップと、

前記デジタル信号を取得し、前記デジタル信号に基づいて、前記溶接時に印加された溶接電流、溶接電圧又は荷重と、前記変位との少なくともひとつが所定の条件を満たすか否かを評価する評価ステップと、

を有し、

前記アナログデジタル変換ステップは、プログラム可能な回路によって実現され、

前記回路の構成のコンフィギュレーションデータは、ユーザが変更可能である、

評価方法。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、評価システム及び評価方法に関する。

【背景技術】

30

【0002】

抵抗溶接は、被溶接材の金属を重ね合わせ、溶接する個所を電極で挟み、適当な加圧力を加えて電流を流し、溶接部位の接触抵抗に発生するジュール熱でお互いを溶融接着させる金属接合法である。溶接部には十分な接合強度が求められるため、溶接状態の品質確認が必要である。溶接状態の確認手段としては破壊試験があり、代表的なものとして引張試験や衝撃試験などがあるが、何れの試験も接合部に不可逆なストレスを加える内容であり、量産品の全数検査には適用できず、抜き取り検査での適用に制限される問題がある。このような問題を解決するために、溶接装置による溶接品質を、非破壊検査によって評価するシステムがある。抵抗溶接工程において、溶接強度に関する重要なパラメータである溶接電流、溶接電圧、溶接ヘッドの変位、荷重といったアナログ信号をウェルドチェッカー経由又はアナログ入力ボード経由でPCにとりこみ、取得したアナログ値、波形形状を確認することで溶接強度の検査することが可能なシステムである。このシステムは生産工程におけるインライン全数検査での適用を期待されるため、溶接強度のリアルタイム検査を実現するために、溶接時の瞬間的(数～数十ms程度)なアナログ値の挙動を取得することについて要求がある。このような要求に対し、溶接装置による溶接の質を、非破壊かつ短時間で評価するシステム(特許文献1参照)も提案されている。

40

【先行技術文献】**【特許文献】****【0003】**

【特許文献1】特開2012-76146号公報

50

【発明の概要】**【発明が解決しようとする課題】****【0004】**

上述したように、このような、非破壊かつ短時間で溶接の質を評価するシステムにおいては、溶接時の瞬時的(数～数十ms程度)なアナログ値の挙動を取得するための高速性(サンプリング速度で10～数10 μ s/回程度)が要求される。このような、非破壊かつ短時間で溶接の質を評価するシステムにおいては、評価装置が、測定装置ごとに専用の仕様で備えられる必要がある。そのため、評価システムの構築には多大な労力及びコストを要した。

【0005】

本発明は上記の点に鑑みてなされたものであり、非破壊かつより短い時間で溶接の質を評価する評価システムをより少ない労力で構築することを可能とする評価システムを提供することを目的としている。

【課題を解決するための手段】**【0006】**

本発明の一態様は、溶接時に溶接対象に印加される溶接電流、溶接電圧又は荷重と、前記溶接電流、溶接電圧又は荷重を溶接対象に印加する溶接装置が備える溶接ヘッドの溶接時の変位との少なくともひとつの時系列の変化を示すアナログ信号を取得する物理量取得部が取得した前記アナログ信号をデジタル信号に変換するアナログデジタル変換部と、前記デジタル信号を取得し、前記デジタル信号に基づいて、前記溶接時に印加された溶接電流、溶接電圧又は荷重と、前記変位との少なくともひとつが所定の条件を満たすか否かを評価する評価部と、を備え、前記アナログデジタル変換部は、プログラム可能な回路によって構成され、前記回路の構成のコンフィギュレーションデータは、ユーザが変更可能である、評価システムである。

【0007】

本発明の一態様は、溶接時に溶接対象に印加される溶接電流、溶接電圧又は荷重と、前記溶接電流、溶接電圧又は荷重を溶接対象に印加する溶接装置が備える溶接ヘッドの溶接時の変位との少なくともひとつの時系列の変化を示すアナログ信号を取得する物理量取得部が取得した前記アナログ信号をデジタル信号に変換するアナログデジタル変換ステップと、前記デジタル信号を取得し、前記デジタル信号に基づいて、前記溶接時に印加された溶接電流、溶接電圧又は荷重と、前記変位との少なくともひとつが所定の条件を満たすか否かを評価する評価ステップと、を有し、前記アナログデジタル変換ステップは、プログラム可能な回路によって実現され、前記回路の構成のコンフィギュレーションデータは、ユーザが変更可能である、評価方法である。

【発明の効果】**【0008】**

本発明によれば、非破壊かつより短い時間で溶接の質を評価する評価システムを、ユーザは少ない労力によって構築することができる。

【図面の簡単な説明】**【0009】**

【図1】第1の実施形態の評価システム2の構成の具体例を示す図。

【図2】第1の実施形態におけるデジタル信号処理装置22の機能構成の具体例を示すブロック図。

【図3】第1の実施形態における溶接装置90が溶接対象に印加する溶接電流の第一の具体例を示す図。

【図4】第1の実施形態における溶接装置90が溶接対象に印加する溶接電流の第二の具体例を示す図。

【図5】第1の実施形態における溶接装置90が溶接対象に印加する溶接電流の第三の具体例を示す図。

【図6】第1の実施形態における溶接装置90が溶接対象に印加する溶接電流の第四の具体例を示す図。

10

20

30

40

50

【図 7】第 1 の実施形態における溶接装置 9 0 が溶接対象に印加する溶接電流の第五の具体例を示す図。

【図 8】第 1 の実施形態における評価部 2 3 0 が溶接の質を評価する方法を説明する説明図。

【図 9】第 1 の実施形態における溶接装置 9 0 による溶接の質が良い場合の、評価用信号の波形と、上限値波形 8 1 と、下限値波形 8 2 との関係の具体例を示す図。

【図 1 0】第 1 の実施形態における溶接装置 9 0 による溶接の質が良くない場合の、評価用信号の波形と、上限値波形 8 1 と、下限値波形 8 2 との関係の具体例を示す図。

【図 1 1】第 1 の実施形態における評価システム 2 が、溶接の質を評価する具体的な処理の流れを示すフローチャート。

【図 1 2】第 1 の実施形態における F P G A 2 0 3 を構成するためのコンフィギュレーションデータが R O M 2 0 5 に記録される具体的な処理の流れを示すフローチャート。

【図 1 3】第 2 の実施形態の評価システム 2 a の構成の具体例を示す図。

【図 1 4】第 1 の実施形態の評価システム 2 の適用例を示す図。

【図 1 5】第 2 の実施形態の評価システム 2 a の適用例を示す図。

【発明を実施するための形態】

【0 0 1 0】

(第 1 の実施形態)

図 1 は、第 1 の実施形態の評価システム 2 の構成の具体例を示す図である。評価システム 2 は、溶接装置 9 0 による溶接の質を短時間で評価することによりリアルタイム処理を実現するシステムである。溶接装置 9 0 は、溶接ヘッド 9 0 1 を備える。溶接ヘッド 9 0 1 は、3 次元空間内の所定の方に移動可能な部材であって、溶接対象に溶接電流、溶接電圧又は荷重を印加する部材を保持する。溶接装置 9 0 は、溶接ヘッド 9 0 1 が保持する部材によって、溶接対象に溶接電流、溶接電圧又は荷重を印加する。評価システム 2 は、アナログ信号伝送線 3 を介して物理量取得部 1 に接続される。物理量取得部 1 (測定装置の具体例) は、溶接時の溶接装置 9 0 の動作を示す時系列のアナログ信号を非破壊に取得する。溶接時の溶接装置 9 0 の動作を示す時系列のアナログ信号とは、物理量取得部 1 が非破壊に取得可能な物理量であって溶接時の溶接装置 9 0 の動作を示す物理量、の溶接時の各時刻におけるアナログ値を示す信号である。非破壊に取得可能な物理量であって溶接時の溶接装置 9 0 の動作を示す物理量、とは、具体的には、溶接装置 9 0 によって溶接対象に印加される溶接電流、溶接電圧又は荷重の大きさや、溶接ヘッド 9 0 1 の溶接時の変位 (以下「溶接ヘッド変位」という。) である。物理量取得部 1 は、例えば、ウェルドチェッカーであってもよい。

【0 0 1 1】

アナログ信号伝送線 3 は、物理量取得部 1 が取得したアナログ信号を評価システム 2 に伝送する。なお、溶接の質とは、溶接装置 9 0 による溶接対象に対する溶接が溶接に関する所望の条件を満たす度合いである。溶接の質は、例えば、溶接強度である。なお、リアルタイム処理とは溶接装置 9 0 による溶接が終了した時に、即時に溶接装置 9 0 による溶接の質を評価する処理を意味する。なお、即時とは、溶接装置 9 0 による溶接が終了してから、新たな溶接対象に溶接が開始されるまでに、溶接の質の評価と、評価に基づいた溶接制御値の更新とが実現可能な時間内ということの意味する。溶接制御値とは、溶接装置 9 0 が溶接を実行する時に溶接対象に印加する溶接電流、溶接電圧又は荷重と溶接ヘッド変位とを制御する値である。溶接制御値は、具体的には溶接装置 9 0 が溶接対象に印加する溶接電流、溶接電圧又は荷重の大きさや、溶接ヘッド変位や、溶接電流、溶接電圧又は荷重を印加するタイミングを示す値である。

【0 0 1 2】

評価システム 2 は、A D (Analog to Digital) 変換装置 2 0、通信カブラ 2 1 及びデジタル信号処理装置 2 2 を備える。

【0 0 1 3】

A D 変換装置 2 0 は、物理量取得部 1 が取得したアナログ信号を取得し、取得したアナ

10

20

30

40

50

ログ信号をデジタル信号に変換する。A D 変換装置 2 0 は、例えば、高速アナログ入力ユニットである。A D 変換装置 2 0 は、数マイクロ秒から数十マイクロ秒のサンプリング間隔でアナログ信号をサンプリングし、サンプリングしたアナログ信号を量子化することでデジタル信号に変換する。A D 変換装置 2 0 は、A D 変換装置 2 0 内部において、デジタル信号を伝送するための所定の方式（以下「第一伝送方式」という。）によってデジタル信号を伝送する。A D 変換装置 2 0 はユーザがプログラム可能な回路を用いて構成される。ユーザがプログラム可能な回路とは、例えば、F P G A（Field Programmable Gate Array）である。なお、A D 変換装置 2 0 は、アナログデジタル変換部の具体例である。

【 0 0 1 4 】

通信カブラ 2 1 は、通信モジュールを備え、通信カブラ 2 1 に接続されたデジタル信号を伝送するケーブル（以下「デジタル信号伝送線」という。）を介して、デジタル信号処理装置 2 2 と通信する。通信カブラ 2 1 は、コネクタ 2 1 1、コネクタ 2 1 2 及び信号変換モジュール 2 1 3 を備える。コネクタ 2 1 1 は、A D 変換装置 2 0 と通信カブラ 2 1 とを電氣的に接続する。コネクタ 2 1 2 は、通信カブラ 2 1 とデジタル信号伝送線とを電氣的に接続する。コネクタ 2 1 2 は、例えば、R J - 4 5 であってもよい。

【 0 0 1 5 】

デジタル信号伝送線は、離れた場所に設置された装置間でデジタル信号を伝送する伝送方式（以下「第二伝送方式」という。）によってデジタル信号を伝送する。デジタル信号伝送線は、例えばEtherCAT（登録商標）やEtherNet I/P（登録商標）ケーブルであってもよい。デジタル信号伝送線は、例えば、シリアル通信によってデジタル信号を伝送してもよい。

【 0 0 1 6 】

信号変換モジュール 2 1 3 は、第一伝送方式によって伝送されたデジタル信号を第二伝送方式によって伝送されるデジタル信号に変換する。

【 0 0 1 7 】

デジタル信号処理装置 2 2 は、情報処理装置を用いて構成される。デジタル信号処理装置 2 2 は、例えば P L C（Programmable Logic Controller）である。デジタル信号処理装置 2 2 は、通信カブラ 2 1 を介して A D 変換装置 2 0 に接続され、A D 変換装置 2 0 から順次出力される時系列のデジタル信号を自装置に入力する。デジタル信号処理装置 2 2 は、A D 変換装置 2 0 が変換したデジタル信号を取得し、取得したデジタル信号に基づいて、溶接装置 9 0 による溶接の質を評価する。デジタル信号処理装置 2 2 内部におけるデジタル信号の伝送方式は、第一伝送方式である。

【 0 0 1 8 】

次に、A D 変換装置 2 0 及びデジタル信号処理装置 2 2 の構成について詳細に説明する。

【 0 0 1 9 】

まず、A D 変換装置 2 0 のハードウェア構成を説明する。A D 変換装置 2 0 は、アナログ入力インタフェース 2 0 1、A D 変換器 2 0 2、F P G A（Field Programmable Gate Array）2 0 3、コネクタ 2 0 4、R O M（Read Only Memory）2 0 5 及びプロセッサ 2 0 6 を備える。

【 0 0 2 0 】

アナログ入力インタフェース 2 0 1 は、アナログ信号の入力インタフェースである。アナログ入力インタフェース 2 0 1 は、物理量取得部 1 と A D 変換装置 2 0 とを接続し、物理量取得部 1 から出力されるアナログ信号を A D 変換装置 2 0 に入力する。

【 0 0 2 1 】

A D 変換器 2 0 2 は、アナログ入力インタフェース 2 0 1 を介して入力されたアナログ信号をデジタル信号に変換する。具体的には、A D 変換器 2 0 2 は、数マイクロ秒から数十マイクロ秒のサンプリング間隔でアナログ信号をサンプリングし、サンプリングしたアナログ信号を所定の量子化レベルで量子化することによってデジタル信号に変換する。

【 0 0 2 2 】

10

20

30

40

50

FPGA 203は、AD変換器202によって変換されたデジタル信号に対して演算処理を施す回路であって、ユーザがプログラム可能な回路である。演算処理の具体例として、デジタルフィルタ処理やオフセット/スパン設定処理等がある。デジタルフィルタ処理の具体例としては、ローパスフィルタや移動平均を用いた平滑化の処理がある。FPGA 203から通信カブラ21の信号変換モジュール213までは、第一伝送方式によってデジタル信号は伝送される。演算処理が施されたデジタル信号は通信カブラ21を介してデジタル信号処理装置22に伝送される。

【0023】

具体的には、AD変換装置20は、演算処理を行う回路としてFPGA 203を構成するためのコンフィギュレーションデータを予めROM 205に記憶している。FPGA 203は、AD変換装置20の起動時にROM 205から読み出されたコンフィギュレーションデータをプロセッサ206から取得し、取得したコンフィギュレーションデータに基づく論理回路の構成処理（一般にコンフィギュレーションと呼ばれる）を行うことにより、自身を、演算処理を行う回路として構成する。そのためユーザは、ROM 205が記憶するコンフィギュレーションデータを変更することで、AD変換装置20の回路の構成を変更可能である。以下、ユーザがプログラム可能とは、ユーザがコンフィギュレーションデータの値を変更可能という意味である。

【0024】

コネクタ204は、コネクタ211に接続することで、AD変換装置20と通信カブラ21とを電氣的に接続する。具体的には、コネクタ204によって、プロセッサ206と通信カブラ21とが電氣的に接続される。また、コネクタ204によって、FPGA 203と通信カブラ21とが電氣的に接続される。FPGA 203が通信カブラ21に接続されることで、FPGA 203によって演算処理が施された時系列のデジタル信号が通信カブラ21を介して、デジタル信号処理装置22に伝送される。

【0025】

ROM 205は、AD変換装置20の動作に必要な各種の設定情報や、コンフィギュレーションデータや、AD変換装置20において取得又は生成される各種の情報を記憶する。ROM 205は、必ずしも読み出し専用のメモリでなくてもよく、書き込みも可能なメモリ（例えば、フラッシュROM）であってもよい。

【0026】

続いて、デジタル信号処理装置22のハードウェア構成を説明する。デジタル信号処理装置22は、内部バス221によって接続された通信モジュール222、コネクタ223、信号変換モジュール224、補助記憶装置225、バッファメモリ226、RAM（Random Access Memory）227及びプロセッサ228を備える。

【0027】

通信モジュール222は、コンフィギュレーションデータを出力する外部装置とデジタル信号処理装置22とが通信するための通信インタフェースである。通信モジュール222は、外部装置が備える通信インタフェースに接続され、外部装置が出力するコンフィギュレーションデータを取得する。通信モジュール222が取得したコンフィギュレーションデータは、補助記憶装置225に記憶される。なお、外部装置は、例えばパソコンである。ユーザは、外部装置によって、物理量取得部1に応じたコンフィギュレーションデータを評価システム2に入力可能である。

【0028】

コネクタ223は、デジタル信号伝送線と、内部バス221とを電氣的に接続する。デジタル信号伝送線と内部バス221とが電氣的に接続されることで、AD変換装置20は、内部バス221を介して、通信モジュール222、補助記憶装置225、バッファメモリ226、RAM 227及びプロセッサ228に電氣的に接続される。コネクタ223は、例えば、RJ-45であってもよい。

【0029】

信号変換モジュール224は、第二伝送方式によって伝送されたデジタル信号を第一伝

10

20

30

40

50

送方式によって伝送されるデジタル信号に変換する。信号変換モジュール 224 によって第一伝送方式に変換されたデジタル信号が内部バス 221 を介してバッファメモリ 226 に伝送される。

【0030】

補助記憶装置 225 は、磁気ハードディスク装置や半導体記憶装置などの記憶装置を用いて構成される。補助記憶装置 225 は、FPGA 203 を構成するためのコンフィギュレーションデータや、デジタル信号処理装置 22 の動作に必要な各種の設定情報や、デジタル信号処理装置 22 において取得又は生成される各種の情報を記憶する。

【0031】

バッファメモリ 226 は、通信カブラ 21 を介して AD 変換装置 20 から取得したデジタル信号の値を記憶する。バッファメモリ 226 は、デジタル信号の値の記憶と消去とを所定の動作周期ごとに繰り返し実行する。プロセッサ 228 は、この動作周期に同期してバッファメモリ 226 にアクセスすることで、バッファメモリ 226 に記憶されているデジタル信号の値を読み出し RAM 227 に記録することができる。

【0032】

RAM 227 及びプロセッサ 228 は、デジタル信号処理装置 22 の動作を実現する各種処理を実行する。具体的には、プロセッサ 228 は、補助記憶装置 225 に記憶されたコンピュータプログラムを RAM 227 に読み込んで実行する。このコンピュータプログラムの実行により、デジタル信号処理装置 22 は、第一記録部 229、評価部 230、第二記録部 231 及びデータ伝送制御部 232 を備える装置として機能する。デジタル信号処理装置 22 は、このコンピュータプログラムによって各機能部を動作させ、デジタル信号の値の記録動作や比較動作等の処理を行う。以下、RAM 227 及びプロセッサ 228 が実行するプログラムをデジタル信号処理動作プログラムという。

【0033】

図 2 は、第 1 の実施形態におけるデジタル信号処理装置 22 の機能構成の具体例を示すブロック図である。

【0034】

第一記録部 229 は、バッファメモリ 226 に記憶されているデジタル信号の値を取得し、取得した時系列のデジタル信号の値を RAM 227 に記憶させる。

【0035】

評価部 230 は、RAM 227 に記憶された時系列のデジタル信号の波形に基づいて、所定の方法で溶接装置 90 による溶接の質を評価する。以下、評価部 230 が溶接の質を評価するために用いる信号であって、RAM 227 に記憶された時系列のデジタル信号を評価用信号という。評価部 230 が溶接の質を評価する所定の方法は、リアルタイム処理を実現可能な時間内に溶接の質を評価可能な方法であれば、どのような方法であってもよい。所定の方法は、例えば、評価用信号が示す各時刻における溶接電流の電流値が、時刻ごとに予め定められた所定の範囲内の値であるか否か、によってリアルタイム処理を実現可能な時間内に溶接の質を評価する方法であってもよい。所定の方法は、例えば、評価用信号が示す各時刻における溶接電圧の電圧値が、時刻ごとに予め定められた所定の範囲内の値であるか否か、によってリアルタイム処理を実現可能な時間内に溶接の質を評価する方法であってもよい。所定の方法は、例えば、評価用信号が示す各時刻における溶接ヘッド変位が、時刻ごとに予め定められた所定の範囲内の値であるか否か、によってリアルタイム処理を実現可能な時間内に溶接の質を評価する方法であってもよい。評価部 230 による溶接の質の評価結果は、第一記録部 229 によって RAM 227 に記録されてもよい。

以下、簡単のため、評価用信号は、溶接装置 90 が溶接対象に印加した溶接電流の電流値を示す時系列のデジタル信号であると仮定して説明を行う。

【0036】

第二記録部 231 は、通信モジュール 222 が取得したコンフィギュレーションデータを補助記憶装置 225 に記憶させる。

【0037】

データ伝送制御部 232 は、所定のタイミングで、補助記憶装置 225 に記憶されたコンフィギュレーションデータを取得する。データ伝送制御部 232 は、取得したコンフィギュレーションデータを、通信ケーブル 21 を介して A/D 変換装置 20 に伝送する。

所定のタイミングは、例えば、デジタル信号処理装置 22 に電源が投入されたタイミングであってもよいし、補助記憶装置 225 にコンフィギュレーションデータが記憶された時であってもよい。

【0038】

図 3 ~ 図 7 によって、実施形態における溶接装置 90 が溶接対象に印加する溶接電流の具体例を示す。また、溶接装置 90 が溶接対象に印加する溶接電流の電流値が物理量取得部 1 によって取得され、A/D 変換装置 20 に入力されるため、図 3 ~ 図 7 は、A/D 変換装置 20 に入力されるアナログ信号の具体例でもある。

【0039】

図 3 は、第 1 の実施形態における溶接装置 90 が溶接対象に印加する溶接電流の第一の具体例を示す図である。図 3 において横軸は、時間を表し、縦軸は溶接装置 90 が溶接対象に対して印加する溶接電流の電流値を示す。図 3 において溶接電流は、パルス幅が 2 ミリ秒に略同一の単発パルスである。図 3 において溶接装置 90 が、溶接電流を印加する時間は 5 ミリ秒に略同一である。

【0040】

図 4 は、第 1 の実施形態における溶接装置 90 が溶接対象に印加する溶接電流の第二の具体例を示す図である。図 4 において横軸は、時間を表し、縦軸は溶接装置 90 が被溶接物に対して印加する溶接電流の電流値を示す。図 4 において溶接電流は、パルス幅が 5 ミリ秒に略同一の矩形パルス状の単発パルスである。図 4 において溶接装置 90 が、溶接電流を印加する時間は 8 ミリ秒に略同一である。

【0041】

図 5 は、第 1 の実施形態における溶接装置 90 が溶接対象に印加する溶接電流の第三の具体例を示す図である。図 5 において横軸は、時間を表し、縦軸は溶接装置 90 が被溶接物に対して印加する溶接電流の電流値を示す。図 5 において溶接電流は、パルス幅が 3 ミリ秒に略同一の単発パルスである。図 5 において溶接装置 90 が、溶接電流を印加する時間は 4 ミリ秒に略同一である。

【0042】

図 6 は、第 1 の実施形態における溶接装置 90 が溶接対象に印加する溶接電流の第四の具体例を示す図である。図 6 において横軸は、時間を表し、縦軸は溶接装置 90 が被溶接物に対して印加する溶接電流の電流値を示す。図 6 において、溶接電流は電流値が正の値と負の値とを取る電流である。図 6 において溶接電流は、2 ミリ秒に略同一の時間間隔で電流値の正負が変化する電流である。図 6 において溶接装置 90 が、溶接電流を印加する時間は 5 ミリ秒に略同一である。

【0043】

図 7 は、第 1 の実施形態における溶接装置 90 が溶接対象に印加する溶接電流の第五の具体例を示す図である。図 7 において横軸は、時間を表し、縦軸は溶接装置 90 が被溶接物に対して印加する溶接電流の電流値を示す。図 7 において、溶接電流は電流値が正の値と負の値とを取る電流である。図 7 において溶接電流は、4 ミリ秒に略同一の時間間隔で電流値の正負が変化する電流である。図 7 において溶接装置 90 が、溶接電流を印加する時間は 14 ミリ秒に略同一である。

【0044】

図 3 ~ 図 7 が示すように、溶接装置 90 が溶接電流を溶接対象に印加する時間は、数ミリ秒 ~ 14 ミリ秒である。また、図 3 ~ 図 7 が示すように、溶接装置 90 が印加する溶接電流は、数ミリ秒で変化する電流である。

10

20

30

40

50

【 0 0 4 5 】

図 8 ~ 1 0 によって、実施形態における評価部 2 3 0 がリアルタイム処理を実現可能な時間内に溶接の質を評価する方法の具体例として、評価用信号が示す各時刻における電流値が、時刻ごとに予め定められた所定の範囲内の値であるか否か、によって溶接の質を評価する方法を説明する。

図 8 は、第 1 の実施形態における評価部 2 3 0 が溶接の質を評価する方法を説明する説明図である。

図 8 において、上限値波形 8 1 及び下限値波形 8 2 は、評価部 2 3 0 が評価用信号に基づいて溶接の質を評価する時の基準となる波形である。評価部 2 3 0 は、評価用信号が示す各時刻における電流値が、上限値波形 8 1 が示す電流値以下であって、下限値波形 8 2 が示す電流値以上である波形である場合に、溶接装置 9 0 による溶接の質が良いと評価する。

10

【 0 0 4 6 】

図 9 は、第 1 の実施形態における溶接装置 9 0 による溶接の質が良い場合の、評価用信号の波形と、上限値波形 8 1 と、下限値波形 8 2 との関係の具体例を示す図である。

図 9 において、評価用信号が示す電流値は各時刻において、上限値波形 8 1 が示す電流値以下であって、下限値波形 8 2 が示す電流値以上である。そのため図 9 の場合、評価部 2 3 0 は、溶接装置 9 0 による溶接の質が良いと評価する。

【 0 0 4 7 】

図 1 0 は、第 1 の実施形態における溶接装置 9 0 による溶接の質が良くない場合の、評価用信号の波形と、上限値波形 8 1 と、下限値波形 8 2 との関係の具体例を示す図である。

20

図 1 0 における評価用信号が示す時刻 t_1 から時刻 t_2 における電流値は、上限値波形 8 1 が示す電流値以上であり、上限値波形 8 1 が示す電流値以下ではない。そのため図 1 0 の場合、評価部 2 3 0 は、溶接装置 9 0 による溶接の質が良くないと評価する。

【 0 0 4 8 】

なお、評価部 2 3 0 は、評価用信号が示す各時刻における電流値が、上限値波形 8 1 が示す電流値以下であって、下限値波形 8 2 が示す電流値以上である場合に、溶接の質が良いと評価し、そうでない場合に、溶接の質が良くないと評価する必要はない。評価部 2 3 0 は、評価用信号が示す各時刻における電流値が、上限値波形 8 1 が示す電流値以下であって、下限値波形 8 2 が示す電流値以上である場合に、溶接の質が良くないと評価し、そうでない場合に、溶接の質が良いと評価してもよい。

30

【 0 0 4 9 】

図 1 1 は、第 1 の実施形態における評価システム 2 が、溶接の質を評価する具体的な処理の流れを示すフローチャートである。

A/D 変換装置 2 0 は、物理量取得部 1 が取得した、溶接装置 9 0 によって溶接対象に印加された溶接装置 9 0 によって溶接対象に印加される溶接電流、溶接電圧又は荷重の大きさと、溶接ヘッド変位との少なくともひとつの物理量の、溶接時の各時刻における値を示す時系列のアナログ信号を、アナログ入力インタフェース 2 0 1 を介して取得する（ステップ S 1 0 1）。A/D 変換器 2 0 2 は、ステップ S 1 0 1 において取得された時系列のアナログ信号を時系列のデジタル信号に変換する（ステップ S 1 0 2）。ROM 2 0 5 が記憶するコンフィギュレーションデータに基づいて構成された FPG 2 0 3 は、ステップ S 1 0 2 における時系列のデジタル信号に対して所定の演算処理を行う（ステップ S 1 0 3）。デジタル信号処理装置 2 2 は、通信カプラ 2 1 を介して、ステップ S 1 0 3 において演算処理が行われた時系列のデジタル信号を取得する（ステップ S 1 0 4）。具体的には、通信カプラ 2 1 を介して A/D 変換装置 2 0 から伝送された時系列のデジタル信号の値を、バッファメモリ 2 2 6 が記憶する。評価部 2 3 0 は、ステップ S 1 0 4 における時系列のデジタル信号に基づいて、溶接装置 9 0 による溶接の質を評価する（ステップ S 1 0 5）。第一記録部 2 2 9 は、評価結果を RAM 2 2 7 に記録する（ステップ S 1 0 6）。

40

【 0 0 5 0 】

50

図 1 2 は、第 1 の実施形態における F P G A 2 0 3 を構成するためのコンフィギュレーションデータが R O M 2 0 5 に記録される具体的な処理の流れを示すフローチャートである。

ユーザによって、通信モジュール 2 2 2 と通信可能な外部装置から通信モジュール 2 2 2 に、F P G A 2 0 3 を構成するためのコンフィギュレーションデータが入力される（ステップ S 2 0 1）。通信モジュール 2 2 2 が取得したコンフィギュレーションデータが第二記録部 2 3 1 によって補助記憶装置 2 2 5 に記録される（ステップ S 2 0 2）。所定のタイミングに、データ伝送制御部 2 3 2 が、補助記憶装置 2 2 5 が記憶するコンフィギュレーションデータを、A D 変換装置 2 0 に伝送する（ステップ S 2 0 3）。具体的には、データ伝送制御部 2 3 2 は、通信カブラ 2 1 を介して、A D 変換装置 2 0 のプロセッサ 2 0 6 にコンフィギュレーションデータを伝送する。ステップ S 2 0 3 においてデータ伝送制御部 2 3 2 が伝送したデータを A D 変換装置 2 0 のプロセッサ 2 0 6 が取得する（ステップ S 2 0 4）。ステップ S 2 0 4 においてコンフィギュレーションデータを取得したプロセッサ 2 0 6 は、取得したコンフィギュレーションデータを R O M 2 0 5 に記録する（ステップ S 2 0 5）。

10

【0051】

このように構成された第 1 の実施形態における評価システム 2 は、物理量取得部 1 によって非破壊に取得された溶接時の溶接装置 9 0 の動作を示す時系列のアナログ信号に基づいて溶接の質を評価する評価部 2 3 0 を備える。また、このように構成された第 1 の実施形態における評価システム 2 は、ユーザがプログラム可能な回路用いて構成された A D 変換装置 2 0 と、物理量取得部 1 に応じたコンフィギュレーションデータをユーザが入力可能な通信モジュール 2 2 2 とを備える。そのため、リアルタイム処理を実現可能な時間内に非破壊に溶接の質を評価するシステムを構築するユーザは、測定装置と、測定装置に専用の評価装置とを用意する必要がなくなる。このため、ユーザは、少ない労力によってリアルタイム処理を実現可能な時間内に非破壊に溶接の質を評価するシステムを構築することができる。

20

【0052】

このように構築された第 1 の実施形態における評価システム 2 は、アナログ信号をデジタル信号に変換する回路を用いて構成された A D 変換装置 2 0 を備える。そのため、リアルタイム処理を実現可能な時間内に、溶接の質を評価することができる。

30

【0053】

このように構成された第 1 の実施形態における評価システム 2 は、通信カブラ 2 1 と、通信カブラ 2 1 に接続されたデジタル信号伝送線とを介して、A D 変換装置 2 0 が変換したデジタル信号をデジタル信号処理装置 2 2 に伝送する。ユーザは、デジタル信号伝送線の長さを変えることで、A D 変換装置 2 0 を物理量取得部 1 の近くに設置することができる。そのため、ユーザはアナログ信号伝送線 3 の長さを短くすることができ、アナログ信号伝送線 3 の伝送によるアナログ信号の劣化を抑制することができる。

【0054】

（第 2 の実施形態）

図 1 3 は、第 2 の実施形態の評価システム 2 a の構成の具体例を示す図である。評価システム 2 a は、A D 変換装置 2 0、通信カブラ 2 1 及びデジタル信号処理装置 2 2 に代えて、A D 変換装置 2 0 a 及びデジタル信号処理装置 2 2 a を備える点で、評価システム 2 と異なる。A D 変換装置 2 0 a は、コネクタ 2 0 4 に代えてコネクタ 2 0 4 a を備える点で A D 変換装置 2 0 と異なる。デジタル信号処理装置 2 2 a は、コネクタ 2 2 3 及び信号変換モジュール 2 2 4 に代えてコネクタ 2 2 3 a を備える点でデジタル信号処理装置 2 2 と異なる。

40

以下、A D 変換装置 2 0 及びデジタル信号処理装置 2 2 と同様の機能をもつものについては、図 1 及び図 2 と同じ符号を付すことで説明を省略する。

【0055】

コネクタ 2 0 4 a は、A D 変換装置 2 0 a とデジタル信号処理装置 2 2 a とをデジタル

50

信号伝送線を介することなく電氣的に接続するためのコネクタである。具体的には、コネクタ 204 a は、デジタル信号伝送線を介することなく F P G A 203 及びプロセッサ 206 と内部バス 221 とを接続する。

【0056】

コネクタ 223 a は、コネクタ 204 a に接続することで、デジタル信号処理装置 22 a と A D 変換装置 20 a とをデジタル信号伝送線を介することなく電氣的に接続する。

【0057】

このように構成された第 2 の実施形態における評価システム 2 a は、デジタル信号伝送線を用いることなく F P G A 203 の出力を内部バス 221 に伝送することができるため、第二伝送方式を用いることなく第一伝送方式によってデジタル信号を伝送することができる。そのため、評価システム 2 a は、F P G A 203 から内部バス 221 へのデジタル信号の伝送を評価システム 2 よりも高速に行うことができ、溶接の質をより短時間で評価することと、同一時間でより多量の伝送処理を行うことと、ができる。

【0058】

(適用例)

図 14 は、第 1 の実施形態の評価システム 2 の適用例を示す図である。

図 14 において、溶接装置は、溶接装置 90 の具体例である。図 14 において溶接装置は、溶接電源、溶接トランス、溶接ヘッド及び溶接電極を備える。溶接電極は、溶接対象に溶接電流、溶接電圧又は荷重を印加する部材の具体例である。溶接ヘッドは、溶接ヘッド 901 の具体例である。溶接電源は、溶接装置に電力を供給する。溶接トランスは、溶接電源が供給する電流を所定の電流値の電流に変換する。

ウェルドチェッカーは、物理量取得部 1 の具体例である。ウェルドチェッカーは、溶接電流や、溶接電圧や、溶接ヘッド変位を測定する。

C P U ユニットは、A D 変換装置 20 の具体例である。通信カブラユニットは、通信カブラ 21 の具体例である。高速アナログユニットは、デジタル信号処理装置 22 の具体例である。図 14 において、C P U ユニットと通信カブラユニットとは、デジタル信号を伝送するケーブルによって接続されている。

データベース装置は、デジタル信号処理装置による溶接の質の評価を示す値を記憶する。

【0059】

このように構成された図 14 のシステムは、P L C ベースの装置によって構成されたシステムである。そのため、P C ベースの装置（例えば、A D ボードや、専用のパソコン等）によって構成されたシステムよりも構築のコストを下げることができる。また、このように構成された図 14 のシステムは、資産蓄積や、他工場や海外工場への横展開を P C ベースの装置によって構成されたシステムよりも容易にする。また、このように構成された図 14 のシステムは、P C ベースの装置によって構成されたシステムよりも各装置のライフサイクルが長い。そのため、長時間の機械保守を可能とする。

【0060】

図 15 は、第 2 の実施形態の評価システム 2 a の適用例を示す図である。

図 15 において、溶接装置は、溶接装置 90 の具体例である。図 15 において溶接装置は、溶接電源、溶接トランス、溶接ヘッド及び溶接電極を備える。溶接電極は、溶接対象に溶接電流、溶接電圧又は荷重を印加する部材の具体例である。溶接ヘッドは、溶接ヘッド 901 の具体例である。溶接電源は、溶接装置に電力を供給する。溶接トランスは、溶接電源が供給する電流を所定の電流値の電流に変換する。

ウェルドチェッカーは、物理量取得部 1 の具体例である。ウェルドチェッカーは、溶接電流や、溶接電圧や、溶接ヘッド変位を測定する。

C P U ユニットは、A D 変換装置 20 a の具体例である。高速アナログユニットは、デジタル信号処理装置 22 a の具体例である。図 15 において、C P U ユニットと高速アナログユニットとは、デジタル信号を伝送するケーブルを介することなく接続されている。

データベース装置は、デジタル信号処理装置による溶接の質の評価を示す値を記憶する

。

【 0 0 6 1 】

このように構成された図 1 5 のシステムは、P L C ベースの装置によって構成されたシステムである。そのため、P C ベースの装置（例えば、A D ボードや、専用のパソコン等）によって構成されたシステムよりも構築のコストを下げるができる。また、このように構成された図 1 5 のシステムは、資産蓄積や、他工場や海外工場への横展開を P C ベースの装置によって構成されたシステムよりも容易にする。また、このように構成された図 1 5 のシステムは、P C ベースの装置によって構成されたシステムよりも各装置のライフサイクルが長い。そのため、長時間の機械保守を可能とする。

【 0 0 6 2 】

なお、評価システム 2 及び評価システム 2 a は、必ずしも、ひとつだけのアナログ入力インタフェース 2 0 1 とひとつだけの A D 変換器 2 0 2 とを備える必要はない。評価システム 2 及び評価システム 2 a は、N 個（N は 2 以上の整数）のアナログ入力インタフェース 2 0 1 と、N 個の A D 変換器 2 0 2 とを備えてもよい。この場合、評価システム 2 及び評価システム 2 a は、各アナログ入力インタフェース 2 0 1 に入力されたアナログ信号ごとに異なる条件でデジタル信号を生成してもよい。異なる条件とは、具体的には、サンプリング周期や、デジタルフィルタ設定（移動平均フィルタ、ローパスフィルタの有効無効）等である。

以下、具体的に、評価システム 2 及び評価システム 2 a が、2 つのアナログ入力インタフェース 2 0 1 を備える場合について説明する。以下、一つ目のアナログ入力インタフェース 2 0 1 を C h 1 といい、二つ目のアナログ入力インタフェース 2 0 1 を C h 2 という。この場合評価システム 2 及び評価システム 2 a は、C h 1 に入力されたアナログ信号を 1 0 マイクロ秒 / 回のサンプリング周波数でサンプリングし、C h 2 に入力されたアナログ信号を 1 0 0 マイクロ秒 / 回のサンプリング周波数によってサンプリングしてもよい。

【 0 0 6 3 】

なお、A D 変換装置 2 0、A D 変換装置 2 0 a、通信カブラ 2 1、デジタル信号処理装置 2 2 及びデジタル信号処理装置 2 2 a の各機能の全て又は一部は、A S I C（Application Specific Integrated Circuit）や P L D（Programmable Logic Device）や F P G A 等のハードウェアを用いて実現されてもよい。デジタル信号処理動作プログラムは、コンピュータ読み取り可能な記録媒体に記録されてもよい。コンピュータ読み取り可能な記録媒体とは、例えばフレキシブルディスク、光磁気ディスク、R O M、C D - R O M 等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置である。プログラムは、電気通信回線を介して伝送されてもよい。

【 0 0 6 4 】

以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

【 符号の説明 】

【 0 0 6 5 】

1 ... 物理量取得部、 2 ... 評価システム、 3 ... アナログ信号伝送線、 9 0 ... 溶接装置、 2 0 ... A D（Analog to Digital）変換装置、 2 1 ... 通信カブラ、 2 2 ... デジタル信号処理装置、 2 0 1 ... アナログ入力インタフェース、 2 0 2 ... A D 変換器、 2 0 3 ... F P G A（Field Programmable Gate Array）、 2 0 4 ... コネクタ、 2 0 5 ... R O M（Read Only Memory）、 2 0 6 ... プロセッサ、 2 1 1 ... コネクタ、 2 1 2 ... コネクタ、 2 1 3 ... 信号変換モジュール、 2 2 1 ... コネクタ、 2 2 2 ... コネクタ、 2 2 1 ... 内部バス、 2 2 2 ... 通信モジュール、 2 2 3 ... コネクタ、 2 2 4 ... 信号変換モジュール、 2 2 5 ... 補助記憶装置、 2 2 6 ... バッファメモリ、 2 2 7 ... R A M（Random Access Memory）、 2 2 8 ... プロセッサ、 2 2 9 ... 第一記録部、 2 3 0 ... 評価部、 2 3 1 ... 第二記録部、 2 3 2 ... データ伝送制御部、 2 a ... 評価システム、 2 0 a ... A D 変換装置、 2 3 a ... デジタル信号処理装置、 2 0 4 a ... コネク

10

20

30

40

50

タ、 2 2 3 a ... コネクタ

【図 1】

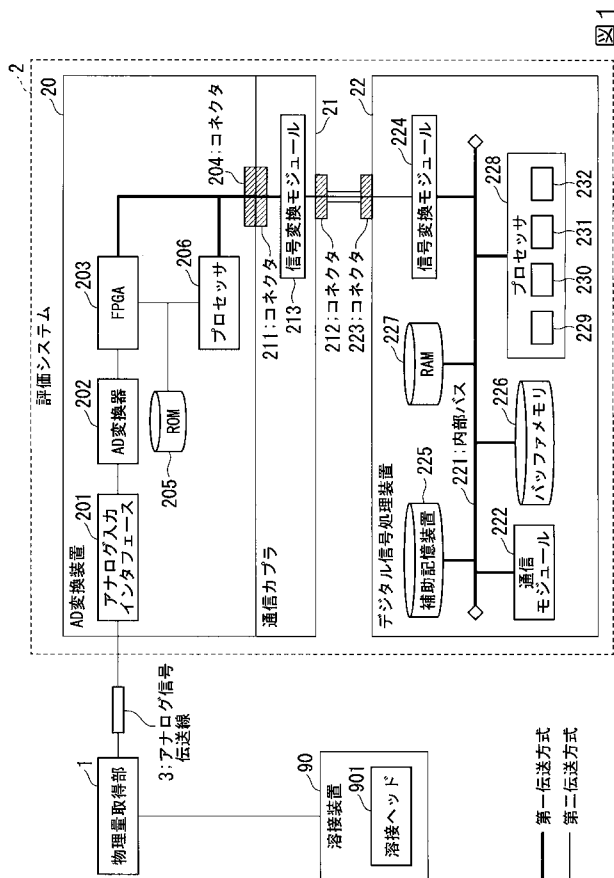


図 1

【図 2】

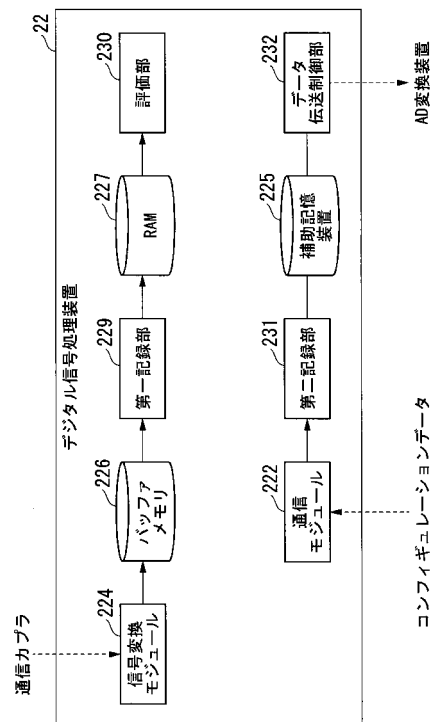


図 2

【図 3】

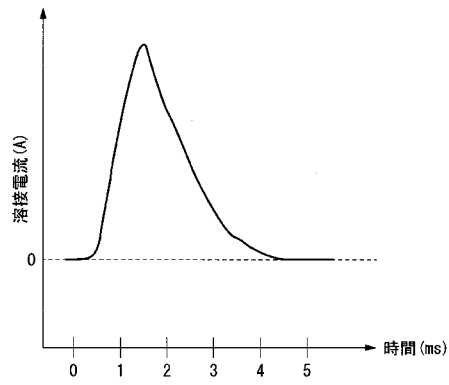


図 3

【図 4】

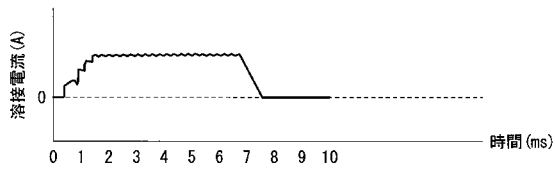


図 4

【図 8】

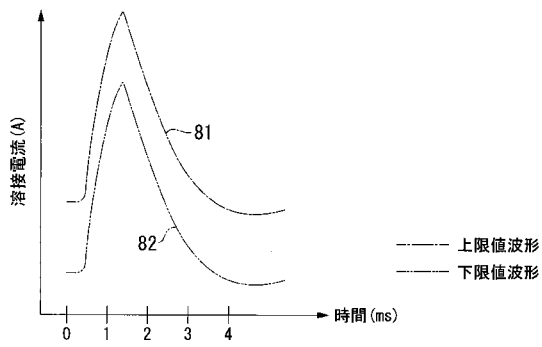


図 8

【図 9】

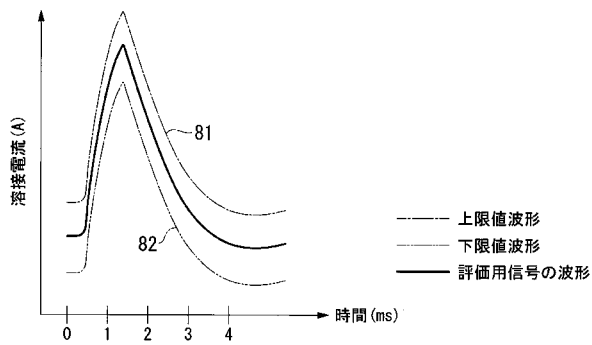


図 9

【図 5】

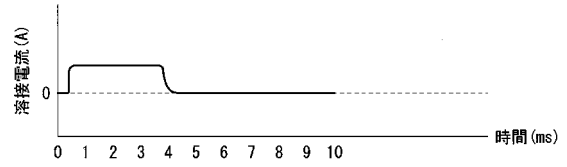


図 5

【図 6】

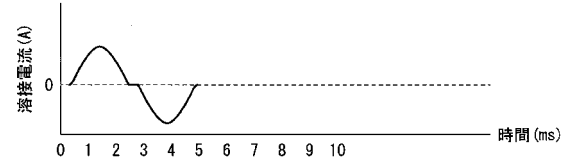


図 6

【図 7】

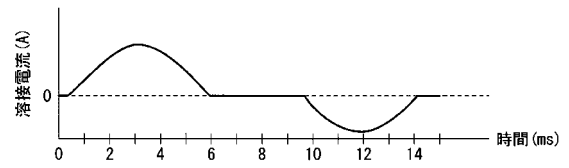


図 7

【図 10】

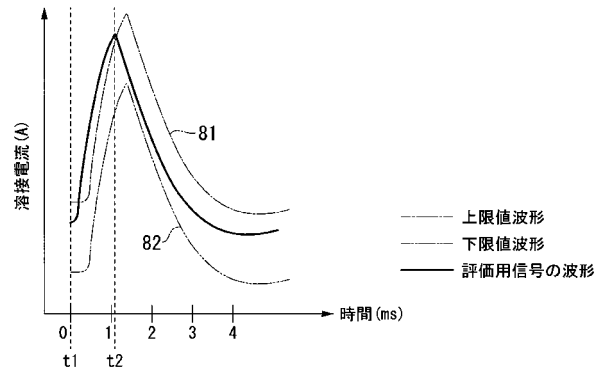


図 10

【図 1 1】

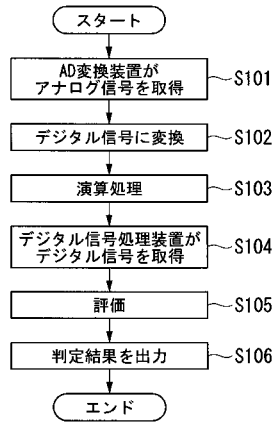


図 1 1

【図 1 2】

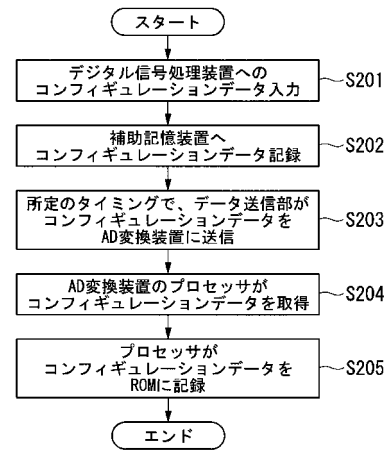


図 1 2

【図 1 3】

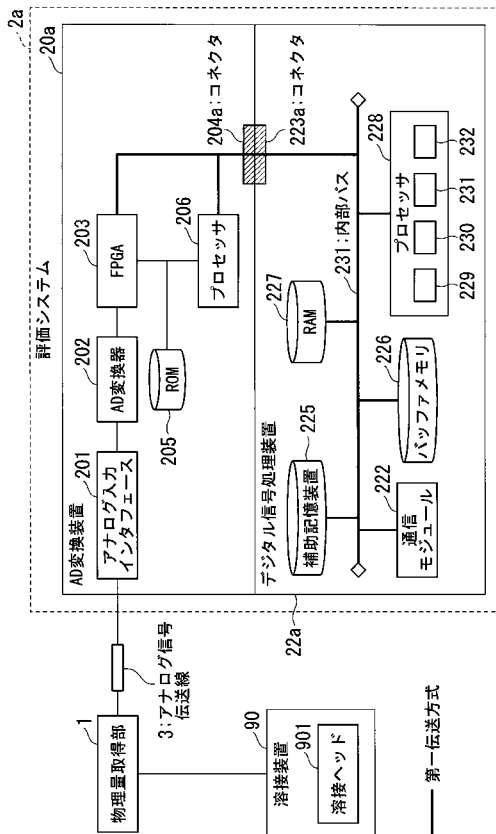


図 1 3

【図 1 4】

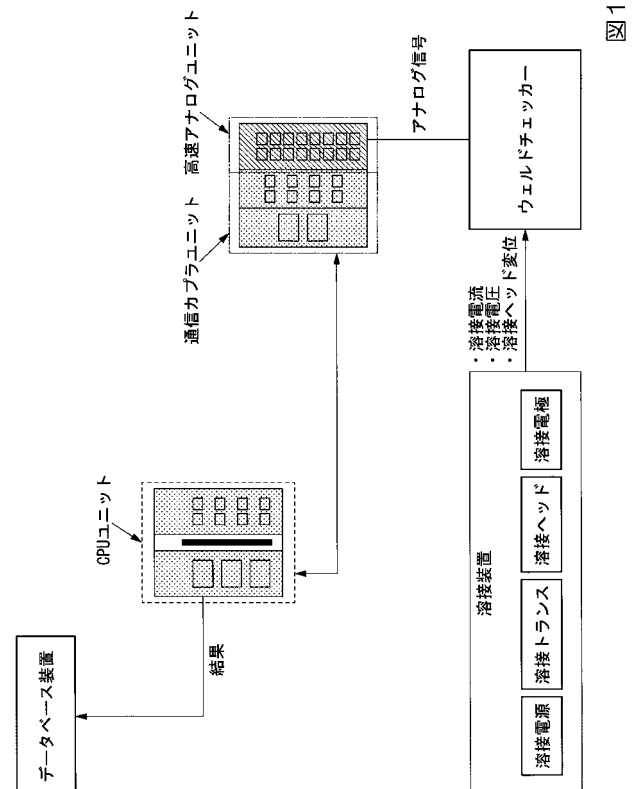


図 1 4

【図 15】

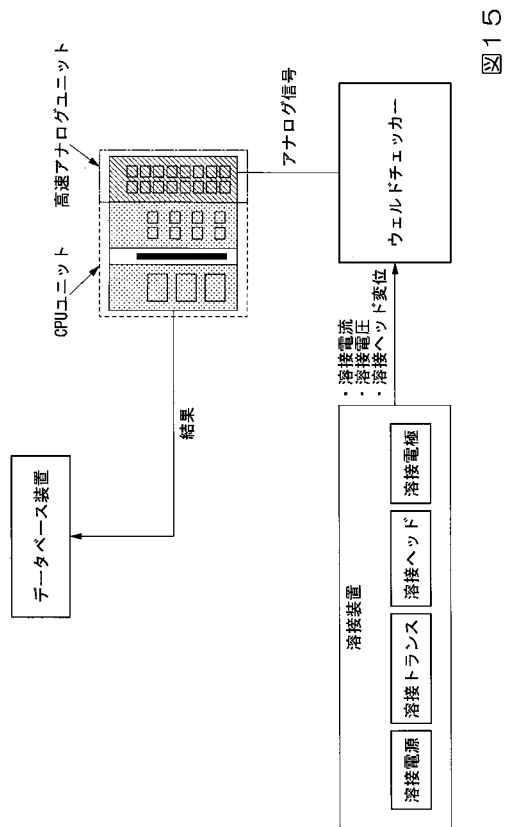


図 15