

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 17/687 (2006.01)



[12] 发明专利说明书

专利号 ZL 200480018451.2

[45] 授权公告日 2008 年 8 月 27 日

[11] 授权公告号 CN 100414837C

[22] 申请日 2004.5.12

[21] 申请号 200480018451.2

[30] 优先权

[32] 2003.5.12 [33] GB [31] 0310844.6

[86] 国际申请 PCT/GB2004/002026 2004.5.12

[87] 国际公布 WO2004/100375 英 2004.11.18

[85] 进入国家阶段日期 2005.12.29

[73] 专利权人 米达斯格林有限公司

地址 英国剑桥郡

[72] 发明人 杰弗里·P·哈维

[56] 参考文献

WO02087084A1 2002.10.31

US6140848A 2000.10.31

审查员 颜世莹

[74] 专利代理机构 北京市柳沈律师事务所

代理人 郭定辉 黄小临

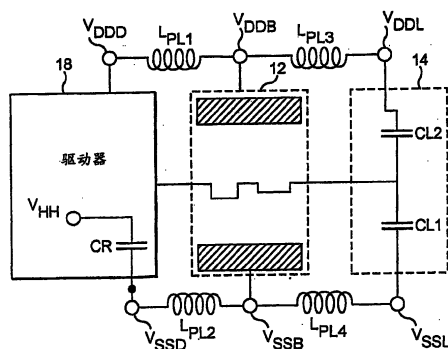
权利要求书 4 页 说明书 17 页 附图 14 页

[54] 发明名称

用来生成提供给电导体的电路输出信号的电子驱动器电路

[57] 摘要

一种通过用两个逻辑电平 (V_{DD} , V_{SS}) 中的一个表示两个逻辑值中的每一个、从而沿导体 (12) 从系统的一部分 (10) 到另一部分 (14) 传送逻辑值的电子驱动器电路。电容器 (C_{R1}) 降低包含驱动器的芯片与芯片在其上安装的板之间的地与电源基准差异。该电容器还提供电源与地解耦。根据另一方面, 摆动速度受控斜坡启动入射或外向波或导通, 并且描述了用于此的电路。可以调整完成摆动速度受控斜坡所用的时间。该结构允许降低功耗, 同时产生希望的信号特性。



1. 一种用来生成提供给电导体(12)的电路输出信号的电子驱动器电路, 该电导体(12)提供用于提供给负载(14)的导体输出信号, 该电路与导体输出信号分别进行近似在一对输出电压电平(V_{DD} , V_{SS})之间的、相应的电路与导体输出转换, 在该对输出电压电平(V_{DD} , V_{SS})之间具有中间电压电平(V_{int}), 该导体与负载的电感与电容产生谐振, 该谐振使导体输出信号能够基本上完成每个导体输出转换, 同时在相应的电路输入转换期间, 对于非零中间电压电平保持周期, 电路输出信号被保持在近似中间电压电平上, 该电路包含斜坡控制电路(118、119), 用来控制在所述输出电压电平对中的至少一个与中间电压电平之间的部分电路输出转换, 以提供对于部分电路输出转换的、充分的非零转换时间。

2. 如权利要求1所述的驱动器电路, 其中控制所述部分电路输出转换以相对于该电路中其他切换事件为慢。

3. 如权利要求1或2所述的驱动器电路, 还包含上拉晶体管(Q3)与下拉晶体管(Q1), 用来将电路输出上拉到所述两个输出电压电平中的第一个, 以及将其下拉到所述两个输出电压电平中的第二个, 其中控制所述部分电路输出转换以慢于该上拉与下拉晶体管的切换。

4. 如权利要求1或2所述的驱动器电路, 还包含中间电压电平驱动晶体管(Q2、Q2N), 其在切换至导通时驱动所述电路输出至中间电压电平, 并且在切换至截止时允许将所述电路输出驱动至所述两个输出电压电平中的第一个, 其中控制所述部分电路输出转换以慢于该中间电压电平驱动晶体管的截止切换。

5. 如权利要求1或2所述的驱动器电路, 其中所述部分电路输出转换时间是可调整的。

6. 如权利要求1或2所述的驱动器电路, 其中所述部分电路输出转换时间作为导体输出信号基本上完成导体输出转换所用时间的函数是可控的。

7. 如权利要求1所述的驱动器电路, 还包括控制电路, 该控制电路包含:

时间比较电路, 用来比较由所述斜坡控制电路产生的电路输出信号与由所述控制电路产生的第二控制信号, 以确定在第二控制信号完成相应的控制

转换之前电路输出信号是否完成了电路输出转换; 以及

调整电路, 用来根据该比较调整所述部分电路转换时间。

8. 如权利要求 1 所述的驱动器电路, 包含: 基准斜坡电路, 用来生成基准斜坡; 以及耦合至基准斜坡电路的比较器电路, 用来比较部分电路输出转换与基准斜坡。

9. 如权利要求 8 所述的驱动器电路, 其中比较器电路在近似在所述部分电路输出转换开始 (t_3) 与所述部分电路输出转换的预期完成时间之间的中间时间 (t_4) 处、比较所述部分电路输出转换的电平与近似在中间电压电平 (V_{mid}) 与输出正在向其转换的输出电压电平 (V_{DD} , V_{SS}) 之间的中间基准电压 (V_{REF})。

10. 如权利要求 8 所述的驱动器电路, 其中比较器电路包含积分锁存比较器, 用来提供部分电路输出转换与表示基准斜坡的信号之间的、在所述部分输出转换的几乎整个时间上的平均比较。

11. 如权利要求 10 所述的驱动器电路, 其中比较器电路包含:

第一输入 (V_{D0}), 用来接收所述部分电路输出转换;

第二输入 (V_{REFRAMP}), 用来接收表示基准斜坡的信号; 以及

输出节点对 (Q 与 QN);

其中只有在第一与第二输入信号之一正在上升期间, 积分锁存比较器才在比较器输出节点上累积电荷。

12. 如权利要求 8 至 11 中任一项所述的驱动器电路, 还包含调整电路, 用来根据比较调整所述部分电路转换时间。

13. 如权利要求 1 或 2 所述的驱动器电路, 其中部分电路转换时间所用时间作为至少一个先前电路输出转换的特性的函数来控制。

14. 如权利要求 13 所述的驱动器电路, 其中所述特性根据两个信号的相对定时确定。

15. 如权利要求 1 或 2 所述的驱动器电路, 其中斜坡控制电路包含源跟随器, 用来以受控方式驱动电路输出信号。

16. 如权利要求 1 或 2 所述的驱动器电路, 包含连接在中间电压电平 (V_{mid}) 与电路输出信号之间的开关 (Q2N), 其中斜坡控制电路包含向该开关提供电流从而以受控方式驱动电路输出信号的电流镜 (Q20、Q21)。

17. 如权利要求 16 所述的驱动器电路, 还包含受控电流源 (120), 用

来向电流镜提供受控电流。

18. 如权利要求 17 所述的驱动器电路, 其中所述电流作为导体输出信号基本上完成导体输出转换所用时间的函数来控制。

19. 如权利要求 1 或 2 所述的驱动器电路, 耦合在不同的第一和第二电源电压之间, 中间电压电平 (V_m) 在第一与第二电源电压之间, 该电路包含:
控制电路, 响应于电路输入信号, 用来生成不同的第一、第二、以及第三控制信号;

第一开关 (Q3), 具有: (a) 耦合至第一电源电压的第一流电极; (b) 耦合至从其提供电路输出信号 (V_{DO}) 的输出节点的第二流电极; 以及 (c) 控制电极, 响应于第一控制信号, 用来控制第一开关的流电极之间的电流流动;

第二开关 (Q1), 具有: (a) 耦合至中间电压电平的第一流电极; (b) 耦合至所述输出节点的第二流电极; 以及 (c) 控制电极, 响应于第二控制信号, 用来控制第二开关的流电极之间的电流流动; 以及

第三开关 (Q2), 具有: (a) 耦合至第二电源电压的第一流电极; (b) 耦合至所述输出节点的第二流电极; 以及 (c) 控制电极, 响应于第三控制信号 (V_{C2}), 用来控制第三开关的流电极之间的电流流动; 其中, 电路输出信号进行近似在第一与第二电源电压之间的、上升与下降的电路输出转换, 对于每个电路输出转换期间的非零中间电压电平保持周期, 电路输出信号停留在近似中间电压电平上, 第一与第二电源电压之间和/或中间电压电平与第二电源电压之间的转换时间受控。

20. 如权利要求 19 所述的驱动器电路, 电路输出信号进行近似在第一与第二电源电压之间的、上升与下降的电路输出转换, 其中第三开关作为源跟随器操作, 从而输出节点以受控方式跟随其控制电极电压。

21. 如权利要求 19 所述的驱动器电路, 其中第三开关为 N 沟道晶体管, 并且其中提供电容器 (C_{FB}), 当电路输出信号从第一电源电压下降到第二电源电压时, 用来检查至第三晶体管控制电极的电流的上升速度。

22. 如权利要求 1 或 2 所述的驱动器电路, 其中斜坡控制电路 (118、119) 控制部分电路输出转换, 其作为当作先前部分电路输出转换的结果存储的、当前存储的控制值的函数。

23. 一种用来生成提供给电导体 (12) 的电路输出信号的电子驱动器电路, 该电导体 (12) 提供用于提供给负载 (14) 的导体输出信号, 该电路与

导体输出信号分别进行近似在第一电压 (V_{DD})、第二电压 (V_{SS})、以及第一与第二电压之间的中间电压 (V_{int}) 之间的、相应的电路与导体输出转换, 该电路包含:

第一晶体管 (Q3), 具有: (a) 耦合至第一电压源的第一流电极; (b) 耦合至从其提供电路输出信号 (V_{DD}) 的输出节点的第二流电极; 以及 (c) 控制电极, 响应于第一控制信号, 用来控制第一晶体管的流电极之间的电流流动;

第二晶体管 (Q1), 具有: (a) 耦合至第二电压源的第一流电极; (b) 耦合至所述输出节点的第二流电极; 以及 (c) 控制电极, 响应于第二控制信号, 用来控制第二晶体管的流电极之间的电流流动; 以及

第三晶体管 (Q2), 具有: (a) 耦合至中间电压源的第一流电极; (b) 耦合至所述输出节点的第二流电极; 以及 (c) 控制电极, 响应于第三控制信号 (V_{C2}), 用来控制第三晶体管的流电极之间的电流流动; 以及

第四与第五晶体管, 其中第四晶体管连接在第三晶体的控制电极与第一电压源之间, 而第五晶体管连接在第三晶体的控制电极与第二电压源之间, 以及控制电路, 用来提供所述第一、第二和第三控制信号, 并且用来选择性地分别通过第四与第五晶体管将第三晶体的控制电极放电至第一与第二电压, 从而第三晶体的控制电极进行第一与第二电压之间的部分转换,

由此所述输出信号在第一、第二、以及第三控制信号的控制下进行近似在第一与第二电压之间的、上升与下降的电路输出转换, 并且对于每个电路输出转换期间的非零中间电压电平保持周期, 电路输出信号近似停留在中间电压。

24. 如权利要求 23 所述的驱动器电路, 其中控制电路包含定时控制电路, 用来控制电路输出信号的、在第一及第二电压中的一个与中间电压之间的转换的时间。

25. 如权利要求 23 所述的驱动器电路, 其中控制电路包含: 基准斜坡电路, 用来生成基准斜坡; 以及耦合至基准斜坡电路的比较器电路, 用来比较部分电路输出转换与基准斜坡。

用来生成提供给电导体的电路输出 信号的电子驱动器电路

技术领域

本发明涉及电子电路。更具体地，本发明涉及改进其操作是用来减少功耗的类型的电子驱动器电路的性能。本发明涉及在此类驱动器电路中达到低功耗，同时产生希望的信号特性。

背景技术

多年来，一直存在以下常规驱动器电路：其通过分别以两个电压电平中的一个表示两个逻辑值中的每一个，将逻辑值从系统的一个部分传送到另一部分。例如，图 1a 显示了形成为 IC 一部分的常规 CMOS 倒相驱动器 10。响应于驱动器输入电压信号 VI，输出驱动器 10 生成倒相驱动器电压 VDO。通过电导体 12 印刷接线板 (PWB)，驱动器 10 连接到负载电路 14。具体地，电导体 12 将驱动器输出电压 VDO 转换为导体输出电压 VB0，该电压驱动负载 14 中作为一组的一或多个数字 IC 16。

驱动器 10 由以下形成：N 沟道绝缘栅场效应晶体管 (FET) QA 与 P 沟道绝缘栅场效应晶体管 QB，其栅电极接收驱动器输入电压信号 VI。FET QA 与 QB 的源极分别连接到低电压电源 VSS (一般为地基准 (0 伏特)) 与高电压电源 VDD。QA 与 QB 的漏极相互连接在一起，以提供驱动器输出电压 VDO。通过将输入电压 VI 升至适当的高电平，导通 N 沟道 FET QA。在另一方面，通过将输入电压 VI 降至适当的低电平，导通 P 沟道 FET QB。

相应地，在稳态操作期间，FET QA 与 QB 中只有一个导通。如果输入 VI 高，则 FET QA 导电，以将驱动器输出电压 VDO 拉到 VSS 的低值。相反，当输入 VI 低、并且使 FET QB 导通时，输出电压 VDO 为接近 VDD 的高值。FET QA 与 QB 的“导通”电阻一般非常低。因此，响应于输入信号 VI 从高迅速转换到低，输出信号 VDO 迅速从 VSS 转换为 VDD。类似地，响应于输入信号 VI 从低迅速转换到高，输出信号 VDO 迅速从 VDD 转换为 VSS。在转换期间，一般存在一短暂周期，此时 FET QA 与 QB 都导通。

PWB 电导体 12、一般称为互连 (interconnect)，包含铜导线与位于 VSS

电势的地面。在图 1a 所示的穿过导体 12 的线中的阶梯以定性的方式表示导体 12 在 PWD 上进行的方向变化。地面由斜阴影方块表示。

因为图 1b 为简化电气模型，所以其没有显示寄生引线电感 (parasitic lead inductance)，当驱动器 10 形成为包含在依次安装在 PWB 上的集成电路封装内的集成电路的一部分时，一般存在该电感。如果要避免称为地/电反弹 (ground/power bounce) 的非希望效果，则在设计驱动器 10 时，必须考虑这些寄生电感。

图 1a 或 1b 中具有分布电感与电容的互连 12 也称为具有特征阻抗 Z_0 的传输线。如本领域公知，在理想情况下，选择图 1b 中的 R_{ON} 以匹配 Z_0 ，从而开始发起半幅度外向反弹波，其在到达负载 14 时达到其全幅度，并且作为全幅度波向驱动器 10 反射回来。在缺少 R_{ON} 或者 R_{ON} 太小的情况下，该反射波的幅度超过 VDD 的电平，并且会造成信号完整性问题。

在其先前申请 (PCT/GB96/02199, US6, 201, 420B1, EP0848868 等等) 中，申请人描述了以下方法：不同于通过利用电阻 R_{ON} 实际降低电压而生成半幅度外向反弹波，通过该方法，可以通过借助低“导通”电阻开关或者晶体管将信号 VDO 连接到从附加电压生成的、或者简单地来自充电电容器的中间电压 VHH 以发起等价波。该方法具有以下优点：耗散功率较少，并且功耗可以减少多达 75%。该技术也适合于以下情况：负载电容 CL 远远大于分布电容 CB，在这种情况下，CL 与 LB 更象正弦 LC 谐振系统，而非传输线。为了参照方便，以下将采用该方法的驱动器称为谐振线驱动器。

图 2a 与 2b 显示谐振线驱动器如何可以等价地替换图 1a 与 1b 的常规线驱动器。

例如，图 2b 显示谐振线驱动器的 CMOS 实现。与在常规驱动器中一样，Q1 与 Q3 可以将驱动器输出 VDO 分别连接到低或高电压源 VSS 与 VDD。具体到谐振线驱动器，在转换期间，Q2 还可以将驱动器输出 VDO 连接到中间电压源 VHH。栅电极（以及因此的 Q1、Q2、Q3 的开关）由控制电路 20 分别通过信号 VC1、VC2、VC3 控制。因为 Q1 与 Q3 为 N 沟道 MOSFET (NMOS) 晶体管，所以当 VC1 与 VC3 分别位于高电压电平时，其提供导电路径。因为 Q2 为 P 沟道 MOSFET (PMOS) 晶体管，所以当 VC2 相应位于低电压电平时，其提供导电路径。

图 3 显示中间电压源 VHH 可以由充电电容器 CR 提供。

图 4 显示表示当 CL 远远大于 CB、并且 CL 与 LB 更象正弦 LC 谐振系统而非传输线时图 2b 所示电路操作的波形。开始，只有 Q1 “导通”，并且 VDO 处于低电平。然后，响应于时间 t1 处输入信号 V1 的电平变化，Q1 切换为“截止”，同时 Q2 切换为“导通”，驱动 VDO 靠近 VHH 的电平。电流以正弦方式建立到最大，然后回落到零，同时在负载 VBO 上观察到的电压以正弦方式摆至 VDD 的电平，此时控制电路 20 将时 Q2 切换为“截止”，Q3 切换为“导通”，从而完成转换。如图 4 所示，该电路以类似方式操作以产生相反极性的转换。

图 5 显示当 CL 小于 CB 或者与其值类似时、从等价事件序列产生的波形，在这种情况下，CB 与 LB 的传输线特性更加明显。响应于时间 t1 处输入信号 V1 的电平变化，Q1 切换为“截止”，同时 Q2 切换为“导通”，驱动 VDO 靠近电平 VHH。与 VHH 电压幅度等价的外向反弹（或者入射）波沿传输线行进。当其到达负载时，并且因为负载较小、不能为入射波中的电流提供有效路径，所以产生趋向于抵消入射波电流的反射波。该反射波的幅度也与 VHH 等价，但是添加到入射波上，以在负载上给出与 VDD 相等的电压电平。该反射波掉头向驱动器 18 行进，直至到时间 t2 发射线全长都位于电平 VDD，该时间 t2 为反射波实际达到驱动器 12 的时间，此时控制电路 20 将时 Q2 切换为“截止”，Q3 切换为“导通”，从而完成转换。可以多种方法设计控制电路 20，以控制其定时与反射波返回重合。通过观察并存储先前转换的某些特性，以调整能够存储并再现定定时列的某些电路（例如由数字计数器控制的数字受控延迟线），可以驱动 VDO 当前转换的定时。

谐振线驱动器具有以下可能：既降低功耗，也产生修整良好的信号，而没有振铃与过冲。但是不幸的是，当考虑到典型物理实现的某些无法避免的特性时，虽然可以获得低功耗，信号修整可能不好。

图 6 显示图 3 的电路，但是经过了修改以使其更能代表实际的物理实现。常见的是，在硅芯片上形成驱动器 18，硅芯片依次包含在芯片封装中，芯片封装依次安装在 PWB 12 上。经常但非必然地，充电电容器 CR 可以包含在芯片或芯片封装内。图 3 显示驱动器 18、PWB 12、以及负载 14 全都共享公共电压基准电平 VSS。在实际物理实现中，经常不是这样，因为如图 6 所示，对于驱动器 18、PWB 12、以及负载 14 的地电压电平（分别为 VSSD、VSSB、VSSL）以及对于驱动器 18 的功率电压电平分别通过寄生封装引线电感 LP1、LP2、LP3、LP4 连接，如图所示。另外，在实际物理实现中，互连与负载的

寄生电容经常不只在信号 VSS 之间发生，而且会在信号 VDD 之间发生，如图所示。

转到图 7，图 2b 中驱动器 18 的 Q2 一般相对较大，并且因此与图 1a 中常规驱动器中的 QA 与 QB 相比，具有很低的“导通”，因此，如图 7 所示，由驱动器 18 产生的波形非常陡，在大约时间 t1 处，在相对较短的时间段内，使 VDO 从 VSS 的电平达到近乎 VHH 的电平。同时，从驱动器 18 流入互连的电流非常迅速地增加，从而给出非常高的电流变化速度（或者 di/dt ）。因为该电流变化通过 LP1 与 LP2 造成返回路径中的电流中相同或相反的变化，所以这些寄生电感响应于电流中的此类迅速变化，允许在 VSSD 与 VSSB 之间、以及 VDDD 与 VDDB 之间产生明显的电压差异，如图 7 所示，图 7 显示参照 VSSD 与 VDDD 作为基准的 VSSB 与 VDDD 的电平。

在实际应用中，驱动器 18 一般为 IC 的一部分，其不仅驱动输出信号，而且接收输入信号。不幸的是，因为输入信号具有与 VSSB 和 VDDB 耦合的极大的电容，其电平趋向于参照 VSSB 和 VDDB 确定，因此，例如，标称为低电平的输入信号将呈现给其在上述 IC 上的接收器，即与图 7 所示在时间 t1 上对于 VSSB 的非常类似的电压尖峰。这造成了以下可能：在处于高电平时，输入信号被暂时中断。从图 7 中可以看出，因为图 6 中来自驱动器 18 的输出电流的所有变化都从 VSSD 通过图 2b 中的充电电容器 CR 与 Q2 或者通过图 2b 中的 Q1 提供，所以在时间 t1、t3、以及 t4 处，相对于 VSSD，最极端的干扰是对于 VSSB 电平的。（在时间 t2 处，电流变化部分由 VDDD 通过图 2b 中的 Q3 提供，因此干扰较不严重。）因此，当由该 IC 中的接收器电路接收时，输入到上述 IC 的、并且由于其特定物理路线主要耦合于 VSSB 的信号可能会遭受严重干扰。

发明内容

本发明的目的在于提供对于谐振线驱动器的改进，其允许其以低信号干扰、更好的信号完整性操作，同时仍然具有降低功耗的好处。这些改进可以结合或者单独使用，以提供或大或小的好处。

根据本发明的第一方面，提供了一种用来生成可提供给电导体的电路输出信号的电子驱动器电路，该电导体提供可提供给负载的导体输出信号，该电路与导体输出信号分别进行近似在一对输出电压电平之间的、对应的电路

与导体输出转换，在该对输出电压电平之间具有中间电压电平。该导体与负载的电感与电容产生谐振，该谐振使导体输出信号能够基本上完成每个导体输出转换，同时在相应的电路输入转换期间，对于非零中间电平保持周期，电路输出信号被保持在近似中间电压电平上。该电路至少包含在中间电压电平与第一电压电平之间的第一电容器元件，以及在中间电压电平与第二电压电平之间的第二电容器元件（优选地，与第一电容器元件相同）。

第一与第二电容器元件可以形成分裂式充电电容器。

在电导体与输出电压电平对中每一个的来源之间可能存在封装引线电感。在这种情况下，优选地，第一与第二电容器元件使得电路输出电压变化引起流回到驱动器的回流在封装引线电感之间近似相等地分割。第一与第二电容器元件可以提供输出电压电平之间的解耦电容。

根据本发明的第二方面，提供了一种用来生成可提供给电导体的电路输出信号的电子驱动器电路，该电导体提供可提供给负载的导体输出信号，该电路与导体输出信号分别进行近似在一对输出电压电平之间的、对应的电路与导体输出转换，在该对输出电压电平之间具有中间电压电平。该导体与负载的电感与电容产生谐振，该谐振使导体输出信号能够基本上完成每个导体输出转换，同时在相应的电路输入转换期间，对于非零中间电平保持周期，电路输出信号被保持在近似中间电压电平上。该电路包含斜坡控制电路，用来控制所述输出电压电平对中的至少一个与中间电平之间的部分电路输出转换，以提供对于部分电路输出转换的、充分的非零转换时间。

优选地，控制所述部分电路输出转换以相对于该电路中其他切换事件为慢。

可以提供上拉晶体管与下拉晶体管，用来将电路输出上拉到所述两个输出电压电平中的第一个，以及将其下拉到所述两个输出电压电平中的第二个，其中控制所述部分电路输出转换以慢于该上拉与下拉晶体管的切换。

可以提供中间电平驱动晶体管，其在切换至导通时驱动所述电路输出至中间电压电平，并且在切换至截止时允许将所述电路输出驱动至所述两个输出电压电平中的第一个。在这种情况下，控制所述部分电路输出转换以慢于该中间电平驱动晶体管的截止切换。

优选地，所述部分电路输出转换时间是可调整的，例如，其是可作为导体输出信号基本上完成导体输出转换所用时间的函数控制的。

控制电路可以包含：时间比较电路，用来比较电路输出信号与第二控制信号，以确定在第二控制信号完成相应的控制转换之前电路输出信号是否完成了电路输出转换；以及调整电路，用来根据该比较调整所述部分电路转换时间。

可替换地，优选地，比较器电路在近似在所述部分电路输出转换开始与所述部分电路输出转换的预期完成时间中间的时间处、比较所述部分电路输出转换的电平与近似在中间电压电平与输出正在向其转换的输出电压电平中间的基准电压。

优选地，可以基准斜坡电路，用来生成基准斜坡；以及耦合至基准斜坡电路的比较器电路，用来比较部分电路输出转换与基准斜坡。

优选地，部分电路输出转换所用时间作为至少一个先前电路输出转换的特性（例如根据两个信号的相对定时确定的特性）的函数控制。

优选地，斜坡控制电路控制部分电路输出转换，作为当作先前部分电路输出转换的结果存储的、当前存储的控制值的函数。

根据本发明的第三方面，提供了一种用来生成可提供给电导体的电路输出信号的电子驱动器电路，该电导体提供可提供给负载的导体输出信号。该电路与导体输出信号分别进行近似在第一电压、第二电压、以及第一与第二电压之间的中间电压之间的、对应的电路与导体输出转换。根据这一方面，该电路包含：第一晶体管，具有：（a）耦合至第一电压源的第一流电极；（b）耦合至从其提供电路输出信号的输出节点的第二流电极；以及（c）控制电极，响应于第一控制信号，用来控制第一晶体管的流电极之间的电流流动；第二晶体管，具有：（a）耦合至第二电压源的第一流电极；（b）耦合至所述输出节点的第二流电极；以及（c）控制电极，响应于第二控制信号，用来控制第二晶体管的流电极之间的电流流动；以及第三晶体管，具有：（a）耦合至中间电压源的第一流电极；（b）耦合至所述输出节点的第二流电极；以及（c）控制电极，响应于第三控制信号，用来控制第三晶体管的流电极之间的电流流动。第四与第五晶体管分别连接在第三晶体管的控制电极与第一及第二电压电平来源之间。控制电路选择性地分别通过第四与第五晶体管将第三晶体管的控制电极放电至第一与第二电压电平，从而该控制电极进行第一与第二电压电平之间的部分转换。输出信号在第一、第二、以及第三控制信号的控制下进行近似在第一与第二电压之间的、上升与下降的电路输出转换，并且

对于每个电路输出转换期间的非零中间电平保持周期，电路输出信号停留在近似中间电压上。

本发明的第一、第二、及第三方面的特征一起各种优选特征可以任意组合结合。

根据本发明的第一方面，分裂式充电（或者其他）电容器降低了包含谐振驱动器的芯片与芯片在其上安装的 PWB 之间的地与电源基准差异（称为地与电源反弹）。该分裂式充电电容器还提供电源与地解耦。根据本发明的第二方面，提供了摆动速度受控斜坡，其启动入射或外向波或导通，并且描述了用于此的电路。根据另一方面，本发明允许与谐振驱动器的中间电压保持周期在时间上近似成比例地调整完成摆动速度受控斜坡所用的时间。

摆动速度受控斜坡方法不仅能够进一步降低地与电源反弹，而且能够造成其他信号完整性与射频干扰问题。本发明的另一方面在于使驱动器上拉与下拉晶体管（例如图 2b 中的 Q3 与 Q1）的“导通”电阻近似匹配互连 L2 的特征阻抗。本发明的另一方面涉及确定用来调整谐振线驱动器内部延迟的反馈控制信号的部件。

现在仅作为例子参照附图描述多个优选实施例。

附图说明

图 1 至 3 表示现有技术的谐振线驱动器电路。

图 4 与 5 为显示图 2b 电路对于不同 CL 值的操作的定时图。

图 6 表示在典型物理环境下与图 3 类似的谐振线驱动器。

图 7 为图 6 电路的定时图。

图 8 表示根据本发明第一实施例的谐振线驱动器。

图 9 至 11 为显示图 8 电路的操作的定时图。

图 12 表示根据本发明第二实施例的谐振线驱动器。

图 13 为显示图 12 电路的操作的定时图。

图 14 表示根据本发明第三实施例的谐振线驱动器。

图 15 与 16 为显示图 14 电路的操作的定时图。

图 17 为适用于图 12、图 14 或其他实施例的控制电路图。

图 18 显示现有技术的控制电路。

图 19 为解释根据本发明第二方面的谐振线驱动器的操作的定时图。

图 20 显示适用于本发明第二方面的控制电路。

图 21 放大图 19。

图 22 显示可替换图 20 电路的控制电路。

图 23 显示根据另一实施例的谐振线驱动器。

图 24 为图 23 电路的定时图。

图 25 更详细地显示适用于图 23 所示电路的比较器。

具体实施方式

转到图 8, 其显示与图 6 中类似的电路, 但是不同于充电电容(reservoir capacitor)完全在 VSSD 与 VHHD 电路节点之间提供, 充电电容器分为两个电容 CR1 与 CR2。CR1 提供 VDDD 与 VHHD 之间的电容, 而 CR2 提供 VSSD 与 VHHD 之间的电容。因为 CR1 与 CR2 中的每一个提供并联的充电电容, 所以可以将 CR1 与 CR2 中的每一个制成图 6 中 CR 的数值大小的一半, 以提供相同的实际充电电容。但是通过利用分割充电电容器, 使得图 8 中的驱动器 19 更对称, 因此, 当驱动器输出信号 VDO 的电压变化使电流流入或流出互连 14 时, 回流流回到驱动器 19 中, 其在封装引线电感 LPL1 与 LPL2 之间被等分。

图 9 显示相对于图 8 电路发生的波形。将图 7 与图 9 相比较, 在图 7 中, 在时间 t1 上, 因为在图 6 中所有回流都流经 LPL2, 从而给出 VSSB 与 VSSD 之间的大偏移; 而在图 9 中, 在时间 t1 上, VSSB 与 VDDB 都近似相等地从 VSSD 与 VDDD 偏移较小的量, 因为在图 8 的电路中, 所有回流都在封装引线电感 LPL1 与 LPL2 之间等分。作为进一步的好处, LPL1 与 LPL2 串联组合提供了 VSSD 与 VDDD 之间的非常有用的、某种程度的解耦电容。例如, 在图 9 中, 在时间 t2 上, 通过(例如)图 2b 的 MOSFET Q3, 从节点 VDDD 向驱动器输出节点提供某些电流。由 CR1 与 CR2 的串联组合提供的解耦电容可以提供该必须的电流, 该电流在其他情况下需要通过 LPL1 从外部提取, 这会造成进一步的地反弹。

转到图 10, 当在时间 t1 处、驱动器输出信号被从 VSSD 的电平驱动到 VHHD 时, 本发明第二要素提供摆动速度受控斜坡。正向斜坡按照受控速度将输出信号 VDO 平滑地从时间 t1 处的 VSSD 的电平带到时间 t1a 处的接近于 VHHD 的电平, 负向斜坡按照受控速度将输出信号 VDO 平滑地从时间 t3 处的 VDDD 的电平带到时间 t3a 处的接近于 VHHD 的电平。

优选地，通过低输出阻抗电路生成该斜坡，从而该斜坡的幅度与持续时间基本不受输出信号 VDO 上负载程度的影响。受控斜坡大大降低了从驱动器输出的电流的变化速度，因此降低了（例如）通过 LPL1 与 LPL2 的回流的变化速度，并且会大大降低功耗与地反弹，如图 10 所示，同时只对信号从源到负载的总体传递增加了一个短延迟。

当负载近似于传输线时，图 10 中从时间 t_1 开始的斜坡经过该传输线，并且掉头向驱动器反射，在时间 t_2 到达。此时，控制电路 20 将输出 VDO 从 VHDD 断开，并且通过上拉晶体管（例如图 2b 中的 Q3）将其连接到 VDDD。如果 Q3 的大小使得其“导通”电阻与传输线的特征阻抗相匹配，则驱动器输出电压 VDO 平滑地接近 VDDD 的电平，而没有过冲或下冲，从而完成转换。相反极性转换的类似序列从时间 t_3 处开始，并且类似地，可以确定图 2b 中的 Q1 的大小使得其“导通”电阻与传输线的特征阻抗相匹配。

受控斜坡方法的缺点在于：从充电电容器提供转换的总体电荷减少的部分。例如，在图 10 中，IHH 与 IDD 曲线下阴影区域显示来自 VHDD 节点（即充电电容器）与 VDDD 电源节点的电荷传送的相对比例。从图 10 可以看出，充电电容器提供了大约 75% 的电荷，剩余的 20% 来自 VDDD 电源。另外，图 10 还显示（虚线）：如果使受控斜坡速度再慢些，则从充电电容器提供的电荷部分会进一步下降到大约 50%。因此，使用受控斜坡速度会导致高一些的功耗，但是仍然远远小于常规驱动器，还会改善信号完整性与地/电反弹。因此，对于信号完整性的定时要求与对于低功耗及速度的定时要求有些对立。达到这些要求之间的折衷是本发明其他要素的目标。

再次察看图 10，如果斜坡速度近似减半，从而其持续时间从 t_1 到 t_2 ，则如上所述，功耗会增加，从而采用该斜坡速度的驱动器可能不合适。在另一方面，如果相同的驱动器驱动长度大约两倍（因此延迟也是两倍）的互连，则与常规驱动器相比，该斜坡速度再次具有低功耗，还会有良好的信号完整性，如图 11 所示；而原来速度的斜坡（ t_1 到 t_{1a} ）只会在功耗与速度方面带来不大的进一步改进，但是会大大增加驱动器对地/电反弹的贡献。同时，信号将包含过多的高频谐波，从而不必要地增加射频辐射。因此，如果使斜坡电路可控（即能够产生某范围内的可变持续时间的斜坡时间），并且如果斜坡时间由在控制电路 20 中使用的相同电路控制机制控制以调整谐振线驱动器的中间电平保持周期，则驱动器可以在许多负载条件下操作（即，可以驱动

传输线延迟或者 LC 谐振频率变化的负载), 并且仍然会产生代表接近折衷的最优波形, 其在一方面为功耗与速度、另一方面为信号完整性之间选定的。

图 12 显示包含斜坡控制电路 118 第一实施例的谐振线驱动器 118。将其与图 2b 的电路相比较, NMOS 晶体管 Q2 替换为一对晶体管 Q2N (NMOS 设备) 与 Q2P (PMOS 设备), 其相应沟道并联。在输出信号 VDO 开始转换时, 当 Q22 切换至“导通”、同时 Q24 切换至“截止”时, Q2N 的栅极由来自电流镜 Q21/Q20 的电流 (正向) 充电; 而当 Q32 切换至“导通”、同时 Q34 切换至“截止”时, Q2P 的栅极由来自电流镜 Q31/Q30 的电流 (反向) 充电。

在低到高的转换中, 例如如图 13 中从时间 t_1 开始的转换, PMOS 晶体管 Q2P 开始不导电, 即使在其栅电极开始下降之后也如此, 这是因为其沟道不能切换至“导通”, 直至栅电极变得比 V_{HH} 更负。在另一方面, 只要 NMOS 晶体管 Q2N 的栅电极变得比 VDO 更正至少 Q2N 的门限电压, NMOS 晶体管 Q2N 就变为导电。可以清楚: 因此 Q2N 开始为源跟随配置。在斜坡时间信号期间, VDO 由非常低的阻抗逐渐拉高, 这是因为源跟随配置有非常低的输出电阻。在斜坡基本完成之后, Q2P 最后切换至“导通”, 并且对于并联组合的 Q2N 与 Q2P, 有助于获得低总体“导通”电阻。在时间 t_2 , Q2N 与 Q2P 都迅速切换至“截止”, 而上拉晶体管 Q3 切换至“导通”。在高到低的转换中, 从时间 t_3 开始, 在源跟随模式下, Q2P 首先切换至“导通”, 然后 Q2N 切换至“导通”, 从而发生与相对于低到高转换描述的相同的操作模式。

图 12 电路的缺点在于: 因为 CMOS P 沟道设备的空间效率一般远远小于 N 沟道设备的空间效率, 所以与图 2b 的电路相比, 该电路表示要增加对于“导通”电阻相同值的硅面积。图 14 显示包含可替换斜坡控制电路 119 的谐振线驱动器, 其使用单个 NMOS 设备 Q2, 以替换图 12 中 Q2N 与 Q2P 的并联组合。显然, 对于低-高转换, Q2 可以再次以源跟随器模式驱动, 以生成可变斜坡。在图 14 中, 在低-高斜坡期间, 当 Q22 切换至“导通”、电流镜 Q21/Q20 并且同时 Q24 切换至“截止”时, Q2 的栅极再次充电。电流镜 Q21/Q20 的基准电流依次来自于电流镜 Q30/Q31, 其依次由电流基准 IREFOUT 控制。对于高-低转换, Q2 不能用作源跟随器, 但是实际被配置为公共源极开关, 当栅极变得比 V_{HH} 更正一与 Q2 的门限电压相等的量时, 该公共源极开关一般会很陡地切换至“导通”。然而, 如果反馈电容器 CFB 置于输出信号 VDO 与至镜 Q41/Q40 的输入之间, 则斜坡速度会产生依赖于从基准电流 IREFOUT 中减去的电流反

馈的速度。由此，该电路使用负反馈以控制斜坡速度依赖于基准电流输入，这是因为如果斜坡太慢，则栅极电压将会在至镜 Q41/ Q40 的输入上累积，从而趋向于将该速度纠正至所希望的速度。因此，实际上该斜坡再次具有低输出阻抗。如图 15 所示，对于高-低转换，Q2 的栅极以稳步增加的斜坡充电，而对于高-低转换，当斜坡速度受控时，在活跃周期期间，栅极电压起先增加得十分迅速，然后缓慢增加。由此，可以将电容器 CFB 描述为当电路输出信号从 VDD 下降至 VSS 时、检查至晶体管 Q2 的控制电极的电流的上升速度。

图 14 电路的缺点在于：在高-低转换时，从开始对 Q2 栅极充电到 Q2 首次导电直至驱动器输出 VD0 开始移动，存在明显的延迟。然而，如图 16 所示，在 VD0 为高的周期期间，为了将 Q2 切换至“截止”，不需要对 Q2 栅极放电至 VSSD。如果如图 16 所示、只将栅极放电至 VHHD，则仍然会将 Q2 切换至“截止”，但是在下一个高-低转换时，Q2 可以再次以快得多的速度切换至“导通”。这可以通过以下达到：将图 14 中的 Q24 替换为两个晶体管，在图 16 所示的适当提供的控制信号 VD2S 与 VD2H 的控制下，一个晶体管将 Q2 栅极放电至 VSSD，另一个将 Q2 栅极放电至 VHHD。可替换地，Q2 栅极可以首先放电至 VSSD，然后只有在高-低转换之前才预充电至 VHHD 的电平。

图 14 电路的这种改进形式的优点可以通过比较对于该修改电路的图 16 与对于所示电路的图 15 看出。开关 Q2 栅极与沟道之间的峰值电压应力近似减半。例如，在低/高转换之后，将 Q2 切换至截止所需的只是将栅电极返回到 VHH。这降低了功耗，并且允许在制造 Q2 的 MOSFET 沟道时使用较薄的氧化层。请注意该优点与以下无关：具体的上升时间控制方案或者对部分输出转换的控制定时。还请注意这是在只包含 N 沟道技术的电路的情景下描述的，但是同样适用于 P 沟道技术或者 N、P 沟道混合。作为例子，在适当修改的情况下，同样的原理适用于图 12 的电路。

图 17 显示控制电路 120 的方框图，其中相同的电流基准通过可控延迟 D1 控制谐振线驱动器的两个中间电平保持周期，并且向斜坡电路（例如在图 14 的驱动器 119 中）提供电流 IREFOUT，从而在多种定时条件下，斜坡周期跟踪对于选定最优值的中间电平保持周期。如上所述，可以根据现有技术中描述的先前转换的某些特性调整 IREFOUT。

例如，图 18 显示在美国专利 6, 201, 420 中描述的控制电路，其中中间电平保持周期的持续时间由递增/递减计数器 32 的值设置，其依次由比较器

电路 30 控制, 比较器电路 30 比较电路输出信号 VDO 与控制信号 VC2 的定时, 以产生反馈信号 RP。然而, 比较器 30 被设计用于比较两个快速转换信号的相对定时, 并且对于在上述的使用受控斜坡的谐振线驱动器中使用而言其可能不可靠或者不精确。由此, 本发明的其他方面提供通过使用受控斜坡来调整适用于谐振线驱动器的中间电平的方式。

为了清楚起见, 图 19 只显示使用受控斜坡的谐振线驱动器的低到高转换。其显示初始斜坡从时间 t_1 开始, 随后为中间电平保持周期, 随后时间 t_1 处初始斜坡的映像(姑且称为“初始映像”)近似在时间 t_3 达到。时间 t_3 为由控制电路确定的控制信号 VC3 与 VE2N 转换的时间。本发明一个要素是将控制信号 VC3 与 VE2N 转换的最优定时置于 t_3 , 从而其与初始映像尽可能地重合。当达到该最优定时时, 输出信号 VDO 从时间 t_3 开始沿与从时间 t_1 开始的初始斜坡近似相同的坡面上升。该最优定时由图 19 中电压波形 VD00 显示。当初始映像早于时间 t_3 抢先达到时, 信号 VDO 上升地比从时间 t_1 开始的初始斜坡要迅速, 如波形 VD0E 所示。相反, 当初始映像相对于时间 t_3 晚到时, 信号 VDO 沿与时间 t_1 初始斜坡类似的坡度上升, 但是从时间 t_3 之后一段时间开始, 如波形 VD0L 所示。

转到图 20, 其显示控制电路 128, 其包含定时电路与控制回路, 用于使用受控斜坡的谐振线驱动器; 图 21 显示针对控制电路 128 的操作发生的波形。

控制电路 128 包含锁存比较器电路 132, 其具有接收信号 VDO 与 VREF 的电平敏感输入, 并且响应于时钟信号输出 VIDD, 向 N 比特递增/递减计数器 130 提供数字输出信号 U/D。如果当时信号 VDO 具有比信号 VREF 高的电压时, 则在 VIDD 的上升沿将信号 U/D 设置为逻辑“高”; 或者如果当时信号 VDO 具有比信号 VREF 低的电压时, 则在 VIDD 的上升沿将信号 U/D 设置为逻辑“低”。信号 U/D 控制 N 比特递增/递减计数器 130, 从而如果在输入信号 VI 从逻辑“高”到逻辑“低”的转换期间信号 U/D 为逻辑“高”, 则计数器值增加。相反, 如果在输入信号 VI 从逻辑“高”到逻辑“低”的转换期间信号 U/D 为逻辑“低”, 则计数器值减少。计数器 130 依次控制数控延迟电路 134, 从而将输入信号 VI 在时间上延迟一依赖于计数器 130 存储的当前值的量。

信号 VID、即信号 VI 的延迟版本, 从延迟电路 134 输出, 并且依次启动图 21 中时间 t_3 处的输出信号 VE2N、VC3、VC1 的转换。电流控制延迟电路 136 进一步延迟信号 VID, 以产生信号 VIDD, 其在图 21 中在时间 t_4 处转换。

信号 VIDD 依次为锁存比较器 132 的时钟信号。延迟电路 136 由提供电流 IREF 电流源 126 的输出控制，从而 IREF 的值越大，延迟电路 136 所产生的延迟越短。电流源 126 向 IREFOUT 输出提供第二相等或成比例电流，其依次可以控制图 21 中从时间 t1 处开始的斜坡的上升时间。当达到最优定时时，输出信号 VDO 从时间 t3 开始沿与从时间 t1 开始的初始斜坡近似相同的坡面上升，如波形 VDDO 所示。

安排延迟电路 136，从而产生总是等于图 21 中时间 t1 处开始的斜坡的近似一半持续时间的延迟。在另一方面，输入信号 VREF 具有近似处于电势 VHHD 与 VDDD 中间的电势，如图所示。当达到最优定时时，波形 VD00 的结果为在时间 t4 处其电势近似等于 VREF，从而从锁存比较器 132 产生中间输出 U/D。

在另一方面，如果还未达到最优定时，则产生波形 VD0E 或者波形 VD0L，并且锁存比较器 132 将驱动其输出信号 U/D 分别至逻辑“高”或逻辑“低”。因为信号 U/D 通过图 20 中的计数器 130 与延迟电路 134 控制信号 VID 的定时、并且因此控制图 21 中时间 t3 的位置，所以该电路的总体操作为：控制信号 VE2N、VC3、以及 VC1，以在最优时间上、或者靠近其发生。本领域技术人员应该理解：锁存比较器 132、递增/递减计数器 130、以及数字控制延迟 134 一起构成控制回路的元件，或者更具体地当用作谐振线驱动器中的控制电路时构成延迟锁定回路的元件。

转到图 22，其显示控制电路 138，其与图 20 的控制电路 128 类似，但是不同之处在于：将控制电路 128 中的数字控制延迟 134 替换为控制电路 138 中的电流控制延迟 135。另外，延迟 135 由从数字控制电流源 140 提供的电流控制，而非控制电路 128 中的固定电流源 126。数字控制电流源 140 提供几个相等或成比例的输出电流，其幅度作为由控制电路 138 中的递增/递减计数器 130 提供的 n 比特二进制控制输入的某函数被控制，但是，一般电流源 140 的输出电流基本上与由计数器 130 所提供的二进制值控制输入成正比或成反比。因为控制电路 138 中的计数器 130 控制电流源 140，电流源 140 依次控制延迟 135，并且通过电流控制延迟 136 使能锁存比较器 132，所以这些再次构成了延迟锁定回路的元件。

与控制电路 128 相比，控制电路 138 的优点在于：控制电路 138 可以向电流控制延迟 135 提供附加的电流 IREFOUT 与 IREFOUT1，其与控制输入电流

成比例。如针对图 17 中控制电路 120 所述, 图 22 中的 IREFOUT 可以用来控制斜坡电路的上升时间, 从而允许斜坡周期跟踪谐振线驱动器中的中间电平保持周期。以后将描述 IREFOUT1 的其他用处。如针对图 20 中控制电路 128 所述, 控制电路 138 类似地包含电流控制延迟 136, 其目的在于向锁存比较器电路 132 提供时钟信号 VIDD, 从而在时间 t_3 比较信号 VDO 与基准电压 VREF, 如图 21 所示。电压 VREF 与时间 t_3 一般具有图 21 所示的、与波形 VD00 重合的交叉, 从而波形 VD0E 可以与波形 VD0L 区分, 以产生回路反馈信号 U/D。

当物理地实现控制电路 128 或 138 时, 一项具体困难可能为设计锁存比较器电路 132 以在足够高的速度上工作, 以及向其提供足够精确的基准与时钟输入。例如, 在图 21 中, VHHD 与 VDDD 的电压电平显示为不随时间变化, 但是在物理实现中, VHHD 与 VDDD 都会变化, 尤其是当其从充电电容器提供时 VHHD 的电平。因此, 针对 VHHD 与 VDDD 的当前及紧接先前的电平选择 VREF 的适当电平, 以及提供信号 VREF 所需的电路可能会成为很复杂的问题。类似地, 控制电路 128 或 138 中信号 VIDD 的定时需要准确、可重复的程度可能会不容易达到。另外, 在概念上, 控制电路 128 或 138 中锁存比较器电路 132 在时钟信号 VIDD 上升沿上的单个时刻上比较信号 VDO 的电压与信号 VREF 的电压。但是在现实中, 由于锁存比较器电路 132 内部电路元件的有限速度, 该比较器会比较输入信号 VDO 与 VREF 在采样窗口的持续时间上平均的值, 该持续时间近似 (但是不精确地) 与时钟输入信号 VIDD 的上升沿重合。

所有这些不确定因素可能会合起来使电路的设计不容易, 并且使电路操作不稳定。根据本发明的另一实施例, 提供改进部件以提供控制电路 128 或 138 中的回路反馈信号 U/D。这部分地通过重新定义至锁存比较器电路 132 的输入、以要求较低精度达到, 部分地通过提供新颖的、专用于应用的、并且进一步放松时钟信号 VIDD 所需定时精确性的、锁存比较器电路 132 的内部电路达到。

图 23 显示替换谐振线驱动器, 其包含控制电路 138、与图 14 所示类似的斜坡电路 119、输出 MOSFET 的 Q1、Q2、Q3、以及包含 N 沟道 MOSFET Q2R 与电容器 CRAMP 的附加电路。电容器 CRAMP 提供功能如下所述的信号 VREFRAMP。N 沟道 MOSFET Q2R 的源极与漏极分别连接到信号 VHHD 与 VREFRAMP。

参照图 24, 在开始时, 来自控制电路 138 的基准电流输入 IREFOUT1 对电容器 CRAMP 充电高至 VDD 的电压电平。当信号 VC2 上升、从而在时间 t_1 处

开始低到高转换、并且在时间 t_A 进一步上升超过 V_{HHD} 的电平时, N 沟道 MOSFET Q2R 变为“导通”, 从而使电容器 CRAMP 与信号 REFRAMP 放电至 V_{HHD} 的电平。然后, 在紧接时间 t_3 之前的时间上, 信号 VC2 下降。在信号 VC2 下降沿之前, 输出信号 VDO 牢牢保持在接近 V_{HHD} 的电平上, 这是因为大型 N 沟道 MOSFET Q2 为“导通”。当 N 沟道 MOSFET Q2 变为“截止”时, VC2 的下降沿启动从时间 t_3 开始的信号 VDO 的斜坡。

波形 VREFRAMP 在时间 t_3 与 t_5 之间具有坡度, 其被安排地与图 21 中的波形 VDDO 基本相同。通过利用波形 VREFRAMP 替换信号 VREF, 输出信号 VDO 可以在时间 t_3 与 t_5 之间的任何时间上与 VREFRAMP 比较, 并且获得同样的结果, 由此大大放松了对图 23 部件中的信号 VIDD 的定时要求。

本发明的、具体为图 23 所示电路的显著好处在于: 在基本相同的时间(图 24 中的 t_3) 上, N 沟道 MOSFET Q2N 变为“截止”, 从而启动 VOD 的斜坡, N 沟道 MOSFET Q2R 也变为“截止”, 从而允许 IREFOUT1 开始对电容器 CRAMP 充电。这两个事件在时间 t_3 上紧密的定时重合非常精确, 这是因为 MOSFET Q2 与 Q2R 都可以是在相同基底上形成的、共享公共栅极信号 VC2 与公共源极信号 V_{HHD} 的 N 沟道设备。另外, 时间 t_3 与 t_5 之间的信号 VREFRAMP 的坡度与基准电流 IREFOUT1 成比例, 其依次与基准电流 IREFOUT 成比例, 其(通过斜坡电路 119) 实际确定了从时间 t_1 开始的 VDO 斜坡的坡度。因此, 可以安排时间 t_3 与 t_5 之间的信号 VREFRAMP 的坡度, 以总是基本与从时间 t_1 开始的输出信号 VDO 斜坡的坡度相同, 并且当锁存比较器 132 (图 23) 在时间 t_3 与 t_5 之间的任何时间上比较信号 VDO 与 VREFRAMP 时, 可以提供回路反馈信号 U/D, 其精确地区分输出信号 VDO 波形 VDOE 与输出信号 VDO 波形 VDOL。由此, 递增/递减计数器 130 与数字控制电流源 140 允许调整控制电路 138 中的电流控制延迟 135 (都在图 22 中显示) 以十分靠近最优值。

与图 24 中在时间 t_3 与 t_5 之间某单个时间上比较输出信号 VDO 的电压电平与信号 VREFRAMP 的电压电平不同, 如果利用(为了参照方便) 称为积分锁存比较器的元件、在时间 t_3 与 t_5 之间对时间积分这两个信号之间的差异电压, 则还可以获得进一步的精确度。这样的比较器在精确度与抗噪性方面具有固有的优势。然而, 当在以高速操作的谐振线驱动器中实现时, 可能不容易向积分锁存比较器提供精确限定所希望的积分周期的信号或者信号组合。本发明的另一实施例采用了大大克服了这一问题的积分锁存比较器。

转到图 25, 该图显示积分锁存比较器 150, 具有比较器输入 VREFRAMP 与 VD0, 并且提供了比较器输出 Q 与 QN。积分锁存比较器 150 还在适当时接受基准电流 IREF 与锁存控制信号 VE2N、EXTENT、以及 EXTENT_NOT。在图 24 的下部显示了这些控制信号的示例定时。

积分锁存比较器 150 的输入级包括: 电容器 CCOMP1 与 CCOMP2、电流偏置生成 N 沟道 MOSFET Q102 与 Q103、短路 N 沟道 MOSFET Q104、以及差分输入 N 沟道 MOSFET Q105 与 Q106。在图 24 中, 当时间 t1 之前不久 VE2N 转为低电平时, 迅速短路输出节点 Q 与 QN, 并且由 P 沟道 MOSFET Q111、Q109、与 Q110 驱动其至 VDDD 的电压电平。开始时, N 沟道 MOSFET Q105 与 Q106 作为源跟随器, 其偏置电流由 N 沟道 MOSFET Q102 与 Q103 提供, 并且因此电容器 CCOMP1 与 CCOMP2 跟踪由 Q105 与 Q106 的栅极-源极偏压电压降低的输入信号 VREFRAMP 与 VD0 的电压电平。然后, 当信号 EXTENT 转为高电平时, N 沟道 MOSFET Q104 切换至“导通”, 并且短路 N 沟道 MOSFET Q105 与 Q106 的源极端, 从而其现在作为差分对工作, 其中偏置电流再次由 N 沟道 MOSFET Q102 与 Q103 提供。该差分对的输出电流流向输出节点 Q 与 QN, 从而在图 24 中, 当在时间 t3 之后不久 VE2N 转为高电平并且 Q111、Q109 与 Q110 切换至“截止”时, 该输出电流开始对输出节点 Q 与 QN、以及相关电容(主要由 P 沟道 MOSFET Q107 与 Q108、以及 N 沟道 MOSFET Q112 与 Q113 的栅极电容提供)充电。布置由 Q102 与 Q103 形成的电流源, 以只提供适度量的电流, 从而即使 VE2N 远早于时间 t3 发生, 输出节点 Q 与 QN 也会保持十分靠近 VDDD 的电平, 由此相对于时间 t3 来说 VE2N 的相对定时不重要, 只是 VE2N 应该在时间 t3 之前转为低电平。现在, 当在或靠近时间 t3 处输入信号 VREFRAMP 与 VD0 开始其各自的斜坡时, 因其连接到 N 沟道 MOSFET Q105 与 Q106 栅极端, 由 Q104 短路的 Q105 与 Q106 相应的源极端也开始在电压上上升, 并且对电容器 CCOMP1 与 CCOMP2 充电。

请注意: 当 Q114 被闭合进行再生时, Q104 被闭合, 并且在此时用来分离 Q105 与 Q106 的差分对。

积分锁存比较器 150 具有接收部分输出转换的正输入 VD0, 以及接收对应于(即表示)基准斜坡的信号的负输入 VREFRAMP。只有在这两个输入信号中有一个正在上升期间, 积分锁存比较器才在比较器输出节点(Q 与 QN)上累积电荷。其提供了整个斜坡周期上, 即在部分输出转换时间上的平均比较。

包含晶体管 Q107 至 Q114 的正反馈再生电路，通过差分输入晶体管对，接收比较器输出节点 Q 与 QN 上的电荷。该再生电路获得节点 Q 与 QN 上的小差异，并且当 EXTENTNOT 使 Q114 导电时，其将该小差异放大到完全电源电压 (rail voltage)。

确定电容器 CCOMP1 与 CCOMP2 依大小排列，从而相对于由 Q102 与 Q103 提供适度的偏置电流来说，对其充电需要很大的电流，因此通过由 Q105 与 Q106 形成的差分对的总偏置电流变得很大，但是只有当输入信号 VDO 与 VRERAMP 继续上升时才如此。因此该电路具有以下固有特征：只有在图 24 的时间 t3 到 t5 之间的其各自斜坡周期期间，才趋向于对输入 VDO 与 VRERAMP 之间的差异电压进行积分。这一特征还放松了至积分锁存比较器 150 的控制输入信号所需的定时精度。到图 24 中时间 t5，VDO 与 VRERAMP 之间的差异电压已通过电荷累积进行了对时间的积分，以产生输出节点 Q 与 QN 电压电平中的小差异。最终，当在图 24 的时间 t5 之后 EXTENT_NOT 转为高电平时，该电压被放大到完全电源电压，这是因为流经 N 沟道 MOSFET Q114 的电流大大偏置交叉耦合的 N 沟道 MOSFET 对 Q112 与 Q113，其通过由应用到交叉耦合的 P 沟道 MOSFET 对 Q107 与 Q108 的类似机制辅助的正反馈来再生输出节点 Q 与 QN 处的任何先前存在的电压差异。

再次地，相对于图 24 中的时间 t5，控制信号 EXTENT_NOT 上升沿的定时不重要，只是其应该在时间 t5 之后发生。输出信号 Q 与 QN 的最终状态将使得依赖于图 24 中时间 t3 与 t5 之间的、输入信号 VREFRAMP 与 VDO 之间的时间积分的差异电压，其一在 VDDD 的电平上，另一个在 VSSD 的电平上。因此，积分锁存比较器 150 与提供控制信号 EXTENT 与 EXTENT_NOT 的适当电路一道可以替换图 23 控制电路 138 中的锁存比较器 132，其中选择其输出 Q 与 QN 中的一个为图 23 中的适当逻辑极性提供回路反馈信号 U/D。

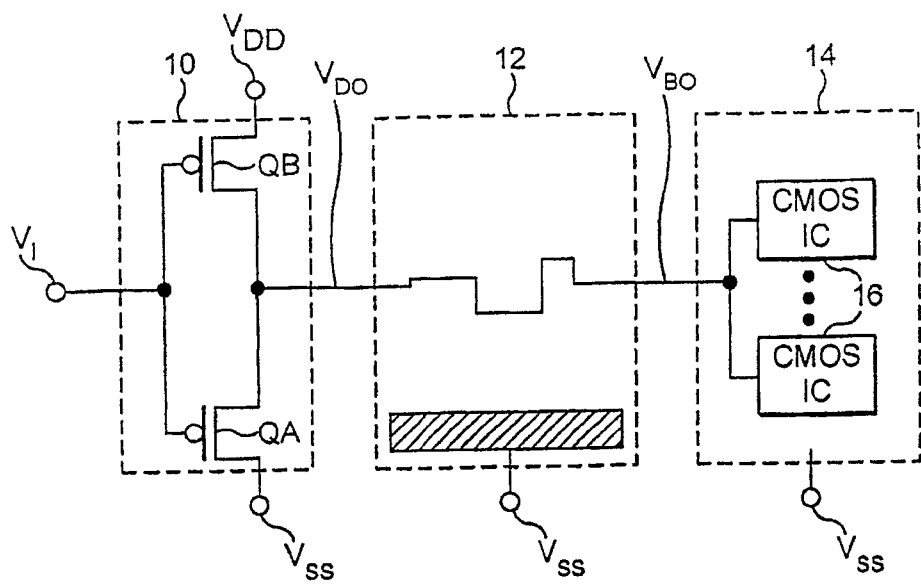


图 1a (现有技术)

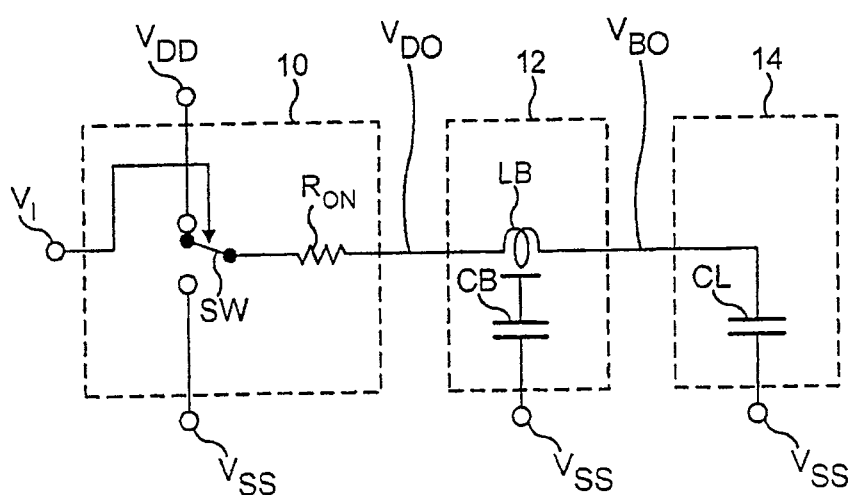


图 1b (现有技术)

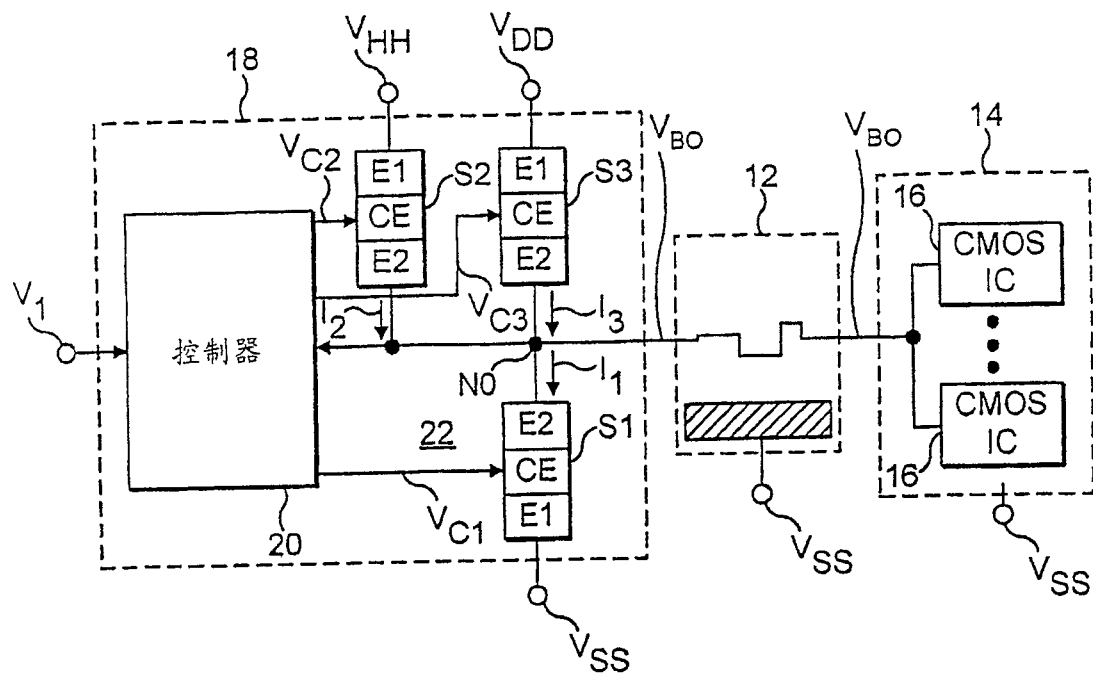


图 2a (现有技术)

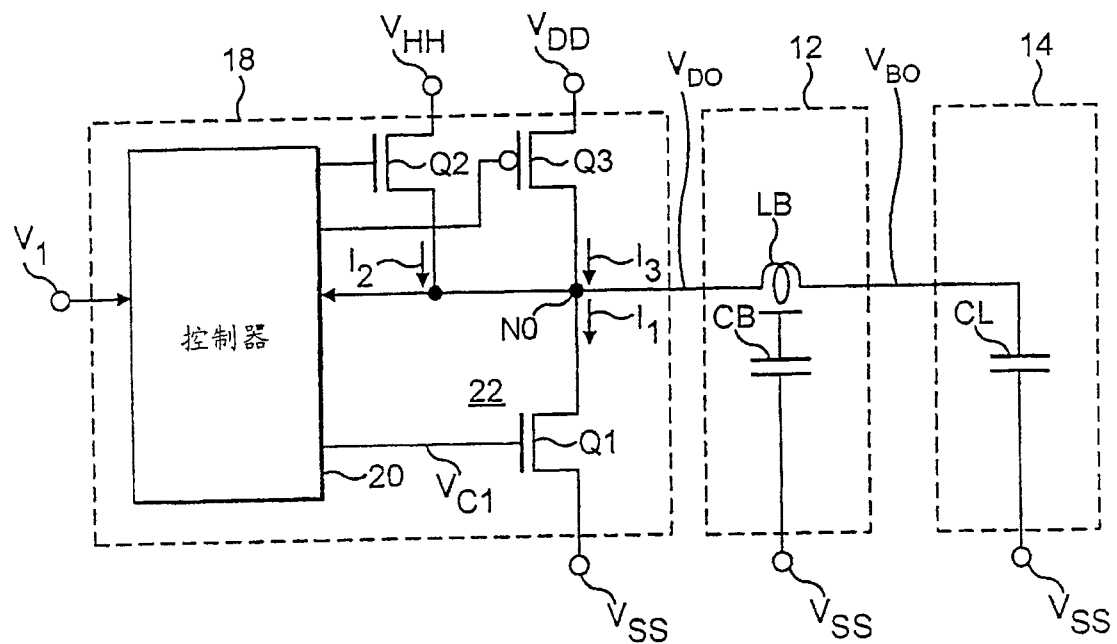


图 2b (现有技术)

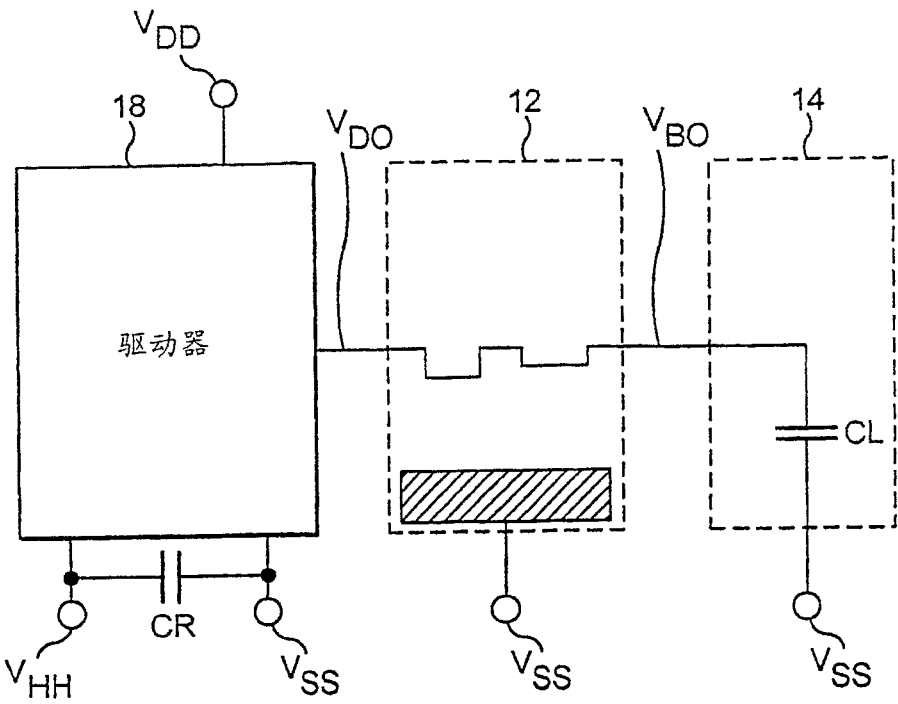


图 3 (现有技术)

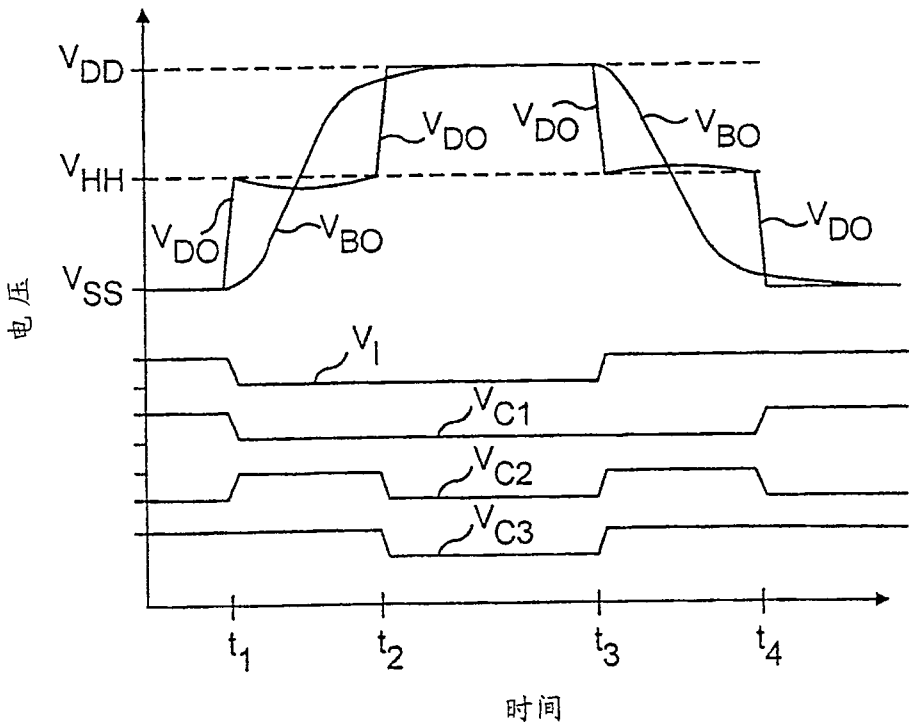


图 4 (现有技术)

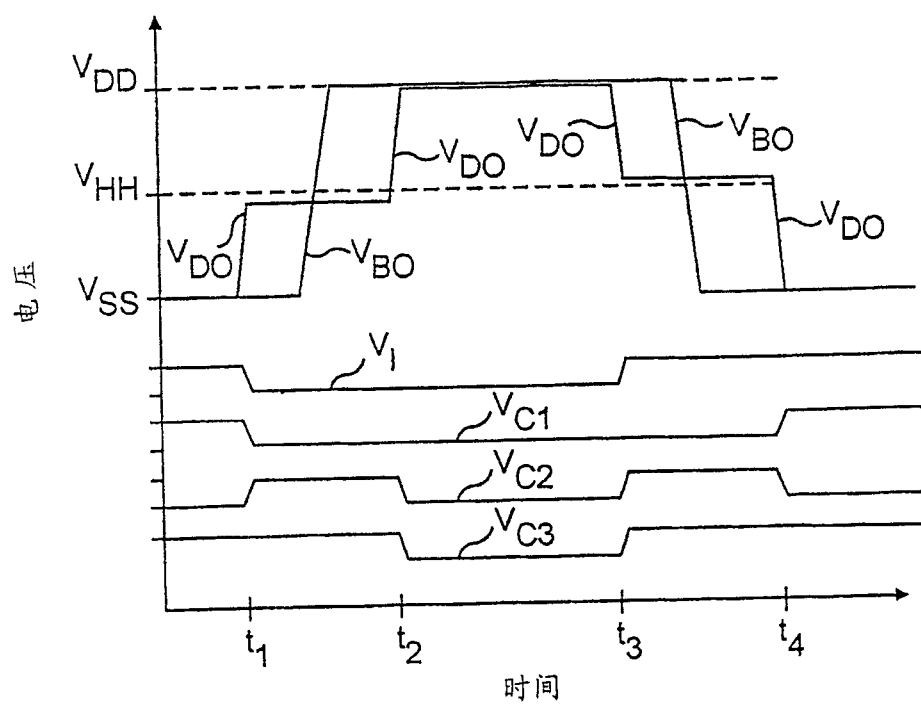


图 5 (现有技术)

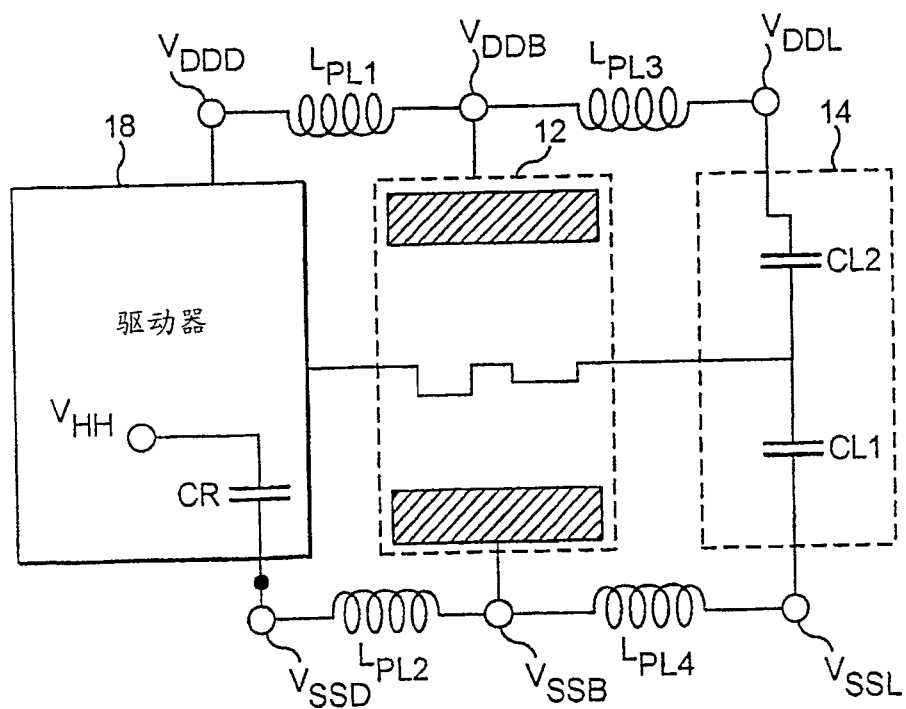


图 6

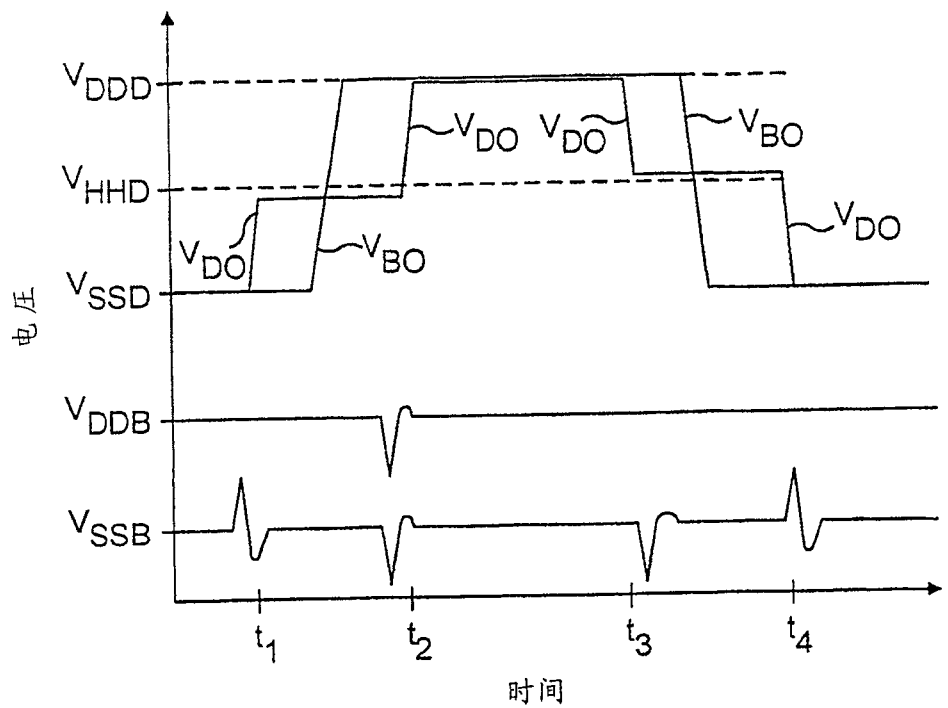


图 7

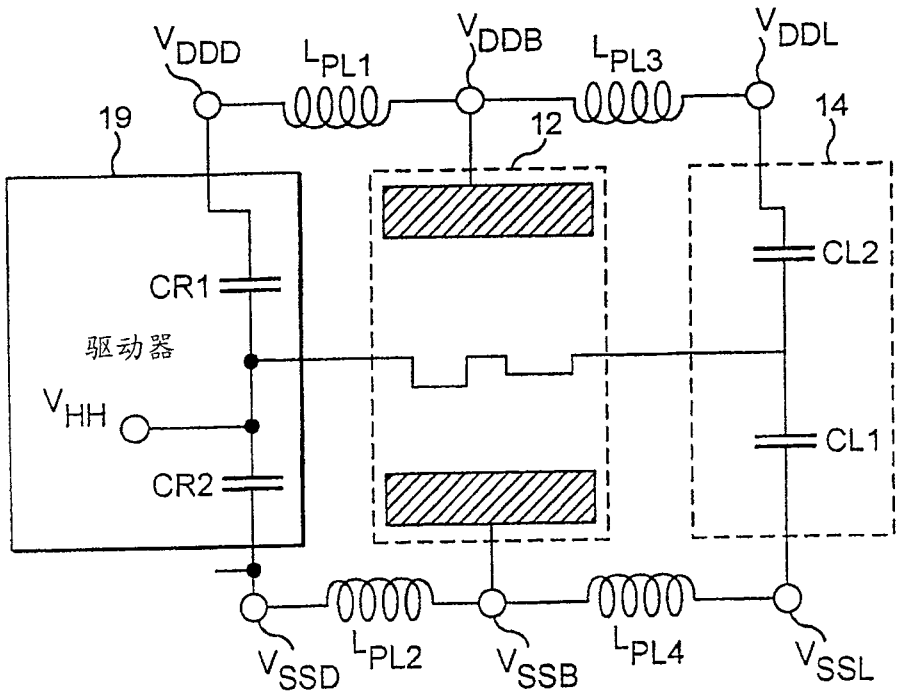


图 8

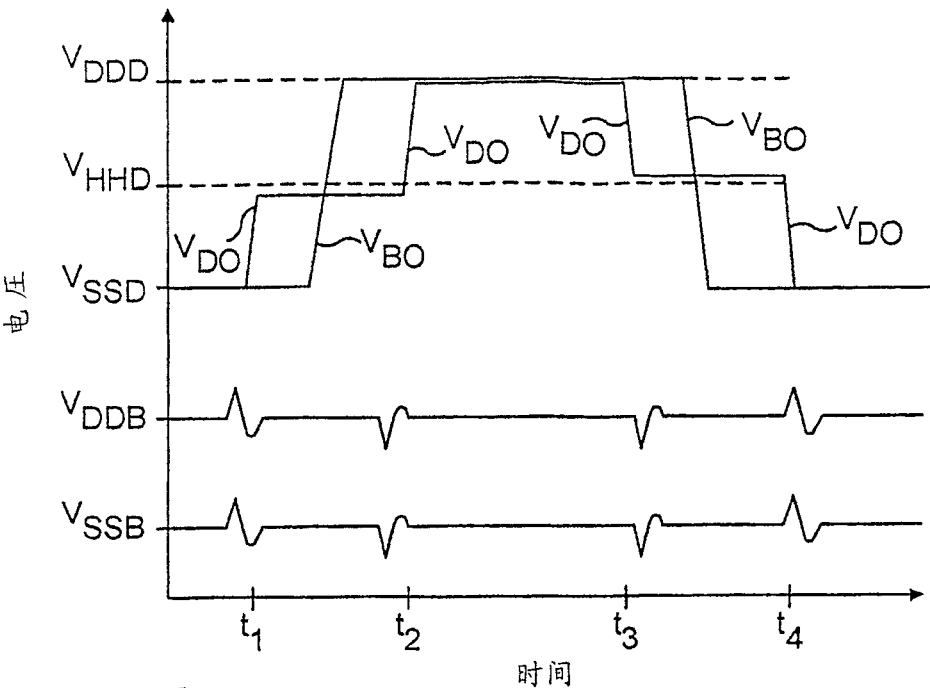


图 9

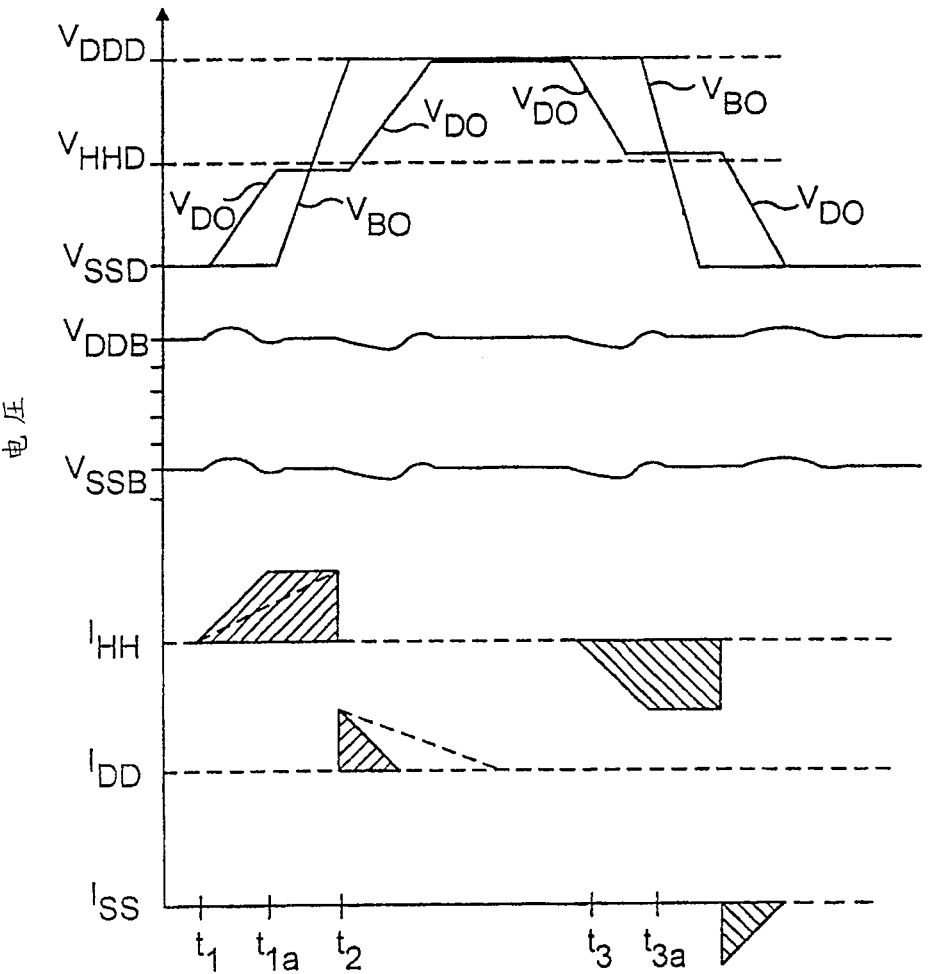


图 10

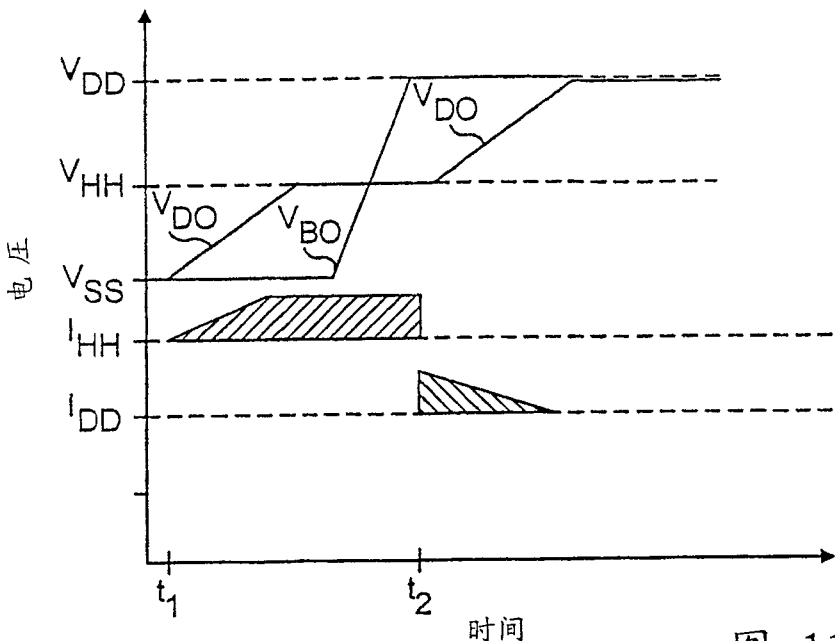


图 11

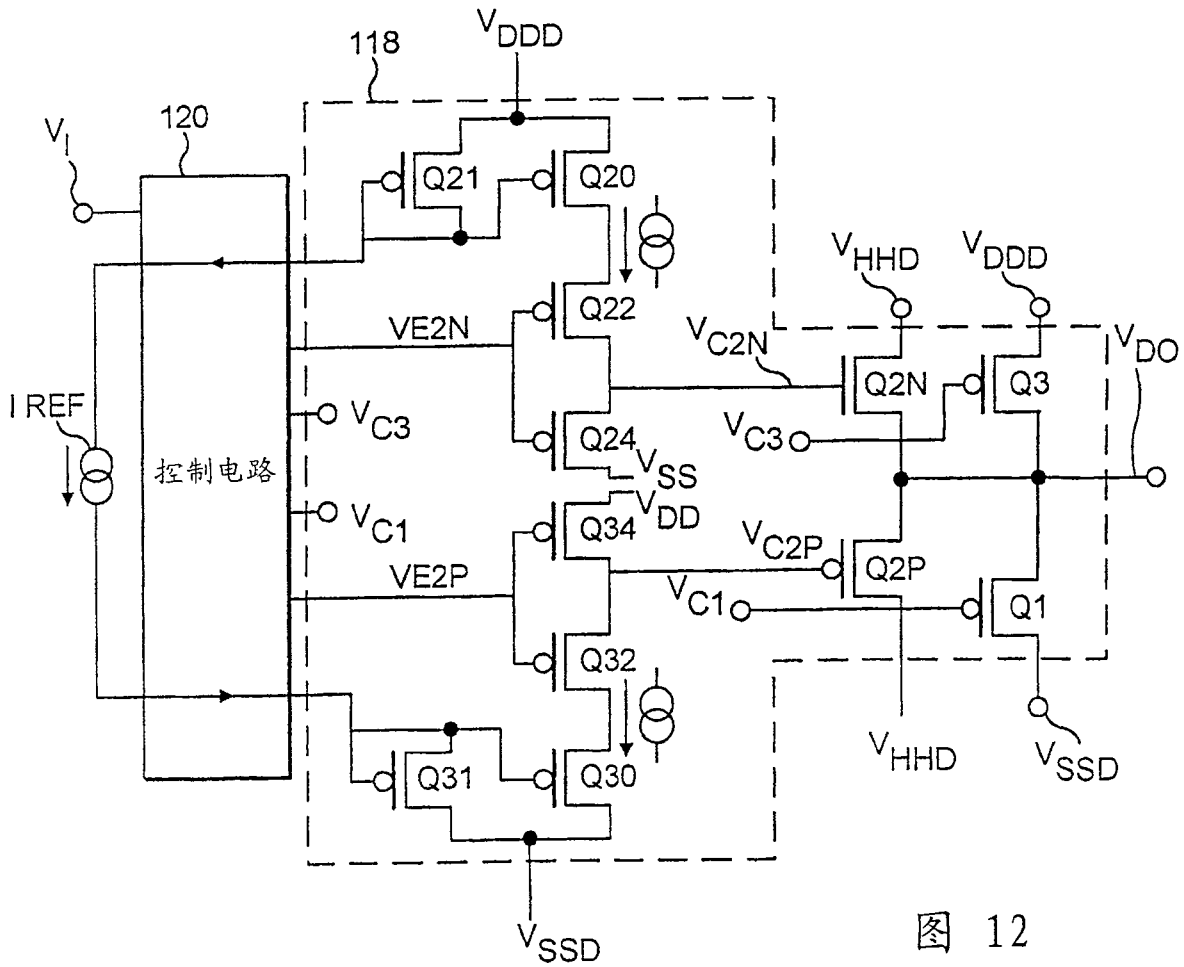


图 12

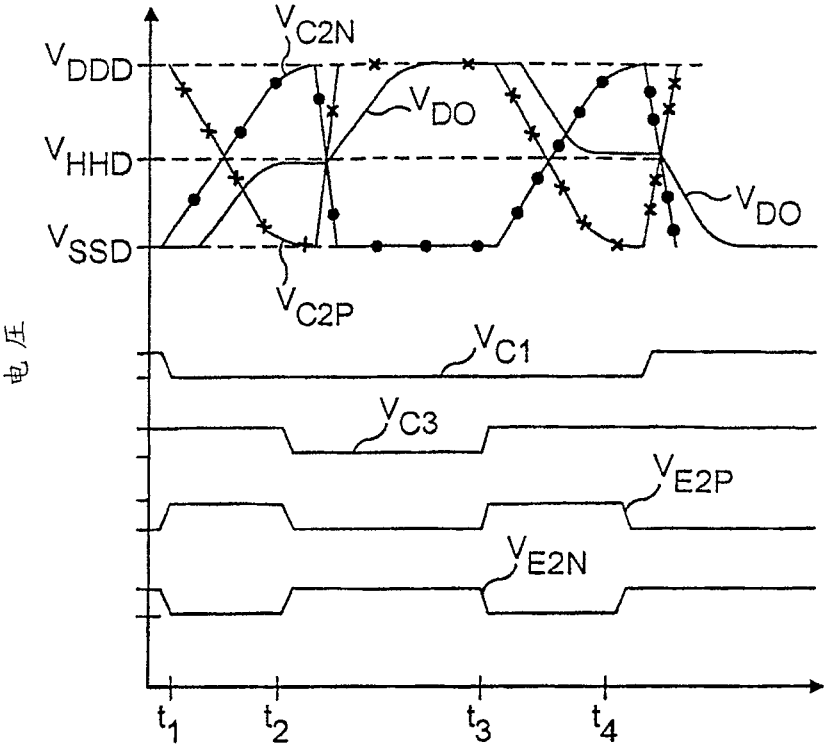


图 13

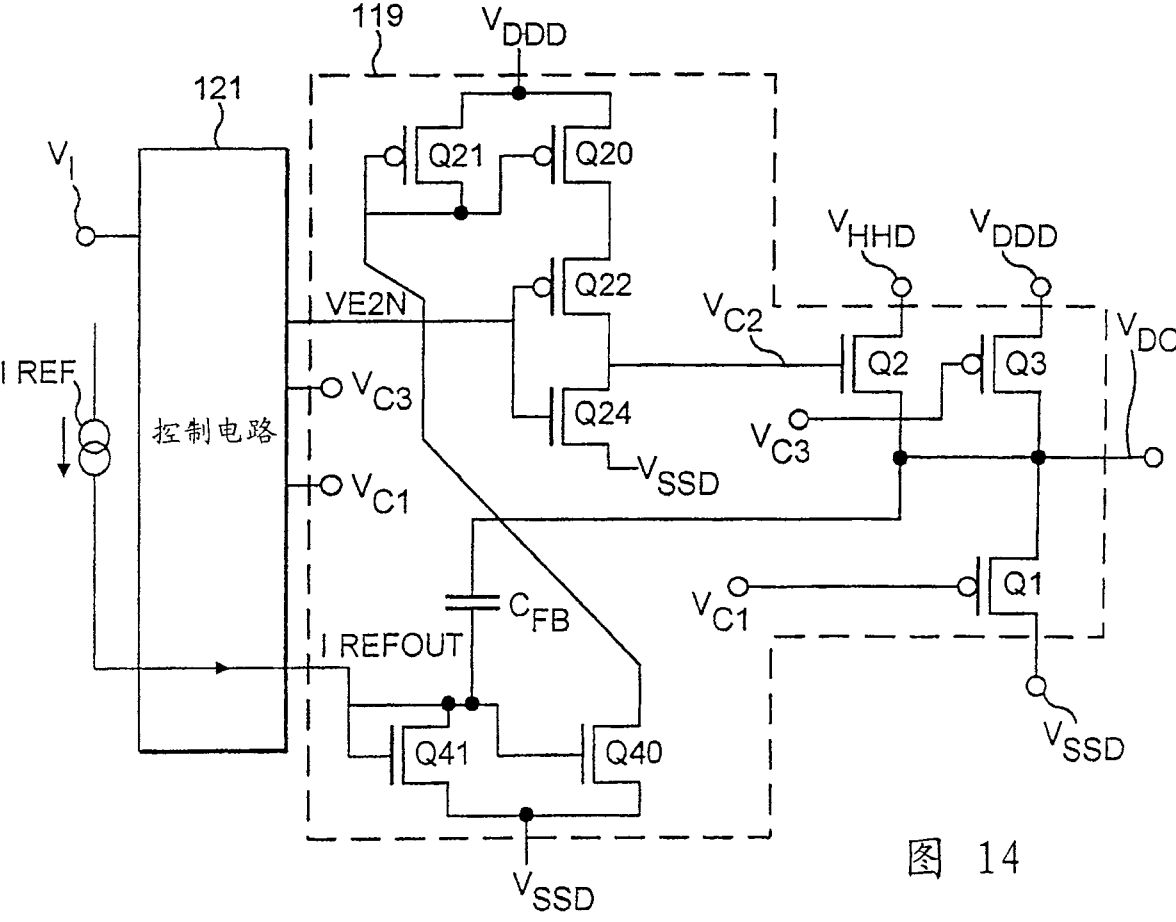


图 14

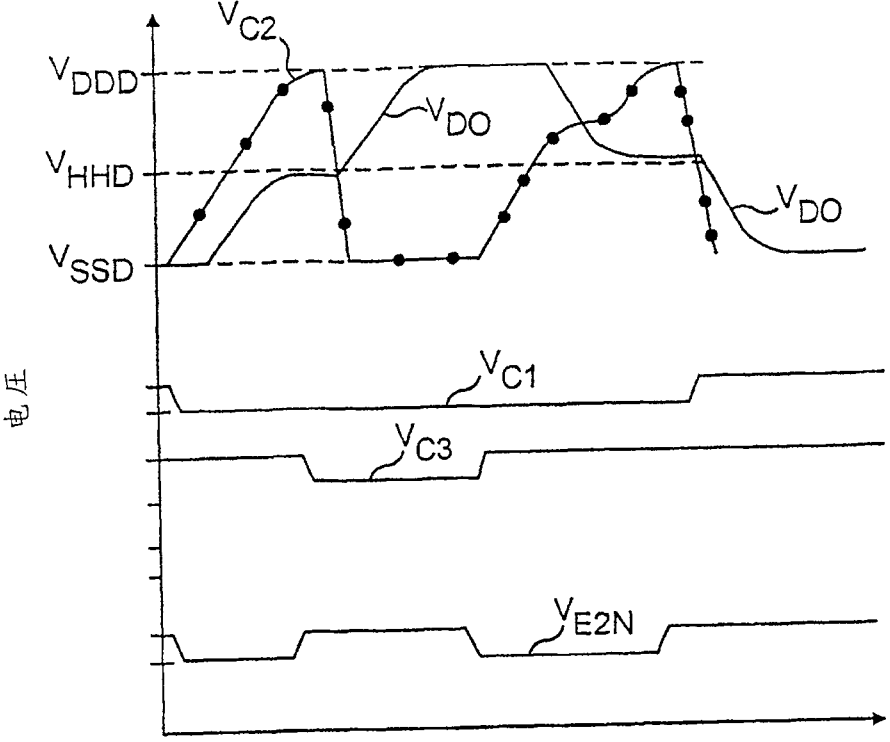


图 15

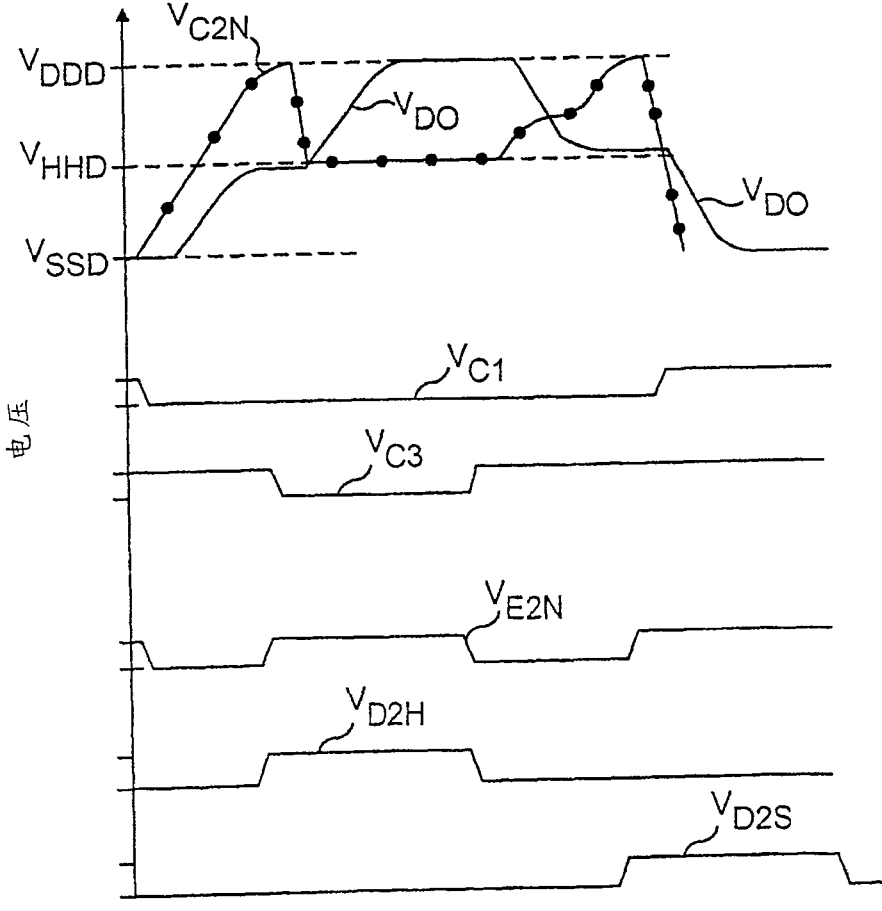


图 16

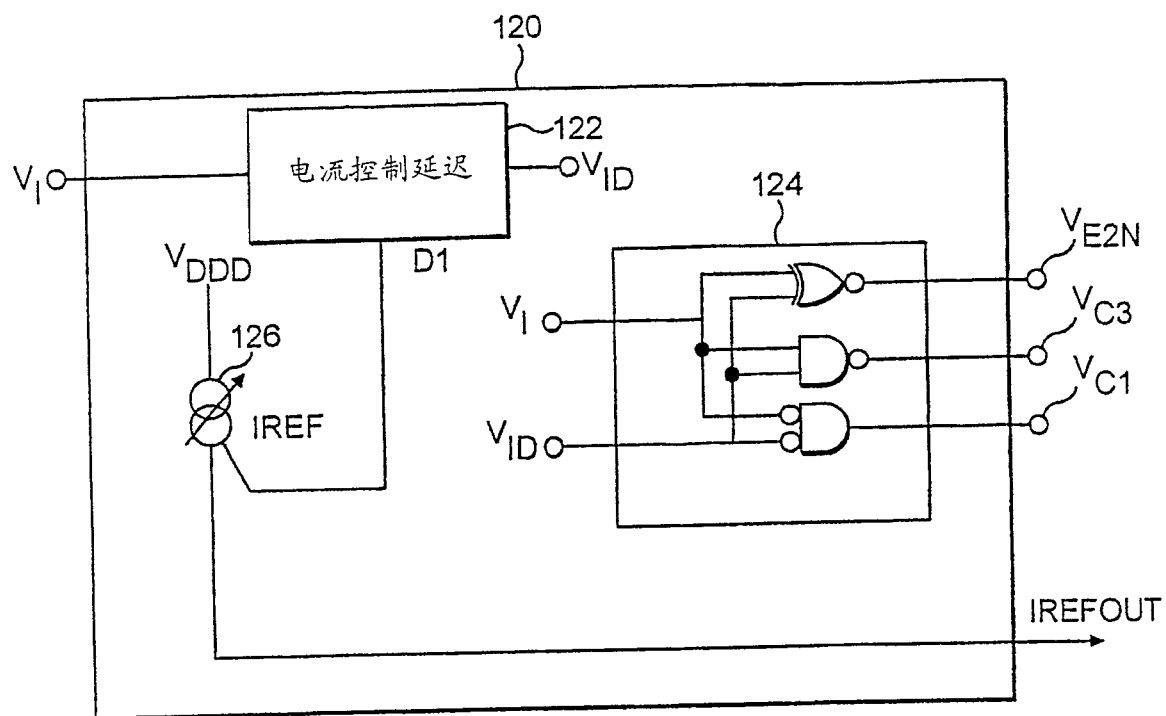


图 17

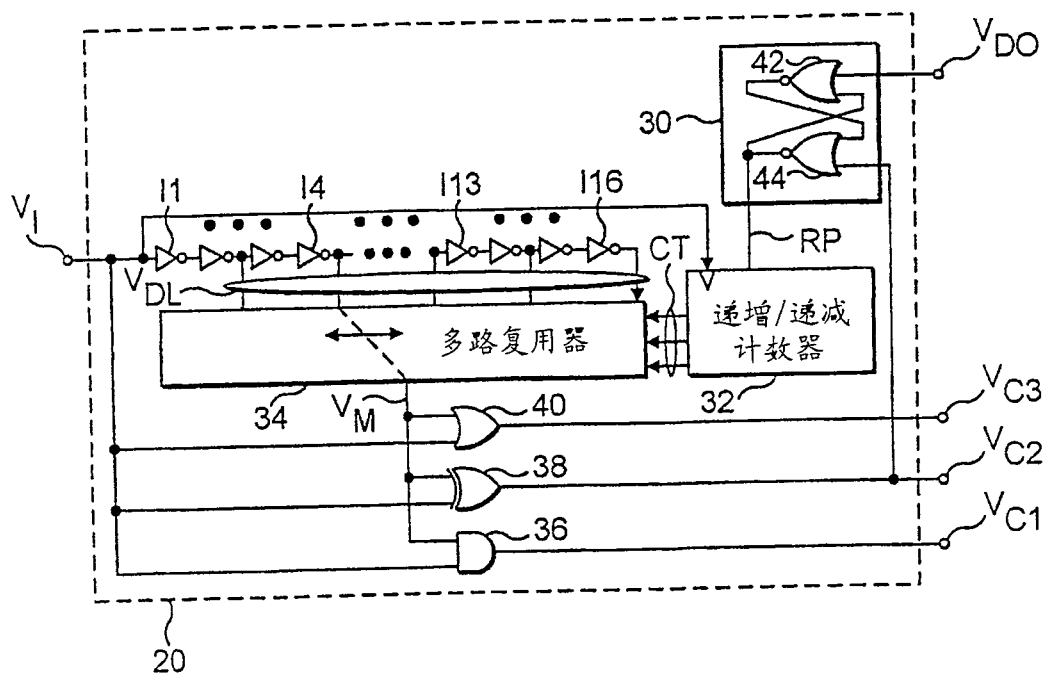


图 18 (现有技术)

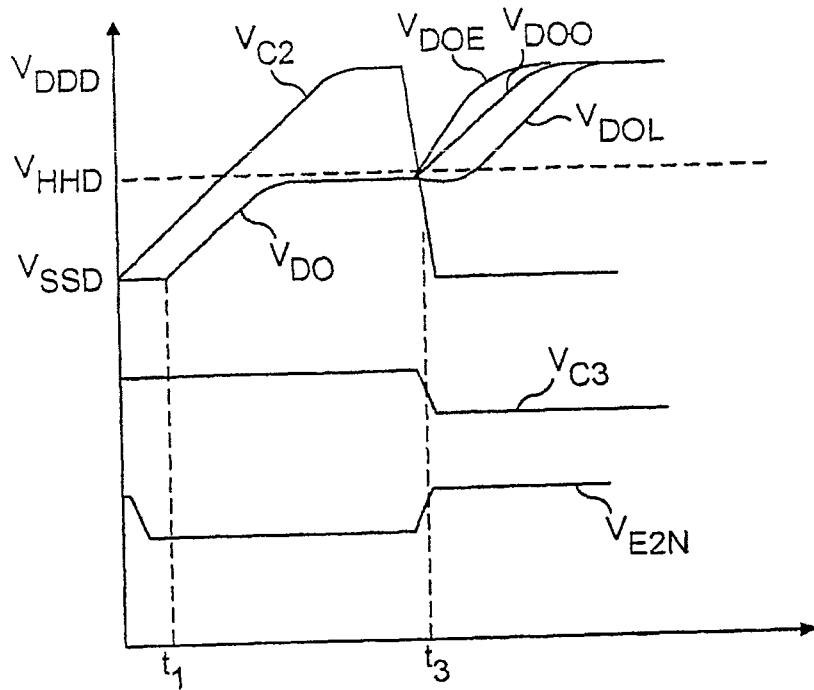


图 19

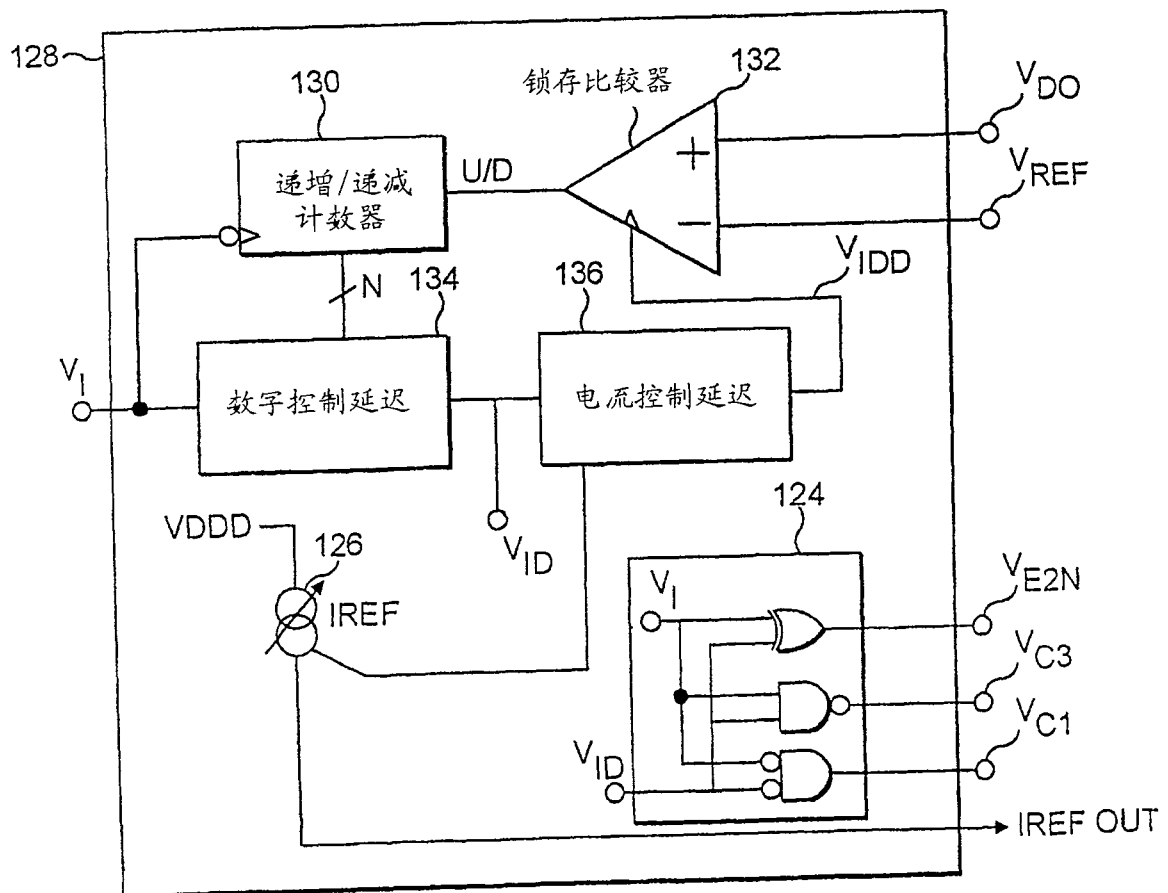


图 20

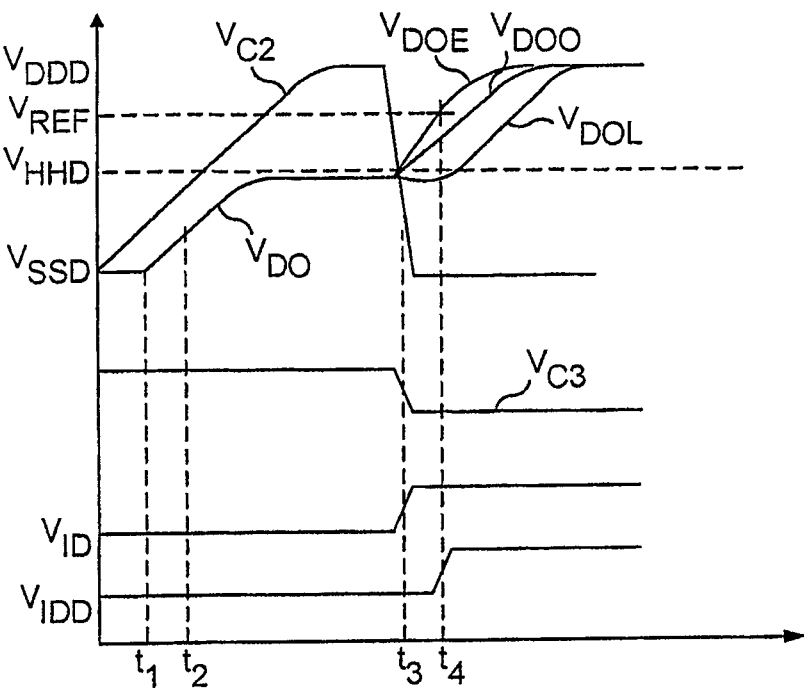


图 21

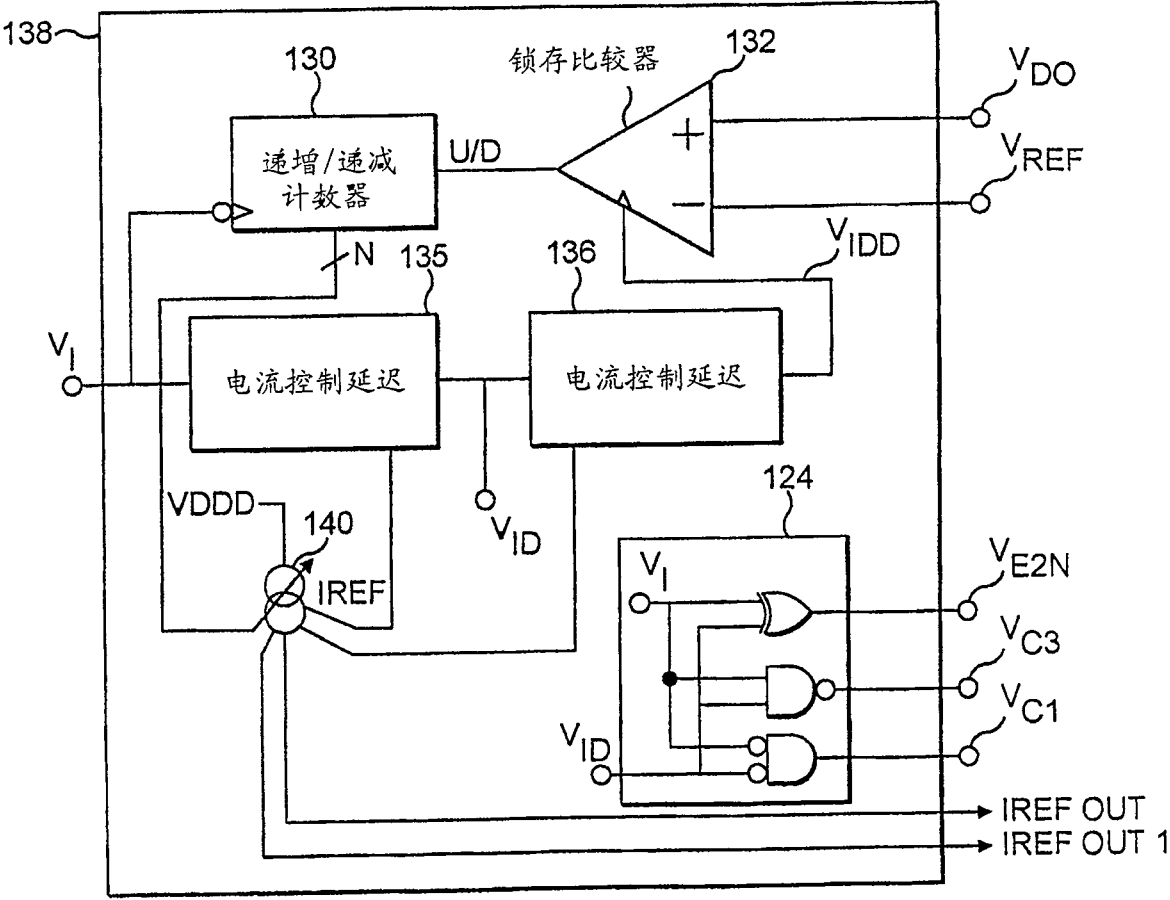


图 22

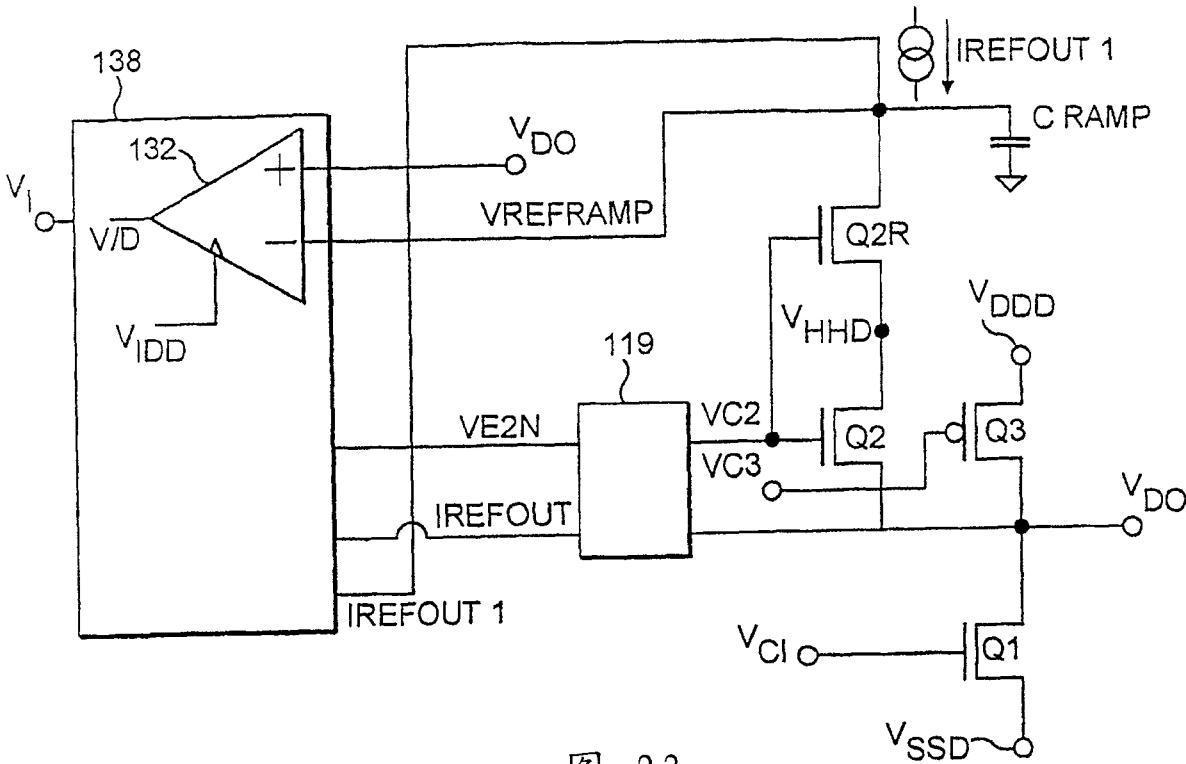


图 23

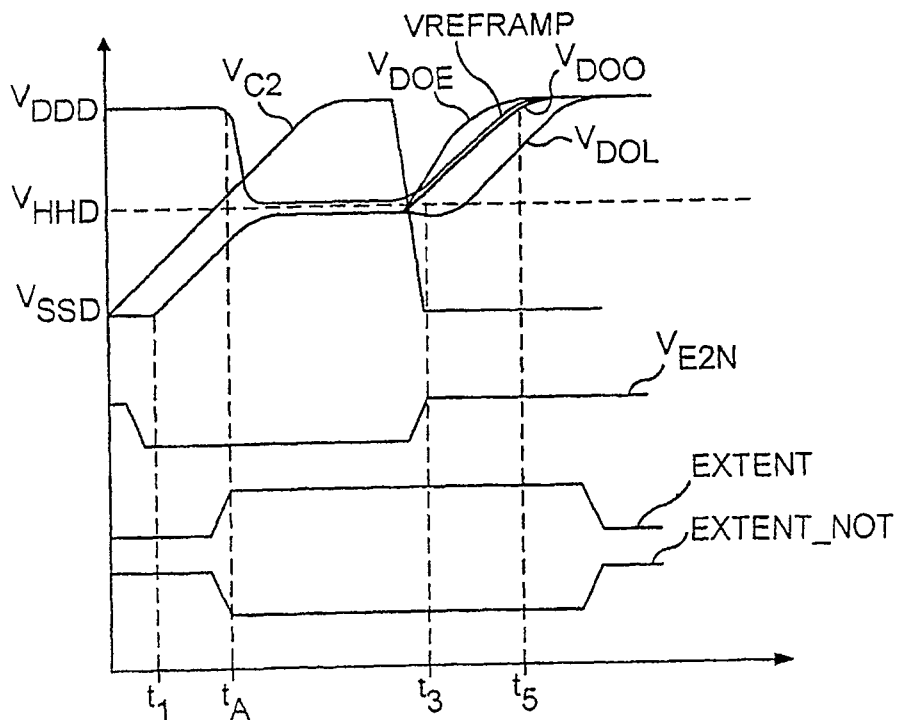


图 24

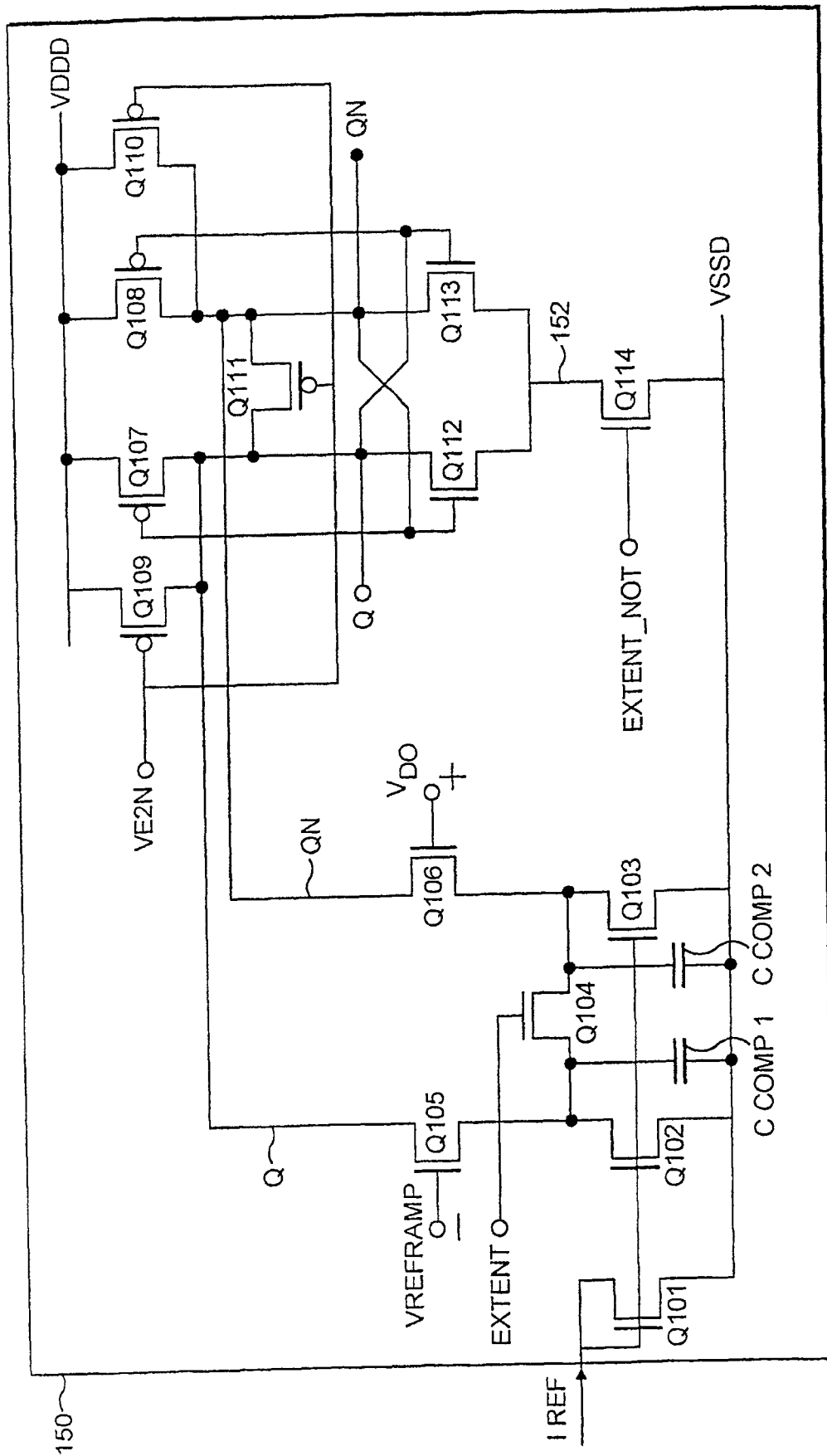


圖 25