(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3771283号
(P3771283)
(45)発行日　平成18年4月26日(2006.4.26)　(24)登録日　平成18年2月17日(2006.2.17)

(51)Int.Cl.　F I
H01L 27/11 (2006.01)　H01L 27/10 381
H01L 21/8244 (2006.01)

請求項の数 11　(全 20 頁)

(21)出願番号　特願平5-243002
(22)出願日　平成5年9月29日(1993.9.29)
(65)公開番号　特開平7-106438
(43)公開日　平成7年4月21日(1995.4.21)
審査請求日　平成12年9月20日(2000.9.20)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100083552
弁理士　秋田　収喜
(72)発明者　平本　俊郎
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　丹場　展雄
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　河西　基紀
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

列方向に延在するワード線と、行方向に延在する相補型データ線と、前記ワード線と相補型データ線との交差部に位置し、ｐチャネル導電型の負荷用ＭＩＳＦＥＴ、ｎチャネル導電型の駆動用ＭＩＳＦＥＴの夫々のドレイン領域同志及びゲート電極同志が電気的に接続され、前記ｐチャネル導電型の負荷用ＭＩＳＦＥＴのソース領域が第１の固定電位線に接続され、前記ｎチャネルＭＩＳＦＥＴのソース領域が第２の固定電位線に接続された第１インバータと第２インバータからなり、前記第１インバータと第２インバータの入力及び出力を互いに交差結合した複数のメモリセルとからなる半導体集積回路装置において、前記列方向に配置された複数のメモリセルのｐチャネル導電型の負荷用ＭＩＳＦＥＴは、前記ワード線の延在方向に沿ってｎ型ウエル領域内に構成され、前記メモリセルのｐチャネル導電型の負荷用ＭＩＳＦＥＴのソース領域と前記ｎ型ウエル領域とは導体層を介して電気的に接続されており、前記導体層は列方向に配置された複数のメモリセルに対して独立に構成されていることを特徴とする半導体集積回路装置。

【請求項２】

前記ｎ型ウエル領域下には、このｎ型ウエル領域に接触し、かつｎ型ウエル領域に比べて高不純物濃度に設定されたｎ型の第１半導体領域が設けられていることを特徴とする請求項１に記載の半導体集積回路装置。

【請求項３】

前記ｎ型ウエル領域には基準電位又は動作電位が印加されていることを特徴とする請求項

１又は請求項２に記載の半導体集積回路装置。
【請求項４】
前記導体層は第１層目の金属配線で形成されると共に、前記導体層は、前記ｎ型ウエル領域の主面に形成され、かつｎ型ウエル領域に比べて高不純物濃度に設定されたｎ型の第２半導体領域を介して前記ｎ型ウエル領域に接続されていることを特徴とする請求項１乃至請求項３のうちいずれか１項に記載の半導体集積回路装置。
【請求項５】
前記第２の固定電位線は、第１層目の金属配線で形成されると共に列方向に延在し、前記列方向に延在する複数のメモリセルに対して共通に接続されていることを特徴とする請求項１乃至請求項４のうちいずれか１項に記載の半導体集積回路装置。
【請求項６】
前記ｎチャネル導電型の駆動用ＭＩＳＦＥＴのドレイン領域とｐチャネル導電型の負荷用ＭＩＳＦＥＴとを接続する内部配線は、第１層目の金属配線で形成され、かつ行方向に延在していることを特徴とする請求項１乃至請求項５のうちいずれか１項に記載の半導体集積回路装置。
【請求項７】
前記データ線は、第２層目の金属配線で形成されていることを特徴とする請求項１乃至請求項６のうちいずれか１項に記載の半導体集積回路装置。
【請求項８】
前記ｎ型ウエル領域は前記データ線と平行に延在する第２層目の金属配線で形成された給電用配線に接続され、この給電用配線により前記ｎ型ウエル領域に第１の固定電位が印加されることを特徴とする請求項１乃至請求項７のうちいずれか１項に記載の半導体集積回路装置。
【請求項９】
前記供給電用配線は、列方向に配置されたメモリセルに対して１６セル毎に配置されていることを特徴とする請求項１乃至請求項８のうちいずれか１項に記載の半導体集積回路装置。
【請求項１０】
前記行方向に隣接する２つのメモリセルの夫々のｐチャネル導電型の駆動用ＭＩＳＦＥＴは、同一のｎ型ウエル領域内に構成されていることを特徴とする請求項１乃至請求項９のうちいずれか１項に記載の半導体集積回路装置。
【請求項１１】
前記導体層は、行方向に隣接する２つのメモリセルに対して一体に構成されていることを特徴とする請求項１乃至請求項１０のうちいずれか１項に記載の半導体集積回路装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、半導体集積回路装置に関し、特に、完全ＣＭＩＳ（Complementary Metal Insulator Semiconductor)構造のメモリセルを有する半導体集積回路装置に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
１［bit］の情報を記憶するＳＲＡＭ（Static Random Access Memory)のメモリセルはワード線と相補型データ線との交差部に配置される。このＳＲＡＭのメモリセルは、ワード線、相補型データ線の夫々の延在方向に沿って行列状に複数個配置され、メモリセルアレイを構成する。
【０００３】
前記ＳＲＡＭのメモリセルは、フリップフロップ回路(作動増幅回路)及び２個の転送用ＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor)で構成される。フリップフロップ回路は、情報蓄積部として構成され、２個の駆動用ＭＯＳＦＥＴ及び

２個の負荷素子で構成される。２個の転送用ＭＯＳＦＥＴ、２個の駆動用ＭＯＳＦＥＴの夫々はｎチャネル導電型で構成される。

【０００４】

前記ＳＲＡＭのメモリセルにおいて、負荷素子をｐチャネル導電型の負荷用ＭＯＳＦＥＴで構成した完全ＣＭＯＳ(フルＣＭＯＳ)構造のメモリセルがある。この完全ＣＭＯＳ構造のメモリセルは、ｐチャネル導電型の負荷用ＭＯＳＦＥＴ、ｎチャネル導電型の駆動用ＭＯＳＦＥＴ、ｎチャネル導電型の転送用ＭＯＳＦＥＴの夫々が全て半導体基板内に形成される。完全ＣＭＯＳ構造のメモリセルは、（１）消費電力が小さい、（２）超高速動作が可能である、（３）高抵抗やポリシリコンＰＭＯＳなどが不要で、ＣＭＯＳのみで構成されるため製造プロセスの簡略化が図れる、（４）負荷用ＭＯＳＦＥＴの駆動力により低電圧でも安定に動作する、(５）対α 線耐性が強い、等の特徴を有する。特に、前記（２）により大型計算機用等の超高速メモリに、また、前記（３）によりＣＭＯＳ論理ＬＳＩ及びマイクロプロセッサＬＳＩ等の記憶部に広く用いられている。

【０００５】

前記完全ＣＭＯＳ構造のメモリセルにおいて、ｎチャネル導電型の駆動用ＭＯＳＦＥＴのソース領域には、例えば動作電位（例えば－２．５［Ｖ］）に固定された動作電源配線が接続され、ｐチャネル導電型の負荷用ＭＩＳＦＥＴのソース領域には、例えば基準電位(例えば０[Ｖ])に固定された基準電源配線が接続される。また、ｎチャネル導電型の駆動用ＭＯＳＦＥＴ、ｐチャネル導電型の負荷用ＭＯＳＦＥＴの夫々のドレイン領域同志はセル内配線で接続される。動作電源配線、基準電源配線及びセル内配線は第１層目の金属配線層で形成される。また、ｎチャネル導電型の転送用ＭＯＳＦＥＴのソース領域又はドレイン領域の一方は、セル内配線を介して第２層目の金属配線層で形成された相補型データ線に接続される。

【０００６】

なお、前記完全ＣＭＯＳ構造のＳＲＡＭのメモリセルについては、例えば特願平４－３７４６７号公報に記載されている。

【０００７】

【発明が解決しようとする課題】

本発明者は、前述のＳＲＡＭについて以下の問題点を見出した。

【０００８】

前記ＳＲＡＭにおいて、動作電源配線、基準電源配線及びセル内配線は全て第１層目の金属配線層で形成されている。メモリセルのサイズは第１層目の金属配線で律則されるので、仮に、駆動用ＭＯＳＦＥＴ、転送用ＭＯＳＦＥＴ、負荷用ＭＯＳＦＥＴ等の半導体素子を微細化してもメモリセルサイズの縮小は困難である。

【０００９】

もう少し詳しく述べると、メモリセル領域において、動作電源配線、基準電源配線の夫々はワード配線と同一方の方向に延在しており、動作電源配線と基準電源配線との間には、ｐチャネル導電型の負荷用ＭＯＳＦＥＴ、ｎチャネル導電型の駆動用ＭＯＳＦＥＴの夫々のドレイン領域同志を接続するセル内配線がワード線に対して垂直の方向(相補型データ線の延在方向)に延在している。

【００１０】

さらに、相補型データ線の延在方向に隣接するメモリセルの動作電源配線間には、ｎチャネル導電型の転送用ＭＯＳＦＥＴと相補型データ線とを接続するためのセル内配線が配置される。

【００１１】

これらの動作電源配線、基準電源配線、セル内配線の夫々は、互いに配線の最小加工寸法以上の距離だけ離して形成されるので、前述したように、メモリセルのサイズが大きくなってしまうという問題点がある。

【００１２】

本発明の目的は、完全ＣＭＩＳ構造のメモリセルを有する半導体集積回路装置において、

前記メモリセルのセルサイズを縮小することが可能な技術を提供することにある。
【００１３】
また、本発明の目的は、前記目的を達成し、完全ＣＭＩＳ構造のメモリセルを有する半導体集積回路装置の集積度を高めることが可能な技術を提供することにある。
【００１４】
本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。
【００１５】
【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。
【００１６】
列方向に延在するワード線と、行方向に延在する相補型データ線と、前記ワード線と相補型データ線との交差部に位置し、ｐチャネル導電型の負荷用ＭＩＳＦＥＴ、ｎチャネル導電型の駆動用ＭＩＳＦＥＴの夫々のドレイン領域同志及びゲート電極同志が電気的に接続され、前記ｐチャネル導電型の負荷用ＭＩＳＦＥＴのソース領域が第１の固定電位線に接続され、前記ｎチャネルＭＩＳＦＥＴのソース領域が第２の固定電位線に接続された第１インバータと第２インバータからなり、前記第１インバータと第２インバータの入力及び出力を互いに交差結合した複数のメモリセルとからなる半導体集積回路装置において、前記列方向に配置された複数のメモリセルのｐチャネル導電型の負荷用ＭＩＳＦＥＴを、前記ワード線の延在方向に沿ってｎ型ウエル領域内に構成し、前記メモリセルのｐチャネル導電型の負荷用ＭＩＳＦＥＴのソース領域と前記ｎ型ウエル領域とを導体層を介して電気的に接続し、前記導体層を列方向に配置された複数のメモリセルに対して独立に構成する。
【００１７】
【作用】
上述した手段によれば、ｎ型ウエル領域を電源配線として使用し、各メモリセルの負荷用ＭＩＳＦＥＴのソース領域に基準電位(接地電位)又は動作電位(電源電位)を印加できるので、メモリセル上の第１層目の金属配線層で形成される電源配線を廃止でき、メモリセルのセルサイズを縮小できる。
【００１８】
また、メモリセルのセルサイズを縮小できるので、完全ＣＭＩＳ構造のメモリセルを有する半導体集積回路装置の集積度を高めることができる。
【００１９】
【実施例】
以下、本発明の構成について、論理回路と記憶回路とを有する半導体集積回路装置に本発明を適用した一実施例とともに説明する。
なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。
【００２０】
本発明の一実施例である論理回路と記憶回路とを有する半導体集積回路装置のレイアウトを図１(チップレイアウト図)に示す。
【００２１】
図１に示すように、半導体集積回路装置は半導体チップ１の主面に論理回路部２及び記憶回路部３を有し、論理回路部２は半導体チップ１の中央領域に配置される。記憶回路部３は、４個のブロックに分割され、論理回路部２の両脇の夫々の領域に２個づつ配置される。４個のブロックに分割された記憶回路部３の夫々は４個のＲＡＭマクロ４で構成される。つまり、記憶回路部３は１６個のＲＡＭマクロ４で構成される。
【００２２】
前記ＲＡＭマクロ４は、図２(レイアウト図)に示すように、２個のメモリマット５及び周

辺回路部６を配置する。周辺回路部６には、ワードドライバー回路、デコーダ回路、書込みドライバー回路、センスアンプ回路等の周辺回路が配置される。周辺回路は、メモリマット５に配置されたメモリセル（７Ａ）の情報書込み動作、情報読出し動作の夫々を直接制御する。この周辺回路は、図示していないが、例えばｐチャネルＭＩＳＦＥＴ、ｎチャネルＭＩＳＦＥＴ及びバイポーラトランジスタ等の半導体素子で構成される。つまり、本実施例の半導体集積回路装置は、相補型ＭＩＳＦＥＴとバイポーラトランジスタとが混在した所謂Ｂｉ－ＣＭＯＳ構造で構成される。

【００２３】

前記メモリマット５は、図３(レイアウト図)に示すように、列方向にメモリセルアレイ７及び給電セル部８が交互に配置された構成になっている。メモリセルアレイ７は、列方向に例えば１６個のメモリセル７Ａが配置されたメモリセル列９を行方向に１２８個配置したアレイ構成になっている。供給電セル部８は、メモリセルアレイ７の両脇に配置され、行方向に例えば１２８個の給電セル８Ａを配置した構成になっている。つまり、メモリセルアレイ７の各メモリセル列９の両脇には給電セル８Ａが配置される。なお、図３において、列方向はワード線が延在する方向であり、行方向はデータ線が延在する方向である。

【００２４】

前記メモリセル７Ａは、図４(等価回路図)に示すように、ワード線ＷＬと第１データ線ＤＬ１及び第２データ線ＤＬ２との交差部に配置される。メモリセル７Ａは、２つのインバータ回路からなるフリップフロップ回路と２個の転送用ＭＩＳＦＥＴＱｔ１、Ｑｔ２とで構成される。つまり、メモリセル７ＡはＳＲＡＭ(Static Random Access Memory）で構成される。

【００２５】

前記２個の転送用ＭＩＳＦＥＴＱｔ１、Ｑｔ２の夫々は、フリップフロップ回路の一対の入出力端子の夫々に一方の半導体領域を接続する。転送用ＭＳＩＦＥＴＱｔ１の他方の半導体領域は第１データ線ＤＬ１に接続され、そのゲート電極はワード線ＷＬに接続される。転送用ＭＩＳＦＥＴＱｔ２の他方の半導体領域は第２データ線ＤＬ２に接続され、そのゲート電極はワード線ＷＬに接続される。この２個の転送用ＭＩＳＦＥＴＱｔ１、Ｑｔ２の夫々はｎチャネル導電型で構成される。

【００２６】

前記フリップフロップ回路は、２個の駆動用ＭＩＳＦＥＴＱｄ１、Ｑｄ２と２個の負荷用ＭＳＩＦＥＴＱｐ１、Ｑｐ２で構成される。２個の駆動用ＭＩＳＦＥＴＱｄ１、Ｑｄ２の夫々はｎチャネル導電型で構成される。２個の負荷用ＭＩＳＦＥＴＱｐ１、Ｑｐ２の夫々はｐチャネル導電型で構成される。つまり、本実施例のＳＲＡＭのメモリセル７Ａは完全ＣＭＩＳ（フルＣＭＩＳ）構造で構成される。

【００２７】

前記駆動用ＭＩＳＦＥＴＱｄ１、負荷用ＭＩＳＦＥＴＱｐ１の夫々は、互いのドレイン領域同志を接続し、かつ互いのゲート電極同志を接続し、ＣＭＩＳを構成する。同様に、駆動用ＭＩＳＦＥＴＱｄ２、負荷用ＭＩＳＦＥＴＱｐ２の夫々は、互いのドレイン領域同志を接続し、かつ互いのゲート電極同志を接続し、ＣＭＩＳを構成する。駆動用ＭＩＳＦＥＴＱｄ１、負荷用ＭＩＳＦＥＴＱｐ１の夫々のドレイン領域(記憶ノード)は、転送用ＭＩＳＦＥＴＱｔ１の一方の半導体領域に接続されると共に、駆動用ＭＩＳＦＥＴＱｄ２、負荷用ＭＩＳＦＥＴＱｐ２の夫々のゲート電極に接続される。駆動用ＭＩＳＦＥＴＱｄ２、負荷用ＭＩＳＦＥＴＱｐ２の夫々のドレイン領域(記憶ノード)は、転送用ＭＩＳＦＥＴＱｔ２の一方の半導体領域に接続されると共に、駆動用ＭＩＳＦＥＴＱｄ１、負荷用ＭＩＳＦＥＴＱｐ１の夫々のゲート電極に接続される。

【００２８】

前記２個の駆動用ＭＩＳＦＥＴＱｄ１、Ｑｄ２の夫々のソース領域は例えば電源電位ＶＥＭ(例えば－２．５［Ｖ］)に固定される。また、前記２個の負荷用ＭＩＳＦＥＴＱｐ１、Ｑｐ２の夫々のソース領域は例えば基準電位ＶＣＣ（例えば０［Ｖ］)に固定される。

【００２９】

次に、前記メモリセルアレイ７の具体的な構造について、図５乃至図１１を用いて説明する。

【００３０】

図５、図６及び図７は、メモリセルアレイ７の要部平面をＡ－Ａ線、Ｂ－Ｂ線において分割して示した平面図である。

【００３１】

図８は、図５の要部拡大平面図であり、図５乃至図７に対してフィールド絶縁膜のパターンが追加されている。

【００３２】

図９は、図８に示すＣ－Ｃ切断線で切った断面図である。

【００３３】

図１０は、図８に示すＤ－Ｄ切断線で切った断面図である。

【００３４】

図１１は、図８と同じ位置における要部拡大平面図である。

【００３５】

なお、図５乃図１０は第１層目の金属配線層までを示し、図１１は第２層目の金属配線層までを示す。

【００３６】

図５、図６及び図７に示すように、前記メモリセルアレイ７には、列方向に延在するワード線ＷＬが配置されると共に、このワード線ＷＬの延在方向に沿って延在するｎ型ウエル領域１３及びｐ型ウエル領域１４が配置される。このｎ型ウエル領域１３、ｐ型ウエル領域１４の夫々は、行方向に向って交互に配置され、ワード線ＷＬと同一方向に延在する分離溝１６で互いに分離される。

【００３７】

前記メモリセルアレイ７のメモリセル７Ａは、図８に示すように、列方向に連続的に形成されたｎ型ウエル領域１３及びｐ型ウエル領域１４の主面に構成される。ｎ型ウエル領域１３の主面には行方向に隣接する２つのメモリセル７Ａの夫々の負荷用ＭＩＳＦＥＴＱｐ１、Ｑｐ２の夫々が構成される。ｐ型ウエル領域１４の主面には行方向に隣接する２つのメモリセル７Ａの夫々の駆動用ＭＩＳＦＥＴＱｄ１、Ｑｄ２、転送用ＭＩＳＦＥＴＱｔ１、Ｑｔ２の夫々が構成される。

【００３８】

前記負荷用ＭＩＳＦＥＴＱｐ１は、図９に示すように、ｎ型ウエル領域（チャネル形成領域）１３、ゲート絶縁膜１８、ゲート電極１９、ソース領域及びドレイン領域である一対のp+型半導体領域２１で構成される。この負荷用ＭＩＳＦＥＴＱｐ１のソース領域及びドレイン領域である一対のp+型半導体領域２１は、フィールド絶縁膜１５で周囲を囲まれた領域内においてｎ型ウエル領域１３の主面に構成される。前記負荷用ＭＩＳＦＥＴＱｐ２は、図９に示していないが、負荷用ＭＩＳＦＥＴＱｐ１と同様に構成される。

【００３９】

前記駆動用ＭＩＳＦＥＴＱｄ１は、図９に示すように、ｐ型ウエル領域（チャネル形成領域）１４、ゲート絶縁膜１８、ゲート電極１９、ソース領域及びドレイン領域である一対のn+型半導体領域２０で構成される。この駆動用ＭＩＳＦＥＴＱｄ１のソース領域及びドレイン領域である一対のn+型半導体領域２０は、フィールド絶縁膜１５で周囲を囲まれた領域内においてｐ型ウエル領域１４の主面に構成される。前記駆動用ＭＩＳＦＥＴＱｄ２は、図示していないが、駆動用ＭＩＳＦＥＴＱｄ１と同様に構成される。

【００４０】

前記転送用ＭＩＳＦＥＴＱ１、Ｑｔ２の夫々は、図示していないが、駆動用ＭＩＳＦＥＴＱｄ１と同様に構成される。

【００４１】

前記ｎ型ウエル領域１３、ｐ型ウエル領域１４の夫々は、図９に示すように、半導体基体１０の主面に構成される。半導体基体１０は、例えば単結晶珪素からなるn-型半導体支持

基板１０Ａの主面上に絶縁膜１０Ｂを介在して単結晶珪素からなるn-型半導体素子基板１０Ｃを積み重ねて積層し、このn-型半導体素子基板１０Ｃの主面上にエピタキシャル層１０Ｄを成長させた所謂ＳＯＩ（Silicon On Insulator）構造で構成される。

【００４２】

前記フィールド絶縁膜１５は、半導体基体１０の主面の素子分離領域（非活性領域）上に形成される。このフィールド絶縁膜１５は例えば周知の選択熱酸化法で形成される。前記ゲート絶縁膜１８、絶縁膜１０Ｂの夫々は例えば酸化珪素膜で形成される。前記分離溝１６は半導体基体１０の主面からその深さ方向に向って絶縁膜１０Ｂに到達する溝で構成される。この分離溝１６内には例えば酸化珪素膜で形成された絶縁膜１７が埋め込まれる。

【００４３】

前記ｎ型ウエル領域１３下には、このｎ型ウエル領域１３に比べて高い不純物濃度に設定されたn+型半導体領域１１が形成される。n+型半導体領域１１は、図５乃至図８に示すように、ｎ型ウエル領域１３の延在方向に沿って形成され、ｎ型ウエル領域１３と接触し電気的に接続される。n+型半導体領域１１は、前述の周辺回路に使用されるバイポーラトランジスタのコレクタ領域である埋込み型の半導体領域と同一の製造工程で形成される。

【００４４】

図８及び図９に示すように、前記駆動用ＭＩＳＦＥＴＱｄ１のソース領域であるn+型半導体領域２０には、層間絶縁膜２２に形成された接続孔２２ａを通して電源配線２３が電気的に接続される。同様に、前記駆動用ＭＩＳＦＥＴＱｄ２のソース領域であるn+型半導体領域(２０)には接続孔２２ａを通して電源配線２３が電気的に接続される。電源配線２３はワード線ＷＬの延在方向に沿って延在する。電源配線２３は、第１層目の金属配線層で形成され、例えばアルミニウム膜又はアルミニウム合金膜若しくはタングステン膜で形成される。電源配線２３は、例えば動作電位ＶＥＭ(例えば－２．５［Ｖ］)に固定される。

【００４５】

前記駆動用ＭＩＳＦＥＴＱｄ１のドレイン領域であるn+型半導体領域２０には、接続孔２２ａを通して一方のセル内配線２３Ｂが電気的に接続される。同様に、前記駆動用ＭＩＳＦＥＴＱｄ２のドレン領域であるn+型半導体領域(２０)には接続孔２２ａを通して他方のセル内配線２３Ｂが電気的に接続される。このセル内配線２３Ｂの夫々は第１層目の金属配線層で形成され、行方向に延在する。

【００４６】

前記負荷用ＭＩＳＦＥＴＱｐ１のドレイン領域であるp+型半導体領域２１には、層間絶縁膜２２に形成された接続孔２２ａを通して一方のセル内配線２３Ｂが電気的に接続される。同様に、前記負荷用ＭＩＳＦＥＴＱｐ２のドレイン領域であるp+型半導体領域(２１)には接続孔２２ａを通して他方のセル内配線２３Ｂが電気的に接続される。つまり、負荷用ＭＩＳＦＥＴＱｐ１のドレイン領域であるp+型半導体領域２１は、一方のセル内配線２３Ｂを介して駆動用ＭＩＳＦＥＴＱｄ１のドレイン領域であるn+型半導体領域２０に電気的に接続され、負荷用ＭＩＳＦＥＴＱｐ２のドレイン領域でるp+型半導体領域（２１）は、他方のセル内配線２３Ｂを介して駆動用ＭＩＳＦＥＴＱｄ２のドレイン領域であるn+型半導体領域(２０)に電気的に接続される。

【００４７】

図８、図９及び図１０に示すように、前記負荷用ＭＩＳＦＥＴＱｐ１のソース領域であるp+型半導体領域２１には、層間絶縁膜２２に形成された接続孔２２ａを通して一方のセル内配線２３Ａが電気的に接続される。同様に、前記負荷用ＭＩＳＦＥＴＱｐ２のソース領域であるp+型半導体領域２１には、接続孔２２ａを通して他方のセル内配線２３Ａが電気的に接続される。このセル内配線２３Ａの夫々は、第１層目の金属配線層で形成され、列方向に配置された複数のメモリセル７Ａに対して独立に構成される。

【００４８】

前記他方のセル内配線２３Ａは、接続孔２２ａを通して、ｎ型ウエル領域１３の主面に形成されたn+型半導体領域２０Ａに電気的に接続される。同様に、前記一方のセル内配線２３Ａは、接続孔２２ａを通してn+型半導体領域(２０Ａ)に電気的に接続される。つまり、

負荷用ＭＩＳＦＥＴＱｐ２のソース領域であるn+型半導体領域２１は、一方のセル内配線２３Ａ、n+型半導体領域２０Ａ、ｎ型ウエル領域１３の夫々を介してn+型半導体領域１１に電気的に接続され、負荷用ＭＩＳＦＥＴＱｐ１のソース領域であるp+型半導体領域２１は、他方のセル内配線２３Ａ、n+型半導体領域２０Ａ、ｎ型ウエル領域１３の夫々を介してn+型半導体領域１１に電気的に接続される。n+型半導体領域２０Ａの夫々は、セル内配線２３Ａとのオーミックコンタクト特性を高める目的として形成され、駆動用ＭＩＳＦＥＴＱｄ２のソース領域及びドレイン領域であるn+型半導体領域２０と同一の製造工程により形成される。

【００４９】

前記他方のセル内配線２３Ａは、列方向に隣接する他のメモリセル７Ａの負荷用ＭＩＳＦＥＴ(Ｑｐ２)のソース領域であるn+型半導体領域２１に接続孔２２ａを通して電気的に接続される。同様に、一方のセル内配線２３Ａは、前記他のメモリセルの負荷用ＭＩＳＦＥＴ(Ｑｐ１)のソース領域であるn+型半導体領域２１に接続孔２２ａを通して電気的に接続される。つまり、セル内配線２３Ａは、行方向に隣接する２つのメモリセル７Ａに対して一体に構成される。このように、行方向に隣接する２つのメモリセル７Ａに対してセル内配線２３Ａを一体に構成することにより、セル内配線２３Ａの占有面積縮小することができるので、メモリセル７Ａのセルサイズを縮小することができる。

【００５０】

前記負荷用ＭＩＳＦＥＴＱｐ１のゲート電極１９は、駆動用ＭＩＳＦＥＴＱｄ１のゲート電極１９と一体に形成される。同様に、前記負荷用ＭＩＳＦＥＴＱｐ２のゲート電極１９は、駆動用ＭＩＳＦＥＴＱｄ２のゲート電極１９と一体に形成される。このゲート電極１９の夫々は、第１層目のポリシリコン配線形成工程により形成され、例えば多結晶珪素膜１９Ａ上に高融点金属膜１９Ｂを積層した積層膜で形成される。

【００５１】

前記負荷用ＭＩＳＦＥＴＱｐ１、駆動用ＭＩＳＦＥＴＱｄ１の夫々のゲート電極１９は他方のセル内配線２３Ｂに電気的に接続され、Ｑｐ２、Ｑｄ２の夫々のゲート電極１９は一方のセル内配線２３Ｂに電気的に接続される。つまり、負荷用ＭＩＳＦＥＴＱｐ１、駆動用ＭＩＳＦＥＴＱｄ１の夫々のゲート電極１９は負荷用ＭＩＳＦＥＴＱｐ２、駆動用ＭＩＳＦＥＴＱｄ２の夫々のドレイン領域（２１、２０）に電気的に接続され、Ｑｐ２、Ｑｄ２の夫々のゲート電極１９は負荷用ＭＩＳＦＥＴＱｐ１、駆動用ＭＩＳＦＥＴＱｄ１の夫々のドレイン領域（２１、２０）に電気的に接続される。

【００５２】

前記転送用ＭＩＳＦＥＴＱｔ１、Ｑｔ２の夫々のゲート電極１９はワード線ＷＬと一体に形成される。つまり、転送用ＭＩＳＦＥＴＱｔ１、Ｑｔ２の夫々のゲート電極１９はワード線ＷＬに電気的に接続される。このワード線ＷＬは第１層目のポリシリコン配線層で形成される。

【００５３】

前記転送用ＭＩＳＦＥＴＱｔ１の一方のn+型半導体領域(２０)は駆動用ＭＩＳＦＥＴＱｄ１のドレイン領域であるn+型半導体領域２０と一体に形成される。同様に、前記転送用ＭＩＳＦＥＴＱｔ２の一方のn+型半導体領域(２０)は駆動用ＭＩＳＦＥＴＱｄ２のドレイン領域であるn+型半導体領域２０と一体に形成される。つまり、転送用ＭＩＳＦＥＴＱｔ１の一方のn+型半導体領域２０は、駆動用ＭＩＳＦＥＴＱｄ１、負荷用ＭＩＳＦＥＴＱｐ１の夫々のドレン領域(２０、２１)に電気的に接続され、転送用ＭＩＳＦＥＴＱｔ２の一方のn+型半導体領域(２０)は、Ｑｄ２、Ｑｔ２の夫々のドレン領域(２１、２０)に電気的に接続される。

【００５４】

前記転送用ＭＩＳＦＥＴＱｔ１の他方のn+型半導体領域(２０)には、接続孔２２ａを通して一方のセル内配線２３Ｃが電気的に接続される。同様に、転送用ＭＩＳＦＥＴＱｔ２の他方のn+型半導体領域(２０)には、接続孔２２ａを通して他方のセル配線２３Ｃが電気的に接続される。このセル内配線２３Ｃの夫々は第１層目の金属配線層で形成される。

【００５５】
前記一方のセル内配線２３Ｃは、図１１に示すように、層間絶縁膜(２４)に形成された接続孔２４ａを通して行方向に延在する第１データ線ＤＬ１に電気的に接続され、他方のセル配線２３Ｃは接続孔２４ａを通して行方向に延在する第２データ線ＤＬ２に電気的に接続される。つまり、転送用ＭＩＳＦＥＴＱｔ１の一方のn+型半導体領域２０は一方のセル内配線２３Ｃを介して第１データ線ＤＬ１に電気的に接続され、転送用ＭＩＳＦＥＴＱｔ２の一方のn+型半導体領域２０は他方のセル内配線２３Ｃを介して第２データ線ＤＬ２に電気的に接続される。第１テータ線ＤＬ１、第２データ線ＤＬ２の夫々は第２層目の金属配線層で形成され、列えばアルミニウム膜又はアルミニウム合金膜で形成される。
【００５６】
このように構成されるメモリセル７Ａは、ワード線ＷＬの延在方向に沿って複数個配置されると共に、第１データ線ＤＬ１及び第２データ線ＤＬ２の延在方向に沿って複数個配置される。
【００５７】
次に、前記給電セル８Ａの具体的な構造について、図１２及び図１３を用いて説明する。
【００５８】
図１２は給電セル８Ａの要部平面図、図１３は図１２に示すＥ－Ｅ切断線で切った断面図である。なお、図１２及び図１３は、第２層目の金属配線層までを示す。
【００５９】
図１２及び図１３に示すように、給電セル８Ａには、行方向に延在する電源配線２５Ａ、電源配線２５Ｂの夫々が配置される。電源配線２５Ａは例えば基準電位ＶＣＣ(例えば０［Ｖ］)に固定され、電源配線２５Ｂは動作電位ＶＥＥ（例えは－３．１［Ｖ］）に固定される。電源配線２５Ａ、２５Ｂの夫々は、第２層目の金属配線層で形成され、例えばアルミニウム膜又はアルミニウム合金膜で形成される。
【００６０】
前記電源配線２５Ａは、層間絶縁膜２４に形成された接続孔２４ａを通して配線２３Ｄに電気的に接続される。配線２３Ｄは第１層目の金属配線層で形成される。配線２３Ｄは、層間絶縁膜２２に形成された接続孔２２ａを通してn+型半導体領域２０Ｂに電気的に接続される。n+型半導体領域２０Ｂは、フィールド絶縁膜１５で周囲を囲まれた領域内においてｎ型ウエル領域１３の主面に形成される。n+型半導体領域２０Ｂは、前述のn+型半導体領域２０Ａと同一の製造工程により形成される。
【００６１】
前記n+型半導体領域２０Ｂはn+型半導体領域１１Ａと電気的に接続される。n+型半導体領域１１Ａは、フィールド絶縁膜１５で周囲を囲まれた領域内においてｎ型ウエル領域１３に形成され、n+型半導体領域１１と電気的に接続される。n+型半導体領域１１Ａは、前述の周辺回路に使用されるバイポーラトランジスタのコレクタ電位引上用の半導体領域と同一の製造工程で形成される。
【００６２】
前記n+型半導体領域１１には、n+型半導体領域１１Ａ、n+型半導体領域２０Ｂ、配線２３Ｄの夫々を介して電源配線２５Ａが電気的に接続される。つまり、n+型半導体領域１１は基準電位(例えば０［Ｖ］)に固定される。
【００６３】
前記ｎ型ウエル領域１３の下に設けられたn+型半導体領域１１は、前述のように、ｎ型ウエル領域１３、n+型半導体領域２０Ａ、セル内配線２３Ａの夫々を介して、負荷型ＭＩＳＦＥＴＱｐ１、Ｑｐ２の夫々のソース領域(２１)に電気的に接続されている。つまり、n+型半導体領域１１は電源配線として使用され、負荷型ＭＩＳＦＥＴＱｐ１、Ｑｐ２の夫々のソース領域(２１)は基準電位（例えば０［Ｖ］）に固定される。このように、n+型半導体領域１１を基準電位に固定し、このn+型半導体領域１１を電源配線として使用することにより、各メモリセル７Ａの負荷用ＭＩＳＦＥＴＱｐ１、Ｑｐ２の夫々のソース領域(２１)に基準電位を印加することができるので、メモリセル７Ａ上の第１層目の金属配線層

に形成される電源配線を廃止でき、メモリセル７Ａのメモリサイズを縮小できる。

【００６４】

なお、電源配線２５Ｂは、第１層目の金属配線層に形成された配線を介してｐ型ウエル領域１４に電気的に接続される。また、配線２５Ｃは、電源配線２３に電気的に接続されると共に、第３層目の金属配線層に形成された電源配線に電気的に接続される。この電源配線は、動作電位(例えば－２．５［Ｖ］)に固定され、電源配線２３の延在方向と同一方向に延在する。また、配線２５Ｄは、ワード線ＷＬに電気的に接続されると共に、第３層目の金属配線層に形成されたワード線の裏打ち配線(ワードシャント配線)に電気的に接続される。この裏打ち配線はワード線ＷＬと同一方向に延在する。

【００６５】

このように構成される給電セル８Ａは、図１４(メモリセル列の回路図)に示すように、１６個のメモリセル７Ａからなるメモリセル列９の両脇の夫々の領域に配置され、メモリセル列９の両脇から各メモリセル７Ａに給電を行う。

【００６６】

次に、前記論理回路部２の具体的な構造について、図１５(要部平面図)を用いて簡単に説明する。

【００６７】

図１５に示すように、前記論理回路部２は、その中央領域に複数個の基本セル２Ａを配置する。この複数個の基本セル２Ａは、列方向に規則的に配置されると共に、行方向に規則的に配置される。

【００６８】

前記基本セル２Ａは、ｐチャネルＭＩＳＦＥＴＱｐ及びｎチャネルＭＩＳＦＥＴＱｎで構成される。ｐチャネルＭＩＳＦＥＴＱｐはフィールド絶縁膜１５で周囲を囲まれた領域内においてｎ型ウエル領域１３の主面に構成される。つまり、ｐチャネルＭＩＳＦＥＴＱｐは、ｎ型ウエル領域(チャネル形成領域)１３、ゲート絶縁膜、ゲート電極１９、ソース領域及びドレイン領域であるp+型半導体領域２１で構成される。同様に、ｎチャネルＭＩＳＦＥＴＱｎはフィールド絶縁膜１５で周囲を囲まれた領域内においてｐ型ウエル領域１４の主面に構成される。つまり、ｎチャネルＭＩＳＦＥＴＱｎは、ｐ型ウエル領域(チャネル形成領域)１４、ゲート絶縁膜、ゲート電極１９、ソース領域及びドレイン領域であるn+型半導体領域２０で構成される。

【００６９】

前記ｐチャネルＭＩＳＦＥＴＱｐのドレイン領域であるp+型半導体領域２１には、セル内配線２３Ｇを介してｎチャネルＭＩＳＦＥＴＱｎのドレイン領域であるn+型半導体領域２０が電気的に接続される。ｐチャネルＭＩＳＦＥＴＱｐのソース領域であるp+型半導体領域２１には、列方向に延在する電源配線２３Ｆが電気的に接続される。ｎチャネルＭＩＳＦＥＴＱｎのソース領域であるn+型半導体領域２０には列方向に延在する電源配線２３Ｅが電気的に接続される。セル内配線２３Ｇ、電源配線２３Ｅ、電源配線２３Ｆの夫々は、第１層目の金属配線層に形成される。

【００７０】

前記電源配線２３Ｅには第２層目の金属配線層に形成された電源配線２５Ｅが電気的に接続される。また、電源配線２３Ｆには第２層目の金属配線層に形成された電源配線２５Ｆが電気的に接続される。電源配線２５Ｅ、２５Ｆの夫々は列方向に延在する。電源配線２５Ｅは動作電位に固定され、電源配線２５Ｆは基準電位に固定される。つまり、ｎチャネルＭＩＳＦＥＴＱｎのソース領域であるn+型半導体領域２０は動作電位に固定され、ｐチャネルＭＩＳＦＥＴＱｐのソース領域であるp+型半導体領域２１は基準電位に固定される。

【００７１】

次に、前記メモリセル７Ａの動作について、図面を用いて説明する。

【００７２】

読み出し時には、該当ビットのワード線ＷＬが選択され、図１６(等価回路図)に示すよう

に、Low側の記憶ノードＳ１を通って、第１データ線ＤＬ１からＶＥＭにセル電流Ｉ１が流れる。このセル電流Ｉ１による電圧降下で第１データ線ＤＬ１と第２データ線ＤＬ２との間に電位差が生じ、これをセンスアンプで読み出す。従って、ＶＣＣ配線抵抗Ｒ２には電流が流れ、ＶＥＭ配線抵抗Ｒ１には電流が流れない。

【００７３】

一方、書き込み時には、図１７（等価回路図）に示すように、書き込み回路３０によりHigh側の第１データ線ＤＬ１の電位を下げる。これにより、High 側の記憶ノードＳ１はLowに切り替わり、また、Low側の記憶ノードＳ２はＶＣＣからの電流によりHigh 側に切り替わる。従って、ＶＥＭ配線抵抗Ｒ１には電流が流れ、ＶＣＣ配線抵抗Ｒ２には電流が流れない。この時の左右の記憶ノードＳ１、Ｓ２の電位の変化を図１８(書き込み時の記憶ノードの電位と時間との関係を示す図)に示す。なお、参考のため、一例として、完全ＣＭＩＳ構造のメモリセル７Ａと高抵抗負荷型メモリセル３１とを比較する。

【００７４】

完全ＣＭＩＳ構造のメモリセル７Ａでは、負荷用ＭＩＳＦＥＴの駆動力により、Low側の記憶ノード(Ｓ２)がすぐにHigh になるのに対し、高抵抗負荷型メモリセル３１では、負荷抵抗が大きい(約１００Ｍオーム)ため、ＶＣＣから流れる電流が極めて小さく、完全にHigh の電位に上がるのに長い時間を要する（１μｓ以上）。この間、左右の記憶ノード間の電位差が小さいため、記憶ノードの蓄積電荷量が小さくなり、α線に対して弱くなる。

【００７５】

つまり、読み出し時にはＶＥＭ配線抵抗Ｒ２、また、書き込み時にはＶＣＣ配線抵抗Ｒ１が問題になる。

【００７６】

そこで、ＶＣＣ配線抵抗について考察する。ＶＣＣ配線にはｎ型ウエル領域１３及びn+型半導体領域１１を使用しているので、第１層目の金属配線層を使用した場合よりも抵抗が高い。完全ＣＭＩＳメモリセル７Ａでは、負荷素子にｐチャネル導電型のＭＩＳＦＥＴを用い、その駆動力を利用して、超高速性、安定性及び対α線耐性等を実現している。従って、ＶＣＣ配線に大きな抵抗がつくと、ＰＭＯＳの駆動力が実質的に弱くなり、ＣＭＩＳメモリセルのメリットが損なわれる。

【００７７】

しかし、負荷用ＭＩＳＦＥＴのオン抵抗は１０［ｋΩ］程度である。従って、電源配線抵抗がその１０分の１の１［ｋΩ］以下であれば、超高速動作には影響ない。また、数１０［ｋΩ］の電源配線抵抗がついたとしても、高抵抗負荷型メモリセル(抵抗１００［ＭΩ］以上)、ポリシリコンＰＭＯＳ負荷型（オン抵抗１［ＭΩ］以上）に比べて抵抗が小さいので、負荷ＰＭＯＳの駆動力を活かすことができ、高速性、安定性の点でＣＭＩＳメモリセル７Ａの方が圧倒的に有利である。参考として、図１９に電源配線抵抗による書き込み特性の変化を示す。図中、７Ａ(Ｓ２)は電源配線抵抗が１［ｋΩ］以下の場合であり、７Ｂは電源配線抵抗が１～２０［ｋΩ］の場合であり、７Ｃは電源配線抵抗が２０～１００［ｋΩ］の場合である。以上の点から、ＶＣＣ配線抵抗Ｒ１の上限は１００［ｋΩ］程度とする。

【００７８】

本実施例においては、n+型半導体領域１１、ｎ型ウエル領域１３のシート抵抗が約３０［Ω］、n+型半導体領域１１、ｎ型ウエル領域１３の幅が４ミクロン、給電セル８Ａ間の距離が８０ミクロン程度である。最も給電セル８Ａから離れたメモリセル７Ａから供給電セル(給電セル間の丁度真中のセル)８Ａまでのn+型半導体領域１１、ｎ型ウエル領域１３の抵抗は３００［Ω］程度である。左右両方に給電セル８Ａがあることを考慮するとメモリセル７Ａからみた電源配線抵抗は１５０［Ω］程度になるのでまったく影響がない。また、ＣＭＩＳプロセスでn+型半導体領域１１を使用しない場合でも、ｎ型ウエル領域１３のシート抵抗は約１［ｋΩ］程度なので、電源配線抵抗は５［ｋΩ］程度であり影響はない。

【００７９】
次に、ＶＥＭ配線抵抗Ｒ２について考察する(図１６)。読み出し時に、電流Ｉ１により抵抗に電圧降下が生じ、駆動用ＭＩＳＦＥＴのソース電位が浮く。この電位上昇の上限を１［Ｖ］程度とし、Ｉ１電流を約０．１［ｍＡ］とすると、ＶＥＭ配線抵抗Ｒ１の上限は約１０［ｋΩ］程度になる。
【００８０】
以上の説明からわかるように、メモリセル７Ａに対しては、n+型半導体領域１１及びｎ型ウエル領域１３を電源配線として使用することは極めて有効である。
【００８１】
なお、本実施例は、n+型半導体領域１１及びｎ型ウエル領域１３を電源配線として使用しているが、ｐ型ウエル領域１２を電源配線として使用し、第１層目の金属配線層で形成される電源配線２３を廃止してもよい。
【００８２】
また、図２０(断面図)に示すように、n+型半導体領域２０Ａとn+型半導体領域１１との間にn+型半導体領域１１Ｂを形成し、n+型半導体領域２０Ａとn+型半導体領域１１とを電気的に接続してもよい。このn+型半導体領域１１Ｂは、図１３に示すn+型半導体領域１１Ａと同一の製造工程により形成される。
【００８３】
また、図２１(断面図)に示すように、支持基板としてp-型半導体基板１０Ｅを使用したＳＯＩ構造で半導体基体１０を構成し、ｐ型ウエル領域１４下にn+型半導体領域１１を形成した構成にしてもよい。
【００８４】
また、図２２(断面図)に示すように、p-型半導体基板１０Ｆの主面上にエピタキシャル層１０Ｄを成長させた構造で半導体基体１０を構成し、ｐ型ウエル領域１４下にこのｐ型ウエル領域１４に比べて高い不純物濃度に設定されたp+型半導体領域１２を構成してもよい。この場合、p+型半導体領域１２を電源配線として使用することができるので、電源電位配線の抵抗値を低減できる。
【００８５】
また、図２３(断面図)に示すように、p-型半導体基板で半導体基体１０を構成し、この半導体基体１０の主面にｎ型ウエル領域１３、ｐ型ウエル領域１４を形成した構成にしてもよい。
【００８６】
また、図２４(断面図)に示すように、p-型半導体基板１０Ｆの主面上にエピタキシャル層１０Ｄを成長させた構造で半導体基体１０を構成し、この半導体基体１０の主面にｎ型ウエル領域１３、ｐ型ウエル領域１４の夫々を構成し、このｎ型ウエル領域１３下にn+型半導体領域１１、ｐ型ウエル領域１４下にp+型半導体領域１２を構成してもよい。
【００８７】
このように、本実施例によれば、以下の作用効果が得られる。
【００８８】
ｎ型ウエル領域１３を電源配線として使用し、各メモリセル７Ａの負荷用ＭＩＳＦＥＴＱｐ１、Ｑｐ２の夫々のソース領域に基準電位又は動作電位を印加することができるので、メモリセル７Ａ上の第１層目の金属配線層で形成される電源配線を廃止でき、メモリセル７Ａのセルサイズを縮小できる。
【００８９】
また、ｐ型ウエル領域１４を電源配線として使用し、各メモリセル７Ａの駆動用ＭＩＳＦＥＴＱｄ１、Ｑｄ２の夫々のソース領域に基準電位又は動作電位を印加することができるので、メモリセル７Ａ上の第１層目の金属配線層で形成される電源配線２３を廃止でき、更にメモリセル７Ａのセルサイズを縮小できる。
【００９０】
また、ｎ型ウエル領域１３下にn+型半導体領域１１を設けることにより、電源配線の抵抗

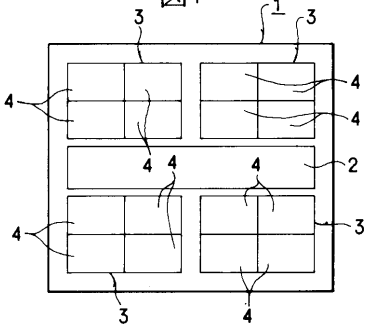
値を低減することができる。
【００９１】
また、ｐ型ウエル領域１４下にp+型半導体領域１２を設けることにより、電源配線の抵抗値を低減することができる。
【００９２】
また、行方向に隣接する２つのメモリセル７Ａにおいて、セル内配線２３Ａを一体に構成することにより、メモリセル７Ａのセルサイズを更に縮小することができる。
【００９３】
また、メモリセル７Ａのセルサイズを縮小することができるので、完全ＣＭＩＳ構造のメモリセル７Ａを有する半導体集積回路装置の集積度を高めることができる。
【００９４】
以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。
【００９５】
【発明の効果】
本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。
【００９６】
完全ＣＭＩＳ構造のメモリセルを有する半導体集積回路装置において、前記メモリセルのセルサズを縮小できる。
【００９７】
また、完全ＣＭＩＳ構造のメモリセルを有する半導体集積回路装置の集積度を高めることができる。
【図面の簡単な説明】
【図１】　本発明の一実施例である論理回路と記憶回路とを有する半導体集積回路装置の回路システムのレイアウトを示すチップレイアウト図、
【図２】　図１に示すＲＡＭマクロのレイアウト図、
【図３】　図２に示すメモリマットのレイアウト図、
【図４】　図３に示すメモリセルの等価回路図、
【図５】　図３に示すメモリセルアレイの要部平面を分割して示した第１平面図、
【図６】　図３に示すメモリセルアレイの要部平面を分割した示した第２平面図、
【図７】　図３に示すメモリセルアレイの要部平面を分割した示した第３平面図、
【図８】　図５の要部拡大断面図、
【図９】　図８に示すＣ－Ｃ切断線で切った断面図、
【図１０】図８に示すＤ－Ｄ切断線で切った断面図、
【図１１】図８と同位置における要部拡大平面図、
【図１２】図３に示す給電セルアレイの要部平面図、
【図１３】図１２に示すＥ－Ｅ切断線で切った断面図、
【図１４】図３に示すメモリセル列の等価回図、
【図１５】図２に示す論理回路部の要部平面図、
【図１６】メモリセルの動作を説明するための等価回路図、
【図１７】メモリセルの動作を説明するための等価回路図、
【図１８】書き込み時の記憶ノードの電位と時間との関係を示す図、
【図１９】書き込み特性の変化を示す図、
【図２０】本発明の変形例を示す断面図、
【図２１】本発明の変形例を示す断面図、
【図２２】本発明の変形例を示す断面図、
【図２３】本発明の変形例を示す断面図、
【図２４】本発明の変形例を示す断面図。

【符号の説明】

１…半導体チップ形成領域、２…論理回路部、３…記憶部、４…ＲＡＭマクロ、５…メモリマット、６…周辺回路部、７…メモリセルアレイ、７Ａ…メモリセル、８…給電部、８Ａ…給電セル、９…メモリセル列、１０…半導体基体、１１…n+型半導体領域、１２…p+型半導体領域、１３…ｎ型ウエル領域、１４…ｐ型ウエル領域、１５…フィールド絶縁膜、１６…分離溝、１７…絶縁膜、１８…ゲート絶縁膜、１９…ゲート電極、２０…n+型半導体領域、２１…p+型半導体領域、２２，２４…層間絶縁膜、２３…電源配線、２３Ａ，２３Ｂ，２３Ｃ…セル内配線、２５Ａ，２５Ｂ…電源配線、Ｑｐ１，Ｑｐ２…負荷用ＭＩＳＦＥＴ、Ｑｄ１、Ｑｄ２…駆動用ＭＩＳＦＥＴ、Ｑｔ１、Ｑｔ２…転送用ＭＩＳＦＥＴ。

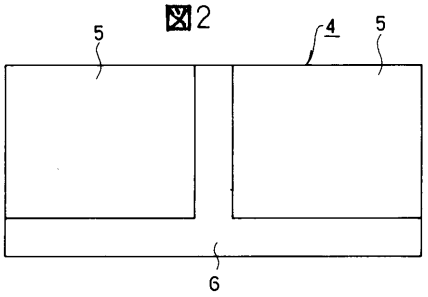
【図１】

図1



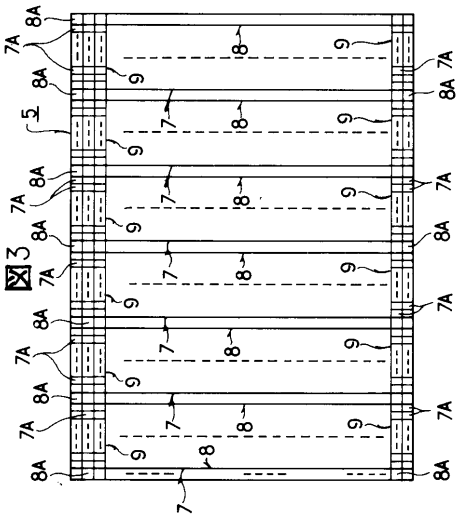
【図２】

図2



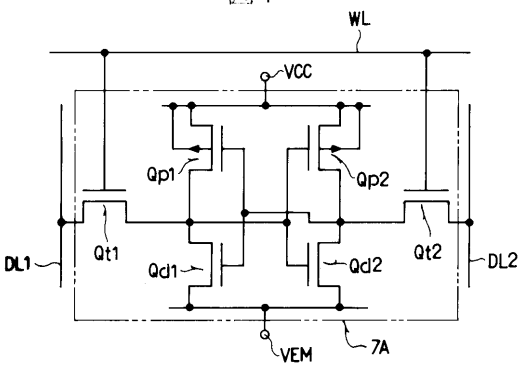
【図３】

図3



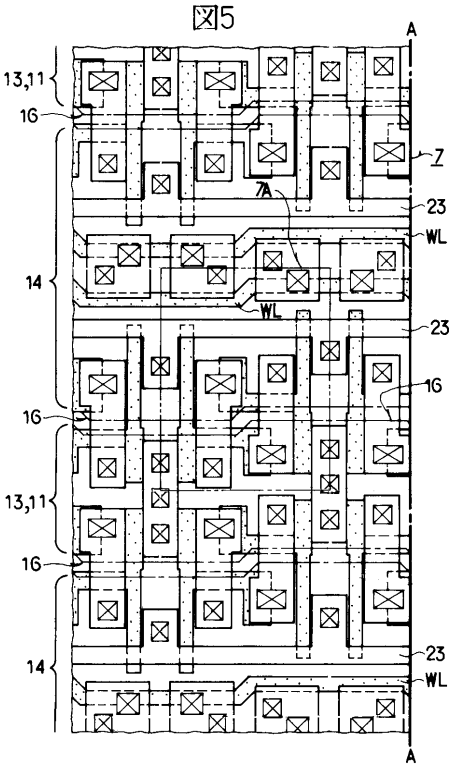
【図４】

図4



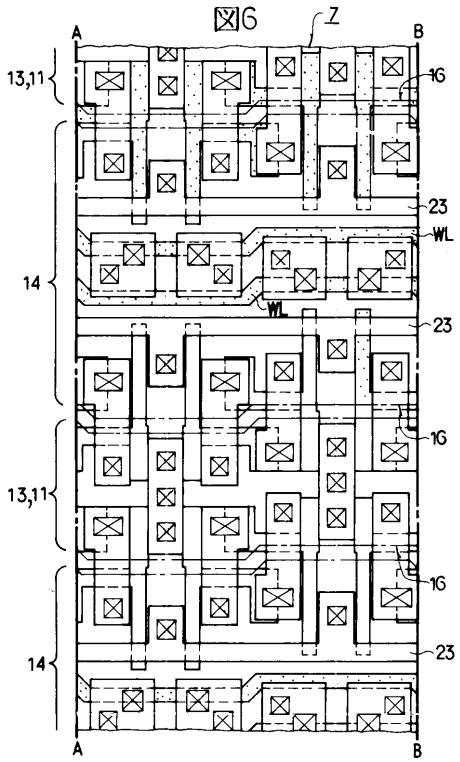
【図５】

図5



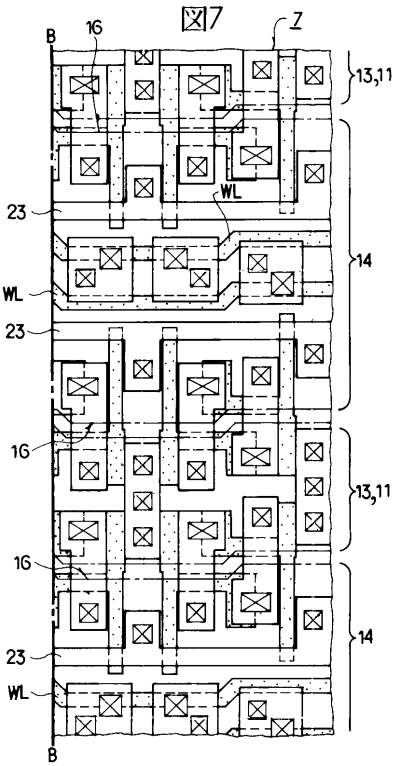
【図６】

図6



【図７】

図7



【図８】

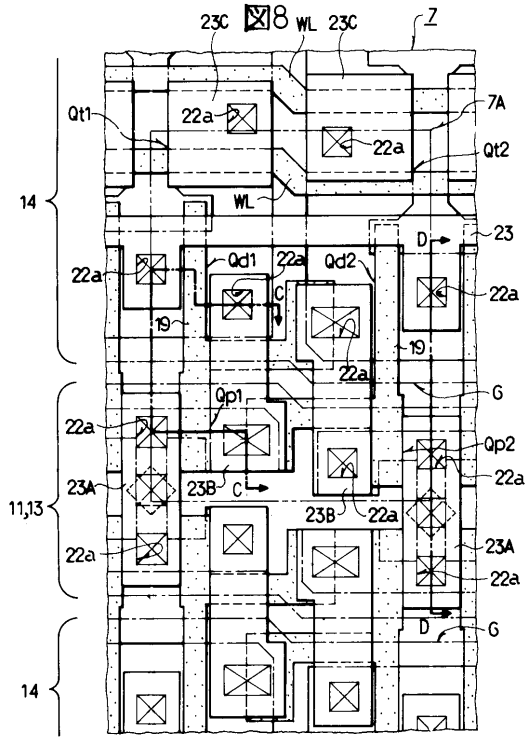
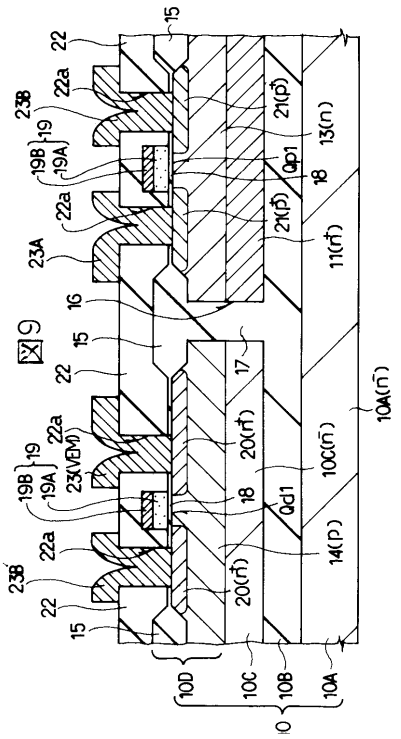
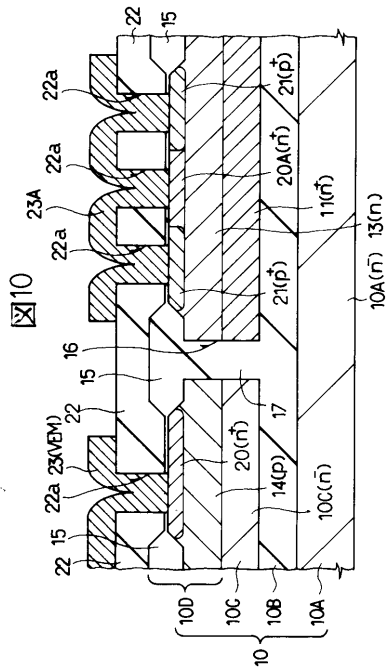


図8
23C
WL
23C
7
Qt1
22a
7A
22a
Qt2
14
WL
23
D
22a
Qd1
22a
Qd2
22a
C
19
19
22a
G
Qp1
22a
Qp2
22a
23A
23B
C
11,13
23B
22a
22a
23A
22a
D
G
14

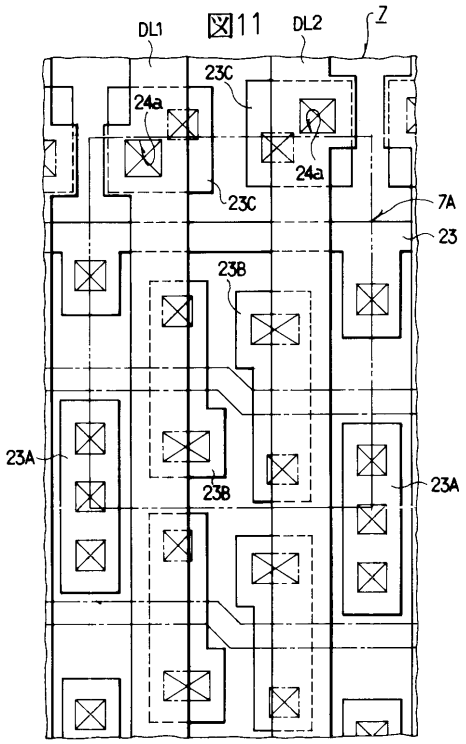
【図９】


15
22
22a
23B
19
19B
19A
21(p+)
13(n)
Qp1
18
22a
21(p+)
23A
11(n+)
16
図9
15
17
22
22a
20(n+)
10A(n-)
19
19B
19A
23(VEM)
10C(n-)
18
Qd1
22a
14(p)
23B
20(n+)
22
15
10D
10C
10B
10A
10

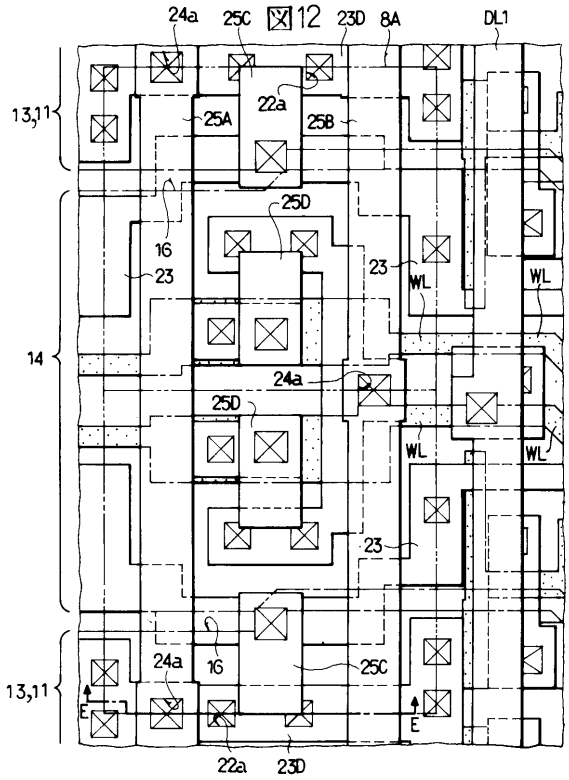
【図１０】


22
15
22a
21(p+)
22a
20A(n+)
23A
11(n+)
22a
13(n)
21(p+)
図10
10A(n-)
16
15
17
22
23(VEM)
20(n+)
22a
14(p)
10C(n-)
15
22
10D
10C
10B
10A
10

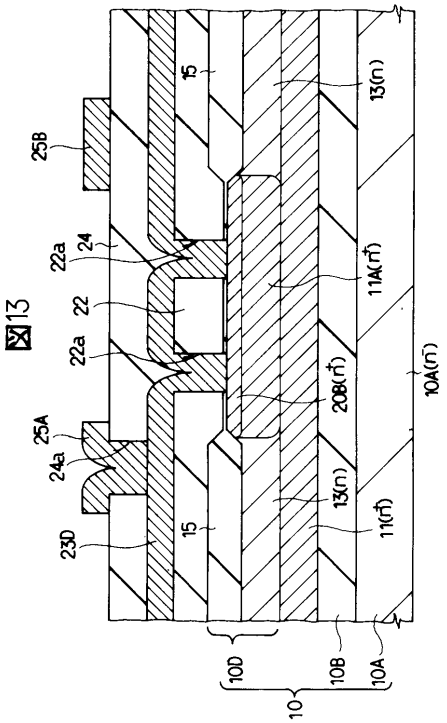
【図１１】


DL1
図11
DL2
7
23C
24a
24a
23C
7A
23
23B
23A
23B
23A

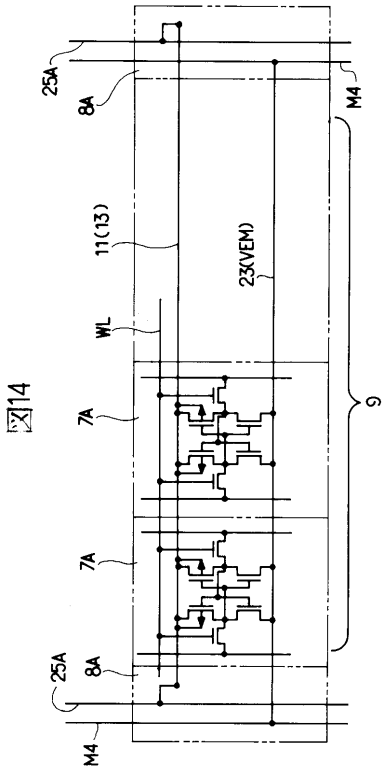
【図１２】



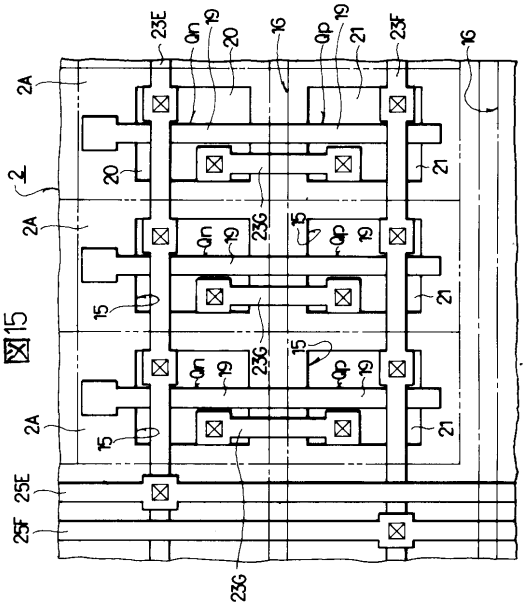
【図１３】



【図１４】

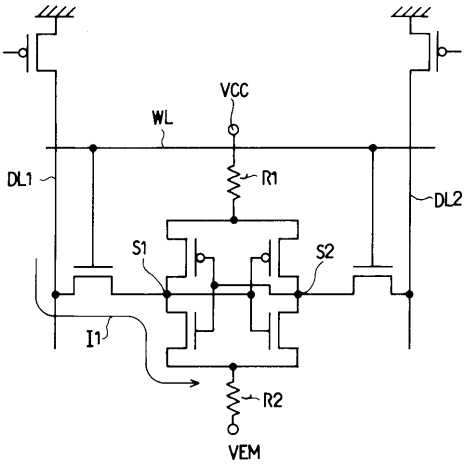


【図１５】



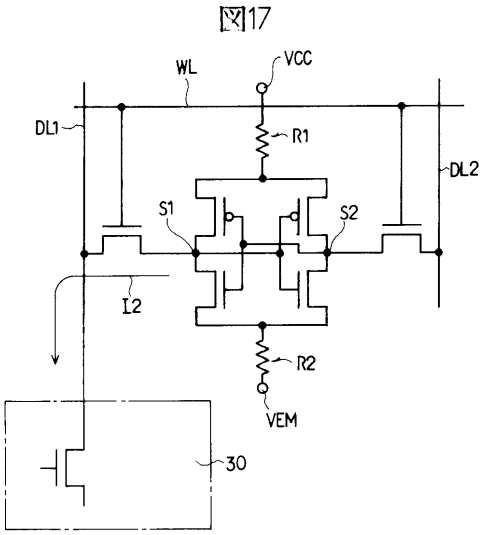
【図１６】

図16



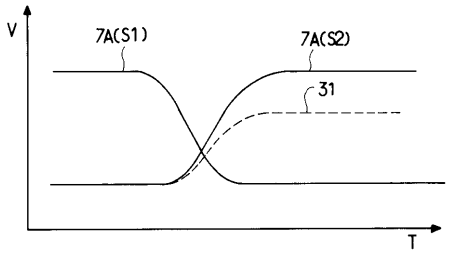
【図１７】

図17



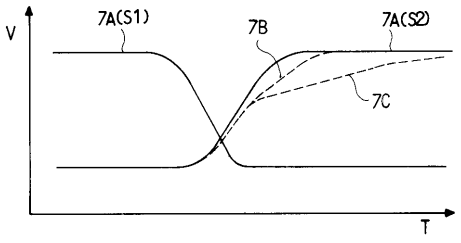
【図１８】

図18



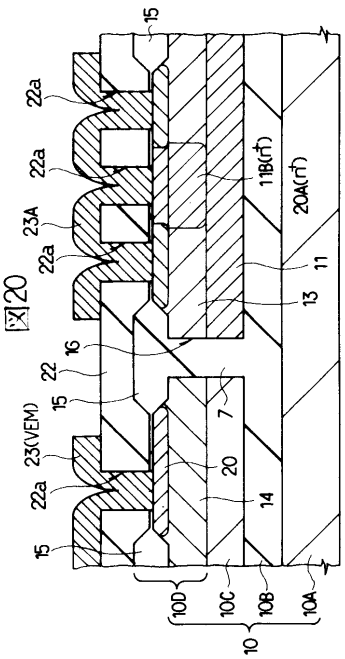
【図１９】

図19

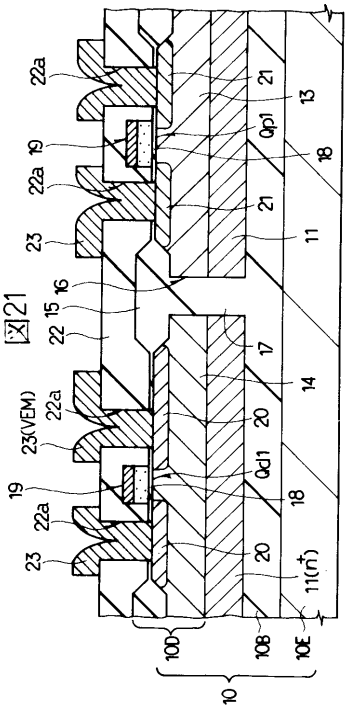


【図２０】

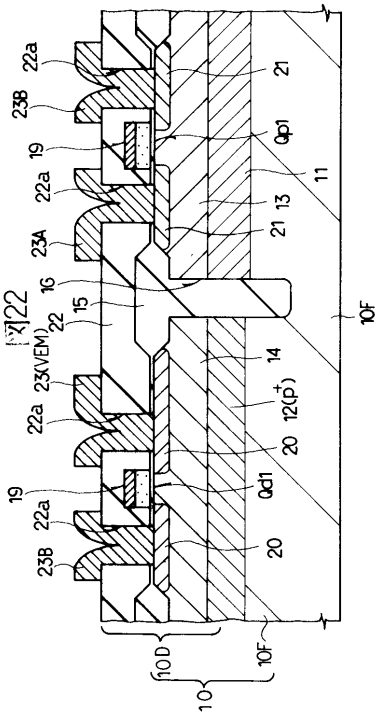
図20



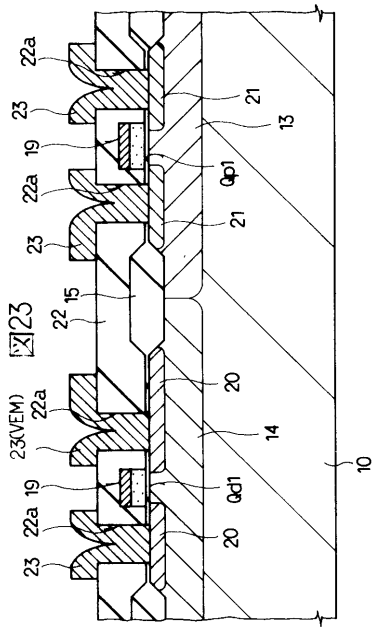
【図２１】



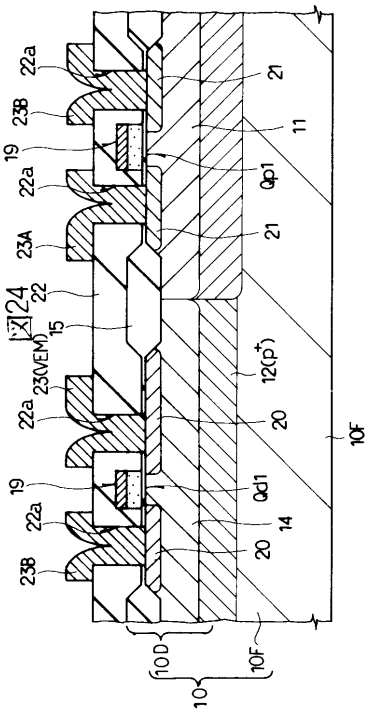
【図２２】



【図２３】



【図２４】



フロントページの続き

審査官　河口　雅英

(56)参考文献　特開平０１－１４４６７３（ＪＰ，Ａ）
特開平０１－２３３７５８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 27/11
H01L 21/8244