



1. 一种相变化存储元件，包括：

存储单元存取层；以及

存储单元层，可操作与该存储单元存取层连接，该存储单元层包括相变化存储单元，其经由照相平版印刷工艺所形成，该存储单元包括：

第一与第二电极，其分别具有第一与第二侧边，该第一与第二侧边相对并隔开；

相变化导桥，其位于该第一与第二侧边之间，并与该第一与第二侧边分别电连接；

该相变化导桥具有一长度、一宽度与一厚度，该宽度的测量介于该第一与第二侧边之间，且该长度的测量垂直于该宽度；以及

该宽度、该厚度、与该长度小于用以形成该相变化存储单元的最小照相平版印刷特征尺寸。

2. 如权利要求 1 所述的器件，其中该相变化导桥具有二固态相，该二固态相通过电流而可逆地诱发。

3. 如权利要求 1 所述的器件，其中该相变化导桥具有二固态相，其可逆地被施加至一个以上电极的电压可逆地诱发。

4. 如权利要求 1 所述的器件，其中该相变化导桥具有至少二固态相，其包括大致非晶相与大致结晶相。

5. 如权利要求 1 所述的器件，其中该相变化导桥包括存储材料，其包括合金，该合金包括锗、锑与碲的组合。

6. 如权利要求 1 所述的器件，其中该相变化导桥包括选自下列群组的二者以上所组合的一合金：锗、锑、碲、硒、铟、钛、镓、

铋、锡、铜、钨、铅、银、硫、以及金(Au)的存储材料。

7. 如权利要求 1 所述的器件，其中该第一与第二电极包括选自下列群组的一元素：钛、钨、钼、铝、钽、铜、铂、铌、镧、镍、以及钕，以及由上述元素所构成的合金。

8. 如权利要求 1 所述的器件，其中该最小照相平版印刷特征尺寸约为 200 纳米。

9. 如权利要求 1 所述的器件，其中该宽度约为 10 至 100 纳米。

10. 如权利要求 1 所述的器件，其中该宽度不大于约 60 纳米。

11. 如权利要求 1 所述的器件，其中该长度为约 10 至 50 纳米。

12. 如权利要求 1 所述的器件，其中该长度不大于约 40 纳米。

13. 如权利要求 1 所述的器件，其中该厚度为约 10 至 50 纳米。

14. 如权利要求 1 所述的器件，其中该长度不大于约 20 纳米。

15. 一种用以制造相变化存储元件的方法，包括：

在衬底上形成存储单元存取层，该存储单元存取层包括存取器件与上表面；

形成存储单元层，可操作与该存储单元存取层连接，其包括相变化存储单元，其由照相平版印刷形成，该存储单元包括：

第一与第二电极，其分别具有第一与第二侧边，该第一与第二侧边相对并隔开；

相变化导桥，其位于该第一与第二侧边之间，并与该第一与第二侧边分别电连接；

该相变化导桥具有一长度、一宽度与一厚度，该宽度的测量介于该第一与第二侧边之间，且该长度的测量垂直于该宽度；以及

该存储单元层的形成步骤包括，减少在该存储单元层形成步骤中所使用的光阻掩模尺寸，使得该相变化导桥的宽度与长度各小于用以形成该相变化存储单元的最小照相平版印刷特征尺寸。

16. 如权利要求 15 所述的方法，其中该存储单元存取层形成步骤包括形成存取器件，其包括：源极、与该源极相关且与该上表面隔开的共同源极线、第一与第二漏极、与该第一漏极及该源极相关的第一栅极、与该第二漏极及该源极相关的第二栅极、以及第一与第二导体插头，该二导体插头分别从该上表面延伸至该第一与第二漏极。

17. 一种用以制造相变化存储元件的方法，包括：

在衬底上形成存储单元存取层，该存储单元存取层包括存取器件与上表面；

在该上表面之上沉积相变化材料；

在该相变化材料层之上沉积第一阻挡层；

在该第一阻挡层之上形成第一光阻掩模上；

缩小该第一光阻掩模的尺寸，以生成第一缩小尺寸掩模，其具有第一尺寸，该第一尺寸小于在该第一光阻掩模形成步骤中的最小照相平版印刷特征尺寸；

蚀刻该第一阻挡层与该相变化材料层未被该缩小尺寸掩模所遮蔽的部分，以生成第一相变化导桥结构；

移除该缩小尺寸掩模；

在该第一相变化导桥结构与该上表面之上沉积第二阻挡层；

在该第二阻挡层之上沉积第一分隔层；

在该第一分隔层之上形成第二光阻掩模；

缩小该第二光阻掩模的尺寸以形成第二缩小尺寸掩模，其具有第二尺寸，该第二尺寸小于在该第二光阻掩模形成步骤中的最小特征尺寸；

针对所有材料未被该第二缩小尺寸掩模所覆盖的部分向下蚀刻至该上表面，以形成第一与第二相变化导桥，该二相变化导桥彼此分隔；

移除该第二缩小尺寸掩模以形成第一与第二堆栈材料，该第一与第二堆栈材料包括该第一与第二相变化导桥并限定第一开口区域、第二开口区域以及第三开口区域，该第一开口区域接触至该第一相变化导桥、该第二开口区域接触至该第一与第二相变化导桥、该第三开口区域接触至该第二相变化导桥，且该第一、第二、及第三开口区域彼此分隔；

以第一导电材料填入至该第一、第二与第三开口区域，以生成：

第一电极，其具有接触至该第一相变化导桥的第一侧边；

第二电极，其具有接触至该第一与第二相变化导桥的侧边；以及

第三电极，其接触至该第二相变化导桥；

在这些电极与这些堆栈材料之上涂布第二分隔层；

形成一过孔，其穿透该第二分隔层以在选定电极上形成开口；以

及

在该第二分隔层之上与该过孔之中涂布第二导电材料。

18. 如权利要求 17 所述的方法，其中该存储单元存取层形成步骤包括形成存取器件，其包括：源极、与该源极相关且与该上表面隔开的共同源极线、第一与第二漏极、与该第一漏极及该源极相关的第一栅极、与该第二漏极及该源极相关的第二栅极、以及第一与第二导体插头，该二导体插头分别从该上表面延伸至该第一与第二漏极。

## 相变化存储元件及其制造方法

### 联合研究合约的当事人

纽约国际商业机械公司、台湾旺宏国际股份有限公司及德国英飞凌技术(Infineon Technologies A.G.)公司为联合研究合约的当事人。

### 相关申请

本案于 2005 年 11 月 15 日申请美国临时专利, 该申请的申请号为 60/736,722。

### 技术领域

本发明涉及使用相变化存储材料的高密度存储元件及其制造方法, 相变化存储材料包括以硫属化物为基础的材料与其它材料。

### 背景技术

以相变化为基础的存储材料被广泛地运用于读写光盘片中。这些材料包括有至少两种固态相, 包括如大部分为非晶态的固态相, 以及大体上为结晶态的固态相。激光脉冲用于读写光盘片中, 以在二种相中切换, 并读取此种材料于相变化之后的光学性质。

如硫属化物及类似材料的这些相变化存储材料, 可通过施加幅度适用于集成电路中的电流, 而引起晶相变化。一般而言, 非晶态的特征为其电阻高于结晶态, 此电阻值可轻易测量得到而用以作为指示。这种特性则引发使用可编程电阻材料以形成非易失性存储器电路等的兴趣, 此电路可用于随机存取读写。

从非晶态转变至结晶态一般为低电流步骤。从结晶态转变至非晶态(以下指称为重置(reset))一般为高电流步骤, 其包括短暂的高电流密度脉冲以融化或破坏结晶结构, 其后此相变化材料会快速冷却, 抑制相变化的过程, 使得至少部份相变化结构得以维持在非晶态。理想

状态下,引起相变化材料从结晶态转变至非晶态的重置电流幅度应越低越好。欲降低重置所需的重置电流幅度,可通过减低在存储器中的相变化材料元素的尺寸、以及减少电极与此相变化材料的接触面积而实现,因此可针对此相变化材料元素施加较小的绝对电流值而实现较高的电流密度。

此领域发展的一种方法致力于在集成电路结构上形成微小孔洞,并使用微量可编程的电阻材料填充这些微小孔洞。致力于这些微小孔洞的专利包括:于1997年11月11日公告的美国专利5,687,112”Multibit Single Cell Memory Element Having Tapered Contact”、发明人为Ovshinky;于1998年8月4日公告的美国专利5,789,277”Method of Making Chalogenide [sic] Memory Device”、发明人为Zahorik等;于2000年11月21日公告的美国专利6,150,253”Controllable Ovonic Phase-Change Semiconductor Memory Device and Methods of Fabricating the Same”、发明人为Doan等。

在以非常小的尺寸制造这些装置、以及欲满足大规模生产存储装置时所需求的严格工艺规范时,则会遭遇到问题。较佳地提供一种存储单元结构,其包括有小尺寸以及低重置电流,以及用以制造该结构的方法。

## 发明内容

本发明的第一个目的涉及一种相变化存储元件,其包括存储单元存取层、以及存储单元层,其可操作与该存储单元存取层连接,其包括通过平板印刷工艺所形成的相变化存储单元。存储单元包括第一与第二电极,其分别具有第一与第二侧边,该第一与第二侧边相对并隔开,以及相变化导桥(bridge),其位于该第一与第二侧边之间,并与该第一与第二侧边分别电连接。相变化导桥具有一长度、一宽度与一厚度,宽度的测量介于该第一与第二侧边之间,且长度的测量垂直于宽度。此宽度、厚度、与长度小于用以形成该相变化存储单元的最小照相平版印刷特征尺寸。在某些实施例中,最小照相平版印刷特征尺寸约为200纳米,宽度约为10至100纳米,长度约为10至50纳米,

且厚度约为 10 至 50 纳米。

本发明的第二个目的涉及一种用以制造相变化存储元件的方法。在衬底上形成存储单元存取层，存储单元存取层包括存取器件与上表面。形成存储单元层，其可操作与该存储单元存取层连接，存储单元层包括相变化存储单元，其通过照相平版印刷地形成。此存储单元包括第一与第二电极，其分别具有第一与第二侧边，此第一与第二侧边相对并隔开；相变化导桥，其位于此第一与第二侧边之间，并与该第一与第二侧边分别电连接。此相变化导桥具有一长度、一宽度与一厚度。此存储单元层形成步骤包括，减少在此存储单元层形成步骤中所使用的光阻掩模尺寸，使得此相变化导桥的宽度与长度各小于用以形成此相变化存储单元的最小照相平版印刷特征尺寸。

本发明所述的用于相变化只读存储器（PCRAM）器件的在存储单元中形成相变化导桥的方法，可用以制造其它微小的相变化栅极、导桥、或类似结构的器件。

以下详细说明本发明的结构与方法。本发明内容说明部分目的并非在于限定本发明。本发明由权利要求所限定。举本发明的实施例、特征、目的及优点等将可通过下列说明权利要求及附图获得充分了解。

## 附图说明

图 1 与图 2 分别为本发明相变化存储元件的简化立体图与简化剖面图。

图 3-20 示出用以制造如第 1、图 2 的相变化存储元件的方法。

图 3 与图 4 示出用以制造图 2 的存储单元存取层的最后步骤。

图 5 与图 6 示出图 4 的存储单元存取层的替代实施例。

图 7 示出在图 4 的存储单元存取层之上，沉积相变化材料层与第一阻挡层。

图 8 与图 9 示出在第一阻挡层之上的第一光阻掩模的侧视图与顶视图。

图 10 与 11 示出将图 8 与图 9 的掩模进行修剪的结果。



图 12 示出将图 10 的掩模蚀刻的结果。

图 13 示出将图 12 的经修剪掩模移除的结果。

图 14 与 15 示出数个用以生成三开口区域的工艺步骤，此三开口区域由第二光阻掩模所界定。

图 16 与 17 示出第二光阻掩模经过修剪的结果。

图 18 示出利用此经修剪第二光阻掩模，向下蚀刻至存储单元存取层的上表面的结果。

图 19 示出图 18 的结构移除了第二光阻掩模的结果。

图 20 示出第一、第二与第三电极的生成，其分别具有图 19 的第一、第二与第三开口区域。

#### 主要组件符号说明

10	相变化器件
12	存储单元存取层
14	衬底
16	存储单元层
18	第一存取晶体管
20	第二存取晶体管
21	掺杂层
22,24	漏极
26,28	源极
30,32	栅极
34	共同源极线
35,36	插头
38	上表面
40	介质薄膜层
42	第一电极
44	第二电极
46	第三电极
48,50	沟槽

---

52,54	相变化导桥
55	侧壁
56	宽度
58	厚度
60	长度
62	导电位线
64	分隔层
66	过孔
67	导电插头
68	源极插头
70	介质材料
71	相变化材料层
72	第一阻挡层
73	厚度
74	掩模
76	缩小掩模
78	第一尺寸
80,82	结构
84	第二阻挡层
86	第一分隔层
88	第二光阻掩模
90,92,94	开口区域
96	第二缩小掩模
98	第二尺寸
99,100	堆栈材料
108	表面

### 具体实施方式

后续的发明说明，会参照特定的结构实施例与方法。可以理解的是，本发明的范畴并不限于特定的实施例，而可利用其它特征、组件、

方法与实施方式而实行。在各实施例中的类似元素，将以类似的标号指定。

图 1 与 2 为本发明实施例的相变化器件 10 的两个视图。器件 10 大致包括形成于衬底 14 之上的存储单元存取层 12，以及形成于存取层 12 之上的存储单元层 16。在此实施例中，存取层 12 包括形成于掺杂层 21 之中的第一与第二存取晶体管 18,20。存取晶体管 18,20 包括第一与第二漏极 22,24，第一与第二源极 26,28，第一与第二多晶硅字线分别作为第一与第二栅极 30,32，以及共同源极线 34。共同源极线 34 接触至第一与第二源极 26,28。若有需要，也可提供给另一独立源极线给第一与第二源极 26,28。存取晶体管 18,20 通常为公知的，但并不必然。同时，存取层 12 可包括存取晶体管以外的存取器件。第一与第二插头 35,36 从存储单元存取层 12 的上表面 38、通过介质薄膜层 40 而延伸到达掺杂层 21。

存储单元层 16 包括与上表面 38 和第一插头 35 接触的第一电极 42、与上表面 38 接触的第二电极 44、以及与上表面 38 和第二插头 36 接触的第三电极 46。第一与第二电极 42,44 由沟槽 48 所分隔，而第二与第三电极 44,46 则由沟槽 50 所分隔。第一与第二相变化导桥 52,54 形成于第一与第二沟槽 48,50 之间，并与上表面 38 和侧壁 55 接触，侧壁 55 界定了电极 42,44,46。如图 2 所示，第一与第二相变化导桥 52,54 具有宽度 56 与厚度 58。如图 1 所示，每一第一与第二相变化导桥 52,54 具有长度 60。典型地，二相变化导桥具有相同的宽度 56、厚度 58、以及长度 60，但不必然如此。如下所详述，相变化导桥 52,54 的尺寸被最小化，以减少用以在低电阻的大致结晶态与高电阻的大致非晶态之间生成相变化所需要的电流。

存储单元层 16 包括了导体位线 62，其以分隔层 64 而与电极 42,44,46 分隔，分隔层 64 典型地由介质材料如二氧化硅等所构成。导电插头 67 延伸通过过孔以将位线 62 电连接至第二电极 44，过孔通过第二分隔层 64。

接着参照至图 3-20，公开了一种用以制造相变化存储元件的方法。存储单元存取层 12 典型地利用公知技术而制造。图 3 与图 4 示

出用以制造存储单元存取层 12 的最后步骤。源极插头 68，从上表面 38 而到达掺杂层 21、介于第一与第二栅极 30,32 之间而形成。源极插头 68 邻近至上表面 38 的部分被移除，典型地通过蚀刻而移除，且被移除部分以介质材料 70 所填充。之后，上表面 38 受到化学机械研磨以使上表面适合进行存储单元层 16 的沉积。

图 5 示出了存储单元存取层 12 的一个替代实施例，其中共同源极线 34 为局部内连接共同源极线，其包括导电垫 35，其用以通过在层 40 中所形成的过孔插头（未示）而允许低电阻存取共同源极线。图 6 示出了存储单元存取层 12 的另一实施例，其中共同源极线 34 作为埋入 N+扩散源极线而生成。

图 7 示出了在图 4 的存储单元存取层 12 的上表面 38 上沉积相变化材料层 71、以及第一阻挡层 72（亦称为覆盖层）的结果，层 72 典型地为氮化硅氧阻挡层。相变化材料层 71 具有厚度 73，其对应至图 2 的厚度 58。层 71 较佳越薄越好，同时仍能维持适当的相变化导桥 52,54 特征。在此实施例中，层 71,72 的厚度均为约 20 纳米。在以如后述的公知相变化材料所构成时，厚度 73 较佳为约 10 至 50 纳米，且更佳不大于 20 纳米，其远小于用以形成掩模 74（后述）的最小照相平版印刷特征尺寸（典型地约 200 纳米）。

图 8 与图 9 示出了在第一阻挡层 72 之上形成第一光阻掩模 74 的结果。掩模 74 典型地以平板印刷工艺所形成，且为形成相变化导桥 52,54 的工艺中所使用的第一个掩模。图 10 与图 11 示出了光阻氧等离子修剪步骤的结果，以生成缩小掩模 76，其具有第一尺寸 78，此第一尺寸对应至图 1 的长度 60。第一尺寸 78 在此实施例中为约 40 纳米，远小于用以生成掩模 74 的最小照相平版印刷特征尺寸（典型地约为 200 纳米）。第一尺寸 78 较佳的为约 10 至 50 纳米，且更佳不大于约 40 纳米。图 12 示出了层 71 与 72 的未被缩小掩模 76 所覆盖部分的蚀刻结果。此步骤生成了第一相变化导桥结构 80 与第一阻挡层结构 82，其形状与图 11 中的缩小掩模 76 相同。图 13 示出了移除该缩小掩模 76 的结果，留下结构 80,82。

图 14 与 15 示出了数个工艺步骤的结果。第二阻挡层 84（典型

地由氮化硅所构成)沉积于结构 82,80 以及上表面 38 的外露部分之上。第一分隔层 86 (典型地由如二氧化硅的氧化物所构成)沉积于第二阻挡层 84 之上,在此实施例中,层 86 的厚度约为 300 纳米。第二光阻掩模 88 (典型地以平板印刷工艺形成)形成于第一分隔层 86 之上。掩模 88 具有第一、第二与第三开口区域 90,92,94,其向下延伸至第一分隔层 86。图 16 与 17 示出第二光阻氧等离子修剪步骤的结果,其用以生成第二缩小掩模 96。由掩模 96 所界定的开口区域 90,92,94 大于由掩模 88 所界定的对应部分。此步骤使得掩模 96 具有第二尺寸 98,其对应至图 2 的宽度 56,此第二尺寸小于第二光阻氧等离子修剪步骤的最小照相平版印刷特征尺寸。在优选实施例中,第二尺寸 98 为约 60 纳米。第二尺寸 98 优选的为约 10 至 100 纳米,且更佳不大于约 60 纳米。

图 18 示出了氧化物反应离子蚀刻的蚀刻步骤结果,使得所有在开口区域 90,92,94 之内向下到达上表面 38 处的材料均被移除。用以蚀刻此氧化物第一分隔层 86 的蚀刻配方,在用来蚀刻氮化硅阻挡层 82,84 的时候、以及用在相变化导桥结构 80 时经过改变。此蚀刻步骤形成了第一与第二相变化导桥 52,54。第一开口区域 90 接触至第一项转换导桥 52,第二开口区域 92 接触至第一与第二相变化导桥 52,54,而第三开口区域 94 接触至第二相变化导桥 54。

图 19 绘示移除第二缩小掩模 96 而留下第一与第二堆栈材料 99,100 的结果。首先,彼此分隔的第一、第二与第三开口区域 90,92,94 至少部分被一第一导电材料所填充,以生成第一、第二与第三电极 42,44,46,如图 20 所示。此步骤之后,接着进行化学机械研磨以生成表面 108。第二分隔层 64 涂布至表面 108,且过孔 66 形成为穿过层 64,以接触至第二电极 44。第二导电材料接着涂布至层 64 之上以及过孔 66 之中,以在此过孔之中生成插头 67,并在层 64 之上形成位线 62。所生成的相变化存储元件 10 如图 1 与图 2 所示。

在所述实施例中的电极 42,44,46 较佳为氮化钛或氮化钽。或者,这些器件可为氮化铝钛或氮化铝钽,或可包括如一个以上选自下列群组的元素:钛(Ti)、钨(W)、钼(Mo)、铝(Al)、钽(Ta)、铜(Cu)、铂(Pt)、

铱(Ir)、镧(La)、镍(Ni)、以及钌(Ru)、及上述的合金。插头 35,36,67 典型地由钨所构成,而共同源极线 34 与位线 62 典型地由铜金属化所构成;其它类型的金属化如铝、氮化钛、与含钨金属等,也可以被使用。

存储单元的实施例包括以基于相变的存储材料所构成的导桥 52, 54, 相变化材料可包括硫属化物为基础的材料以及其它材料。硫属化物包括下列四元素的任一种:氧(O)、硫(S)、硒(Se)、以及碲(Te), 形成元素周期表上第 VI 族的部分。硫属化物包括将硫元素与正电性更大的元素或自由基结合而得。硫化合物合金包括将硫化合物与其它物质如过渡金属等结合。硫化合物合金通常包括一个以上选自元素周期表第六栏的元素,例如锗(Ge)以及锡(Sn)。通常,硫化合物合金包括下列元素中一个以上的复合物:锑(Sb)、镓(Ga)、铟(In)、以及银(Ag)。许多以相变化为基础的存储材料已经在技术文件中描述,包括下列合金:镓/锑、铟/锑、铟/硒、锑/碲、锗/碲、锗/锑/碲、铟/锑/碲、镓/硒/碲、锡/锑/碲、铟/锑/锗、银/铟/锑/碲、锗/锡/锑/碲、锗/锑/硒/碲、以及碲/锗/锑/硫。在锗/锑/碲合金家族中,可以尝试大范围的合金成分。此成分可以下列特征式表示:  $\text{TeaGebSb}_{100-(a+b)}$ 。

一位研究员描述了最有用的合金为,在沉积材料中所包含的平均碲浓度远低于 70%,典型地低于 60%,并在一般型态合金中的碲含量范围从最低 23%至最高 58%,且优选介于 48%至 58%的碲含量。锗的浓度高于约 5%,且其在材料中的平均范围从最低 8%至最高 30%,一般低于 50%。最佳地,锗的浓度范围介于 8%至 40%。在此成分中所剩下的主要成分则为锑。上述百分比为原子百分比,其为所有组成元素加总为 100%。(Ovshinky '112 专利,栏 10~11)由另一研究者所评估的特殊合金包括  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 $\text{GeSb}_2\text{Te}_4$ 、以及  $\text{GeSb}_4\text{Te}_7$ 。

(Noboru Yamada, "Potential of Ge-Sb-Te Phase-change Optical Disks for High-Data-Rate Recording", SPIE v.3109, pp. 28-37(1997)) 更一般地,过渡金属如铬(Cr)、铁(Fe)、镍(Ni)、铌(Nb)、钯(Pd)、铂(Pt)、以及上述的混合物或合金,可与锗/锑/碲结合以形成相变化合金,其包括有可编程的电阻性质。可使用的存储材料的特殊范例,如 Ovshinsky

‘112 专利中栏 11-13 所述，其范例在此列入参考。

相变化合金能在此单元有源信道区域内，依其位置顺序在材料为一般非晶状态的第一结构状态与为一般结晶固体状态的第二结构状态之间切换。这些合金至少为双稳态的。术语“非晶”用以指称相对较无次序的结构，其比单晶更无次序性，而带有可检测的特征，如比结晶态更高的电阻值。术语“结晶态”用以指称相对较有次序的结构，比非晶态更有次序，因此包括有可检测的特征，例如比非晶态更低的电阻值。典型地，相变化材料可电切换至完全结晶态与完全非晶态之间所有可检测的不同状态。其它受到非晶态与结晶态的改变而影响的材料特性中包括，原子次序、自由电子密度、以及活化能。此材料可切换成为不同的固态、或可切换成为由两种以上固态所形成的混合物，提供从非晶态至结晶态之间的灰度部分。此材料中的电性质也可能随之改变。

相变化合金可通过施加电脉冲而从一种相态切换至另一相态。先前观察指出，较短、较大幅度的脉冲倾向于将相变化材料的相态改变成大体为非晶态。较长、较低幅度的脉冲倾向于将相变化材料的相态改变成大体为结晶态。在较短、较大幅度脉冲中的能量够大，因此足以破坏结晶结构的键结，同时够短因此防止原子再次排列成结晶态。在没有不适当实验的情形下，可决定特别适用于特定相变化合金的适当脉冲量变曲线。在本文的后续部分，此相变化材料以 GST 代称，同时应该了解，也可使用其它类型的相变化材料。在本文中所描述的一种适用于 PCRAM 中的材料，为  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 。其它类型的相变化材料也可被使用。关于相变化随机存取存储元件的制造、器件材料、使用与操作等额外信息，请参照美国专利申请 No.11/155,067，申请日为 2005 年 6 月 17 日，发明名称为“Thin Film Fuse Phase Change Ram And Manufacturing Method”。

本发明实施例的优点，包括了用在重置与编程的电流被限定在一小体积内，允许了利用较低的重置电流与重置电能而实现高电流密度以及所生成的高局部加热效果。

虽然本发明已参照较佳实施例来加以描述，应该了解的是，本发

明创作并不受限于其详细描述内容。替换方式及修改方式已在先前描述中所建议，并且其它替换方式及修改方式将为本领域的技术人员可想到的。特别是，根据本发明的结构与方法，所有具有实质上相同于本发明的构件结合而达成与本发明实质上相同结果的，皆不脱离本发明的精神范畴。因此，所有这些替换方式及修改方式旨在落入本发明于随附的权利要求及其等价物所界定的范畴中。任何在前文中提及的专利申请以及公开文本，均列为本案的参考。



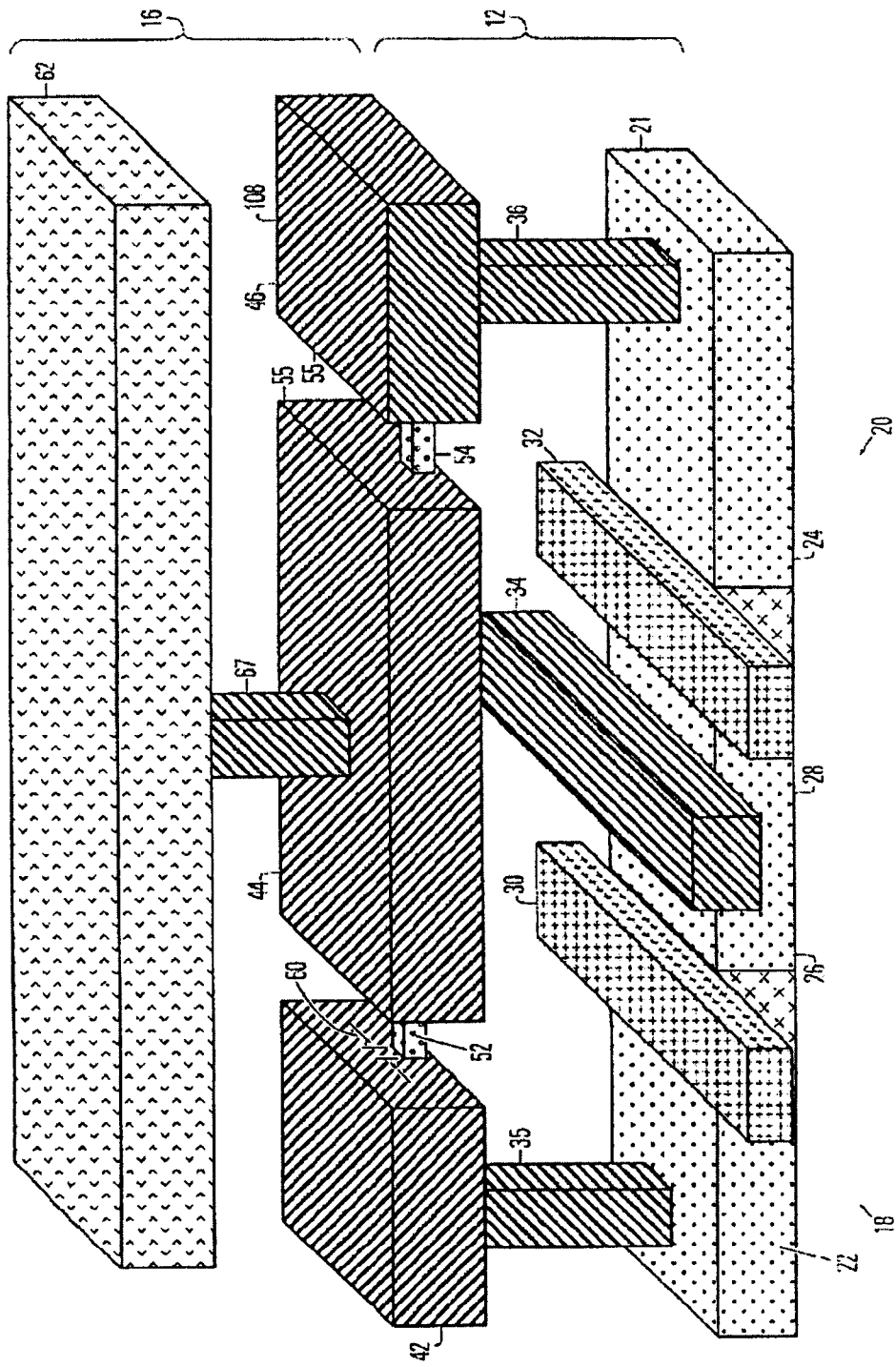


图1

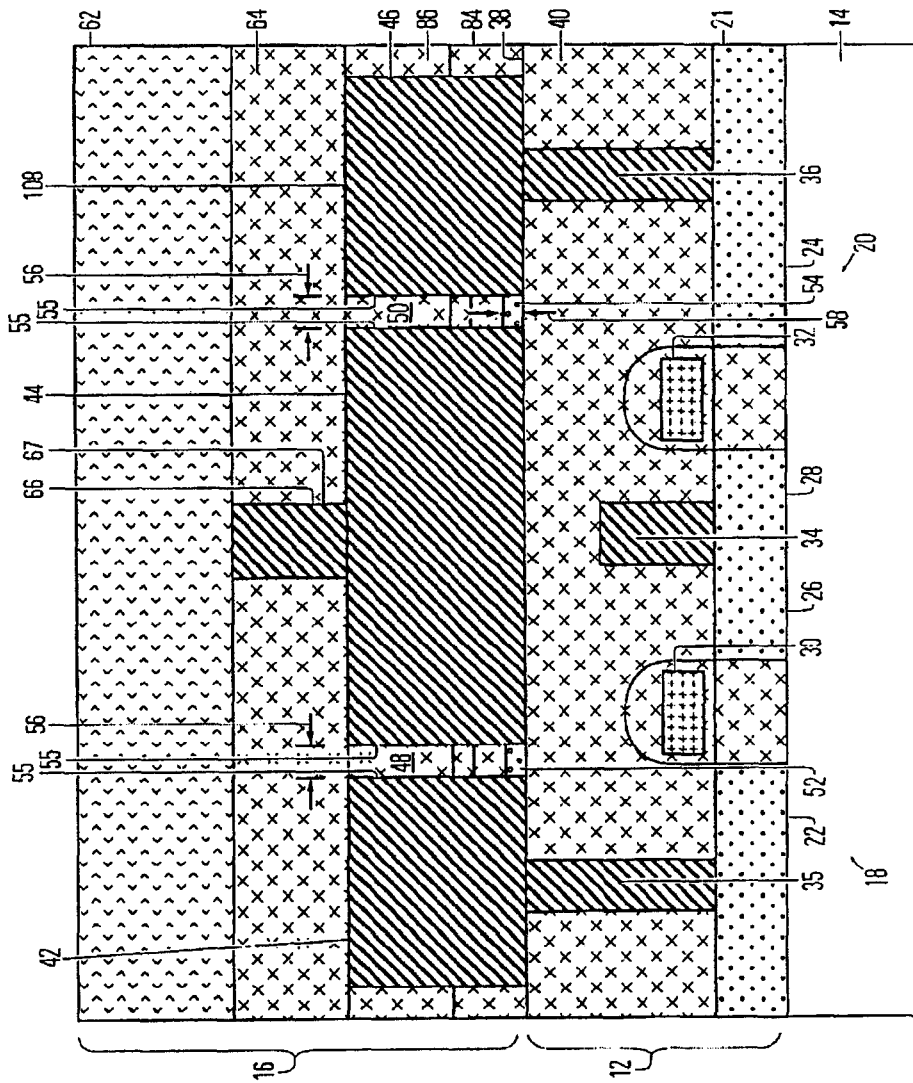


图2

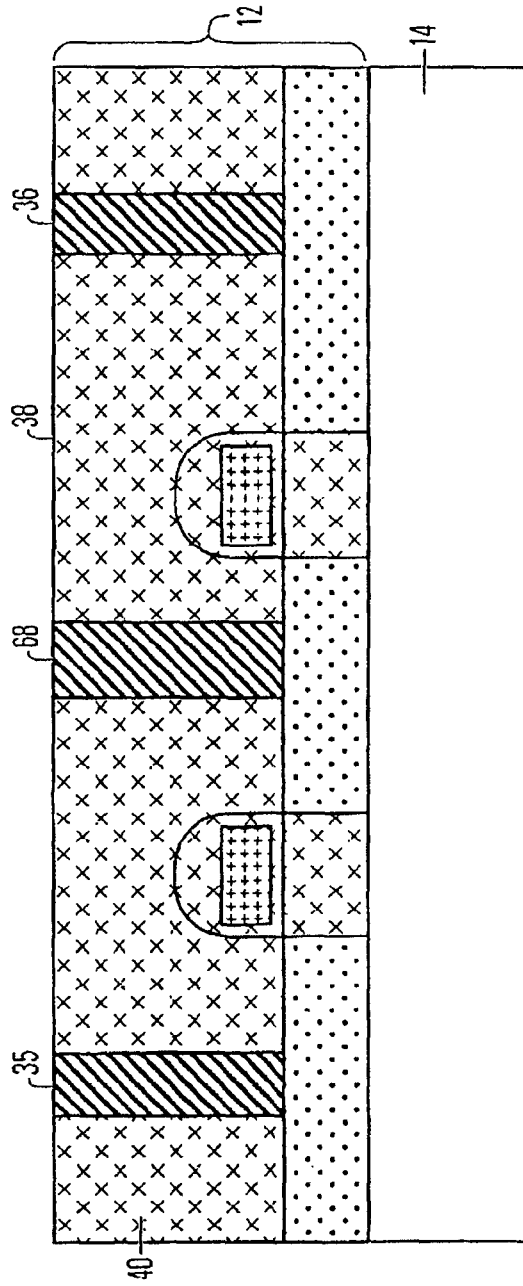


图3

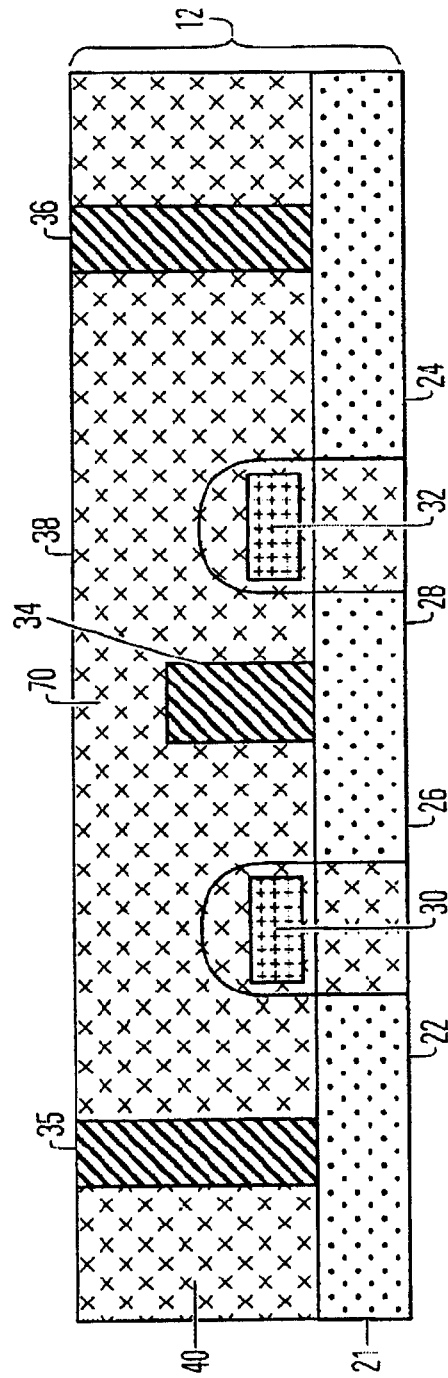


图4

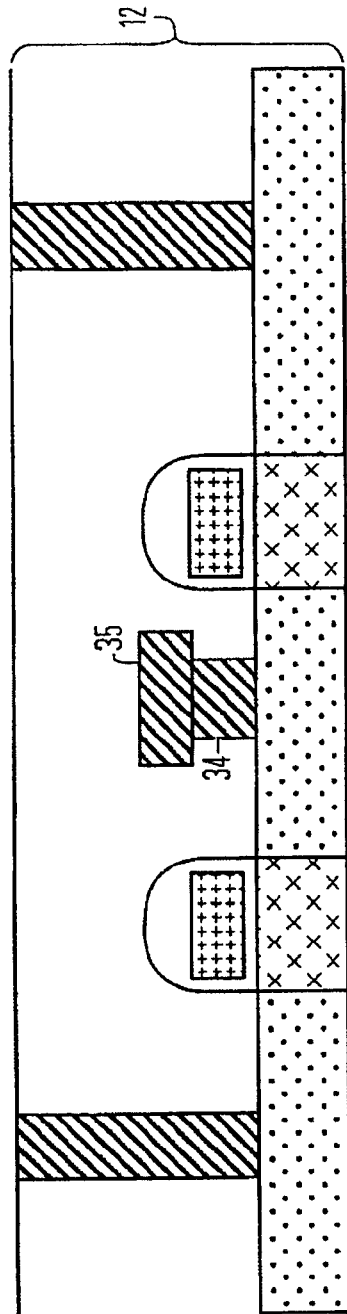


图5

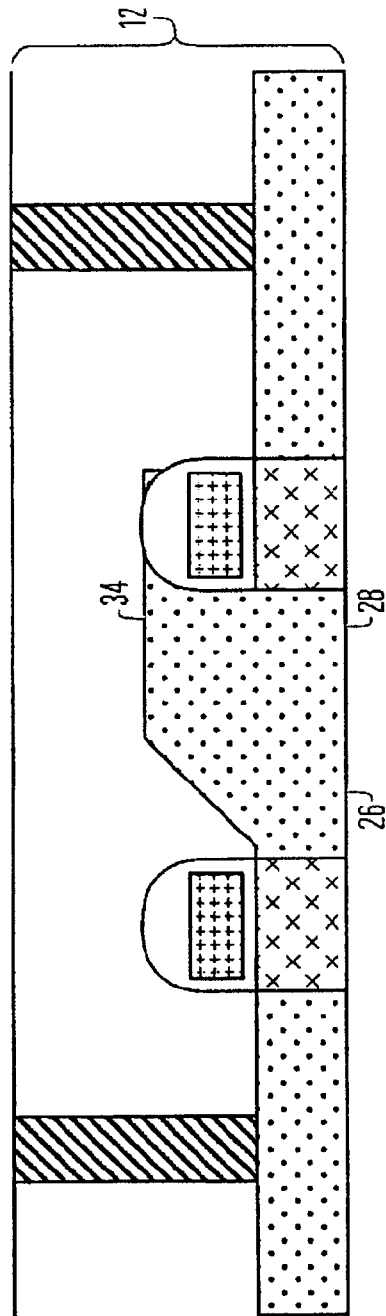


图6

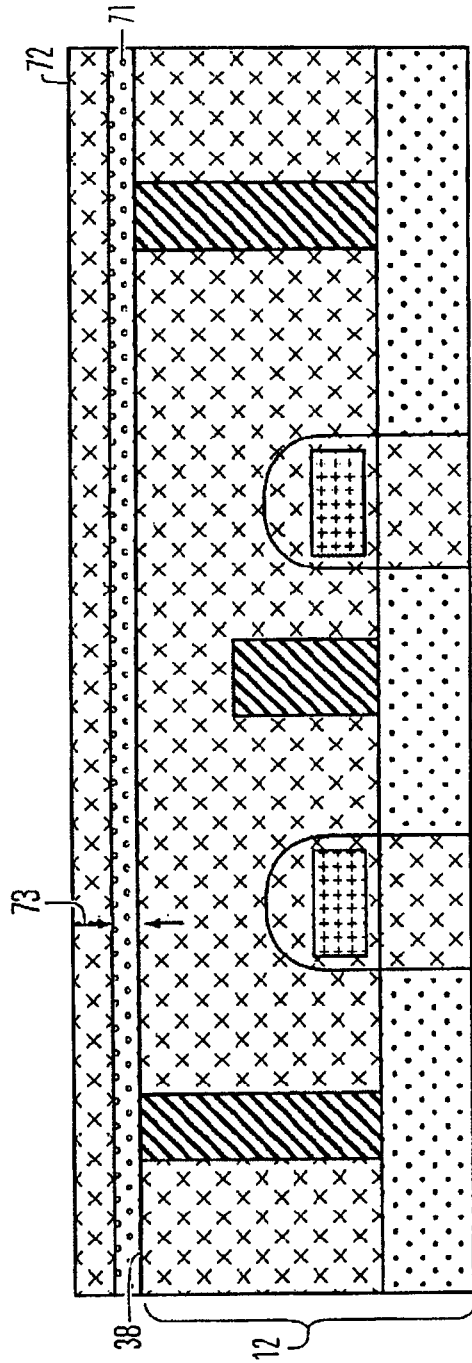


图7

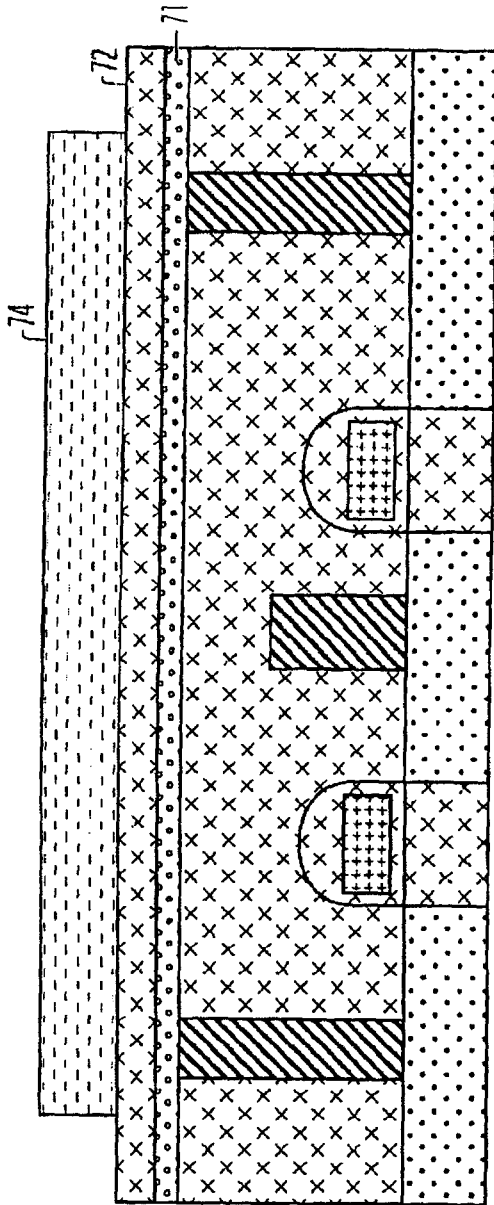


图8

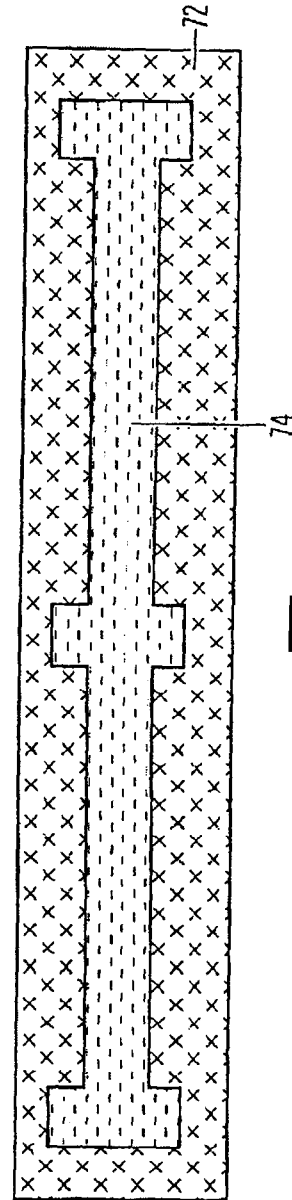


图9



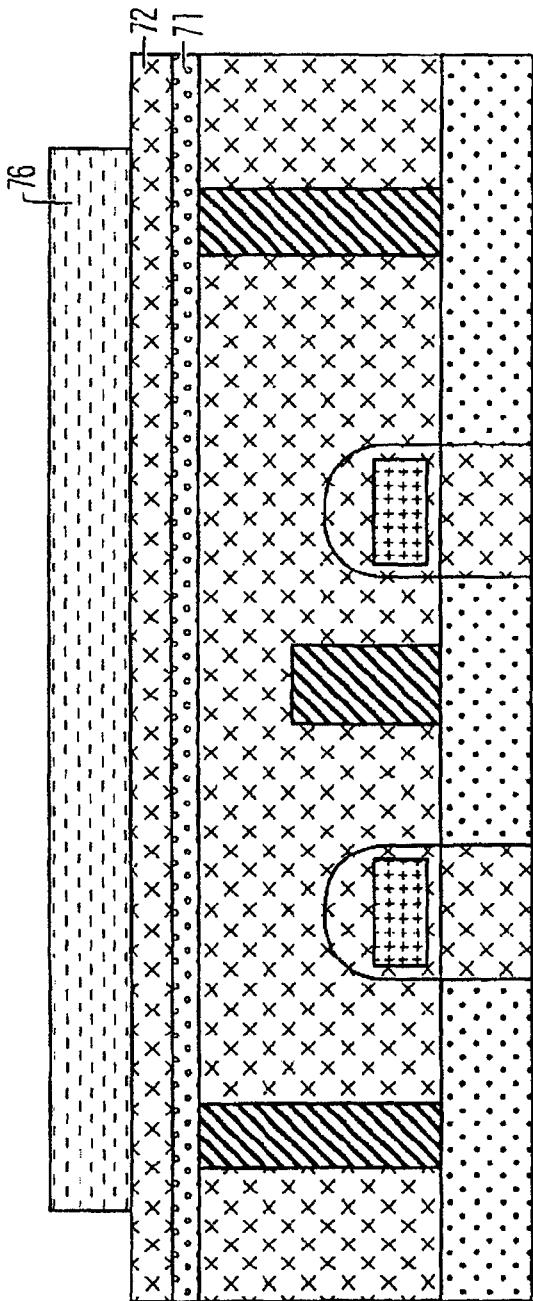


图10

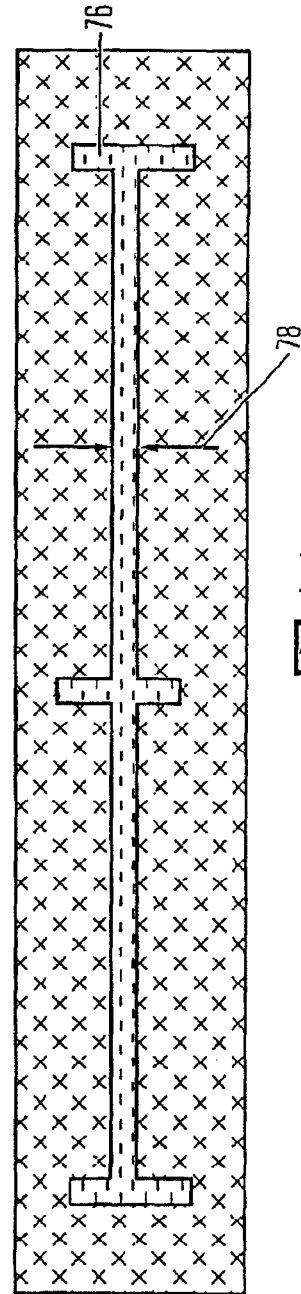


图11

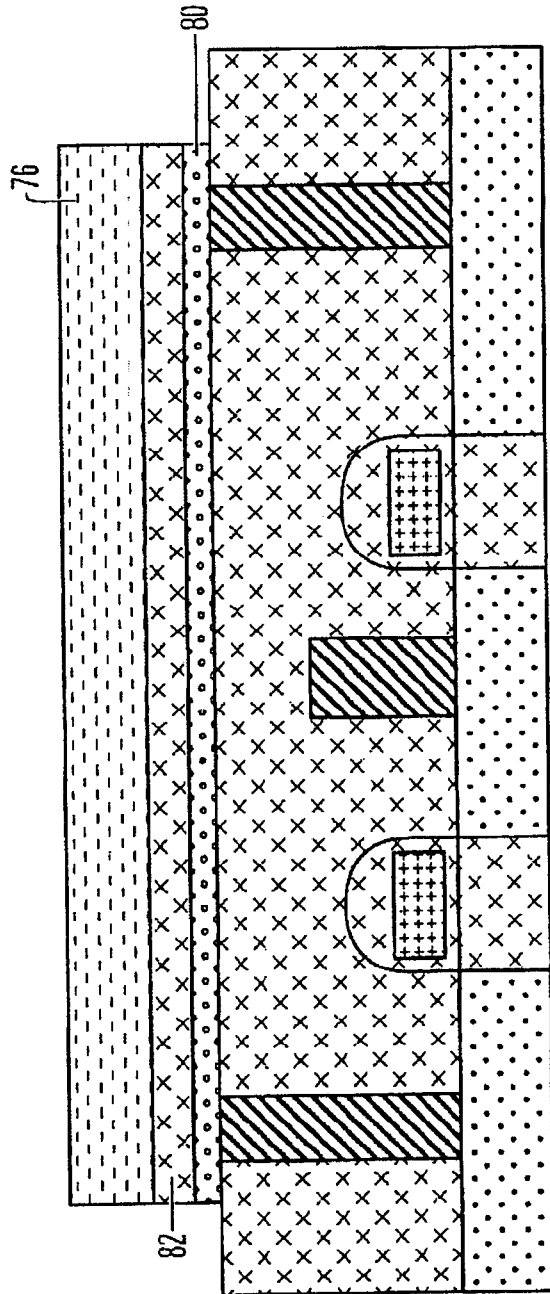


图12

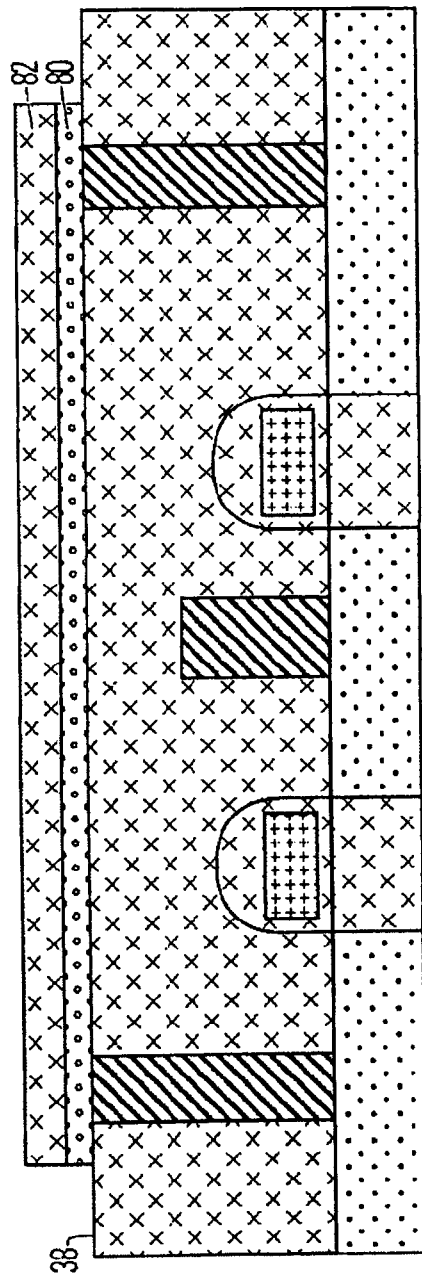


图13

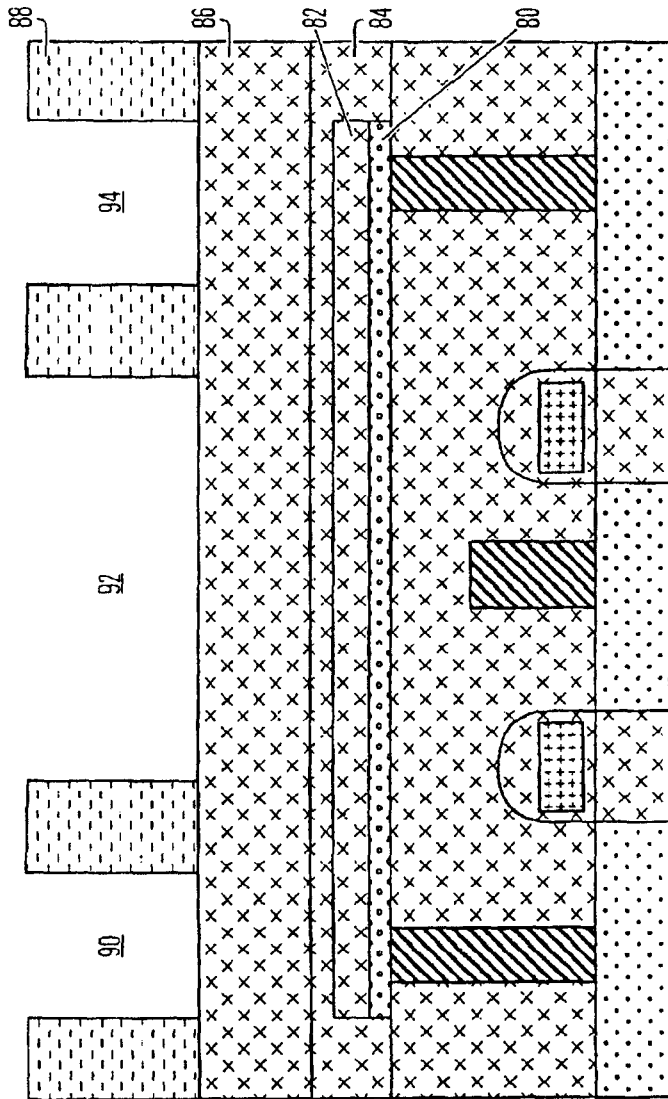


图14

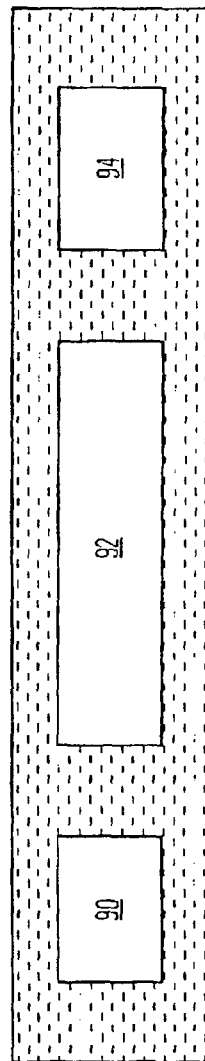


图15

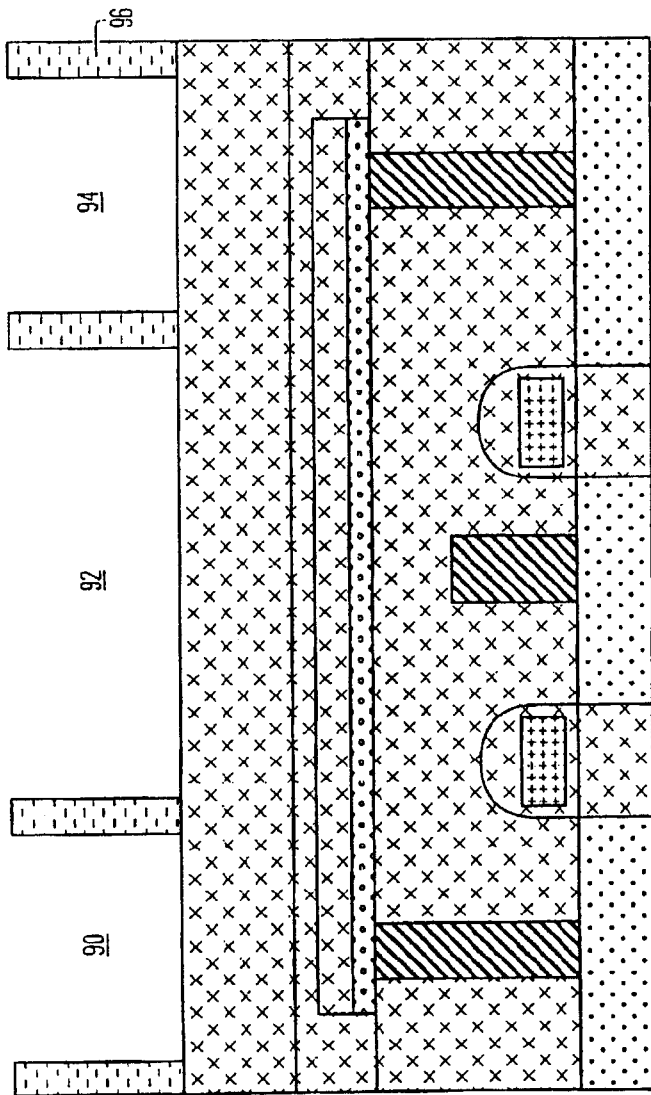


图16

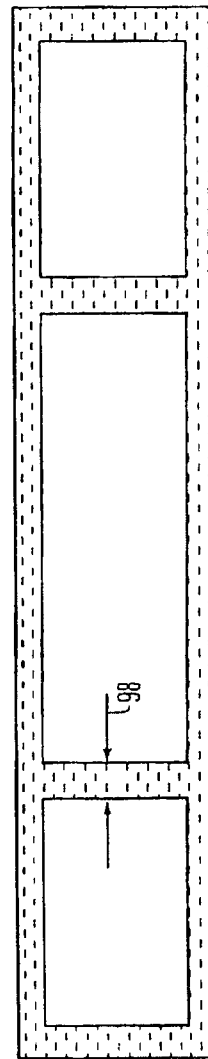


图17

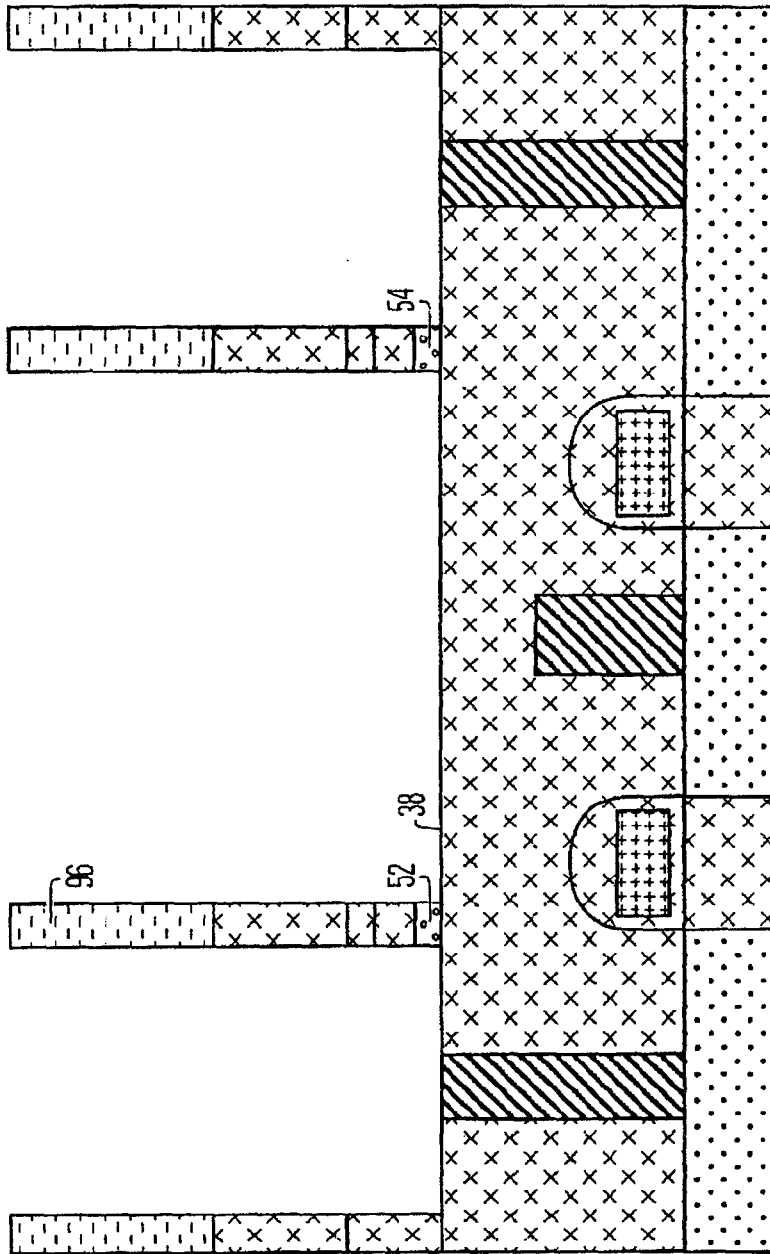


图18

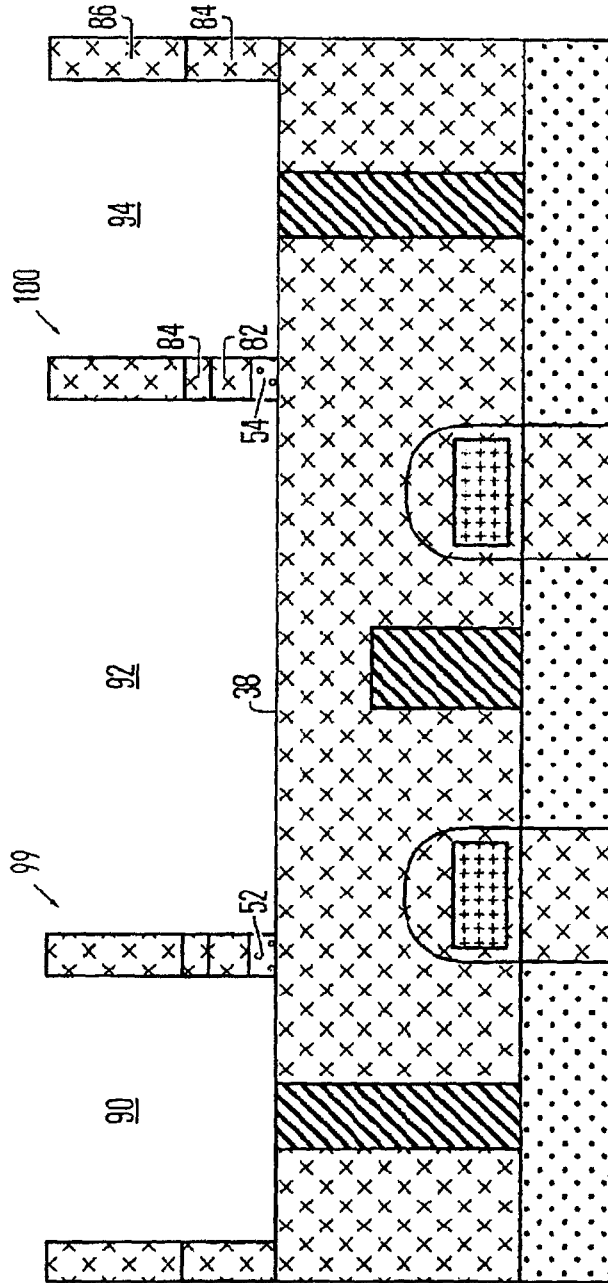


图19

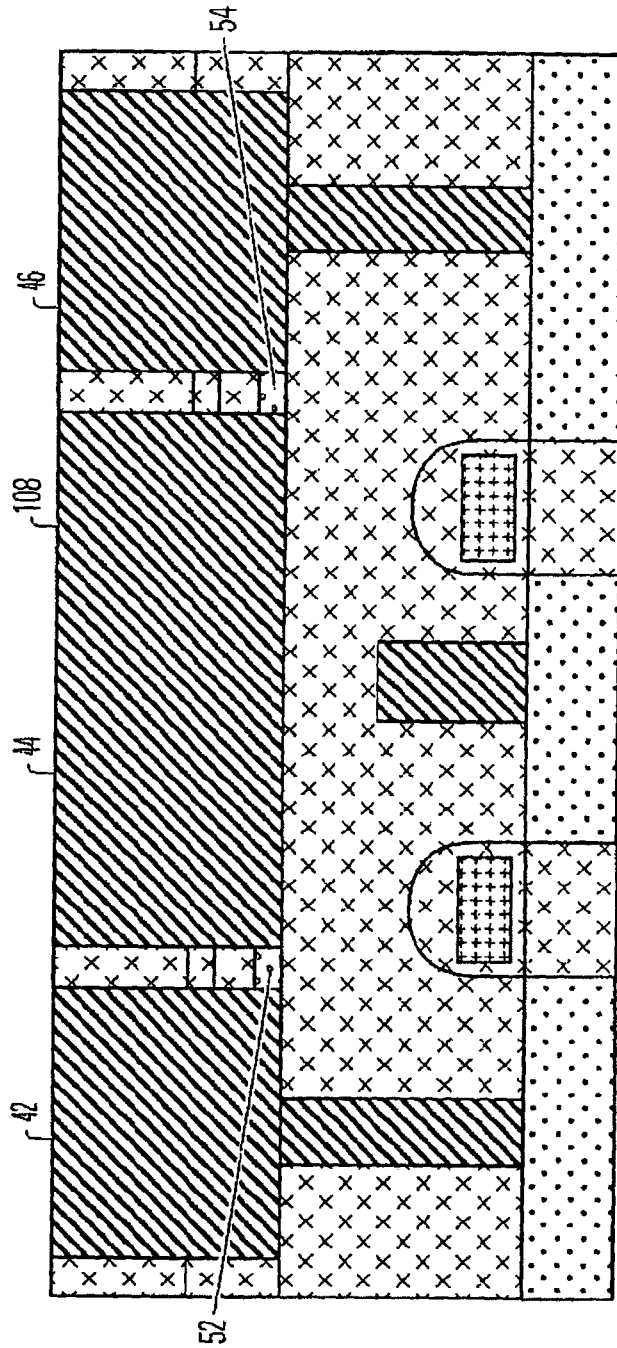


图 20