

申請日期： P2.4, 25	IPC分類
申請案號：	H01L 27/04

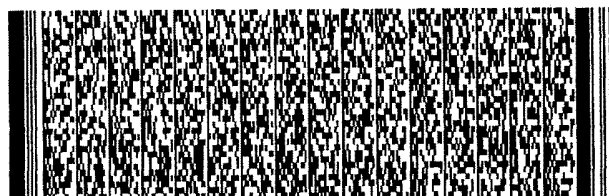
(以上各欄由本局填註)

發明專利說明書 200401428

一、 發明名稱	中文	半導體電容元件及其製造方法與設有該半導體電容元件之半導體裝置
	英文	SEMICONDUCTOR CAPACITIVE ELEMENT, METHOD FOR MANUFACTURING SAME AND SEMICONDUCTOR DEVICE PROVIDED WITH SAME

二、 發明人 (共1人)	姓名 (中文)	1. 小澤 健
	姓名 (英文)	1. Ozawa, Ken
	國籍 (中英文)	1. 日本 JP
	住居所 (中文)	1. 日本國211-8668神奈川縣川崎市中原區下沼部1753番地 NEC電子股份有限公司內
	住居所 (英文)	1. c/o NEC Electronics Corporation, 1753 Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8668, Japan

三、 申請人 (共1人)	名稱或 姓名 (中文)	1. NEC電子股份有限公司
	名稱或 姓名 (英文)	1. NEC Electronics Corporation
	國籍 (中英文)	1. 日本 JP
	住居所 (營業所) (中文)	1. 日本國211-8668神奈川縣川崎市中原區下沼部1753番地 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 1753 Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8668 Japan
	代表人 (中文)	1. 戶坂 馨
	代表人 (英文)	1. Tosaka, Kaoru



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
日本 JP	2002/04/26	特願2002-127639	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

一、【發明所屬之技術領域】

本發明係關於一種半導體電容元件、及其製造方法、與設有該半導體電容元件之半導體裝置，尤有關於利用在一半導體基板上之層間介電質內所形成的內埋線路作為電極的半導體電容元件、及該半導體電容元件之製造方法、與設有該半導體電容元件之半導體裝置。

本申請案之申請專利範圍主張西元2002年4月26日提出申請的日本專利公報第2002-127639號之優先權，特此引入以供參考。

二、【先前技術】

在以LSI(大型積體電路)為典型的半導體裝置中，因切換動作時發生邏輯值的反向而引起電源之電位改變，而有電源雜訊產生。這種電源雜訊影響了半導體裝置之正常運作，並使其失靈。因此，為了降低電源雜訊，通常會將一種作為去耦合電容或旁路電容之半導體電容元件(以下將稱為半導體電容)形成並埋入半導體裝置中。

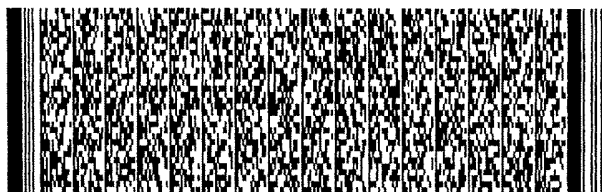
另一方面，隨著近來LSI可達到的積體程度大幅提高，半導體裝置之尺寸越來越小，故而構成該半導體裝置之半導體區域的尺寸也變得越來越小。當此類半導體裝置之微小區域內的連接線路形成時，由於僅由半導體基板之平面方向上所形成之線路無法獲得符合這種高積體程度之高線路密度，故需採用多層線路技術，使線路在穿過半導體基板之厚度方向的多層結構中形成。



五、發明說明 (2)

再者，在上述的LSI中，由於半導體裝置之運算速度受到線路電阻的影響甚鉅，故一般皆希望所形成之線路具有較低的電阻。由此觀點，在近年之中，電阻較Al或Al合金來得低的Cu(銅)或含主要成分為銅之Cu合金，已取代了Al(鋁)或含主要成分為鋁之Al合金，而成為廣泛使用之線路材料。然而，當使用Cu合金為材料來形成內部線路時，由於Cu之混合物的蒸氣壓較低，故不若使用Al合金的情況，欲在銅質導線上藉由乾式蝕刻技術實行圖案化來獲得所需的形狀變得十分困難。因此，為了使用Cu合金來形成擁有所需形狀之線路，遂採取所謂的嵌刻線路方法，在形成於半導體基板上之層間介電質中形成線路溝槽，並在該線路溝槽內形成內埋線路。亦即，在該嵌刻線路方法中，當Cu合金在包括線路溝槽的整個層間介電質表面上形成之後，形成於層間介電質上之多餘Cu合金乃藉由CMP(化學機械研磨)方法的使用來加以移除，而Cu合金膜則僅餘留(內埋)於線路溝槽中、以作為內部線路。再者，後文將描述，一種由嵌刻線路架構(以下稱為單嵌刻線路架構)進一步發展所得之雙嵌刻線路架構，更成為特別適用於多層線路技術之架構而獲採用。

也就是說，根據雙嵌刻線路方法，在貫穿孔層間介電質與上層層間介電質依序形成於半導體基板上、且以下層線路優先形成之後，各貫穿孔層間介電質與上層層間介電質上皆再形成一貫穿孔與一上層線路溝槽，然後在Cu合金膜形成於兩者的整體表面上之後，再利用CMP方法、藉著



五、發明說明 (3)

Cu 合金膜僅餘留在該貫穿孔與上層線路溝槽之內的方式將多餘的Cu 合金膜加以移除，來構成一貫穿插塞與上層線路。因此，所獲得之雙嵌刻線路架構、其下層線路係經由該貫穿插塞而與上層線路作電氣連接。如以上所述，從成本的降低、與藉由貫穿插塞與上層線路之同時形成來降低製程數目致使LSI達到高TAT(周轉時間)的觀點來看，雙嵌刻線路架構係較上述的單嵌刻架構來得優越。且線路的層數越多，其效果也越發明顯。

藉由這種嵌刻線路方法或雙嵌刻線路方法的使用，可將作為上述去耦合電容之半導體電容埋入半導體裝置中。比方，在日本公開專利公報第2000-228497號中，便揭示了一種使用上述雙嵌刻線路方法的半導體電容及其製造方法。如圖11所示，一半導體電容120之建構方式，係在下層構件例如電晶體(未圖示)等所形成的基板100之上，依序形成一第一層間介電質102、一第一蝕刻阻隔膜(又稱為冠狀膜)104、一第二層間介電質106、一第三層間介電質110、一第二蝕刻阻隔膜112、與一第四層間介電質114，且下部電極108b係以內埋於該第二層間介電質106中的方式加以形成、而一介電膜(電容層間介電質)116與一上部電極118b則依序以內埋於該第二蝕刻阻隔膜112與第三層間介電質110上所形成之第一貫穿孔h2中的方式加以形成。

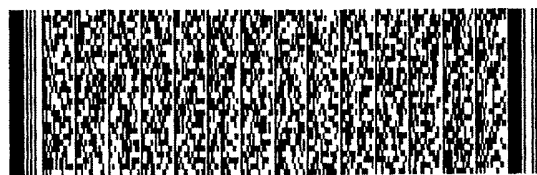
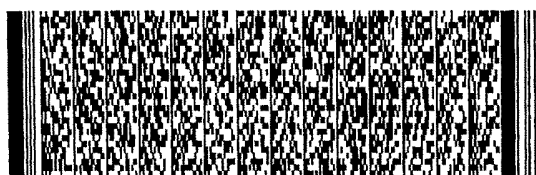
接著，一種製造習用半導體電容之方法便依圖12A至12E的製程順序進行描述。



五、發明說明 (4)

首先，如圖12A所示，第一層間介電質102乃在形成有下層構件例如電晶體(未圖示)等的基板100之上形成。在第一蝕刻阻隔膜104與第二層間介電質106依序於第一層間介電質102之上形成以後，再利用一感光性光阻膜(未圖示)作為光罩，對多層線路組成部份103之對應區域與電容組成部份105之對應區域進行蝕刻，直至第一蝕刻阻隔膜104的表面暴露為止。然後，對應於該多層線路組成部份103之第一蝕刻阻隔膜104的一部份與同樣對應於該多層線路組成部份103之第一層間介電質102的一部份亦皆被蝕刻，直至基板100的表面暴露為止，藉以形成一接觸窗h1。

接著，如圖12B所示，當Cu膜形成在包括接觸窗h1的第二層間介電質106與第一蝕刻阻隔膜104之所有表面上以後，係使用CMP方法將Cu膜加以移除，直至該第二層間介電質106暴露為止，然後一第一線路導線108a便以Cu膜內埋於多層線路組成部份103之對應區域的方式加以形成，且在此同時，一下部電極108b亦以Cu膜內埋於電容組成部份105之對應區域的方式加以形成。接著，如圖12C所示，當該第三層間介電質110、第二蝕刻阻隔膜112、與第四層間介電質114依序形成於該第二層間介電質106、第一線路導線108a、與下部電極108b之所有表面上以後，便利用一感光性光阻膜(未圖示)作為光罩，對第四層間介電質114對應於多層線路組成部份103的部份、與對應於電容組成部份105的部份進行蝕刻，直至第二蝕刻阻隔膜112的表面



五、發明說明 (5)

暴露為止。

然後，如圖12D所示，藉著以感光膜(未圖示)作為光罩，在對電容組成部份105之對應區域內的第二蝕刻阻隔膜112與第三層間介電質110進行蝕刻、直至該下部電極108b暴露為止、藉以形成一第一貫穿孔h2以後，一介電膜116便在包括第一貫穿孔h2之該第四層間介電質114、第二蝕刻阻隔膜112、與第三層間介電質110的所有表面上形成。接著，對應多層線路組成部份103之區域內的該介電膜116、第二蝕刻阻隔膜112、與第三層間介電質110再被蝕刻、直至該第一線路導線108a的表面暴露為止，藉以形成一第二貫穿孔h3。然後，如圖12E所示，當Cu膜在包括第一貫穿孔h2與第二貫穿孔h3之該介電膜116、第二蝕刻阻隔膜112、與第三層間介電質110的所有表面上形成以後，再使用CMP方法移除Cu膜、直至該介電膜116暴露為止，然後一第二線路導線118a便以Cu膜內埋於多層線路組成部份103之對應區域的方式加以形成，且在此同時，一上部電極118b亦以Cu膜內埋於電容組成部份105之對應區域的方式加以形成。

因此，如圖11所示，半導體裝置121之製造方式，係將多層線路組成部份103之對應區域內、藉由連接第一線路導線108a與第二線路導線118a所得之多層線路119，以及電容組成部份105之對應區域內、藉由介電膜116插入下部電極108b與上部電極118b所得之半導體電容120加以積體化。因而該半導體電容120便可作為半導體裝置121中的

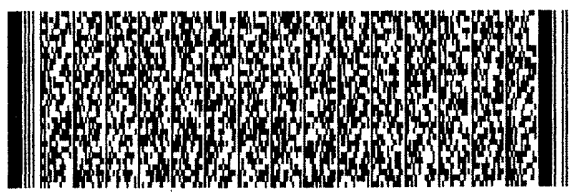


五、發明說明 (6)

去耦合電容。

然而，該半導體電容120的問題，在於其寄生電容頗大，而習用半導體電容製造方法的問題，則在於其製造過程需要頗多的製程數目。亦即，在圖11所示之半導體電容120中，該介電膜116不僅延伸至面對下部電極108b的部份、更延伸至第一貫穿孔h2之內該第三層間介電質110與第四層間介電質114的側面，而且介電膜116之介電常數又較第三與第四層間介電質110與114者為大。於是，在面對下部電極108b以外的部份所形成之介電膜116將使寄生電容變得更大。因而，特別在以達到高速運算為目的半導體裝置中，其運算速度將因寄生電容之存在而受到影響。此外，如圖12D所示，在上述習用半導體電容120的製造方法中，需有用以形成介電膜116的薄膜形成製程，也導致了製程數目與成本的增加。

為解決此問題，在上述使用雙嵌刻線路方法的半導體電容及其製造方法之例中，比方日本公開專利公報第2001-274328號便揭示了可抑制寄生電容效應發生的半導體電容與其製造方法。如圖13所示，所揭示的半導體電容148係具有一下層線路133，形成於一第一層間介電質131之上，且有一蝕刻阻隔膜132插入於該第一層間介電質131與下層線路133之間；一電容絕緣膜134，形成於一第二層間介電質139之內；以及一上部電極137，亦形成於該第二層間介電質139之內，其中該上部電極137係經由形成於該第二層間介電質139之內的貫穿插塞146而連接至形成於一



五、發明說明 (7)

蝕刻阻隔膜140與一第三層間介電質141中的一上層線路147。在半導體電容148之中，由於該電容絕緣膜134僅在作為下部電極之下層線路133之上形成，故上述寄生電容效應的發生便可獲得抑制。

接著，一種用以製造該半導體電容之方法便依圖14A至14G的製程順序進行描述。首先，如圖14A所示，當蝕刻阻隔膜132與另一層間介電質(未圖示)依序被形成於第一層間介電質131之上以後，如圖14B所示，藉著雙嵌刻線路製程的使用，便以在形成於另一層間介電質(未圖示)之線路溝槽(未圖示)中內埋例如Cu等金屬膜的方式形成下層線路133。接著，如圖14C所示，當該電容絕緣膜134與一電極材質膜135在該下層線路133之上形成以後，該電極材質膜135的多餘部份便利用光阻膜136為光罩來進行蝕刻，而所形成之上部電極則如圖14D所示。隨後，便依序形成第二層間介電質139、蝕刻阻隔膜140、與第三層間介電質141。

然後，如圖14E所示，對該第三層間介電質141、蝕刻阻隔膜140、與第二層間介電質139進行蝕刻、直至該上部電極137暴露為止，藉以形成一貫穿孔142。接著，如圖14F所示，該第三層間介電質141與蝕刻阻隔膜140再被蝕刻、直至該第二層間介電質139暴露為止，藉以形成一線路溝槽143，且同時蝕刻至該貫穿孔142暴露為止，藉以形成一線路溝槽144。然後，如圖14G所示，一金屬膜145、例如Cu膜乃在包括該線路溝槽143與144之第三層間介電質



五、發明說明 (8)

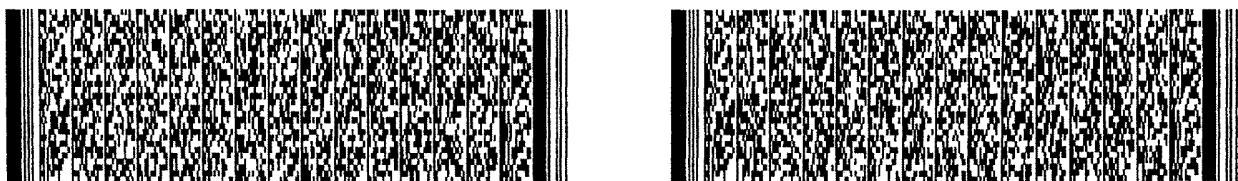
141、蝕刻阻隔膜140、與第二層間介電質139之所有表面上形成。接下來，將該金屬膜145使用CMP方法加以移除、直至第三層間介電質141暴露為止，藉以將該金屬膜145埋入貫穿孔142、以形成貫穿插塞146，且在此同時，也將該金屬膜145埋入線路溝槽143與144，藉以製造如圖13所示之半導體電容148。因而該半導體電容148便可成為一去耦合電容。

在日本公開專利公報第2001-274328號所揭示的半導體電容148及其製造方法中，雖然半導體電容內發生寄生電容效應的情形已獲得抑制，卻仍然存在製程數目增加的問題。亦即，即使在日本公開專利公報第2001-274328號所揭示的半導體電容148之製造方法中，如圖14C所示，由於需有用以形成電容絕緣膜134的薄膜形成製程，如同日本公開專利公報第2000-228497號所揭示的製造方法之例一般，故製程數目之增加、及因而帶來之成本提高將無可避免。

三、【發明說明】

由上述內容觀察，本發明之目的乃在提供一種半導體電容，其配置方式係使用層間介電質內所形成的內埋線路作為電極，故可防止製程數目的增加並抑制寄生電容效應的發生，同時提供上述半導體電容之製造方法、與設有上述半導體電容之半導體裝置。

根據本發明之第一實施態樣，提供了一種以內埋於半



五、發明說明 (9)

導體基板上之層間介電質內的線路作為電極的半導體電容元件，其係包含：

一下部電極，內埋於半導體基板上所形成的第一層間介電質之中；

一上部電極，內埋於藉由第一層間介電質上之一層蝕刻阻隔膜所形成的第二層間介電質之中；以及

一電容絕緣膜，僅形成於夾在該上部電極與下部電極間之區域內的該蝕刻阻隔膜所組成。

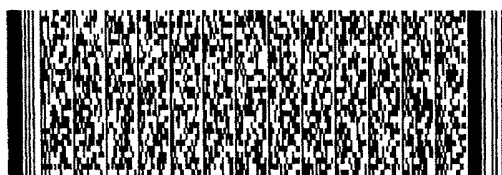
在前述的第一實施態樣中，較佳的方式是該電容絕緣膜之厚度係較夾在該第一層間介電質與該第二層間介電質間之區域內的該蝕刻阻隔膜者為小。

另一個較佳的方式是該蝕刻阻隔膜之介電常數較該第二層間介電質者為大。

再另一個較佳的方式是該第二層間介電質之上形成有一第三層間介電質、且該上部電極係連接至該第三層間介電質之中的內埋線路。

根據本發明之第二實施態樣，提供了一種半導體電容元件的製造方法，其係使用內埋於半導體基板上之層間介電質中的線路來作為電極，該方法係包括：

一下層線路溝槽形成製程，其中，當一第一蝕刻阻隔膜與一第一層間介電質依序形成於半導體基板之上以後，在該半導體基板上對應於多層線路組成部份之第一區域內的該第一層間介電質與第一蝕刻阻隔膜、以及對應於電容組成部份之第二區域內的該第一層間介電質與第一蝕刻阻



五、發明說明 (10)

隔膜，各皆受到選擇性的蝕刻，藉以形成第一與第二下層線路溝槽；

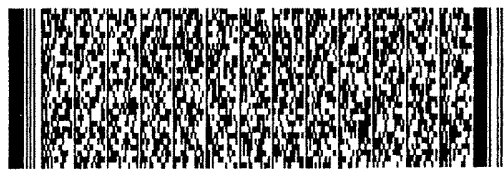
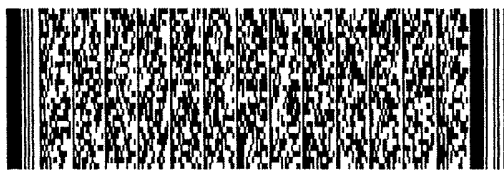
一下層導電膜形成製程，用以在對應於多層線路組成部份之第一區域內的該第一下層線路溝槽中形成一下層線路，並同時在對應於電容組成部份之第二區域內的該第二下層線路溝槽中形成一下部電極；

一貫穿孔形成製程，其中，當一第二蝕刻阻隔膜與一第二層間介電質依序形成於該第一層間介電質之上以後，對應於多層線路組成部份之第一區域內的該第二層間介電質與第二蝕刻阻隔膜乃受到選擇性的蝕刻、藉以形成一第一貫穿孔，且同時對應於電容組成部份之第二區域內的該第二層間介電質亦受到選擇性的蝕刻、藉以形成一第二貫穿孔，以使該第二蝕刻阻隔膜暴露；以及

一貫穿插塞形成製程，用以在對應於多層線路組成部份之第一區域內的該第一貫穿孔內形成一第一貫穿插塞，並同時在對應於電容組成部份之第二區域內的該第二貫穿孔內形成一第二貫穿插塞、用以作為一上部電極。

在前述的第二實施態樣中，較佳的方式是其中又包括了一蝕刻阻隔膜削薄製程，使對應於電容組成部份之第二區域中、夾在該第一層間介電質與第二層間介電質間之第三區域內的蝕刻阻隔膜變薄。

另一個較佳的方式是其中又進一步包括了一上層線路溝槽形成製程，其中，接續該貫穿插塞形成製程，當一第三蝕刻阻隔膜與一第三層間介電質依序形成於該第二層間



五、發明說明 (11)

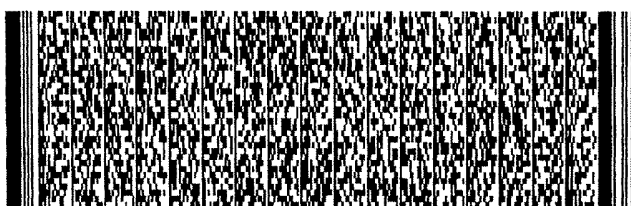
介電質之上以後，對應於多層線路組成部份之第一區域內的該第三層間介電質與第三蝕刻阻隔膜、以及對應於電容組成部份之第二區域內的該第三層間介電質與第三蝕刻阻隔膜皆受到選擇性的蝕刻，藉以分別形成一第一上層線路溝槽與一第二上層線路溝槽；以及一上層線路形成製程，用以在對應於多層線路組成部份之第一區域內的該第一上層線路溝槽與對應於電容組成部份之第二區域內的該第二上層線路溝槽兩者中形成一上層線路。

根據本發明之第三實施態樣，提供了一種半導體電容元件的製造方法，其係使用內埋於半導體基板上之層間介電質中的線路來作為電極，該方法係包括：

一下層線路溝槽形成製程，其中，當一第一蝕刻阻隔膜與一第一層間介電質依序形成於半導體基板之上以後，在該半導體基板上對應於多層線路組成部份之第一區域內的該第一層間介電質與第一蝕刻阻隔膜、以及對應於電容組成部份之第二區域內的該第一層間介電質與第一蝕刻阻隔膜，各皆受到選擇性的蝕刻，藉以分別形成一第一下層線路溝槽與一第二下層線路溝槽；

一下層導電膜形成製程，用以在對應於多層線路組成部份之第一區域內的該第一下層線路溝槽中形成一下層線路，並同時在對應於電容組成部份之第二區域內的該第二下層線路溝槽中形成一下部電極；

一上層線路溝槽形成製程，其中，當一第二蝕刻阻隔膜、一第二層間介電質、一第三蝕刻阻隔膜、以及一第三



五、發明說明 (12)

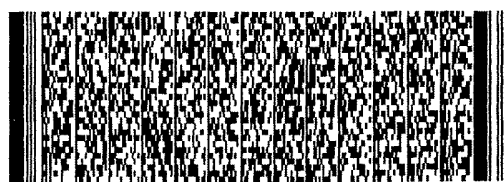
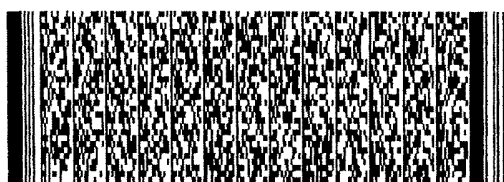
層間介電質依序形成於該第一層間介電質之上以後，對應於多層線路組成部份之第一區域內的該第三層間介電質與蝕刻阻隔膜、以及對應於電容組成部份之第二區域內的該第三層間介電質與蝕刻阻隔膜，各皆受到選擇性的蝕刻，藉以分別形成一第一上層線路溝槽與一第二上層線路溝槽；

一貫穿孔形成製程，用以選擇性地將對應於多層線路組成部份之第一區域內的該第二層間介電質與該第二蝕刻阻隔膜進行蝕刻，藉以形成一第一貫穿孔，且使該第一貫穿孔連接至該第一上層線路溝槽；同時並選擇性地將對應於電容組成部份之第二區域內的該第二層間介電質進行蝕刻，以使該第二蝕刻阻隔膜暴露，並形成一第二貫穿孔，且使該第二貫穿孔連接至該第二上層線路溝槽；以及

一導電膜形成製程，用以分別在對應於多層線路組成部份之第一區域內的該第一貫穿孔與該第一上層線路溝槽中、同時形成一第一貫穿插塞與一上層線路，並同時分別在對應於電容組成部份之第二區域內的該第二貫穿孔與該第二上層線路溝槽中、同時形成一第二貫穿插塞與一上層線路，且兩者皆被用來當作上部電極。

在前述的第三實施態樣中，較佳的方式是其中又包括了一蝕刻阻隔膜削薄製程，在貫穿孔形成製程之後，使對應於電容組成部份之第二區域中、夾在該第一層間介電質與第二層間介電質間之第三區域內的蝕刻阻隔膜變薄。

根據本發明之第四實施態樣，提供了一種設有半導體



五、發明說明 (13)

電容元件之半導體裝置，其係使用內埋於半導體基板上之層間介電質中的線路來作為電極，該半導體電容元件係包括：

一下部電極，內埋於半導體基板上所形成的第一層間介電質之中；

一上部電極，內埋於藉由第一層間介電質上之一層蝕刻阻隔膜所形成的第二層間介電質之中；以及

一電容絕緣膜，僅形成於夾在該上部電極與該下部電極間之區域內的該蝕刻阻隔膜所組成。

在前述的第四實施態樣中，較佳的方式是該電容絕緣膜之厚度係較夾在該第一層間介電質與該第二層間介電質間之區域內的該蝕刻阻隔膜者為小。

另一個較佳的方式是該蝕刻阻隔膜之介電常數較該第二層間介電質者為大。

再另一個較佳的方式是該第二層間介電質之上形成有一第三層間介電質、且該上部電極係連接至該第三層間介電質之中的內埋線路。

採取以上的配置方式，由於該半導體電容具有由僅在上部電極與下部電極間之夾層區域內形成的蝕刻阻隔膜所組成之一電容絕緣膜，故可抑制寄生電容效應的發生。

而採取另一種配置方式，由於將事先形成之蝕刻阻隔膜當作一電容絕緣膜，並不需要用以形成該電容絕緣膜之製程，故製程數目不會增加，也避免了成本的提高。因此，在使用層間介電質內形成之內埋線路作為電極的配置



五、發明說明 (14)

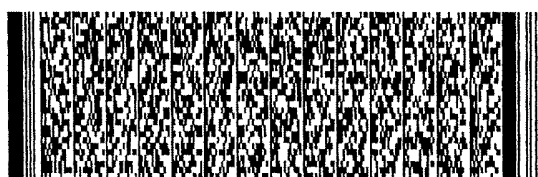
方式中，可防止製程數目的增加，同時亦可抑制寄生電容效應的發生。

四、【實施方式】

以下將參考附圖，並利用幾個不同的實施例，來進一步詳細描述本發明的最佳實行方式。

第一實施例

圖1為一橫剖面圖，根據本發明之一較佳實施例，顯示了一半導體電容10之配置情形。圖2為一俯視圖，其係根據該實施例，以圖表方式顯示了一半導體裝置之配置情形，其中該半導體電容係與多層線路同時形成。圖3為一俯視圖，以圖表方式顯示了一尚未形成半導體電容之半導體裝置的配置情形(以作為比較範例)。圖4A、4B與4C為製造流程圖，依製程順序、顯示了使用單嵌刻線路方法之半導體電容的第一製造方法。圖4D、4E、與4F為製造流程圖，依製程順序、顯示了使用單嵌刻線路方法之半導體電容的該第一製造方法。圖4G、4H、與4I為製造流程圖，依製程順序、顯示了使用單嵌刻線路方法之半導體電容的該第一製造方法。圖5A、5B、與5C為製造流程圖，依製程順序、顯示了使用雙嵌刻線路方法之半導體電容的第二製造方法。圖5D、5E、與5F為製造流程圖，依製程順序、顯示了使用雙嵌刻線路方法之半導體電容的該第二製造方法。圖6A與6B為俯視圖，顯示了該實施例中，組成該半導體裝置之主要構件的電導圖案佈局。圖7為一俯視圖，顯示了



五、發明說明 (15)

該實施例中，組成該半導體裝置之主要構件的電導圖案佈局。圖8為一俯視圖，顯示了本發明之實施例中，該電導圖案之一部份的修改範例。圖9為一俯視圖，以圖表方式顯示了本發明之實施例中，該半導體電容之排列區域的修改範例。圖10為一俯視圖，以圖表方式顯示了該實施例中，該半導體電容之排列區域的修改範例。

如圖1所示，在本發明之該實施例的半導體電容10中，一以比方氮化矽膜(SiN)為材料之第一蝕刻阻隔膜(冠狀膜)2、一以二氧化矽膜(SiO₂)為材料之第一層間介電質(下層層間介電質)3、一以SiN膜為材料之第二蝕刻阻隔膜8、一以SiO₂膜為材料之第二層間介電質(貫穿孔層間介電質)9、一以SiN膜為材料之第三蝕刻阻隔膜19、以及一以SiO₂膜為材料之第三層間介電質(上層層間介電質)20係依序形成於一半導體基板1上，其上並形成有電晶體、線路等等，其中一下部電極6B係以內埋於第一層間介電質3中之第二下層線路溝槽4B內的方式加以形成，一用以作為上部電極之第二貫穿插塞17B係以內埋於第二層間介電質9中之第二貫穿孔16內的方式、經由第二蝕刻阻隔膜8而形成於第一層間介電質之上，而一由上述第二蝕刻阻隔膜8組成之電容絕緣膜13則僅在第二貫穿插塞17B與下部電極6B間之夾層區域內(在第二貫穿插塞17B面對下部電極6B之區域內)形成。該用以作為上部電極之第二貫穿插塞17B係連接至一上層線路23B，後者乃利用內埋於第三層間介電質20中之第二上層線路溝槽21B的方式加以形成。



五、發明說明 (16)

如後文所述，當使用嵌刻線路方法形成多層線路時，本實施例中之半導體電容10與該多層線路係在一共用的半導體基板上同時製造。此外，該多層線路在一形成有電源線路與GND(接地)線路之例中亦有所描述。

接著將參考圖4A至4I，依使用單嵌刻線路方法之製程順序、對該半導體電容10的第一製造方法加以描述。首先，如圖4A所示，在形成有電晶體、線路等等之半導體基板1上，該以比方SiN為材料之第一蝕刻阻隔膜2與該以SiO₂為材料之第一層間介電質3乃藉由CVD(化學氣相沈積)方法加以形成。在此，如後文所述，該第一蝕刻阻隔膜2係扮演臨時的角色，藉以使其上之第一層間介電質3進行蝕刻時、該蝕刻作業之實行能有高度的可控性。

接著，如圖4B所示，藉著已知的光學微影技術之使用，對應於多層線路組成部份11之區域的第一層間介電質3與對應於電容組成部份12之區域內的第一蝕刻阻隔膜2便以一層光阻膜作為光罩來進行蝕刻、直至半導體基板1暴露為止，藉以分別形成一第一下層線路溝槽4A與該第二下層線路溝槽4B。接著，當利用噴濺方法與電鍍方法、將由Cu膜所組成、且具有所需厚度之第一線路膜在包括該第一下層線路溝槽4A與該第二下層線路溝槽4B之第一層間介電質3的所有表面上形成以後，該Cu膜便藉由CMP方法加以移除、直至該第一層間介電質3之表面暴露為止，然後，該Cu膜便被埋入對應於多層線路組成部份11之該第一下層線路溝槽4A、藉以形成一下層線路6A，同時亦被埋入對應於



五、發明說明 (17)

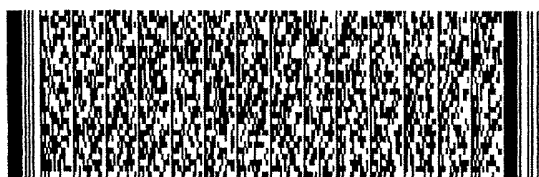
電容組成部份12之該第二下層線路溝槽4B、藉以形成一下部電極6B。

然後，如圖4C所示，藉著CVD方法的使用，該以比方SiN為材料且具有5nm至50nm之厚度的第二蝕刻阻隔膜8、與以SiO₂為材料之第二層間介電質9遂依序形成於該第一層間介電質3、該下層線路6A、與該下部電極6B的所有表面上。

接著，如圖4D所示，利用對應於該電容組成部份12之區域內所形成的光阻膜(未圖示)作為光罩，對應於該多層線路組成部份11之區域內的第二層間介電質9與第二蝕刻阻隔膜8便受到選擇性的蝕刻、直至該下層線路6A的表面暴露為止，藉以形成一第一貫穿孔15。

然後，如圖4E所示，利用對應於該多層線路組成部份11之區域內所形成的光阻膜(未圖示)作為光罩，對應於該電容組成部份12之區域內的第二層間介電質9亦受到選擇性的蝕刻、直至該第二蝕刻阻隔膜8的表面暴露為止，藉以形成一第二貫穿孔16。在此蝕刻製程中，該第二蝕刻阻隔膜8將被持續保留，使其充當半導體電容10之電容絕緣膜。

接著，如圖4F所示，藉著將該半導體基板1暴露於一種比方CF(氟化碳)氣體的空氣、例如CF₄(四氟化碳)、CF₄-O₂(四氟化碳-氧氣)、CF₄-H₂(四氟化碳-氫氣)等等之中，對應於該電容組成部份12之區域內的該第二蝕刻阻隔膜8便受到選擇性的蝕刻、使其厚度降低，以便充當半導



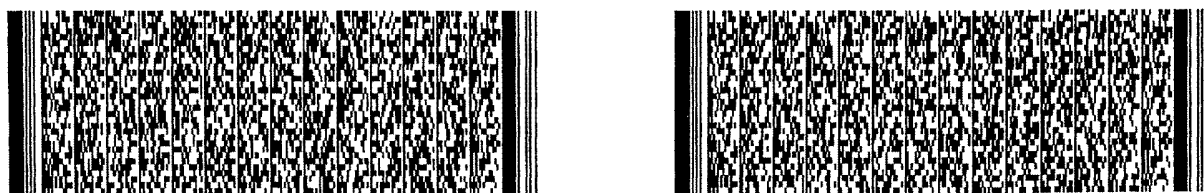
五、發明說明 (18)

體電容10之電容絕緣膜。此厚度值之選擇係為使所得之半導體電容10具有所需之電容值。如眾所知，若電容絕緣膜之厚度變得越小，則半導體電容10之電容值將變得越大。經由此蝕刻製程，上述之第二蝕刻阻隔膜8將轉變成一電容絕緣膜13。

然後，如圖4G所示，當由Cu膜所組成、且具有所需厚度之第二線路膜在包括該第一貫穿孔15與第二貫穿孔16之第二層間介電質9的所有表面上形成以後，該Cu膜乃利用CMP方法加以移除、直至該第二層間介電質9的表面暴露為止，且一第一貫穿插塞17A乃以Cu膜內埋之方式、在對應於該多層線路組成部份11之區域內的該第一貫穿孔15中形成，且在此同時，該作為上部電極之第二貫穿插塞17B亦以Cu膜內埋之方式、在對應於該電容組成部份12之區域內的該第二貫穿孔16中形成。

接著，如圖4H所示，藉著CVD方法的使用，該以比方SiN為材料之第三蝕刻阻隔膜19與該以SiO₂為材料之第三層間介電質20便依序形成。

然後，如圖4I所示，藉著已知的光學微影技術之使用，對應於該多層線路組成部份11之區域內的第三層間介電質20與第三蝕刻阻隔膜19便以一層光阻膜(未圖示)作為光罩來進行選擇性的蝕刻、直至該第一貫穿插塞17A之表面暴露為止，藉以形成一第一上層線路溝槽21A，且在此同時，對應於該電容組成部份12之區域內的第三層間介電質20與第三蝕刻阻隔膜19亦以該光阻膜(未圖示)作為光罩



五、發明說明 (19)

來進行選擇性的蝕刻、直至該第二貫穿插塞17B之表面暴露為止，藉以形成一第二上層線路溝槽21B。然後，當利用噴濺方法與電鍍方法、將由Cu膜所組成、且具有所需厚度之第三線路膜在包括該第一上層線路溝槽21A與第二上層線路溝槽21B之第三層間介電質20的所有表面上形成以後，該Cu膜便藉由CMP方法加以移除、直至該第三層間介電質20之表面暴露為止，然後一上層線路23A係以Cu膜內埋的方式、在對應於該多層線路組成部份11之區域內的第一上層線路溝槽21A中形成，且在此同時，該上層線路23B亦以Cu膜內埋的方式、在對應於該電容組成部份12之區域內的第二上層線路溝槽21B中形成。

因此，半導體裝置26之製造方式，係將多層線路25與如圖1所示之半導體電容10加以積體化，其中前者乃在該多層線路組成部份11之對應區域內、藉著將下層線路6A經由第一貫穿插塞17A而連接至上層線路23A而獲得，而後者則藉著將該電容絕緣膜13插入下部電極6B與第二貫穿插塞(上部電極)17B之間、並將該第二貫穿插塞17B連接至該電容組成部份12之對應區域內的上層線路23B而獲得。因而該半導體電容10便可作為上述半導體裝置26中的去耦合電容。

接著將參考圖5A至5F，依使用雙嵌刻線路方法之製程順序、對該半導體電容10的第二製造方法加以描述。首先，在實行了幾乎與上述實施例之半導體電容10的第一製造方法中、如圖4A與4B所示者相同的製程順序以後，如圖



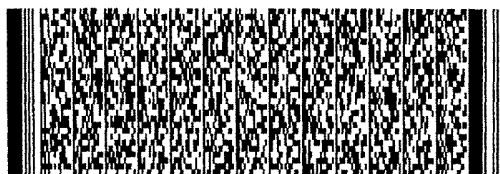
五、發明說明 (20)

5A所示，藉著CVD方法的使用，該以比方SiN為材料且具有5至50nm之厚度的第二蝕刻阻隔膜8、該以SiO₂為材料之第二層間介電質9、該以SiN為材料之第三蝕刻阻隔膜19、與該以SiO₂為材料之第三層間介電質20乃依序形成於包括該第一線路溝槽4A與第二線路溝槽4B之第一層間介電質3的所有表面上。

接著，如圖5B所示，藉著已知的光學微影技術之使用，對應於該多層線路組成部份11之區域內的該第三層間介電質20與第三蝕刻阻隔膜19、以及對應於該電容組成部份12之區域內的該第三層間介電質20與第三蝕刻阻隔膜19皆以一光阻膜(未圖示)作為光罩來進行選擇性的蝕刻、直至該第二層間介電質9之表面暴露為止，藉以分別形成該第一上層線路溝槽21A與第二上層線路溝槽21B。

然後，如圖5C所示，利用對應於該電容組成部份12之區域內所形成的光阻膜(未圖示)、以及對應於該多層線路組成部份11之部份區域內所形成的光阻膜(未圖示)作為光罩，對應於該多層線路組成部份11之區域內的第二層間介電質9與第二蝕刻阻隔膜8便受到選擇性的蝕刻、直至該下層線路6A的表面暴露為止，藉以形成第一貫穿孔15，以便使該第一貫穿孔15連接至該第一上層線路溝槽21A。

然後，如圖5D所示，利用對應於該電容組成部份12之區域內所形成的光阻膜(未圖示)、以及對應於該多層線路組成部份11之部份區域內所形成的光阻膜(未圖示)作為光罩，對應於該電容組成部份12之區域內的第二層間介電質

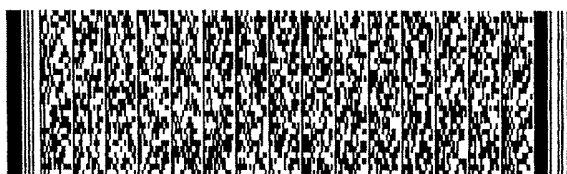


五、發明說明 (21)

9亦受到選擇性的蝕刻、直至該第二蝕刻阻隔膜8的表面暴露為止，藉以形成第二貫穿孔16，以便使該第二貫穿孔16連接至該第二上層線路溝槽21B。在此蝕刻製程中，該第二蝕刻阻隔膜8將被持續保留，以充當一電容絕緣膜。

接著，如圖5E所示，藉著將該半導體基板1暴露於一種比方CF氣體的空氣、例如 CF_4 、 CF_4-O_2 、 CF_4-H_2 等等之中，對應於該電容組成部份12之區域內的該第二蝕刻阻隔膜8便受到選擇性的蝕刻、使其厚度降低，以便充當該電容器之電容絕緣膜。此厚度值之選擇係為使所得之電容器具有所需之電容值。經由此蝕刻製程，該第二蝕刻阻隔膜8將轉變成電容絕緣膜13。

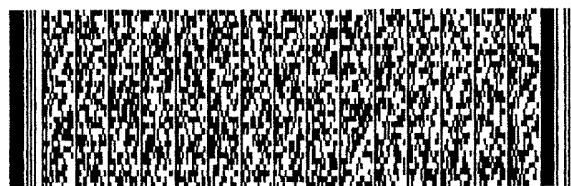
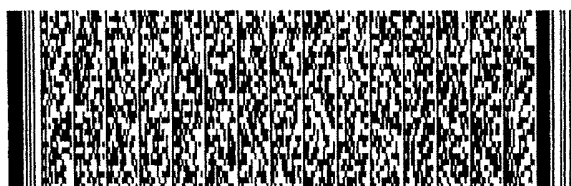
然後，如圖5F所示，當由Cu膜所組成、且具有所需厚度之第四線路膜在包括該第一貫穿孔15、第二貫穿孔16、以及第一與第二上層線路溝槽21A與21B之第三層間介電質20的所有表面上形成以後，該Cu膜乃利用CMP方法加以移除、直至該第三層間介電質20的表面暴露為止，並藉著將該Cu膜埋入對應於該多層線路組成部份11之區域內的第一貫穿孔15與第一上層線路溝槽21A來形成第一貫穿插塞17A與上層線路23A、以便使該第一貫穿插塞17A與該上層線路23A互相連接，且同時藉著將該Cu膜埋入對應於該電容組成部份12之區域內的第二貫穿孔16與第二上層線路溝槽21B來形成第二貫穿插塞17B與上層線路23B、以便使該第二貫穿插塞17B與該上層線路23B互相連接、並作為一上部電極。



五、發明說明 (22)

因此，如同上述單嵌刻線路方法之例，半導體裝置26之製造方式，係將多層線路25與如圖1所示之半導體電容10加以積體化，其中前者乃在該多層線路組成部份11之對應區域內、藉著將下層線路6A經由第一貫穿插塞17A而連接至上層線路23A而獲得，而後者則藉著將該電容絕緣膜13插入下部電極6B與第二貫穿插塞(上部電極)17B之間、並將該第二貫穿插塞17B連接至該電容組成部份12之對應區域內的上層線路23B而獲得。因而該半導體電容10便可作為半導體裝置26中的去耦合電容。

圖2為一俯視圖，以圖表方式說明了其中埋入有本實施例之半導體電容10的上述半導體裝置26。圖3為一俯視圖，以圖表方式說明了尚未埋入本實施例之半導體電容10的半導體裝置(以作為比較範例)。一般而言，如圖3所示，關於以多層線路方式建構電源線路或GND線路之例，在呈縱向排列並構成多層線路25之下層線路6A(未圖示)的第一線路膜6之中，每個電源線路6P與GND線路6G乃以間隔方式加以放置。同樣地，在呈橫向排列並構成多層線路25之上層線路23A與23B(未圖示)的第三線路膜23之中，每個電源線路23P與GND線路23G亦以間隔方式加以放置。該多層線路25之配置方式，係使下層線路6A(未圖示)的電源線路6P與上層線路23A的電源線路23P之間、得以藉著由一第二線路膜17(描述於後)所組成之第一貫穿插塞17A(未圖示)而在一交叉位置27P(圖3)上建立電氣連接關係，且使下層線路6A的GND線路6G與上層線路23A的GND線路23G之

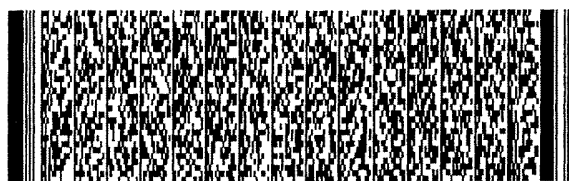


五、發明說明 (23)

間、得以藉著由該第二線路膜17(未圖示)所組成之第一貫穿插塞17A(未圖示)而在一交叉位置27G上建立電氣連接關係。實際上，該上層與下層線路之間的電氣連接係利用複數個經過固定之貫穿插塞、而建立在交叉位置27P與27G兩者之上。

如圖2所示，本實施例之半導體電容10係在該第一線路膜6與第三線路膜23之間的交叉位置28上形成、而非交叉位置27P與27G。在此，圖1係沿著圖2之A-A線而顯示該半導體10之橫剖面圖。亦即，如圖1與2所示，在各交叉位置28上形成的半導體電容10具有：由呈縱向排列之第一線路膜6所組成之下部電極6B；由第二線路膜17(描述於後)所組成之第二貫穿插塞17B(上部電極)，其中第二線路膜17係連接至由呈橫向排列之第三線路膜23所組成之上層線路23B，而該第二貫穿插塞17B即位在此上層線路23B的正下方；以及電容絕緣膜13，由僅形成於該第二貫穿插塞17B面對下部電極6B之區域內、亦即僅形成於該第二貫穿插塞17B與下部電極6B之間的第二蝕刻阻隔膜8所形成。

內埋有該半導體電容10之半導體裝置，其主要部份乃以具有如圖6A、6B、與7所示之佈局的各電導圖案加以構成。圖6A顯示了該半導體電容10之中、組成該下部電極6B之第一線路膜6的電導圖案。圖6B顯示了本發明之半導體電容10中、組成該第二貫穿插塞17B之第二線路膜17的電導圖案。圖7則顯示了該半導體電容10之中、組成該上層線路23B之第三線路膜23的電導圖案。藉著依序覆蓋該第

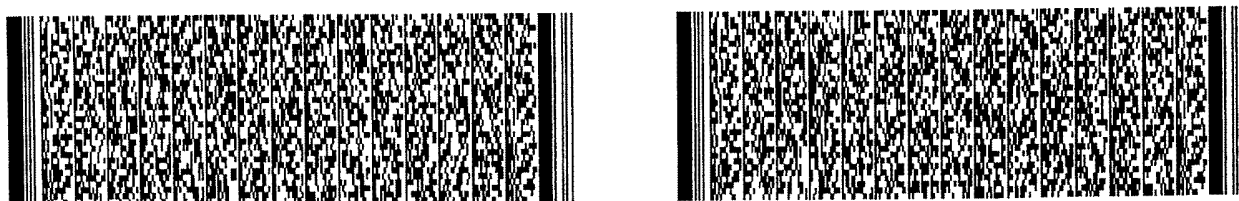


五、發明說明 (24)

一線路膜6、第二線路膜17、與第三線路膜23，始構成如圖2所示之半導體裝置26。在圖6A之橫向上的電源線路6P(H)與GND線路6G(H)中、在圖6B之橫向上的第二貫穿插塞17B(H)中、以及以縱向顯示之電源線路23P(V)與GND線路23G(V)中，係設置有一種以增加該半導體電容10之電容值為目的、而增加該下部電極6B面對該第二貫穿插塞17B之區域的裝置。再者，當作為上部電極之第二貫穿插塞17B形成時，由於取決於第二線路膜17的材質、該第二貫穿插塞17B之內埋程度可能有所不足，故希望所形成之第二貫穿孔16的形狀具有如下佈局，即其中該第二貫穿插塞17B將被分割、直至獲得足夠內埋特性的程度。

圖9為一簡圖，說明了本實施例之半導體電容10被放置在由呈縱向排列之該第一線路膜6與呈橫向排列之該第三線路膜23所圍繞之區域29中的配置情形。一般來說，當利用嵌刻線路方法形成以Cu膜為材料之內埋線路時，如圖10所示之空白線路將形成於上述的區域29中，藉以減少容易發生於Cu線路之淺碟或過蝕現象、並使Cu線路之電阻均勻化。因此，藉著以該空白線路30作為下部電極或上部電極，預備形成半導體電容之區域將不再需要。

如上所述，藉著提供一種裝置來塑造該半導體電容之下部電極與上部電極的外型，將可使電容值有所增加。此外，藉著將本實施例之半導體電容與MOS(金屬氧化半導體)型半導體電容結合使用，亦可增加半導體電容之電容值。再者，藉由空白線路區域之使用，亦可使所排列之半



五、發明說明 (25)

導體電容不會佔據太多的區域。

比方，藉由該空白線路區域的使用，以 $0.15\ \mu\text{m}$ 代製程的產品計算，一半導體電容可被排列在大約30%的半導體晶片區域內。此外，以 $0.15\ \mu\text{m}$ 代製程的產品計算，亦預期該半導體電容可提供大約900nF的電容值。然而，當使用MOS型半導體電容時，僅提供了大約700nF的電容值。其轉換條件係設定如下：

半導體晶片尺寸：

18 mm × 18 mm

電容排列區域：

電源線路與GND線路為資料速率 20%之內的10%；以及
空白線路區域為資料速率 40%之內的20%

絕緣膜電容值：

$8.3 \times 10^{-3}\ \text{PF}/\mu\text{m}^2$ ，當SiN膜(介電常數7.5)的厚度為8nm時

因此，根據本實施例之半導體電容10，由於設置了由蝕刻阻隔膜8所組成、僅形成於夾在該作為上部電極之第二貫穿插塞17B與下部電極6B間之區域(面對區域)內的電容絕緣膜13，且由於該電容絕緣膜13並未形成於其他的面對區域內，故可抑制寄生電容效應之發生。此外，根據本實施例中使用單嵌刻線路方法之半導體電容的第一製造方法，由於圖4C中所形成的第一蝕刻阻隔膜8乃被蝕刻、使其具有圖4F之製程的所需厚度，然後再被用為電容絕緣膜13，故不需要用以形成該電容絕緣膜13的製程，也因此製

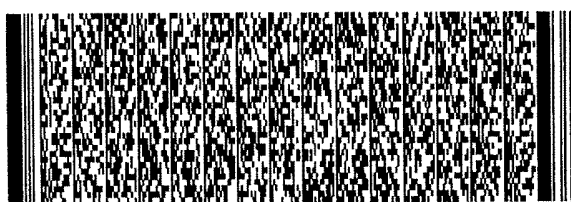


五、發明說明 (26)

程數目不會增加，於是可避免成本的增加。再者，根據本實施例中使用雙嵌刻線路方法之半導體電容的第二製造方法，由於圖5A中所形成的第一蝕刻阻隔膜8乃被蝕刻、使其具有圖5D之製程的所需厚度，然後再被用為電容絕緣膜13，故不需要用以形成該電容絕緣膜13的製程，也因此製程數目不會增加，於是可避免成本的增加。因此，在使用層間介電質中所形成之內埋線路作為電極的配置方式中，可防止製程數目的增加，同時也抑制了寄生電容效應的發生。

顯而易見的是，本發明並不限於上述實施例，且可在不離開本發明之範圍與精神下進行改變與修正。比方，在上述實施例中，關於使用嵌刻線路方法所形成之內埋線路的材質，係使用Cu膜。然而，本發明並不僅限於Cu膜，主要成分為銅之Cu金屬膜亦可被使用。此外，在本實施例中，當Cu膜形成於層間介電質之中時，係省略了阻障金屬之使用。然而，也可使用以例如Ti(鈦)、TiN(氮化鈦)、Ta(鈮)、與Ta₂N(氮化鈮)等等為材料之單層膜、或者Ti/TiN、Ta/Ta₂N等之疊層膜所組成的阻障金屬。

再者，藉著形成作為電容絕緣膜之蝕刻阻隔膜、使其擁有可自第一階段提供所需之電容值的厚度，則在薄膜形成之後用以降低薄膜厚度的選擇性蝕刻製程已變得多余。這類蝕刻阻隔膜之材質並不限於本實施例所示的Si₃N₄。SiO₂(二氧化矽)、Si₃N₄(氮氧化矽)、SiC(碳化矽)、或SiCN(氮碳化矽)等等皆可使用。而本實施例中作為半導體



五、發明說明 (27)

電容之上部電極的貫穿插塞，係以Cu或Cu膜為材質，然而亦可使用W(鎢)等。可用於層間介電質者亦不限於本實施例所示之 SiO_2 ，也可採用具有低介電常數(即所謂『低k值』)之 SiOF (氟氧化矽)、或有機膜等等。



圖式簡單說明

五、【圖式簡單說明】

藉由以下的描述、並結合附圖，上述及其他關於本發明之目的、優點、與特色將更為顯而易見，其中：

圖1為一橫剖面圖，說明了本發明之一實施例的半導體電容配置情形；

圖2為一俯視圖，其係根據本發明之實施例，以圖表方式顯示了一半導體裝置之配置情形，其中該半導體電容與多層線路係同時形成；

圖3為一俯視圖，以圖表方式顯示了一尚未形成半導體電容之半導體裝置的配置情形(以作為比較範例)；

圖4A、4B、4C、4D、4E、4F、4G、4H、與4I為製造流程圖，其係依使用單嵌刻線路方法之製程順序、顯示了半導體電容的第一製造方法；

圖5A、5B、5C、5D、5E、與5F為製造流程圖，其係依使用雙嵌刻線路方法之製程順序、顯示了半導體電容的第二製造方法；

圖6A與6B為俯視圖，顯示了本發明之實施例中，組成該半導體裝置之主要構件的電導圖案佈局；

圖7為一俯視圖，顯示了本發明之實施例中，組成該半導體裝置之主要構件的電導圖案佈局；

圖8為一俯視圖，顯示了本發明之實施例中，該電導圖案之一部份的修改範例；

圖9為一俯視圖，以圖表方式顯示了本發明之實施例中，該半導體電容之排列區域的修改範例；



圖式簡單說明

圖10為一俯視圖，以圖表方式顯示了本發明之實施例中，該半導體電容之排列區域的修改範例；

圖11為一橫剖面圖，顯示了一習用半導體電容之配置情形；

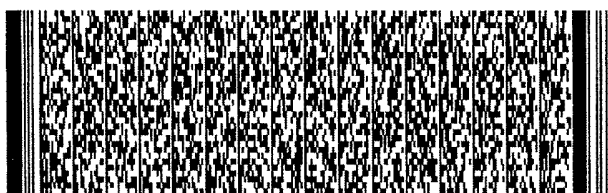
圖12A、12B、12C、12D、與12E為製造流程圖，其係依製程順序、顯示了習用半導體電容之製造方法；

圖13為一橫剖面圖，用以說明一習用半導體電容之配置情形；以及

圖14A、14B、14C、14D、14E、14F、與14G亦為製造流程圖，其係依製程順序、說明了圖13之習用半導體電容的製造方法。

元件符號說明：

- 1~半導體基板
- 10~半導體電容
- 100~半導體基板
- 102~第一層間介電質
- 103~多層線路組成部份
- 104~第一蝕刻阻隔膜
- 105~電容組成部份
- 106~第二層間介電質
- 108a~第一線路導線
- 108b~下部電極
- 11~多層線路組成部份



圖式簡單說明

- 110~ 第三層間介電質
- 112~ 第二蝕刻阻隔膜
- 114~ 第四層間介電質
- 116~ 介電膜
- 118a~ 第二線路導線
- 118b~ 上部電極
- 119~ 多層線路
- 12~ 電容組成部份
- 120~ 半導體電容
- 121~ 半導體裝置
- 13~ 電容絕緣膜
- 131~ 第一層間介電質
- 132~ 蝕刻阻隔膜
- 133~ 下層線路
- 134~ 電容絕緣膜
- 135~ 電極材質膜
- 136~ 光阻膜
- 137~ 上部電極
- 139~ 第二層間介電質
- 140~ 蝕刻阻隔膜
- 141~ 第三層間介電質
- 142~ 貫穿孔
- 143~ 線路溝槽
- 144~ 線路溝槽



圖式簡單說明

- 145~ 金屬膜
- 146~ 貫穿插塞
- 147~ 上層線路
- 148~ 半導體電容
- 15~ 第一貫穿孔
- 16~ 第二貫穿孔
- 17~ 第二線路膜
- 17A~ 第一貫穿插塞
- 17B~ 第二貫穿插塞
- 19~ 第三蝕刻阻隔膜
- 2~ 第一蝕刻阻隔膜
- 20~ 第三層間介電質
- 21A~ 第一上層線路溝槽
- 21B~ 第二上層線路溝槽
- 23~ 第三線路膜
- 23A~ 上層線路
- 23B~ 上層線路
- 23G~ GND線路
- 23P~ 電源線路
- 25~ 多層線路
- 26~ 半導體裝置
- 27P~ 交叉位置
- 27G~ 交叉位置
- 28~ 交叉位置



圖式簡單說明

29~ 區域

3~ 第一層間介電質

30~ 空白線路

4A~ 第一下層線路溝槽

4B~ 第二下層線路溝槽

6~ 第一線路膜

6A~ 下層線路

6B~ 下部電極

6G~ GND線路

6P~ 電源線路

8~ 第二蝕刻阻隔膜

9~ 第二層間介電質

h1~ 接觸窗

h2~ 第一貫穿孔

h3~ 第二貫穿孔



四、中文發明摘要 (發明名稱：半導體電容元件及其製造方法與設有該半導體電容元件之半導體裝置)

一種半導體電容係設置於半導體基板上，其配置方式乃使用層間介電質內所形成的內埋線路作為電極，故可防止製程數目的增加並抑制寄生電容效應的發生。該半導體電容具有一電容絕緣膜，其係由僅形成於夾在一作為上部電極之貫穿插塞與一下部電極間之區域內的一蝕刻阻隔膜所組成，且該電容絕緣膜將不會在其面對區域以外的其他區域內形成。

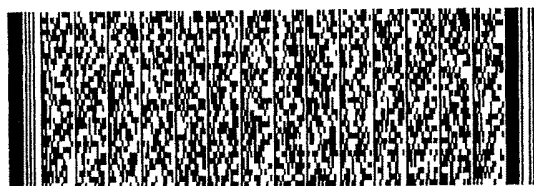
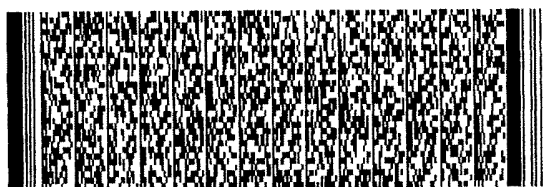
伍、(一)、本案代表圖為：第 1 圖

(二)、本案代表圖之元件代表符號簡單說明：

- 1~ 半導體基板
- 2~ 第一蝕刻阻隔膜
- 3~ 第一層間介電質
- 4B~ 第二下層線路溝槽
- 6B~ 下部電極

六、英文發明摘要 (發明名稱：SEMICONDUCTOR CAPACITIVE ELEMENT, METHOD FOR MANUFACTURING SAME AND SEMICONDUCTOR DEVICE PROVIDED WITH SAME)

A semiconductor capacitor configured so as to use buried wirings, as electrodes, formed in an interlayer dielectric is provided on a semiconductor substrate which is capable of preventing an increase in a number of manufacturing processes with occurrence of parasitic capacity being suppressed. The semiconductor capacitor has a capacitive

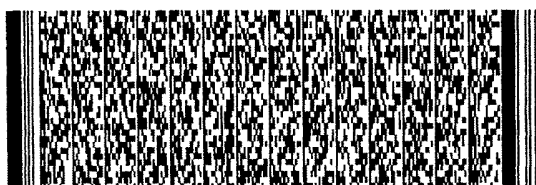


四、中文發明摘要 (發明名稱：半導體電容元件及其製造方法與設有該半導體電容元件之半導體裝置)

- 8~ 第二蝕刻阻隔膜
- 9~ 第二層間介電質
- 10~ 半導體電容
- 13~ 電容絕緣膜
- 16~ 第二貫穿孔
- 17B~ 第二貫穿插塞
- 19~ 第三蝕刻阻隔膜
- 20~ 第三層間介電質
- 21B~ 第二上層線路溝槽
- 23B~ 上層線路

六、英文發明摘要 (發明名稱：SEMICONDUCTOR CAPACITIVE ELEMENT, METHOD FOR MANUFACTURING SAME AND SEMICONDUCTOR DEVICE PROVIDED WITH SAME)

insulating film made up of an etching stopper film formed only in a region being sandwiched between a via plug serving as an upper electrode and a lower electrode, in which the capacitive insulating film is not formed in a region other than the facing region.



六、申請專利範圍

1. 一種半導體電容元件，其係使用內埋於一半導體基板上之一層間介電質中的線路來作為電極，包含：

一下部電極，內埋於該半導體基板上所形成之一第一層間介電質中；

一上部電極，內埋於經由該第一層間介電質上之一蝕刻阻隔膜所形成之一第二層間介電質中；以及

一電容絕緣膜，由僅形成於夾在該上部電極與該下部電極間之區域內的該蝕刻阻隔膜所組成。

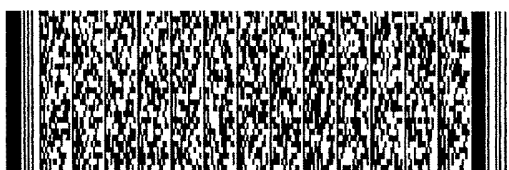
2. 如申請專利範圍第1項之半導體電容元件，其中該電容絕緣膜之厚度係較夾在該第一層間介電質與該第二層間介電質間之該區域內的該蝕刻阻隔膜者為小。

3. 如申請專利範圍第1項之半導體電容元件，其中該蝕刻阻隔膜之介電常數係較該第二層間介電質者為大。

4. 如申請專利範圍第1項之半導體電容元件，其中一第三層間介電質形成於該第二層間介電質之上、且該上部電極係連接至該第三層間介電質之中的內埋線路。

5. 一種半導體電容元件的製造方法，其係使用內埋於半導體基板上之層間介電質中的線路來作為電極，該方法包含：

一下層線路溝槽形成製程，其中，當一第一蝕刻阻隔膜與一第一層間介電質依序形成於該半導體基板之上以後，在該半導體基板上對應於一多層線路組成部份之第一區域內的該第一層間介電質與該第一蝕刻阻隔膜、以及對應於一電容組成部份之第二區域內的該第一層間介電質與



六、申請專利範圍

該第一蝕刻阻隔膜，各皆受到選擇性的蝕刻，藉以形成第一與第二下層線路溝槽；

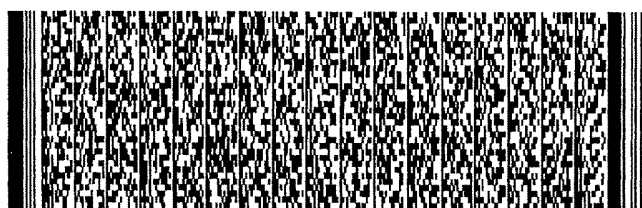
一下層導電膜形成製程，用以在對應於該多層線路組成部份之該第一區域內的該第一下層線路溝槽中形成一下層線路，並同時在對應於該電容組成部份之該第二區域內的該第二下層線路溝槽中形成一下部電極；

一貫穿孔形成製程，其中，當一第二蝕刻阻隔膜與一第二層間介電質依序形成於該第一層間介電質之上以後，對應於多層線路組成部份之該第一區域內的該第二層間介電質與該第二蝕刻阻隔膜乃受到選擇性的蝕刻、藉以形成一第一貫穿孔，且同時對應於該電容組成部份之該第二區域內的該第二層間介電質亦受到選擇性的蝕刻、藉以形成一第二貫穿孔，以使該第二蝕刻阻隔膜暴露；以及

一貫穿插塞形成製程，用以在對應於該多層線路組成部份之該第一區域內的該第一貫穿孔內形成一第一貫穿插塞，並同時在對應於該電容組成部份之該第二區域內的該第二貫穿孔內形成一第二貫穿插塞、用以作為一上部電極。

6. 如申請專利範圍第5項之半導體電容元件的製造方法，更包含一蝕刻阻隔膜削薄製程，其係在該貫穿孔形成製程之後、使對應於該電容組成部份之該第二區域中、夾在該第一層間介電質與該第二層間介電質間之第三區域內的該蝕刻阻隔膜變薄。

7. 如申請專利範圍第5項之半導體電容元件的製造方



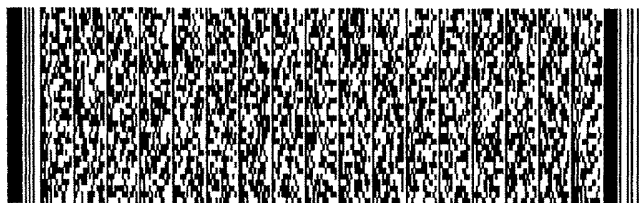
六、申請專利範圍

法，更包含一上層線路溝槽形成製程，其係接續該貫穿插塞形成製程，當一第三蝕刻阻隔膜與一第三層間介電質依序形成於該第二層間介電質之上以後，對應於該多層線路組成部份之該第一區域內的該第三層間介電質與第三蝕刻阻隔膜、以及對應於該電容組成部份之該第二區域內的該第三層間介電質與第三蝕刻阻隔膜皆受到選擇性的蝕刻，藉以分別形成一第一上層線路溝槽與一第二上層線路溝槽；以及一上層線路形成製程，用以在對應於該多層線路組成部份之該第一區域內的該第一上層線路溝槽與對應於該電容組成部份之該第二區域內的該第二上層線路溝槽兩者中形成一上層線路。

8. 一種半導體電容元件的製造方法，其係使用內埋於半導體基板上之層間介電質中的線路來作為電極，該方法包含：

一下層線路溝槽形成製程，其中，當一第一蝕刻阻隔膜與一第一層間介電質依序形成於該半導體基板之上以後，在該半導體基板上對應於一多層線路組成部份之第一區域內的該第一層間介電質與該第一蝕刻阻隔膜、以及對應於一電容組成部份之第二區域內的該第一層間介電質與該第一蝕刻阻隔膜，各皆受到選擇性的蝕刻，藉以分別形成第一與第二下層線路溝槽；

一下層導電膜形成製程，用以在對應於該多層線路組成部份之該第一區域內的該第一下層線路溝槽中形成一下層線路，並同時在對應於該電容組成部份之該第二區域內



六、申請專利範圍

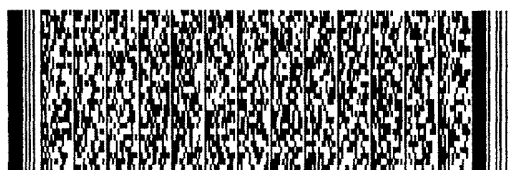
的該第二下層線路溝槽中形成一下部電極；

一上層線路溝槽形成製程，其中，當一第二蝕刻阻隔膜、一第二層間介電質、一第三蝕刻阻隔膜、以及一第三層間介電質依序形成於該第一層間介電質之上以後，對應於該多層線路組成部份之該第一區域內的該第三層間介電質與該蝕刻阻隔膜、以及對應於該電容組成部份之該第二區域內的該第三層間介電質與該蝕刻阻隔膜，各皆受到選擇性的蝕刻，藉以分別形成一第一上層線路溝槽與一第二上層線路溝槽；

一貫穿孔形成製程，用以選擇性地將對應於該多層線路組成部份之該第一區域內的該第二層間介電質與該第二蝕刻阻隔膜進行蝕刻，藉以形成一第一貫穿孔，且使該第一貫穿孔連接至該第一上層線路溝槽；同時並選擇性地將對應於該電容組成部份之該第二區域內的該第二層間介電質進行蝕刻，以使該第二蝕刻阻隔膜暴露，並形成一第二貫穿孔，且使該第二貫穿孔連接至該第二上層線路溝槽；以及

一導電膜形成製程，用以分別在對應於該多層線路組成部份之該第一區域內的該第一貫穿孔與該第一上層線路溝槽中、同時形成一第一貫穿插塞與一上層線路，並同時分別在對應於該電容組成部份之該第二區域內的該第二貫穿孔與該第二上層線路溝槽中、同時形成一第二貫穿插塞與一上層線路，且兩者皆被用來當作上部電極。

9. 如申請專利範圍第8項之半導體電容元件的製造方



六、申請專利範圍

法，更包含一蝕刻阻隔膜削薄製程，其係在該貫穿孔形成製程之後、使對應於該電容組成部份之該第二區域中、夾在該第一層間介電質與該第二層間介電質間之第三區域內的該蝕刻阻隔膜變薄。

10. 一種半導體裝置，設有半導體電容元件，其係使用內埋於半導體基板上之層間介電質中的線路來作為電極，該半導體裝置包括：

一下部電極，內埋於該半導體基板上所形成之一第一層間介電質中；

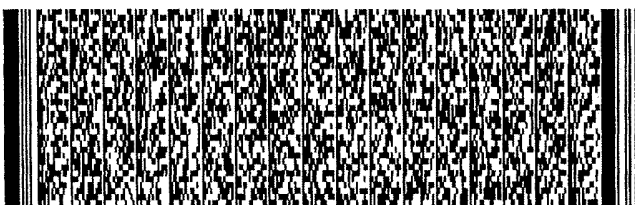
一上部電極，內埋於經由該第一層間介電質上之一蝕刻阻隔膜所形成之一第二層間介電質中；以及

一電容絕緣膜，由僅形成於夾在該上部電極與該下部電極間之區域內的該蝕刻阻隔膜所組成。

11. 如申請專利範圍第10項之半導體裝置，其中該電容絕緣膜之厚度係較夾在該第一層間介電質與該第二層間介電質間之區域內的該蝕刻阻隔膜者為小。

12. 如申請專利範圍第10項之半導體裝置，其中該蝕刻阻隔膜之介電常數係較該第二層間介電質者為大。

13. 如申請專利範圍第10項之半導體裝置，其中一第三層間介電質係形成於該第二層間介電質之上、且該上部電極係連接至該第三層間介電質之中的內埋線路。



圖式

圖 1

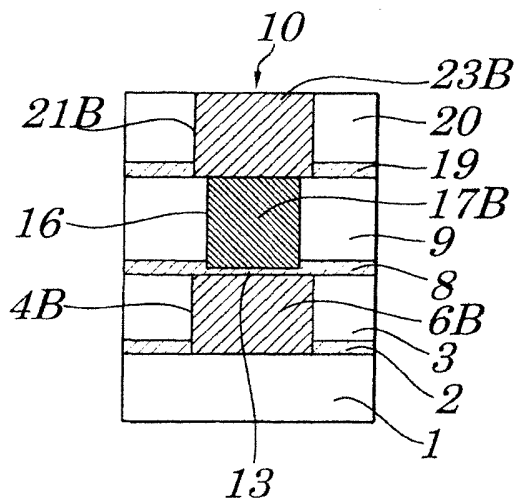


圖 2

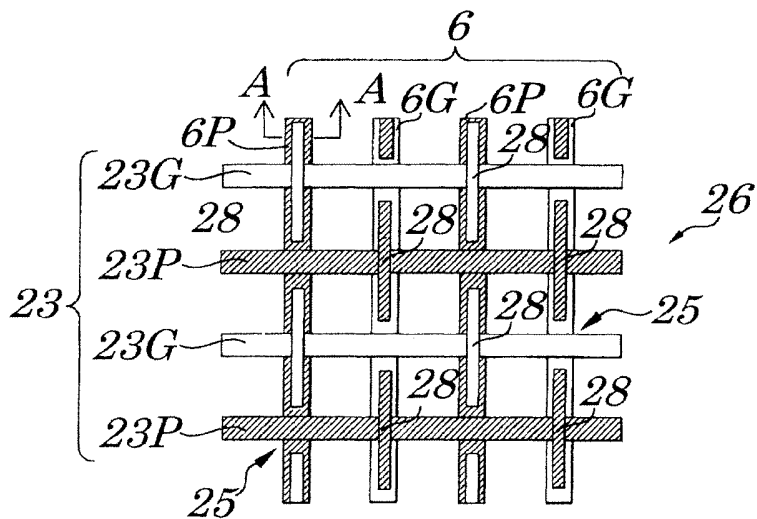
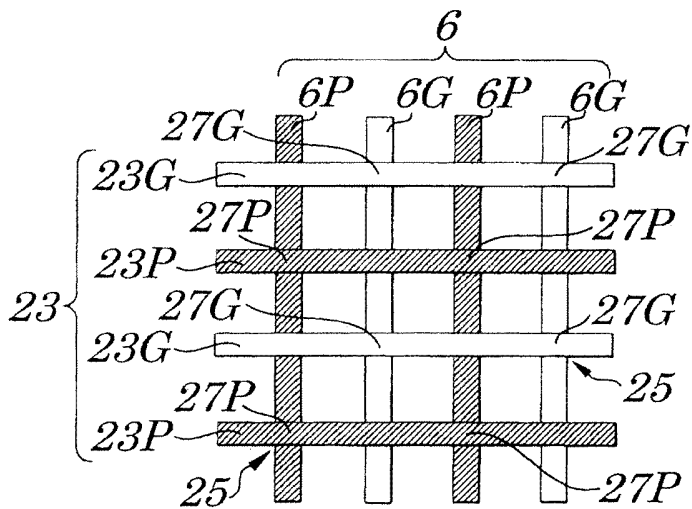


圖 3



圖式

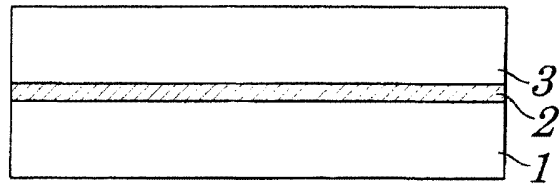


圖 4A

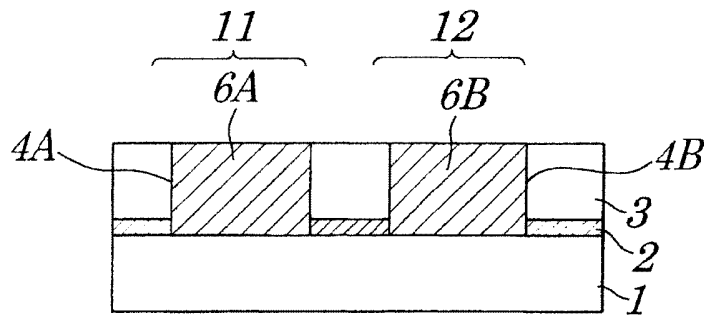


圖 4B

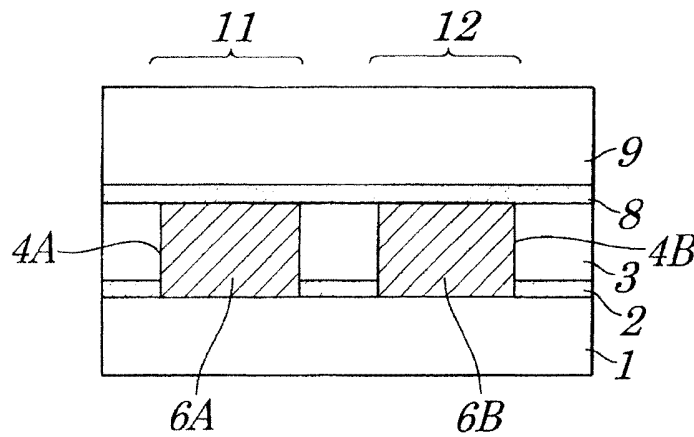
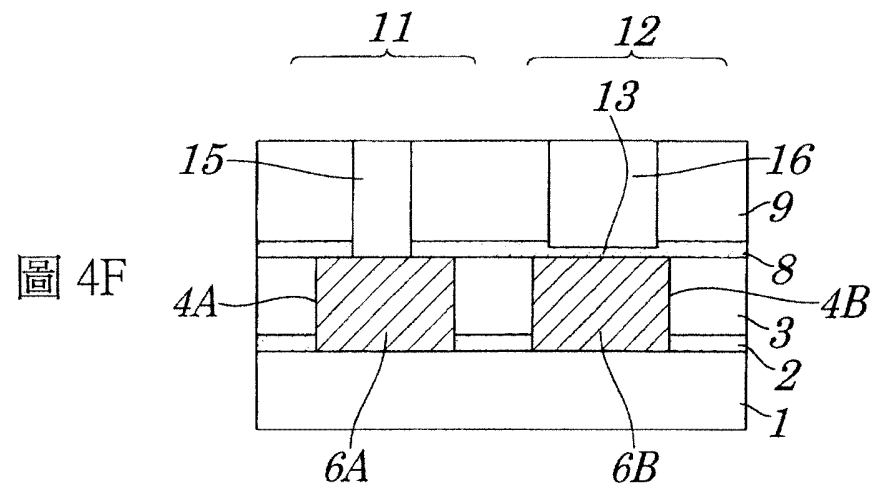
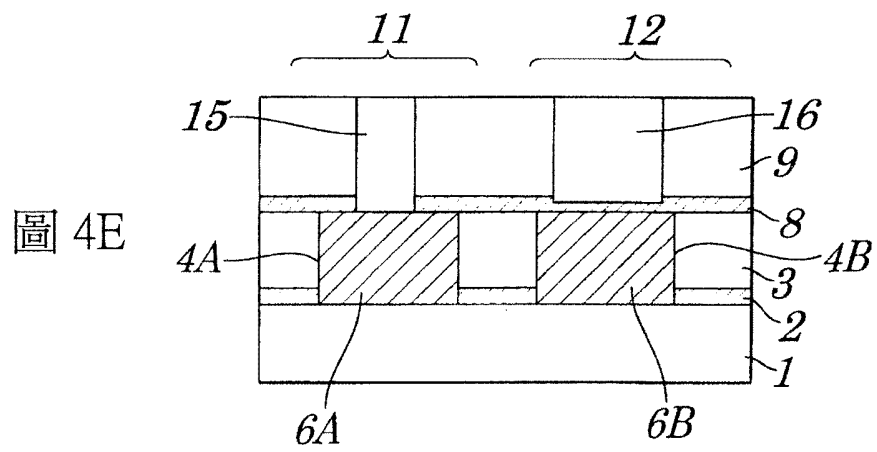
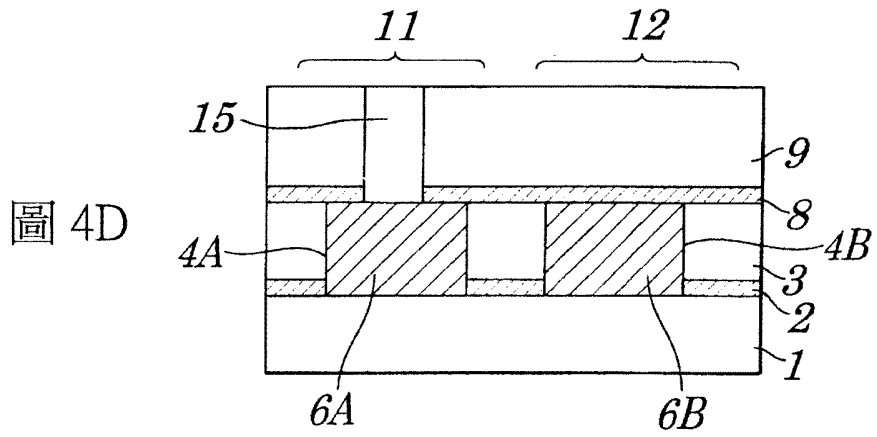
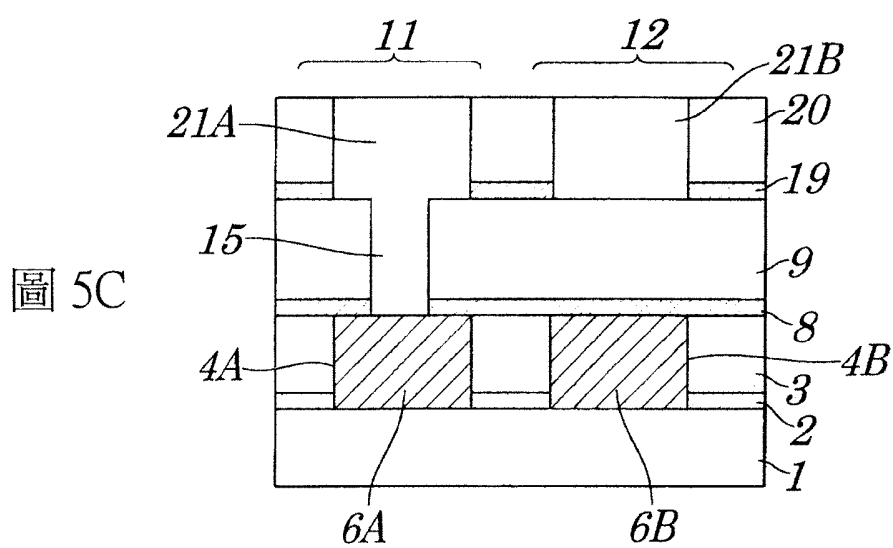
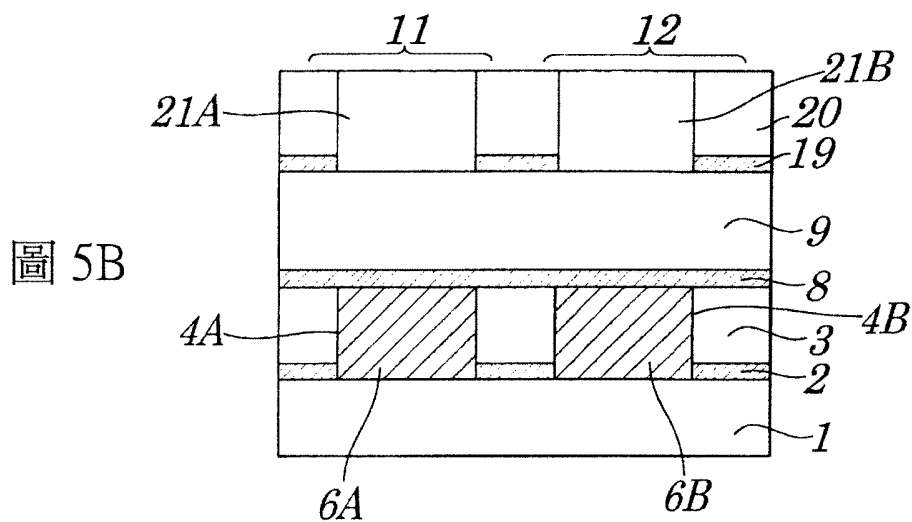
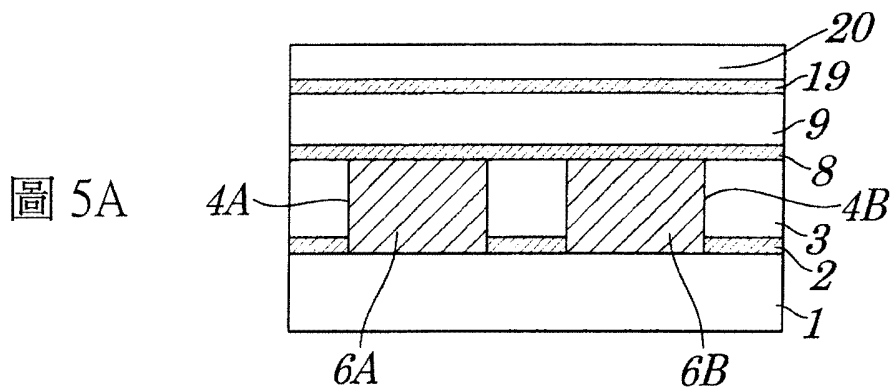


圖 4C

圖式



圖式



圖式

圖 5D

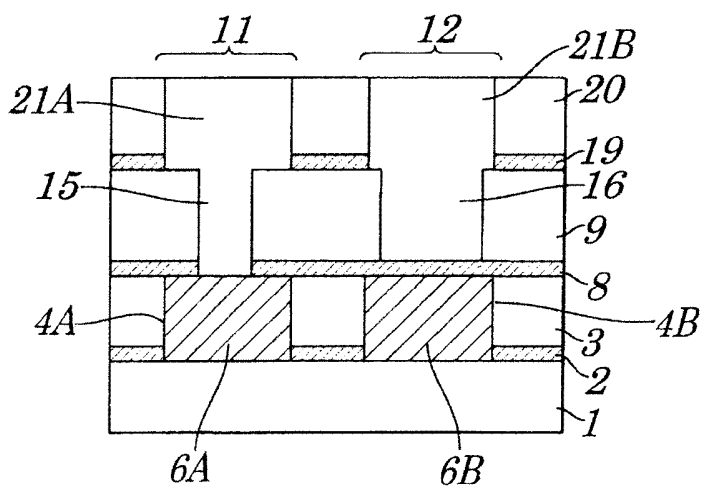


圖 5E

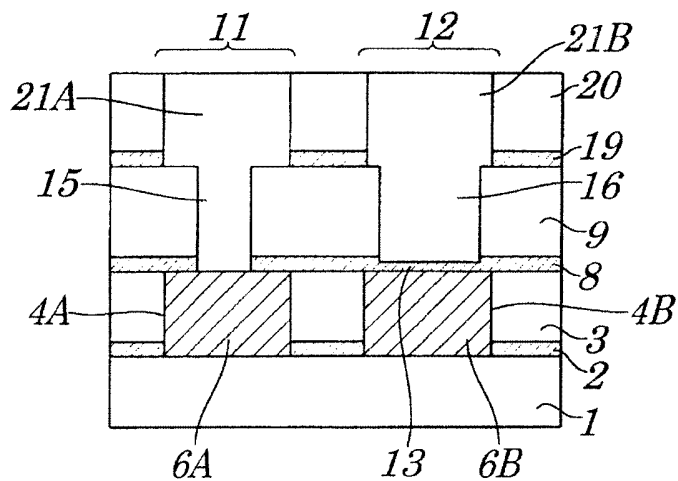
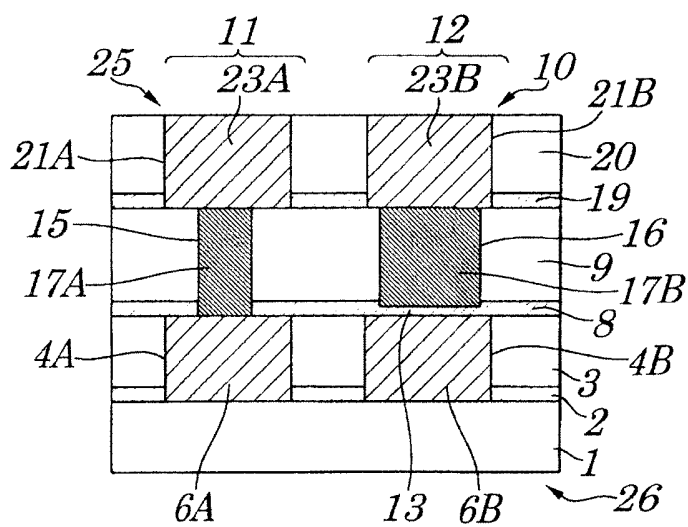
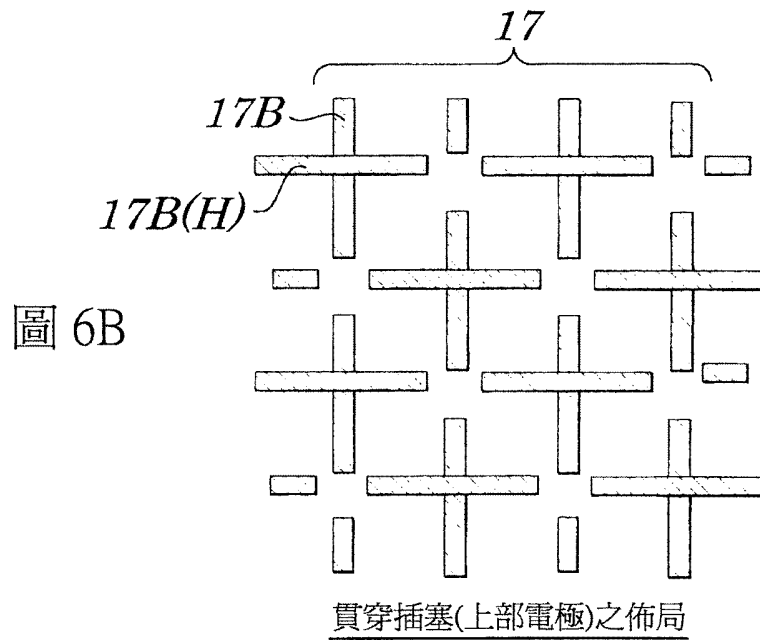
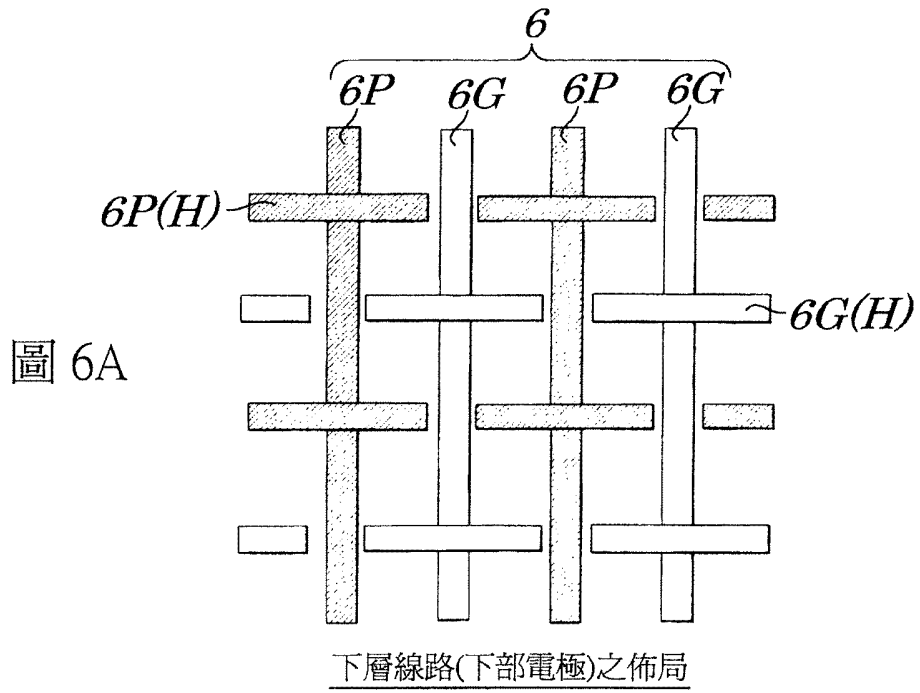


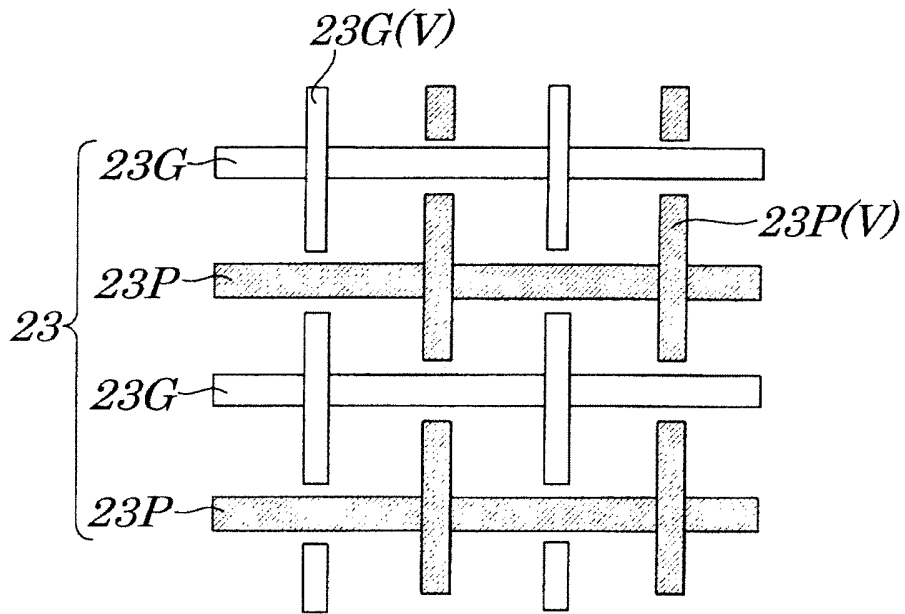
圖 5F



圖式



圖式



上層線路之佈局

圖 7

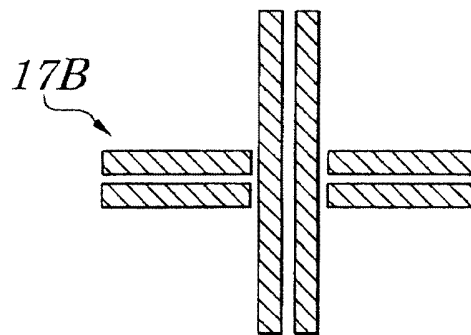


圖 8

圖式

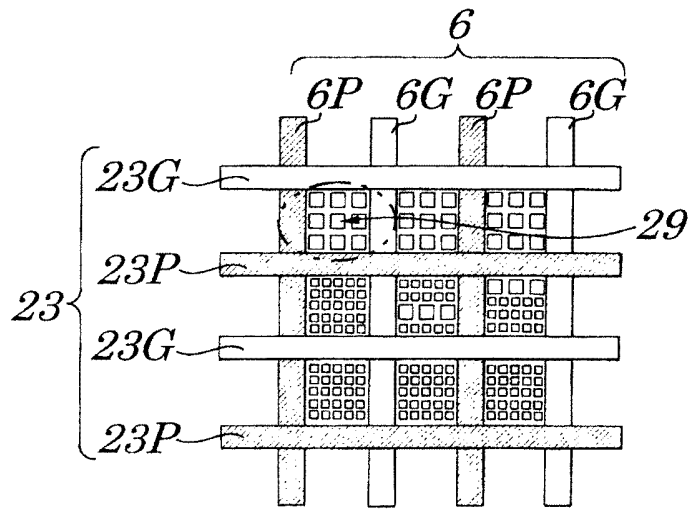


圖 9

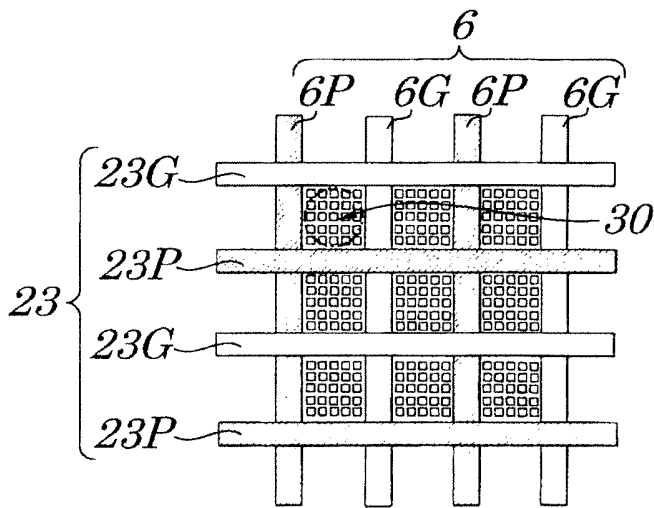


圖 10

圖式

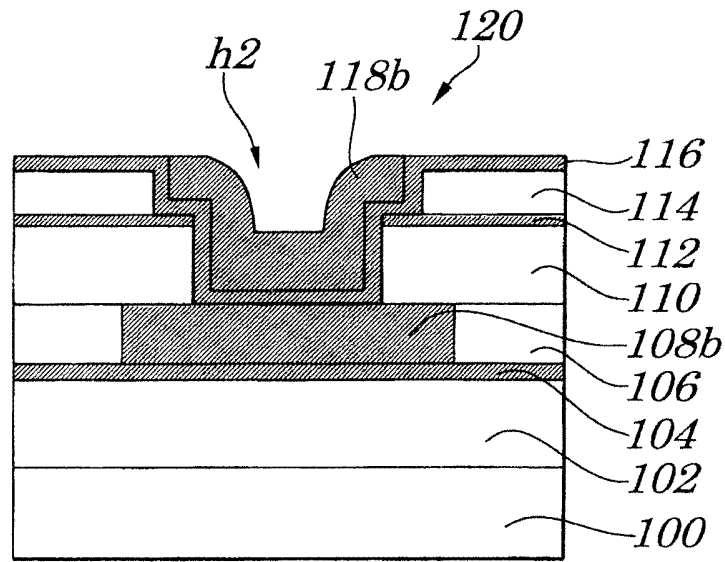


圖 11

圖式

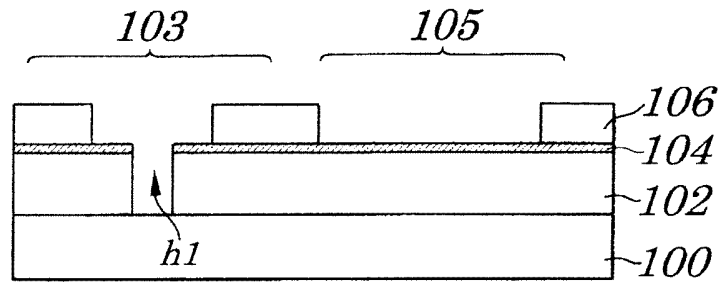


圖 12A

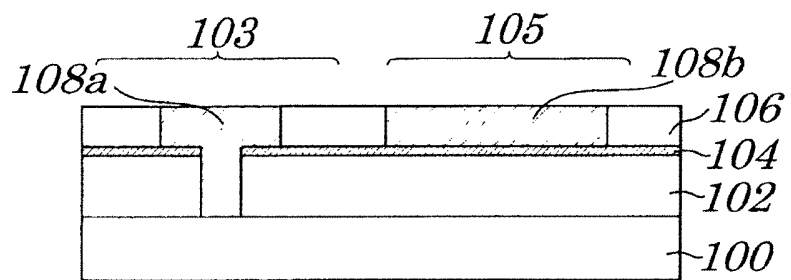


圖 12B

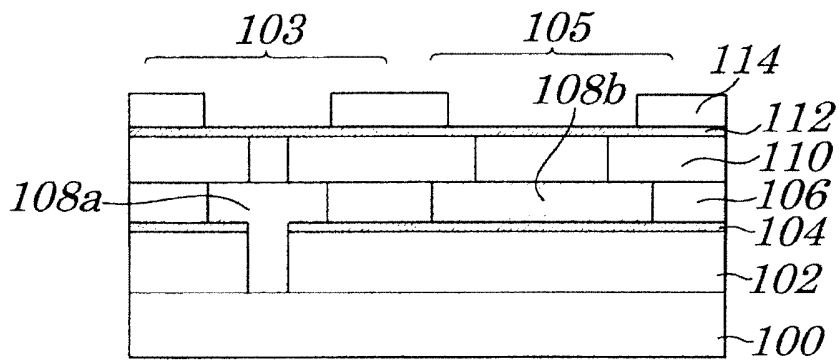


圖 12C

圖式

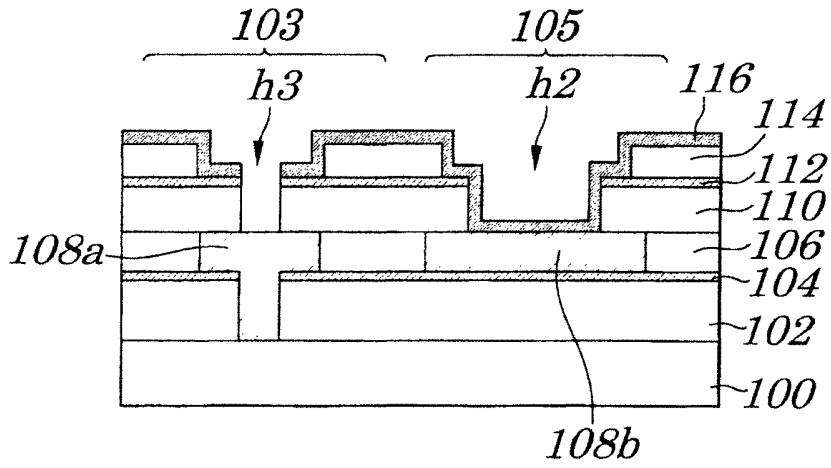


圖 12D

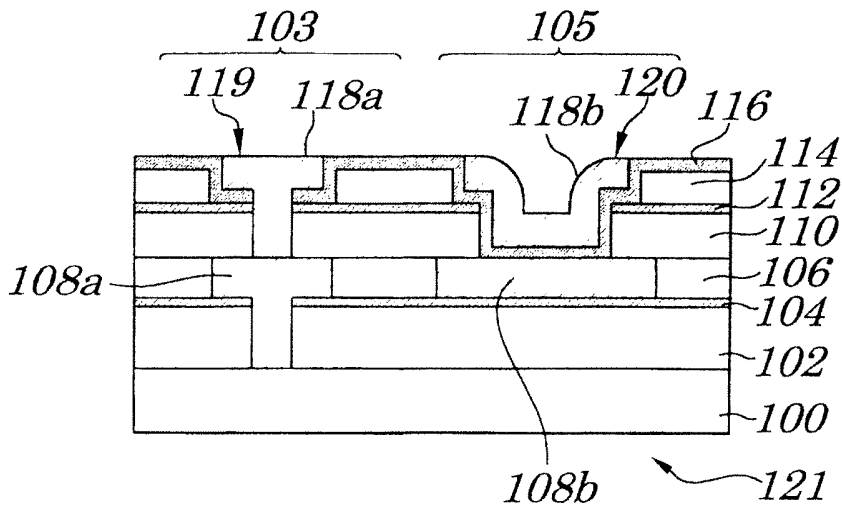


圖 12E

圖式

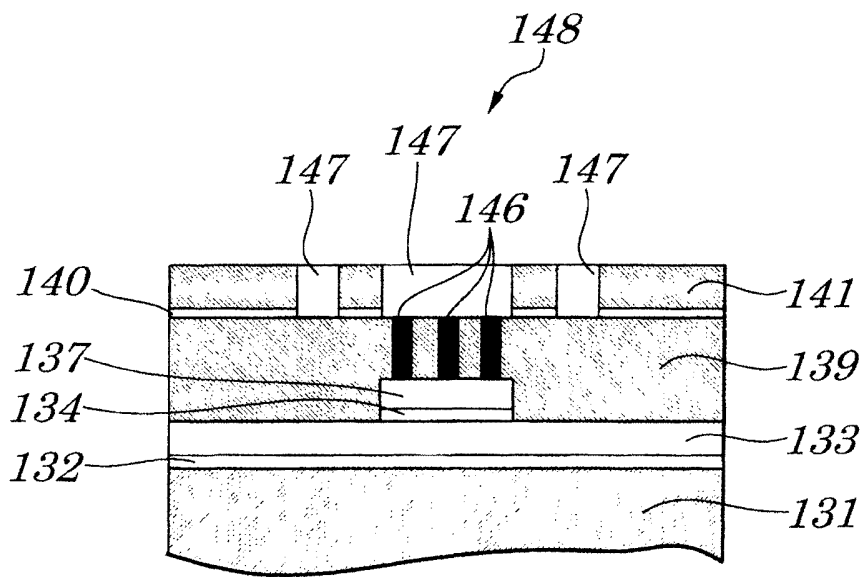
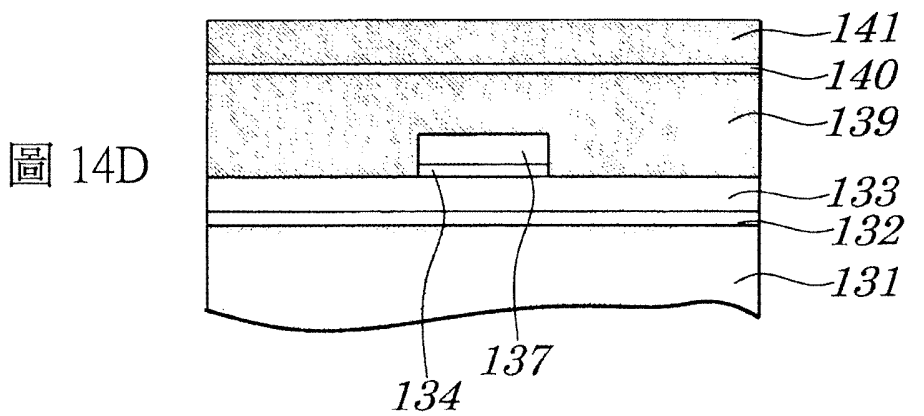
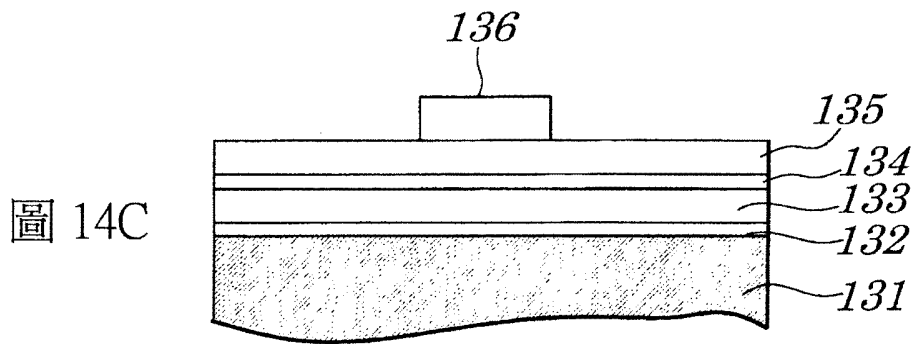
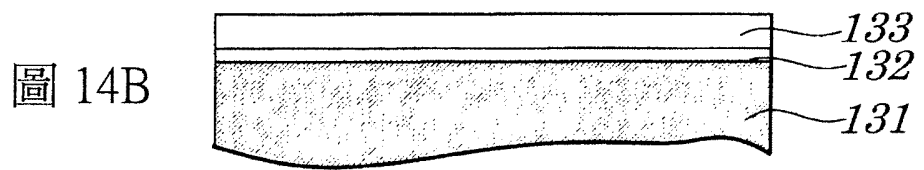
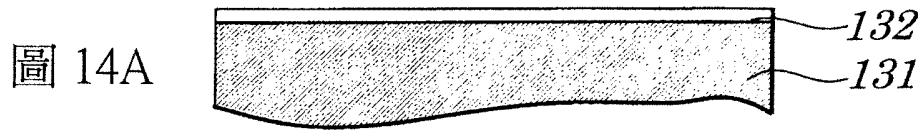


圖 13

圖式



圖式

