



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0090000
(43) 공개일자 2012년08월16일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2011-0143283
(22) 출원일자 2011년12월27일
심사청구일자 없음
(30) 우선권주장
JP-P-2010-293246 2010년12월28일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
(72) 발명자
야마자끼 ? 빠이
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
박충범, 장수길, 이중희

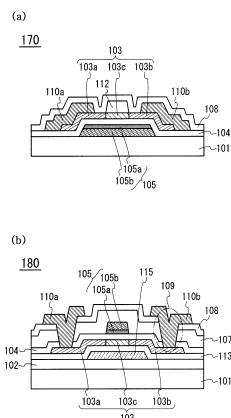
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제작 방법

(57) 요 약

본 발명은, 고속 동작 가능한 반도체 장치를 제공한다. 또한, 신뢰성이 높은 반도체 장치를 제공한다. 트랜지스터의 반도체층에 결정성을 갖는 산화물 반도체를 이용하여, 상기 반도체층에 채널 형성 영역과 소스 영역과 드레인 영역을 형성한다. 소스 영역 및 드레인 영역의 형성은, 채널 보호층을 마스크로 하여 반도체층에 희 가스 또는 수소 중 1종류 또는 복수 종류의 원소를 이온 도핑법 또는 이온 주입법에 의해 행한다.

대 표 도 - 도7



특허청구의 범위

청구항 1

반도체 장치로서,

게이트 전극,

상기 게이트 전극 위에 형성된 게이트 절연층,

결정성을 갖고, 상기 게이트 절연층 위에 형성된 산화물 반도체층, 및

상기 산화물 반도체층 위에 형성된 절연층

을 포함하고,

상기 산화물 반도체층은 제1 산화물 반도체 영역과 한 쌍의 제2 산화물 반도체 영역들을 포함하고,

상기 제1 산화물 반도체 영역은 상기 한 쌍의 제2 반도체 산화물 영역들 사이에 끼어 있고,

상기 제1 산화물 반도체 영역은, 상기 게이트 절연층을 개재하여 상기 게이트 전극과 중첩하며, 상기 절연층과 접하고,

상기 한 쌍의 제2 산화물 반도체 영역들은 희가스 및 수소 중에서 선택된 적어도 1종류의 원소를 포함하는, 반도체 장치.

청구항 2

제1항에 있어서, 상기 한 쌍의 제2 산화물 반도체 영역들에 포함된 상기 원소의 농도는 5×10^{19} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하인, 반도체 장치.

청구항 3

제1항에 있어서, 상기 산화물 반도체층은 비단결정(non-single-crystal) 반도체를 포함하는, 반도체 장치.

청구항 4

반도체 장치로서,

게이트 전극,

상기 게이트 전극 위에 형성된 게이트 절연층,

결정성을 갖고, 상기 게이트 절연층 위에 형성된 산화물 반도체층, 및

상기 산화물 반도체층 위에 형성된 절연층

을 포함하고,

상기 산화물 반도체층은 제1 산화물 반도체 영역과 한 쌍의 제2 산화물 반도체 영역들을 포함하고,

상기 제1 산화물 반도체 영역은 상기 한 쌍의 제2 반도체 산화물 영역들 사이에 끼어 있고,

상기 제1 산화물 반도체 영역은, 상기 게이트 절연층을 개재하여 상기 게이트 전극과 중첩하며, 상기 절연층과 접하고,

상기 한 쌍의 제2 산화물 반도체 영역들은 희가스 및 수소 중에서 선택된 적어도 1종류의 원소를 포함하고,

상기 산화물 반도체층은 아연, 인듐 또는 갈륨을 포함하는, 반도체 장치.

청구항 5

제4항에 있어서, 상기 한 쌍의 제2 산화물 반도체 영역들에 포함된 상기 원소의 농도는 5×10^{19} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하인, 반도체 장치.

$\times 10^{22}$ atoms/cm³ 이하인, 반도체 장치.

청구항 6

제4항에 있어서, 상기 산화물 반도체층은 비단결정 반도체를 포함하는, 반도체 장치.

청구항 7

반도체 장치를 제조하는 방법으로서,

게이트 전극을 형성하는 단계,

상기 게이트 전극 위에 게이트 절연층을 형성하는 단계,

상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계,

상기 산화물 반도체층 위에 절연층을 형성하는 단계, 및

상기 절연층을 마스크로 사용하여, 희가스와 수소 중에서 선택된 적어도 1종류의 원소를 상기 산화물 반도체층에 첨가하는 단계

를 포함하는, 반도체 장치의 제조 방법.

청구항 8

제7항에 있어서, 상기 원소는, 이온 도핑법 또는 이온 주입법에 의해 상기 산화물 반도체층에 첨가되는, 반도체 장치의 제조 방법.

청구항 9

제7항에 있어서, 상기 원소는, 5×10^{19} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하의 농도로 상기 산화물 반도체층에 첨가되는, 반도체 장치의 제조 방법.

청구항 10

제7항에 있어서, 상기 산화물 반도체층은 비단결정 반도체를 포함하는, 반도체 장치의 제조 방법.

청구항 11

반도체 장치를 제조하는 방법으로서,

게이트 전극을 형성하는 단계,

상기 게이트 전극 위에 게이트 절연층을 형성하는 단계,

상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계,

상기 산화물 반도체층 위에 절연층을 형성하는 단계, 및

상기 절연층을 마스크로 사용하여, 희가스와 수소 중에서 선택된 적어도 1종류의 원소를 상기 산화물 반도체층에 첨가하는 단계

를 포함하고,

상기 산화물 반도체층은 아연, 인듐 또는 갈륨을 포함하는, 반도체 장치의 제조 방법.

청구항 12

제11항에 있어서, 상기 원소는, 이온 도핑법 또는 이온 주입법에 의해 상기 산화물 반도체층에 첨가되는, 반도체 장치의 제조 방법.

청구항 13

제11항에 있어서, 상기 원소는, 5×10^{19} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하의 농도로 상기 산화물 반도체층에

첨가되는, 반도체 장치의 제조 방법.

청구항 14

제11항에 있어서, 상기 산화물 반도체층은 비단결정 반도체를 포함하는, 반도체 장치의 제조 방법.

명세서

기술분야

[0001]

트랜지스터 등의 반도체 소자를 포함하는 회로를 갖는 반도체 장치 및 그 제작 방법에 관한 것이다. 예를 들면, 전원 회로에 탑재되는 파워 디바이스, 메모리, 사이리스터, 컨버터, 이미지 센서 등을 포함하는 반도체 집적 회로, 액정 표시 패널로 대표되는 전기 광학 장치, 발광 소자를 갖는 발광 표시 장치 등을 부품으로서 탑재한 전자 기기에 관한 것이다.

[0002]

또한, 본 명세서 중에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 발광 표시 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치다.

배경기술

[0003]

액정 표시 장치로 대표되는 바와 같이, 유리 기판 등에 형성되는 트랜지스터는 아몰퍼스 실리콘, 다결정 실리콘 등에 의해 구성되어 있다. 아몰퍼스 실리콘을 이용한 트랜지스터는 전계 효과 이동도가 낮지만 유리 기판의 대면적화에 대응할 수 있다. 또한, 다결정 실리콘을 이용한 트랜지스터의 전계 효과 이동도는 높지만 유리 기판의 대면적화에는 적합하지 않다는 결점을 갖고 있다.

[0004]

실리콘을 이용한 트랜지스터에 대하여, 산화물 반도체를 이용해서 트랜지스터를 제작하여, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들면, 산화물 반도체로서 산화 아연, In-Ga-Zn계 산화물을 이용해서 트랜지스터를 제작하여, 표시 장치의 화소의 스위칭 소자 등에 이용하는 기술이 특히 문헌 1 및 특허 문헌 2에서 개시되어 있다.

[0005]

특허 문헌 3에서는, 산화물 반도체를 이용한 스태거형의 트랜지스터에 있어서, 소스 영역 및 드레인 영역과 소스 전극 및 드레인 전극의 사이에, 완충층으로서 도전성이 높은 질소를 포함하는 산화물 반도체를 형성하여, 산화물 반도체와 소스 전극 및 드레인 전극의 컨택트 저항을 저감하는 기술이 개시되어 있다.

[0006]

또한, 비특허 문헌 1에서는, 노출된 산화물 반도체에 아르곤 플라즈마 처리를 행하는 자기 정합 프로세스에 의해, 그 부분의 산화물 반도체의 저항율을 저하시켜서 소스 영역 및 드레인 영역으로 한 산화물 반도체 트랜지스터가 개시되어 있다.

[0007]

그러나, 이 방법에서는, 산화물 반도체 표면을 노출시켜서 아르곤 플라즈마 처리를 행함으로써, 소스 영역 및 드레인 영역으로 되어야 할 부분의 산화물 반도체도 동시에 에칭되어 소스 영역 및 드레인 영역이 박층화된다 (비특허 문헌 1의 도 8 참조). 그 결과, 소스 영역 및 드레인 영역의 저항이 증가하고, 또한 박층화에 수반되는 오버 에칭에 의한 불량품 발생의 확률도 증가한다.

[0008]

이 현상은, 산화물 반도체에 대한 플라즈마 처리에 이용하는 이온 종의 원자 반경이 큰 경우에 현저해진다.

[0009]

물론, 산화물 반도체층이 충분한 두께라면 문제되지 않지만, 채널 길이를 200nm 이하로 하는 경우에는, 단채널 효과를 방지하는 데 있어서 채널이 되는 부분의 산화물 반도체층의 두께는 20nm 이하, 바람직하게는 10nm 이하일 것이 요구된다. 그러한 얇은 산화물 반도체층을 취급하는 경우에는, 상기한 바와 같은 플라즈마 처리는 바람직하지 못하다.

선행기술문헌

특허문헌

[0010]

(특허문헌 0001) 특허 문헌 1 : 일본 특허 공개 2007-123861호 공보

(특허문헌 0002) 특허 문헌 2 : 일본 특허 공개 2007-96055호 공보

(특허문현 0003) 특허 문현 3 : 일본 특허 공개 2010-135774호 공보

비특허문현

[0011] (비특허문현 0001) 비특허 문현 1 : S. Jeon et al. "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Application", IEDM Tech. Dig., p.504, 2010.

발명의 내용

해결하려는 과제

[0012] 고속 동작 가능한 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0013] 단채널 효과에 의한 전기 특성의 변동이 생기기 어려운 트랜지스터를 이용한 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0014] 또한, 자기 정합 프로세스에 의해 소스 영역 및 드레인 영역을 형성하여, 미세화하기 쉬운 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0015] 또한, 채널 부분보다 저저항인 소스 영역 및 드레인 영역을 형성함으로써, 소스 전극 및 드레인 전극의 접촉 저항을 저감시킬 수 있어, 온 전류를 향상시킨 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0016] 신뢰성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0017] 본 발명의 일 양태는, 게이트 전극과, 게이트 절연층과, 결정성을 갖는 산화물 반도체층과, 채널 보호층을 가지며, 게이트 전극 위에 게이트 절연층이 형성되고, 게이트 절연층 위에 산화물 반도체층이 형성되고, 산화물 반도체층 위에 채널 보호층이 형성되고, 산화물 반도체층은, 제1 산화물 반도체 영역과 한 쌍의 제2 산화물 반도체 영역을 가지며, 한 쌍의 제2 산화물 반도체 영역은 제1 산화물 반도체 영역을 사이에 두고 형성되고, 제1 산화물 반도체 영역은 게이트 절연층을 사이에 두고 게이트 전극과 중첩하여, 채널 보호층과 접하고 있는 것을 특징으로 하는 반도체 장치다.

[0018] 또한, 본 발명의 일 양태는, 결정성을 갖는 산화물 반도체층과, 게이트 절연층과, 게이트 전극을 가지며, 산화물 반도체층은, 제1 산화물 반도체 영역과 한 쌍의 제2 산화물 반도체 영역을 갖고, 한 쌍의 제2 산화물 반도체 영역은 제1 산화물 반도체 영역을 사이에 두고 형성되고, 제1 산화물 반도체 영역은, 게이트 절연층을 사이에 두고 게이트 전극과 중첩하고 있는 것을 특징으로 하는 반도체 장치다.

[0019] 산화물 반도체층에 비단결정 반도체를 이용한다.

[0020] 제1 산화물 반도체 영역은, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)를 갖는다. CAAC-OS는, c축이 CAAC-OS의 폐 형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되는 동시에, 또한 ab면에 수직한 방향으로부터 보아 삼각형상 또는 육각형상의 원자 배열을 가지며, c축에 수직한 방향으로부터 보아 금속 원자가 층 형상 또는 금속 원자와 산소 원자가 층 형상으로 배열되어 있는 결정부를 갖는다.

[0021] 제2 산화물 반도체 영역은, 희 가스 또는 수소(H) 중 적어도 1종류의 원소를 $5 \times 10^{19} \text{ atoms/cm}^3$ 이상, $1 \times 10^{22} \text{ atoms/cm}^3$ 이하의 농도로 포함한다.

[0022] 산화물 반도체는, In, Ga, Sn 및 Zn에서 선택된 2종 이상의 원소를 포함할 수 있다.

[0023] 제1 산화물 반도체 영역은 트랜지스터의 채널 형성 영역이 되고, 한 쌍의 제2 산화물 반도체 영역은 트랜지스터의 소스 영역 및 드레인 영역이 된다.

[0024] 보텀 게이트 구조의 트랜지스터에 있어서, 소스 영역 및 드레인 영역은, 채널 보호층을 마스크로 하여, 산화물 반도체층에 도펀트를 첨가함으로써 형성할 수 있다. 해당 채널 보호층은, 활성층의 백 채널 부분을 보호하기 위해 형성되며, 산화 실리콘, 질화 실리콘, 산화 알루미늄, 질화 알루미늄 등에서 선택되는 재료를, 단층 혹은

적층시켜서 이용하는 것이 바람직하다.

[0025] 투 게이트 구조의 트랜지스터에 있어서, 소스 영역 및 드레인 영역은, 게이트 전극을 마스크로 하여, 산화물 반도체층에 도편트를 첨가함으로써 형성할 수 있다.

[0026] 트랜지스터의 소스 영역, 드레인 영역을 형성하기 위한 도편트의 첨가는, 이온 도핑법 또는 이온 주입법 등을 이용할 수 있다. 도편트로는, 희 가스 또는 수소(H) 중 1종류 또는 복수 종류의 원소를 이용할 수 있다. 또한, 이온 도핑법 또는 이온 주입법에 의해 산화물 반도체층에 도편트를 첨가할 때, 도편트를, 절연층을 통과시켜 산화물 반도체층에 첨가함으로써, 도편트 첨가에 있어서의 산화물 반도체층에 대한 과잉 손상을 경감할 수 있다. 또한, 산화물 반도체층과 절연층의 계면도 청정하게 유지되기 때문에, 트랜지스터의 특성이나 신뢰성이 높아진다. 또한, 도편트의 첨가 깊이(첨가 영역)가 제어하기 쉬워져, 산화물 반도체층에 도편트를 정밀도 좋게 첨가할 수 있다.

[0027] 첨가하는 도편트의 농도가 증가하면 산화물 반도체 영역의 캐리어 밀도를 증가시킬 수 있지만, 첨가하는 도편트의 농도가 너무 높으면, 캐리어의 이동을 저해하여 도전성을 저하시키게 된다.

[0028] 도편트가 첨가된 산화물 반도체를 소스 영역 및 드레인 영역에 이용함으로써, 도편트가 첨가되지 않은 채널 형성 영역의 밴드 단부의 굴곡을 작게 하는 효과를 발휘한다. 한편, 소스 영역 및 드레인 영역을 금속 재료로 형성한 경우, 산화물 반도체 영역인 채널의 밴드 단부의 굴곡을 무시할 수 없게 되어, 실효상의 채널 길이가 짧아지는 경우가 있다. 이러한 경향은 트랜지스터의 채널 길이가 짧을수록 현저하다.

[0029] 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되어 고순도화된 산화물 반도체(purified OS)는, 그 후, 산화물 반도체에 산소를 공급하여 산화물 반도체 내의 산소 결손을 저감함으로써 i형(진성 반도체) 또는 i형에 한없이 가까운(실질적으로 i형화된) 산화물 반도체로 할 수 있다. 그 때문에, 채널이 형성되는 반도체층에 i형 또는 실질적으로 i형화된 산화물 반도체를 이용한 트랜지스터는, 오프 전류가 현저하게 낮다는 특성을 갖는다. 구체적으로, 고순도화된 산화물 반도체는, 2차 이온 질량 분석법(SIMS:Secondary Ion Mass Spectrometry)에 의한 수소 농도의 측정값이 $5 \times 10^{18}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{18}/\text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하로 한다. 또한, 홀 효과 측정에 의해 측정할 수 있는 i형 또는 실질적으로 i형화된 산화물 반도체층의 캐리어 밀도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다. 또한, 산화물 반도체의 밴드갭은 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 채널이 형성되는 반도체층에, i형 또는 실질적으로 i형화된 산화물 반도체를 이용함으로써, 트랜지스터의 오프 전류를 내릴 수 있다.

[0030] 여기서, 산화물 반도체 중의 수소 농도의 SIMS 분석에 대해 언급한다. SIMS 분석은, 그 원리상 시료 표면 근방이나 재질이 서로 다른 막과의 적층 계면 근방의 데이터를 정확하게 얻는 것이 어렵다고 알려져 있다. 따라서, 막 내에서의 수소 농도의 두께 방향의 분포를 SIMS으로 분석하는 경우, 대상이 되는 막이 존재하는 범위에서 값에 극단적인 변동이 없고, 거의 일정한 값이 얻어지는 영역에서의 평균값을 수소 농도로서 채용한다. 또한, 측정의 대상이 되는 막의 두께가 작은 경우, 인접하는 막 내의 수소 농도의 영향을 받아 거의 일정한 값이 얻어지는 영역을 찾아낼 수 없는 경우가 있다. 이 경우, 해당 막이 존재하는 영역에서의 수소 농도의 최대값 또는 최소값을 해당 막 내의 수소 농도로서 채용한다. 또한, 해당 막이 존재하는 영역에 있어서, 최대값을 갖는 산형상 피크, 최소값을 갖는 곡형상 피크가 존재하지 않는 경우, 변곡점의 값을 수소 농도로서 채용한다.

발명의 효과

[0031] 본 발명의 일 양태에 의해, 전기 특성이 양호하면서 또한 미세화를 행하기 쉬운 산화물 반도체를 이용한 반도체 장치를 제공할 수 있다.

[0032] 또한, 단채널 효과에 의한 전기 특성의 변동이 생기기 어려운 반도체 장치를 제공한다.

[0033] 또한, 절연층을 통과시켜 산화물 반도체 중에 도편트를 첨가함으로써, 산화물 반도체의 박층화를 방지하고, 산화물 반도체와 절연층의 계면도 청정하게 유지되므로, 반도체 장치의 특성이나 신뢰성을 높일 수 있다.

도면의 간단한 설명

[0034] 도 1은 본 발명의 일 양태를 설명하는 상면도 및 단면도다.

도 2는 본 발명의 일 양태를 설명하는 상면도 및 단면도다.

도 3은 본 발명의 일 양태를 설명하는 단면도다.

도 4는 본 발명의 일 양태를 설명하는 단면도다.

도 5는 본 발명의 일 양태를 설명하는 상면도 및 단면도다.

도 6은 본 발명의 일 양태를 설명하는 상면도 및 단면도다.

도 7은 본 발명의 일 양태를 설명하는 단면도다.

도 8은 본 발명의 일 양태를 설명하는 단면도다.

도 9는 산화물 반도체 및 금속 재료의 랜드 구조를 설명하는 도면이다.

도 10은 본 발명의 일 양태를 설명하는 회로도다.

도 11은 본 발명의 일 양태를 설명하는 회로도다.

도 12는 본 발명의 일 양태를 설명하는 회로도다.

도 13은 본 발명의 일 양태를 설명하는 회로도다.

도 14는 CPU의 구체예를 도시하는 블록도 및 그 일부의 회로도다.

도 15는 산화물 재료의 결정 구조를 설명하는 도면이다.

도 16은 산화물 재료의 결정 구조를 설명하는 도면이다.

도 17은 산화물 재료의 결정 구조를 설명하는 도면이다.

도 18은 산화물 재료의 결정 구조를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0035]

본 발명의 실시 형태에 대해서 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 기재하는 실시 형태의 기재 내용에 한정해서 해석되는 것이 아니다. 또한, 이하에 설명하는 본 발명의 구성에서, 동일 부분 또는 마찬가지의 기능을 갖는 부분에는, 동일한 부호를 서로 다른 도면 간에서 공통적으로 이용하고, 그 반복 설명은 생략한다.

[0036]

또한, 도면 등에서 나타내는 각 구성의 위치, 크기, 범위 등은, 간단히 이해하기 위하여 실제 위치, 크기, 범위 등을 나타내지 않은 경우가 있다. 이 때문에, 개시하는 발명은, 반드시 도면 등에 개시된 위치, 크기, 범위 등에 한정되는 것은 아니다.

[0037]

또한, 본 명세서에서 이용하는 제1, 제2, 제3 등의 용어는, 구성 요소의 혼동을 피하기 위해 붙인 것이며, 수직으로 한정하는 것은 아니다. 그 때문에, 예를 들면 "제1"을 "제2" 또는 "제3" 등으로 적절히 치환해서 설명할 수 있다.

[0038]

트랜지스터는 반도체 장치의 일 형태이며, 전류나 전압의 증폭이나, 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에서의 트랜지스터는, IGFET(Insulated Gate Field Effect Transistor)나 박막 트랜지스터(TFT:Thin Film Transistor)를 포함한다.

[0039]

또한, 트랜지스터의 "소스"나 "드레인"의 기능은, 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화하는 경우 등에는 교체될 수 있다. 이 때문에, 본 명세서에서는, "소스"나 "드레인"의 용어는 교체해서 이용할 수 있는 것으로 한다.

[0040]

또한, 본 명세서 등에서 "전극"이나 "배선"의 용어는, 이것들의 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들면, "전극"은 "배선"의 일부로서 이용되는 경우가 있으며, 그 반대도 또한 마찬가지이다. 또한, "전극"이나 "배선"의 용어는, 복수의 "전극"이나 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다.

[0041]

(실시 형태 1)

[0042]

본 실시 형태에서는, 산화물 반도체를 채널에 이용한 트랜지스터 및 그 제작 방법에 대해서 도 1 내지 도 4를

이용하여 설명한다.

[0043] 도 1의 (a)는, 반도체 장치의 구성의 일 형태인 트랜지스터(100)의 구조를 설명하는 상면도이며, 도 1의 (b)는, 도 1의 (a)에 A1-A2의 쇄선으로 나타낸 부위의 적층 구조를 설명하는 단면도다. 또한, 도 1의 (a)에서, 기판 및 절연층의 기재는 생략하고 있다.

[0044] 도 1에 도시하는 트랜지스터(100)는, 기판(101) 위에 기초층(102)이 형성되고, 기초층(102) 위에 산화물 반도체 층(103)이 형성되어 있다. 또한, 산화물 반도체층(103) 위에 게이트 절연층(104)이 형성되고, 게이트 절연층(104) 위에 게이트 전극(105)이 형성되어 있다. 또한, 게이트 전극(105) 위에 절연층(107)과 절연층(108)이 형성되고, 절연층(108) 위에, 소스 전극(110a) 및 드레인 전극(110b)이 형성되어 있다. 소스 전극(110a) 및 드레인 전극(110b)은, 게이트 절연층(104), 절연층(107) 및 절연층(108)에 형성된 컨택트 홀(109)을 통해 산화물 반도체층(103)에 전기적으로 접속되어 있다.

[0045] 산화물 반도체층(103)은, 게이트 절연층(104)을 통해 게이트 전극(105)과 중첩하는 채널 형성 영역(103c)과, 소스 전극(110a)과 전기적으로 접속하는 소스 영역(103a)과, 드레인 전극(110b)과 전기적으로 접속하는 드레인 영역(103b)을 갖고 있다.

[0046] 또한, 게이트 전극(105)은, 게이트 절연층(104)에 접하는 게이트 전극(105a)과, 게이트 전극(105a)에 적층된 게이트 전극(105b)을 갖고 있다.

[0047] 또한, 도 1의 (a)에서는, 컨택트 홀(109)을, 소스 영역(103a) 및 드레인 영역(103b) 위에 각각 복수 형성하는 예를 나타내고 있지만, 소스 영역(103a) 및 드레인 영역(103b) 위에 각각 1개 형성하는 구성으로 해도 된다. 또한, 소스 전극(110a)과 소스 영역(103a)의 접촉 저항, 및 드레인 전극(110b)과 드레인 영역(103b)의 접촉 저항을 저감하기 위해서, 컨택트 홀(109)은 매우 크고 또한 컨택트 홀(109)의 수를 많게 하는 것이 바람직하다.

[0048] 도 2에 도시하는 트랜지스터(140)는, 트랜지스터(100)의 구성 외에 게이트 전극(105)의 측면에 사이드 월(111)을 갖고, 산화물 반도체층(103)의 사이드 월(111)과 중첩하는 영역에, 저농도 영역(103d) 및 저농도 영역(103e)을 갖고 있다. 저농도 영역(103d)은 채널 형성 영역(103c)과 소스 영역(103a)의 사이에 형성되고, 저농도 영역(103e)은 채널 형성 영역(103c)과 드레인 영역(103b)의 사이에 형성되어 있다. 도 2의 (a)는, 트랜지스터(140)의 구성을 설명하는 상면도이며, 도 2의 (b)는, 도 2의 (a)에 B1-B2의 쇄선으로 나타낸 부위의 적층 구조를 설명하는 단면도다.

[0049] 저농도 영역(103d) 및 저농도 영역(103e)을 형성함으로써, 트랜지스터 특성의 열화나 단채널 효과에 의한 임계값 전압의 마이너스 시프트를 경감할 수 있다.

[0050] 트랜지스터(100) 및 트랜지스터(140)는, 톱 게이트 구조의 트랜지스터의 일 형태다.

[0051] 다음으로, 도 1에 도시하는 트랜지스터(100)의 제작 방법에 대해서 도 3 및 도 4를 이용하여 설명한다. 또한, 도 3 및 도 4는, 도 1의 (a)의 A1-A2의 쇄선으로 나타낸 부위의 단면에 상당한다.

[0052] 우선, 기판(101) 위에 기초층(102)을 50nm 이상 300nm 이하, 바람직하게는 100nm 이상 200nm 이하의 두께로 형성한다. 기판(101)은, 유리 기판, 세라믹 기판 외에, 본 제작 공정의 처리 온도에 견딜 수 있는 정도의 내열성을 갖는 플라스틱 기판 등을 이용할 수 있다. 또한, 기판에 투광성을 필요로 하지 않는 경우에는, 스테인레스 합금 등의 금속 기판의 표면에 절연층을 설치한 것을 이용해도 된다. 유리 기판으로는, 예를 들면, 바륨 붕규산염 유리, 알루미노 붕규산염 유리 혹은 알루미노 규산 유리 등의 무알카리 유리 기판을 이용하면 좋다. 그 외에, 석영 기판, 사파이어 기판 등을 이용할 수 있다. 또한, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용하는 것도 가능하며, 이를 기판 위에 반도체 소자가 설치된 것을 기판(101)으로서 이용해도 된다.

[0053] 기초층(102)은, 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화질화 알루미늄, 질화 실리콘, 산화 실리콘, 질화산화 실리콘 또는 산화질화 실리콘에서 선택된 재료를, 단층으로 또는 적층해서 형성할 수 있으며, 기판(101)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖는다. 또한, 본 명세서 중에서, 질화 산화물이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것이며, 산화 질화물이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것을 나타낸다. 또한, 각 원소의 함유량은, 예를 들면 러더퍼드 후방 산란법(RBS:Rutherford Backscattering Spectrometry) 등을 이용해서 측정할 수 있다.

[0054] 기초층(102)은, 스퍼터링법, CVD법, 도포법, 인쇄법 등을 적절히 이용할 수 있다. 본 실시 형태에서는, 기초층(102)으로서 질화 실리콘과 산화 실리콘의 적층을 이용한다. 구체적으로는, 기판(101) 위에 질화 실리콘을

50nm의 두께로 형성하고, 해당 질화 실리콘 위에 산화 실리콘을 150nm의 두께로 형성한다. 또한, 기초층(102) 중에 인(P)이나 봉소(B)가 도프되어 있어도 좋다.

[0055] 또한, 기초층(102)에, 염소, 불소 등의 할로겐 원소를 포함시킴으로써, 기판(101)으로부터의 불순물 원소의 확산을 방지하는 기능을 더욱 높일 수 있다. 기초층(102)에 포함시키는 할로겐 원소의 농도는, SIMS(2차 이온 질량 분석계)를 이용한 분석에 의해 얻어지는 농도 피크에 있어서, $1 \times 10^{15}/\text{cm}^3$ 이상 $1 \times 10^{20}/\text{cm}^3$ 이하로 하면 된다.

[0056] 또한, 기초층(102)은, 가열에 의해 산소 방출되는 재료를 이용해도 된다. "가열에 의해 산소 방출되는"이란, TDS(Thermal Desorption Spectroscopy: 승온 이탈 가스 분광법) 분석에서, 산소 원자로 환산한 산소의 방출량이 $1.0 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms}/\text{cm}^3$ 이상인 것을 말한다.

[0057] 여기서, TDS 분석에서, 산소 원자로 환산한 산소의 방출량의 측정 방법에 대해 이하에 설명한다.

[0058] TDS 분석했을 때의 기체의 방출량은, 스펙트럼의 적분값에 비례한다. 이 때문에, 절연층의 스펙트럼의 적분값과 표준 시료의 기준값에 대한 비에 의해, 기체의 방출량을 계산할 수 있다. 표준 시료의 기준값이란, 소정의 원자를 포함하는 시료의 스펙트럼의 적분값에 대한 원자의 밀도의 비율이다.

[0059] 예를 들면, 표준 시료인 소정의 밀도의 수소를 포함하는 실리콘 웨이퍼의 TDS 분석 결과, 및 절연층의 TDS 분석 결과로부터, 절연층의 산소 분자의 방출량(NO_2)은 수학식 1로 구할 수 있다. 여기서, TDS 분석에서 얻어지는 질량수 32로 검출되는 스펙트럼 모두가 산소 분자 유래라고 가정한다. 질량수 32인 것으로서 CH_3OH 가 있지만, 존재할 가능성이 낮은 것으로서 여기에서는 고려하지 않는다. 또한, 산소 원자의 동위체인 질량수 17의 산소 원자 및 질량수 18의 산소 원자를 포함하는 산소 분자에 대해서도, 자연계에서의 존재 비율이 극미량이기 때문에 고려하지 않는다.

[0060] <수학식 1>

$$\text{N}_{\text{O}_2} = \text{N}_{\text{H}_2}/\text{S}_{\text{H}_2} \times \text{S}_{\text{O}_2} \times \alpha$$

[0062] N_{H_2} 는, 표준 시료로부터 이탈한 수소 분자를 밀도로 환산한 값이다. S_{H_2} 는, 표준 시료를 TDS 분석했을 때의 스펙트럼의 적분값이다. 여기서, 표준 시료의 기준값을 $\text{N}_{\text{H}_2}/\text{S}_{\text{H}_2}$ 라고 한다. S_{O_2} 는, 절연층을 TDS 분석했을 때의 스펙트럼의 적분값이다. α 는, TDS 분석에서의 스펙트럼 강도에 영향을 주는 계수다. 수학식 1의 상세에 관해서는, 일본 특허 공개 평 6-275697 공보를 참조한다. 또한, 상기 절연층의 산소의 방출량은, 전자과학 주식회사 제조의 승온 이탈 분석 장치 EMD-WA1000S/W를 이용하고, 표준 시료로서 $1 \times 10^{16} \text{ atoms}/\text{cm}^3$ 의 수소 원자를 포함하는 실리콘 웨이퍼를 이용해서 측정했다.

[0063] 또한, TDS 분석에서, 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은, 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상술한 α 는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가함으로써 산소 원자의 방출량에 대해서도 어렵할 수 있다.

[0064] 또한, NO_2 는 산소 분자의 방출량이다. 절연층에서는, 산소 원자로 환산했을 때의 산소의 방출량은, 산소 분자의 방출량의 2배가 된다.

[0065] 상기 구성에서, 가열에 의해 산소 방출되는 절연층은, 산소가 과잉인 산화 실리콘 [$\text{SiO}_x (X > 2)$]이어도 된다. 산소가 과잉인 산화 실리콘 [$\text{SiO}_x (X > 2)$]이란, 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당 포함하는 것이다. 단위 체적당의 실리콘 원자수 및 산소 원자수는, 러더퍼드 후방 산란법에 의해 측정한 값이다.

[0066] 기초층으로부터 산화물 반도체에 산소가 공급됨으로써, 기초층 및 산화물 반도체의 계면 준위를 저감할 수 있다. 그 결과, 트랜지스터의 동작 등에 기인해서 생길 수 있는 전하 등이, 상술한 기초층 및 산화물 반도체의 계면에 포획되는 것을 억제할 수가 있어, 전기 특성의 열화가 적은 트랜지스터를 얻을 수 있다.

[0067] 또한, 산화물 반도체의 산소 결손에 기인해서 전하가 생기는 경우가 있다. 일반적으로 산화물 반도체의 산소 결손은, 일부가 도너가 되어 캐리어인 전자를 발생시킨다. 그 결과, 트랜지스터의 임계값 전압이 마이너스 방향으로 시프트된다. 이러한 경향은 백 채널측에서 생기는 산소 결손에 있어서 현저하다. 또한, 본 명세서에서의 백 채널이란, 산화물 반도체에 있어서 기초층의 계면 근방을 가리킨다. 기초층으로부터 산화물 반도체에 산

소가 충분히 방출됨으로써, 임계값 전압이 마이너스 방향으로 시프트하는 요인인 산화물 반도체의 산소 결손을 보충할 수 있다.

[0068] 즉, 산화물 반도체에 산소 결손이 생기면, 기초층과 산화물 반도체의 계면에서의 전하의 포획을 억제하는 것이 곤란해지는 바, 기초층에, 가열에 의해 산소 방출되는 절연층을 설치함으로써, 산화물 반도체 및 기초층의 계면 준위 및 산화물 반도체의 산소 결손을 저감하여, 산화물 반도체 및 기초층의 계면에서의 전하 포획의 영향을 작게 할 수 있다.

[0069] 또한, 기초층(102)에는, 이 후 형성하는 산화물 반도체와 동종의 성분을 포함하는 절연 재료를 이용해도 된다. 기초층(102)을 서로 다른 층의 적층으로 하는 경우에는, 산화물 반도체에 접하는 층을 산화물 반도체와 동종의 성분을 포함하는 절연 재료로 하면 된다. 이러한 재료는 산화물 반도체와의 상성이 좋아, 이것을 기초층(102)에 이용함으로써, 산화물 반도체와의 계면의 상태를 양호하게 유지할 수 있기 때문이다. 여기서, "산화물 반도체와 동종의 성분"이란, 산화물 반도체의 구성 원소에서 선택되는 하나 또는 복수의 원소를 의미한다. 예를 들면, 산화물 반도체가 In-Ga-Zn계의 산화물 반도체 재료에 의해 구성되는 경우, 동종의 성분을 포함하는 절연 재료로는 산화 갈륨 등이 있다.

[0070] 다음으로, 기초층(102) 위에 산화물 반도체를 형성한다. 또한, 전처리로서, 산화물 반도체에 수소, 수산기 및 수분이 가능한 한 포함되지 않도록 하기 위해서, 성막 장치의 예비 가열실에서 기판(101)을 예비 가열하여, 기판(101)이나 기초층(102)에 흡착된 수소, 수분 등의 불순물을 이탈시켜 배기하는 것이 바람직하다. 또한, 예비 가열실에 설치하는 배기 수단은 크라이오 펌프가 바람직하다. 또한, 상기 예비 가열의 처리는 생략할 수도 있다. 또한 상기 예비 가열은, 기초층(102)의 성막 전에 기판(101)에도 마찬가지로 행해도 된다.

[0071] 산화물 반도체로는, 적어도 인듐(In) 혹은 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 해당 산화물 반도체를 이용한 트랜지스터의 전기 특성의 변동을 줄이기 위한 스테빌라이저로서, 그것들 외에 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.

[0072] 또한, 다른 스테빌라이저로서, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 틀륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 혹은 복수 종을 가져도 좋다.

[0073] 예를 들면, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수 있다.

[0074] 산화물 반도체층은, 바람직하게는 In을 함유하는 산화물 반도체, 더욱 바람직하게는 In 및 Ga를 함유하는 산화물 반도체다.

[0075] 여기서, 예를 들면 In-Ga-Zn계 산화물이란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 상관없다. 또한, In과 Ga와 Zn 이외의 금속 원소를 포함해도 된다.

[0076] 또한, 산화물 반도체층은, 화학식 $InM_0_3(ZnO)_m$ ($m>0$)으로 표기되는 박막을 이용할 수 있다. 여기서 M은, Sn, Zn, Ga, Al, Mn 및 Co에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $In_3Sn_0_5(ZnO)_n$ ($n>0$)으로 표기되는 재료를 이용해도 된다.

[0077] 예를 들면, $In:Ga:Zn=1:1:1(=1/3:1/3:1/3)$ 혹은 $In:Ga:Zn=2:2:1(=2/5:2/5:1/5)$ 의 원자수비인 In-Ga-Zn계 산화물이나 그 조성 균방의 산화물을 이용할 수 있다. 혹은, $In:Sn:Zn=1:1:1(=1/3:1/3:1/3)$, $In:Sn:Zn=2:1:3(=1/3:1/6:1/2)$ 혹은 $In:Sn:Zn=2:1:5(=1/4:1/8:5/8)$ 의 원자수비인 In-Sn-Zn계 산화물이나 그 조성 균방의 산화물을 이용하면 좋다.

[0078] 그러나, 이들에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 임계값, 격차 등)에 따라서 적절한 조성의 것

을 이용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0079] 예를 들면, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물에서도, 벌크 내 결함 밀도를 저감함으로써 이동 도를 높일 수 있다.

[0080] 또한, 예를 들면, In, Ga, Zn의 원자수비가 $In:Ga:Zn=a:b:c$ ($a+b+c=1$)인 산화물의 조성이, 원자수비가 $In:Ga:Zn=A:B:C$ ($A+B+C=1$)인 산화물의 조성의 근방이라는 것은, a, b, c 가 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 를 만족하는 것을 말하며, r 는, 예를 들면 0.05로 하면 된다. 다른 산화물에서도 마찬가지이다.

[0081] 산화물 반도체는 단결정이거나 비단결정이어도 좋다. 후자의 경우, 아몰퍼스이거나 다결정이어도 좋다. 또한, 아몰퍼스 중에 결정성을 갖는 부분을 포함하는 구조이거나 비아몰퍼스이어도 좋다.

[0082] 아몰퍼스 상태의 산화물 반도체는, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 이용해서 트랜지스터를 제작했을 때의 계면 산란을 저감할 수 있어, 비교적 용이하게 비교적 높은 이동도를 얻을 수 있다.

[0083] 또한, 결정성을 갖는 산화물 반도체에서는, 보다 벌크 내 결함을 저감할 수 있으며, 표면의 평탄성을 높이면 아몰퍼스 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하의 표면 위에 형성하면 좋다. 또한, Ra는 원자간력 현미경(AFM:Atomic Force Microscope)으로 평가 가능하다.

[0084] 결정성을 갖는 산화물 반도체로는, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)가 바람직하다. CAAC-OS는, 완전한 단결정이 아니며 완전한 비정질도 아니다. CAAC-OS는, 비정질상에 결정부를 갖는 결정-비정질 혼상 구조의 산화물 반도체다. 또한, 해당 결정부는, 한 변이 100nm 미만의 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM:Transmission Electron Microscope)에 의한 관찰 상에서는, CAAC-OS에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의해 CAAC-OS에는 입계(그레이인 경계라고도 함)를 확인할 수 없다. 그 때문에, CAAC-OS는, 입계에 기인하는 전자 이동도의 저하가 억제된다.

[0085] CAAC-OS에 포함되는 결정부는, c축이 CAAC-OS의 피 형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또한 ab면에 수직인 방향으로부터 보아 삼각형상 또는 육각형상의 원자 배열을 가지며, c축에 수직인 방향으로부터 보아 금속원자가 층 형상 또는 금속 원자와 산소 원자가 층 형상으로 배열되어 있다. 또한, 서로 다른 결정부 사이에서 각각 a축 및 b축의 방향이 상이해도 좋다. 본 명세서에서, 간단히 수직이라고 기재하는 경우, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 간단히 평행이라고 기재하는 경우, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.

[0086] 또한, CAAC-OS에서, 결정부의 분포가 똑같지 않아도 좋다. 예를 들면, CAAC-OS의 형성 과정에서, 산화물 반도체막의 표면측에서 결정 성장시키는 경우, 피 형성면의 근방에 대해 표면의 근방에서는 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS에 불순물을 첨가함으로써, 해당 불순물 첨가 영역에서 결정부가 비정질화하는 경우도 있다.

[0087] CAAC-OS에 포함되는 결정부의 c축은, CAAC-OS의 피 형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS의 형상(피 형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c축의 방향은, CAAC-OS가 형성되었을 때의 피 형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 결정부는, 성막함으로써, 또는 성막 후에 가열 처리 등의 결정화 처리를 행함으로써 형성된다.

[0088] CAAC-OS는, 그 조성 등에 따라서 도체이거나 반도체이거나 절연체이다. 또한, 그 조성 등에 따라서, 가시광에 대해 투명하거나 불투명하다. 또한, CAAC-OS의 일부는 질소로 치환되어도 좋다.

[0089] CAAC-OS를 이용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동을 저감하는 것이 가능하다. 따라서, 해당 트랜지스터는 신뢰성이 높다.

[0090] CAAC-OS에 포함되는 결정 구조의 일례에 대해서 도 15 내지 도 17을 이용해서 상세하게 설명한다. 또한, 특별히 언급이 없는 한, 도 15 내지 도 17은 상방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면이라고 한다. 또한, 간단히 상부 절반, 하부 절반이라고 하는 경우, ab면을 경계로 했을 경우의 상부 절반, 하부 절반을 말한다. 또한, 도 15에서, 원으로 둘러싸인 0는 4배위의 0을 나타내고, 2중원으로 둘러싸인 0은 3배위의 0을

나타낸다.

[0091] 도 15의 (a)에, 1개의 6배위의 In과, In에 근접한 6개의 4배위의 산소 원자(이하, 4배위의 0)를 갖는 구조를 나타낸다. 여기서는, 금속 원자가 1개에 대하여 근접한 산소 원자만 나타낸 구조를 소그룹이라고 부른다. 도 15의 (a)의 구조는, 팔면체 구조를 취하지만, 간단하게 하기 위하여 평면 구조로 나타내고 있다. 또한, 도 15의 (a)의 상부 절반 및 하부 절반에는 각각 3개씩 4배위의 0가 있다. 도 15의 (a)에 도시하는 소그룹은 전하가 0이다.

[0092] 도 15의 (b)에, 1개의 5배위의 Ga와, Ga에 근접한 3개의 3배위의 산소 원자(이하, 3배위의 0)와, Ga에 근접한 2개의 4배위의 0를 갖는 구조를 나타낸다. 3배위의 0은 모두 ab면에 존재한다. 도 15의 (b)의 상부 절반 및 하부 절반에는 각각 1개씩 4배위의 0가 있다. 또한, In도 5배위를 취하기 때문에, 도 15의 (b)에 도시하는 구조를 취할 수 있다. 도 15의 (b)에 도시하는 소그룹은 전하가 0이다.

[0093] 도 15의 (c)에, 1개의 4배위의 Zn과, Zn에 근접한 4개의 4배위의 0를 갖는 구조를 나타낸다. 도 15의 (c) 상부 절반에는 1개의 4배위의 0가 있고, 하부 절반에는 3개의 4배위의 0가 있다. 또는, 도 15의 (c)의 상부 절반에 3개의 4배위의 0가 있고, 하부 절반에 1개의 4배위의 0가 있어도 좋다. 도 15의 (c)에 도시하는 소그룹은 전하가 0이다.

[0094] 도 15의 (d)에, 1개의 6배위의 Sn과, Sn에 근접한 6개의 4배위의 0를 갖는 구조를 나타낸다. 도 15의 (d)의 상부 절반에는 3개의 4배위의 0가 있고, 하부 절반에는 3개의 4배위의 0가 있다. 도 15의 (d)에 도시하는 소그룹은 전하가 +1이 된다.

[0095] 도 15의 (e)에, 2개의 Zn을 포함하는 소그룹을 나타낸다. 도 15의 (e)의 상부 절반에는 1개의 4배위의 0가 있고, 하부 절반에는 1개의 4배위의 0가 있다. 도 15의 (e)에 도시하는 소그룹은 전하가 -1이 된다.

[0096] 여기에서는, 복수의 소그룹의 집합체를 중 그룹이라고 하고, 복수 중에서 그룹의 집합체를 대그룹(유닛 셀이라고도 함)이라고 한다.

[0097] 여기서, 이를 소그룹끼리 결합하는 규칙에 대해서 설명한다. 도 15의 (a)에 도시하는 6배위의 In의 상부 절반의 3개의 0는, 하방향으로 각각 3개의 근접 In을 가지며, 하부 절반의 3개의 0는, 상방향으로 각각 3개의 근접 In을 갖는다. 도 15의 (b)에 도시하는 5배위의 Ga의 상부 절반의 1개의 0는, 하방향으로 1개의 근접 Ga를 갖고, 하부 절반의 1개의 0는, 상방향으로 1개의 근접 Ga를 갖는다. 도 15의 (c)에 도시하는 4배위의 Zn 상부 절반의 1개의 0는, 하방향으로 1개의 근접 Zn을 갖고, 하부 절반의 3개의 0는, 상방향으로 각각 3개의 근접 Zn을 갖는다. 이와 같이, 금속 원자의 상방향의 4배위의 0의 수와, 그 0의 하방향에 있는 근접 금속 원자의 수는 동일하며, 마찬가지로 금속 원자 하방향의 4배위의 0의 수와, 그 0의 상방향에 있는 근접 금속 원자의 수는 동일하다. 0는 4배위므로, 하방향에 있는 근접 금속 원자의 수와 상방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 상방향에 있는 4배위의 0의 수와, 다른 금속 원자의 하방향에 있는 4배위의 0의 수의 합이 4개일 때, 금속 원자를 갖는 2종의 소그룹끼리는 결합할 수 있다. 예를 들면, 6배위의 금속 원자(In 또는 Sn)가 하부 절반의 4배위의 0를 사이에 두고 결합하는 경우, 4배위의 0가 3개이기 때문에, 5배위의 금속 원자(Ga 또는 In) 또는 4배위의 금속 원자(Zn) 중 어느 하나와 결합하게 된다.

[0098] 이를 배위수를 갖는 금속 원자는, c축 방향에서 4배위의 0를 사이에 두고 결합한다. 또한, 그 외에도 총 구조의 합계 전하가 0이 되도록 복수의 소그룹이 결합해서 중그룹을 구성한다.

[0099] 도 16의 (a)에, In-Sn-Zn계 산화물의 층 구조를 구성하는 중그룹의 모델도를 나타낸다. 도 16의 (b)에, 3개의 중그룹으로 구성되는 대그룹을 나타낸다. 또한, 도 16의 (c)는, 도 16의 (b)의 층 구조를 c축 방향으로부터 관찰했을 경우의 원자 배열을 나타낸다.

[0100] 도 16의 (a)에서는, 간단하게 하기 위해 3배위의 0는 생략하고, 4배위의 0는 개수만을 나타내고, 예를 들면, Sn 상부 절반 및 하부 절반에는 각각 3개씩 4배위의 0가 있는 것을 등근 원의 3으로서 나타내고 있다. 마찬가지로, 도 16의 (a)에서, In 상부 절반 및 하부 절반에는 각각 1개씩 4배위의 0가 있으며, 등근 원의 1로서 나타내고 있다. 또한 마찬가지로, 도 16의 (a)에서, 하부 절반에는 1개의 4배위의 0가 있고, 상부 절반에는 3개의 4배위의 0가 있는 Zn과, 상부 절반에는 1개의 4배위의 0가 있고, 하부 절반에는 3개의 4배위의 0가 있는 Zn을 나타내고 있다.

[0101] 도 16의 (a)에서, In-Sn-Zn계 산화물의 층 구조를 구성하는 중그룹은, 위에서부터 순서대로 4배위의 0가 3개씩 상부 절반 및 하부 절반에 있는 Sn이, 4배위의 0가 1개씩 상부 절반 및 하부 절반에 있는 In과 결합하고, 그 In

이, 상부 절반에 3개의 4배위의 0가 있는 Zn과 결합하고, 그 Zn의 하부 절반의 1개의 4배위의 0를 사이에 두고 4배위의 0가 3개씩 상부 절반 및 하부 절반에 있는 In과 결합하고, 그 In이, 상부 절반에 1개의 4배위의 0가 있는 Zn 2개로 이루어지는 소그룹과 결합하고, 이 소그룹 아래 절반의 1개의 4배위의 0를 사이에 두고 4배위의 0가 3개씩 상부 절반 및 하부 절반에 있는 Sn과 결합하고 있는 구조이다. 이 중그룹이 복수 결합해서 대그룹을 구성한다.

[0102] 여기서, 3배위의 0 및 4배위의 0의 경우, 결합 1개당 전하는 각각 -0.667, -0.5로 생각할 수 있다. 예를 들면, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는, 각각 +3, +2, +4이다. 따라서, Sn을 포함하는 소그룹은 전하가 +1이 된다. 그 때문에, Sn을 포함하는 층 구조를 형성하기 위해서는, 전하 +1을 없애는 전하 -1이 필요하다. 전하 -1을 취하는 구조로서, 도 15의 (e)에 도시한 바와 같이, 2개의 Zn을 포함하는 소그룹을 들 수 있다. 예를 들면, Sn을 포함하는 소그룹이 1개에 대하여 2개의 Zn을 포함하는 소그룹이 1개 있으면, 전하가 없어지기 때문에, 층 구조의 합계의 전하를 0으로 할 수 있다.

[0103] 구체적으로는, 도 16의 (b)에 도시한 대그룹이 반복됨으로써, In-Sn-Zn계 산화물의 결정($In_2SnZn_3O_8$)을 얻을 수 있다. 또한, 얻어지는 In-Sn-Zn계 산화물의 층 구조는, $In_2SnZn_2O_7(ZnO)_m$ (m 은 0 또는 자연수)으로 하는 조성식으로 나타낼 수 있다.

[0104] 또한, 그 외에도, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn계 산화물 (IGZO라고도 표기함.), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물 등을 이용한 경우도 마찬가지이다.

[0105] 예를 들면, 도 17의 (a)에, In-Ga-Zn계 산화물의 층 구조를 구성하는 중그룹의 모델도를 나타낸다.

[0106] 도 17의 (a)에서, In-Ga-Zn계 산화물의 층 구조를 구성하는 중그룹은, 위에서부터 순서대로 4배위의 0가 3개씩 상부 절반 및 하부 절반에 있는 In이, 4배위의 0가 1개 상부 절반에 있는 Zn과 결합하고, 그 Zn의 하부 절반의 3개의 4배위의 0를 사이에 두고, 4배위의 0가 1개씩 상부 절반 및 하부 절반에 있는 Ga와 결합하고, 그 Ga의 하부 절반의 1개의 4배위의 0를 사이에 두고, 4배위의 0가 3개씩 상부 절반 및 하부 절반에 있는 In과 결합하고 있는 구조이다. 이 중그룹이 복수 결합해서 대그룹을 구성한다.

[0107] 도 17의 (b)에 3개의 중그룹으로 구성되는 대그룹을 나타낸다. 또한, 도 17의 (c)은, 도 17의 (b)의 층 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 나타내고 있다.

[0108] 여기서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는, 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 하나를 포함하는 소그룹은 전하가 0이 된다. 그 때문에, 이들 소그룹의 조합이라면 중그룹의 합계 전하는 항상 0이 된다.

[0109] 또한, In-Ga-Zn계 산화물의 층 구조를 구성하는 중그룹은, 도 17의 (a)에 도시한 중그룹에 한정되지 않고, In, Ga, Zn의 배열이 서로 다른 중그룹을 조합한 대그룹도 취할 수 있다.

[0110] 구체적으로는, 도 17의 (b)에 도시한 대그룹이 반복됨으로써, In-Ga-Zn계 산화물의 결정을 얻을 수 있다. 또한, 얻어지는 In-Ga-Zn계 산화물의 층 구조는, $InGaO_3(ZnO)_n$ (n 은 자연수)으로 하는 조성식으로 나타낼 수 있다.

[0111] $n=1$ ($InGaZnO_4$)인 경우에는, 예를 들면, 도 18의 (a)에 도시하는 결정 구조를 취할 수 있다. 또한, 도 18의 (a)에 도시하는 결정 구조에 있어서, 도 15의 (b)에서 설명한 바와 같이 Ga 및 In은 5배위를 취하기 때문에, Ga가 In으로 치환된 구조도 취할 수 있다.

[0112] 또한, $n=2$ ($InGaZn_2O_5$)인 경우에는, 예를 들면, 도 18의 (b)에 도시하는 결정 구조를 취할 수 있다. 또한, 도 18의 (b)에 도시하는 결정 구조에 있어서, 도 15의 (b)에서 설명한 바와 같이 Ga 및 In은 5배위를 취하기 때문에, Ga가 In으로 치환된 구조도 취할 수 있다.

[0113] 본 실시 형태에서는, 우선 기초층(102) 위에 스퍼터링법에 의해 $1nm$ 이상 $10nm$ 이하의 제1 산화물 반도체를 형

성한다. 제1 산화물 반도체를 형성할 때의 기판 온도는 200°C 이상 400°C 이하로 한다.

[0114] 여기서, 산화물 반도체를 형성하는 스퍼터링 장치에 대해서 이하에 상세를 설명한다.

[0115] 산화물 반도체를 형성하는 성막실은, 리크 레이트를 $1 \times 10^{-10} \text{ Pa?m}^3/\text{초}$ 이하로 하는 것이 바람직하고, 그에 따라 스퍼터링법에 의해 성막할 때, 막 내로의 불순물의 흡입을 저감할 수 있다.

[0116] 리크 레이트를 낮게 하기 위해서는, 외부 리크뿐만 아니라 내부 리크를 저감할 필요가 있다. 외부 리크란, 미소한 구멍이나 시일 불량 등에 의해 진공계의 외부에서부터 기체가 유입하는 것이다. 내부 리크란, 진공계 내의 밸브 등의 구획으로부터의 누설이나 내부 부재로부터의 방출 가스에 기인한다. 리크 레이트를 $1 \times 10^{-10} \text{ Pa?m}^3/\text{초}$ 이하로 하기 위해서는, 외부 리크 및 내부 리크의 양면에서 대책을 취할 필요가 있다.

[0117] 외부 리크를 줄이기 위해서는, 성막실의 개폐 부분은 메탈 가스켓으로 시일 하면 좋다. 메탈 가스켓은, 불화철, 산화 알루미늄 또는 산화 크롬에 의해 피복된 금속 재료를 이용하면 바람직하다. 메탈 가스켓은 O링과 비교해서 밀착성이 높아 외부 리크를 저감할 수 있다. 또한, 불화철, 산화 알루미늄, 산화 크롬 등의 부동태에 의해 피복된 금속 재료를 이용함으로써, 메탈 가스켓으로부터 발생하는 수소를 포함하는 방출 가스가 억제되어, 내부 리크도 저감할 수 있다.

[0118] 성막실의 내벽을 구성하는 부재로서, 수소를 포함하는 방출 가스가 적은 알루미늄, 크롬, 티타늄, 지르코늄, 니켈 또는 바나듐을 이용한다. 또한, 상술한 재료를 철, 크롬 및 니켈 등을 포함하는 합금 재료에 피복해서 이용해도 된다. 철, 크롬 및 니켈 등을 포함하는 합금 재료는 강성이 있으며, 열에 강하고, 또한 가공에 적합하다. 여기서, 표면적을 작게 하기 위해서 부재의 표면 요철을 연마 등에 의해 저감시켜 두면, 방출 가스를 저감할 수 있다. 혹은, 상술한 성막 장치의 부재를 불화철, 산화 알루미늄, 산화 크롬 등의 부동태로 피복해도 좋다.

[0119] 또한, 스퍼터 가스를 성막실에 도입하기 직전에, 스퍼터 가스의 정제기를 설치하는 것이 바람직하다. 이때, 정제기로부터 성막실까지의 배관의 길이를 5m 이하, 바람직하게는 1m 이하로 한다. 배관의 길이를 5m 이하 또는 1m 이하로 함으로써, 배관으로부터의 방출 가스의 영향을 길이에 따라서 저감할 수 있다.

[0120] 성막실의 배기는, 드라이 펌프 등의 러프 펌프와, 스퍼터 이온 펌프, 터보 분자 펌프 및 크라이오 펌프 등의 고진공 펌프를 적절히 조합해서 행하면 좋다. 또한, 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들면 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 터보 분자 펌프는 큰 사이즈의 분자의 배기가 우수한 한편, 수소나 물의 배기 능력이 낮다. 따라서, 물의 배기 능력이 높은 크라이오 펌프 및 수소의 배기 능력이 높은 스퍼터 이온 펌프를 조합하는 것이 유효하다. 또한, 터보 분자 펌프에 콜드 트랩을 부가한 것이기도 된다. 크라이오 펌프 등의 흡착형의 진공 펌프를 이용해서 배기한 성막실은, 예를 들면 수소원자, 물(H₂O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 해당 성막실에서 성막한 산화물 반도체층에 포함되는 불순물의 농도를 저감할 수 있다.

[0121] 성막실의 내측에 존재하는 흡착물은, 내벽에 흡착되어 있기 때문에 성막실의 압력에 영향을 주지 않지만, 성막실을 배기했을 때의 가스 방출의 원인이 된다. 그 때문에, 리크 레이트와 배기 속도에 상관은 없지만, 배기 능력이 높은 펌프를 이용하여 성막실에 존재하는 흡착물을 가능한 한 이탈시켜 미리 배기해 두는 것이 중요하다. 또한, 흡착물의 이탈을 촉진시키기 위해서 성막실을 베이킹해도 좋다. 베이킹함으로써 흡착물의 이탈 속도를 10배 정도 크게 할 수 있다. 베이킹은 100°C 이상 450°C 이하로 행하면 좋다. 이때, 불활성 가스를 첨가하면서 흡착물의 제거를 행하면, 배기하는 것 만으로는 이탈시키기 어려운 물 등의 이탈 속도를 더욱 크게 할 수 있다.

[0122] 스퍼터링법에 있어서, 플라즈마를 발생시키기 위한 전원 장치는, RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 이용할 수 있다.

[0123] 산화물 반도체로서 In-Ga-Zn계 산화물 재료를 스퍼터링법으로 형성하기 위한 In-Ga-Zn계 산화물 타깃은, 예를 들면 In₂O₃:Ga₂O₃:ZnO=1:1:1 [mol수 비]의 조성비를 갖는 타깃을 이용할 수 있다. 또한, In₂O₃:Ga₂O₃:ZnO=1:1:2 [mol수 비]의 조성비를 갖는 타깃, 또는 In₂O₃:Ga₂O₃:ZnO=1:1:4 [mol수 비]의 조성비를 갖는 타깃, In₂O₃:Ga₂O₃:ZnO=2:1:8 [mol수 비]의 조성비를 갖는 타깃을 이용할 수도 있다. 또한, 원자수 비가 In:Ga:Zn=1:1:1, 4:2:3, 3:1:2, 1:1:2, 2:1:3 또는 3:1:4로 나타내지는 In-Ga-Zn계 산화물 타깃을 이용할 수 있다. 상술한 원자수 비를 갖는 In-Ga-Zn계 산화물 타깃을 이용해서 산화물 반도체를 형성함으로써, 다결정 또

는 CAAC-OS가 형성되기 쉬워진다.

[0124] 또한, In-Sn-Zn계 산화물은 ITZO라고 할 수 있다. 또한, 산화물 반도체로서 In-Sn-Zn계 산화물을 스퍼터링법으로 형성하는 경우, 바람직하게는 원자수 비가 In:Sn:Zn=1:1:1, 2:1:3, 1:2:2 또는 20:45:35로 나타내지는 In-Sn-Zn계 산화물 타깃을 이용한다. 상술한 원자수 비를 갖는 In-Sn-Zn계 산화물 타깃을 이용해서 산화물 반도체를 형성함으로써, 다결정 또는 CAAC-OS가 형성되기 쉬워진다.

[0125] 또한, 산화물 반도체를 형성하기 위한 금속 산화물 타깃의 상대 밀도는 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하다. 상대 밀도가 높은 금속 산화물 타깃을 이용함으로써, 성막한 산화물 반도체층을 치밀한 막으로 할 수 있다.

[0126] 또한, 스퍼터링 가스는, 희 가스(대표적으로는 아르곤) 분위기, 산소 분위기, 희 가스 및 산소의 혼합 가스를 적절히 이용한다. 또한, 스퍼터링 가스에는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다. 예를 들면, 스퍼터 가스로서 아르곤을 이용하는 경우에는, 순도 9N, 노점 -121°C, 함유 H₂O량 0.1ppb 이하, 함유 H₂량 0.5ppb 이하가 바람직하고, 산소를 이용하는 경우에는, 순도 8N, 노점 -112°C, 함유 H₂O량 1ppb 이하, 함유 H₂량 1ppb 이하가 바람직하다.

[0127] 또한, 성막시의 기판 온도는 150°C 이상 450°C 이하, 바람직하게는 200°C 이상 350°C 이하다. 150°C 이상 450°C 이하, 바람직하게는 200°C 이상 350°C 이하로 기판을 가열하면서 성막을 함으로써, 막 내로의 수분(수소를 포함함) 등의 혼입을 방지할 수 있다.

[0128] 기판을 가열하면서 성막함으로써, 성막한 산화물 반도체에 포함되는 수소, 수분, 수소화물 또는 수산화물 등의 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 그리고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터 가스를 첨가하여, 상기 타깃을 이용해서 1nm 이상 10nm 이하, 바람직하게는 2nm 이상 5nm 이하의 두께로 제1 산화물 반도체를 성막한다.

[0129] 본 실시 형태에서는, 산화물 반도체용 타깃으로서, In-Ga-Zn계 산화물 반도체용 타깃($In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수 비])을 이용하여, 기판과 타깃 사이와의 거리를 170mm, 기판 온도 250°C, 압력 0.4Pa, 직류 (DC) 전원 전력 0.5kW, 스퍼터 가스로서 산소만, 아르곤만, 또는 아르곤 및 산소를 이용해서 막 두께 5nm의 제1 산화물 반도체를 성막한다.

[0130] 다음으로, 기판을 배치하는 챔버 분위기를 질소 또는 건조 공기로 하여 제1 가열 처리를 행한다. 제1 가열 처리의 온도는, 400°C 이상 750°C 이하로 한다. 제1 가열 처리에 의해 제1 산화물 반도체가 결정화되어, 제1 결정성 산화물 반도체가 된다.

[0131] 제1 가열 처리의 온도에도 의존하지만, 제1 가열 처리에 의해 막 표면에서부터 결정화가 일어나서, 막의 표면에서부터 내부를 향해 결정 성장하여, C축 배향한 결정이 얻어진다. 제1 가열 처리에 의해 아연과 산소가 막 표면에 많이 모여, 상부 평면이 6각형을 이루는 아연과 산소로 이루어지는 그래핀 타입의 이차원 결정이 최표면에 1층 또는 복수층 형성되고, 이것이 막 두께 방향으로 성장해서 겹쳐져 적층으로 된다. 가열 처리의 온도를 올리면 표면에서부터 내부, 그리고 내부에서부터 바닥부로 결정 성장이 진행한다.

[0132] 제1 가열 처리에 의해, 기초층(102) 중의 산소를 제1 결정성 산화물 반도체와의 계면 또는 그 근방(계면에서부터 ±5nm)으로 확산시켜, 제1 결정성 산화물 반도체의 산소 결손을 저감한다. 따라서, 기초층(102)은, 기초층(102) 중(별크 중), 또한, 제1 결정성 산화물 반도체와 기초층(102)의 계면 중 어느 하나에 적어도 화학양론비를 초과하는 양의 산소가 존재하는 것이 바람직하다.

[0133] 다음으로, 제1 결정성 산화물 반도체 위에 10nm보다 두꺼운 제2 산화물 반도체를 형성한다. 제2 산화물 반도체의 형성은, 스퍼터링법을 이용하고, 그 성막시의 기판 온도는 200°C 이상 400°C 이하로 한다. 성막시의 기판 온도를 200°C 이상 400°C 이하로 함으로써, 제1 결정성 산화물 반도체의 표면 위에 접해서 성막하는 산화물 반도체에 전구체의 정렬이 일어나서, 이른바 질서성을 갖게 할 수 있다.

[0134] 본 실시 형태에서는, 산화물 반도체용 타깃으로서 In-Ga-Zn계 산화물 반도체용 타깃($In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol 수 비])을 이용하고, 기판과 타깃 사이와의 거리를 170mm, 기판 온도 400°C, 압력 0.4Pa, 직류 (DC) 전원 전력 0.5kW, 스퍼터 가스로서 산소만, 아르곤만, 또는 아르곤 및 산소를 이용해서 막 두께 25nm의 제2 산화물 반도체를 성막한다.

[0135] 다음으로, 기판을 배치하는 챔버 분위기를 질소 또는 건조 공기로 해서 제2 가열 처리를 행한다. 제2 가열 처

리의 온도는 400°C 이상 750°C 이하로 한다. 제2 가열 처리에 의해 제2 결정성 산화물 반도체를 형성한다. 제2 가열 처리는, 질소 분위기하, 산소 분위기하, 혹은 질소와 산소의 혼합 분위기하에서 행함으로써, 제2 결정성 산화물 반도체의 고밀도화 및 결합 수의 감소를 도모한다. 제2 가열 처리에 의해, 제1 결정성 산화물 반도체를 핵으로 해서 막 두께 방향, 즉 바닥부에서부터 내부로 결정 성장이 진행하여 제2 결정성 산화물 반도체가 형성된다. 이때, 제1 결정성 산화물 반도체와 제2 결정성 산화물 반도체가 동일한 원소로 구성되는 것을 호모 성장이라고 한다. 또는, 제1 결정성 산화물 반도체와 제2 결정성 산화물 반도체가 적어도 1종 이상 서로 다른 원소로 구성되는 것을 혼테로 성장이라고 한다.

[0136] 이와 같이 산화물 반도체의 형성 공정에서, 성막실의 압력, 성막실의 리크 레이트 등에 있어서 불순물의 혼입을 극력 억제함으로써, 산화물 반도체에 대한 수소 및 수분 등의 불순물의 혼입을 저감할 수 있다. 산화물 반도체에 포함되는 수소는, 금속 원자와 결합하는 산소와 반응해서 물이 되는 동시에, 산소가 이탈한 격자(혹은 산소가 이탈한 부분)에는 결함이 형성되어 버린다.

[0137] 이 때문에, 산화물 반도체의 형성 공정에서, 불순물을 매우 줄임으로써 산화물 반도체의 결함을 저감하는 것이 가능하다. 이로부터, 불순물을 가능한 한 제거하여 고순도화시킨 CAAC-OS로 이루어지는 산화물 반도체를 채널 영역에 이용함으로써, 트랜지스터에 대한 광 조사나 BT 시험 전후에서의 임계값 전압의 변화량이 적기 때문에, 안정된 전기적 특성을 가질 수 있다.

[0138] 또한, 제2 가열 처리를 행한 후, 온도를 유지하면서 산화성 분위기로 전환하여 가열 처리를 더 행하면 바람직하다. 산화성 분위기에서의 가열 처리에 의해 산화물 반도체 중의 산소 결함을 저감할 수 있다.

[0139] 또한, 산화물 반도체에 이용하는 것이 가능한 금속 산화물은, 밴드갭이 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 이와 같이, 밴드갭이 넓은 금속 산화물을 이용함으로써 트랜지스터의 오프 전류를 저감할 수 있다.

[0140] 또한, 기초층(102)의 형성에서부터 제2 가열 처리까지의 공정을, 대기해 접촉하지 않고 연속적으로 행하는 것이 바람직하다. 기초층(102)의 형성에서부터 제2 가열 처리까지의 공정은, 수소 및 수분을 거의 포함하지 않는 분위기(불활성 분위기, 감압 분위기, 건조 공기 분위기 등) 하에 제어하는 것이 바람직하고, 예를 들면, 수분에 대해서는 노점 -40°C 이하, 바람직하게는 노점 -50°C 이하의 건조 질소 분위기로 한다.

[0141] 다음으로, 제1 결정성 산화물 반도체와 제2 결정성 산화물 반도체로 이루어지는 산화물 반도체의 적층을 가공하여, 섬 형상의 산화물 반도체층(103)을 형성한다[도 3의 (a) 참조].

[0142] 산화물 반도체의 가공은, 원하는 형상의 마스크를 산화물 반도체 위에 형성한 후, 해당 산화물 반도체를 에칭함으로써 행할 수 있다. 상술한 마스크는, 포토리소그래피 등의 방법을 이용해서 형성할 수 있다. 또는, 잉크제트법이나 인쇄법 등의 방법을 이용해서 마스크를 형성해도 된다.

[0143] 또한, 산화물 반도체의 에칭은, 드라이 에칭법이나 습식 에칭법이어도 좋다. 물론, 이것들을 조합해서 이용해도 된다.

[0144] 또한, 상기 제작 방법에 의해, 얻어지는 제1 결정성 산화물 반도체 및 제2 결정성 산화물 반도체는, C축 배향을 갖고 있는 것을 특징의 하나로 하고 있다. 단, 제1 결정성 산화물 반도체 및 제2 결정성 산화물 반도체는, 단 결정 구조가 아니며, 비정질 구조도 아닌 구조이며, C축 배향을 갖은 결정성 산화물 반도체(CAAC-OS)이다.

[0145] 또한, 제1 결정성 산화물 반도체 위에 제2 결정성 산화물 반도체를 형성하는 2층 구조에 한정되지 않고, 제2 결정성 산화물 반도체의 형성 후에 제3 결정성 산화물 반도체를 형성하기 위한 성막과 가열 처리의 프로세스를 반복해서 행하여 3층 이상의 적층 구조로 해도 좋다.

[0146] 산화물 반도체층(103)과 같이, 제1 결정성 산화물 반도체와 제2 결정성 산화물 반도체의 적층을 트랜지스터에 이용함으로써, 안정된 전기적 특성을 갖고 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0147] 다음으로, 산화물 반도체층(103) 위에 게이트 절연층(104)을 형성한다. 게이트 절연층(104)은, 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화질화 알루미늄, 질화 실리콘, 산화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 산화 탄탈, 또는 산화 란탄에서 선택된 재료를, 단층으로 또는 적층해서 형성할 수 있다.

[0148] 또한, 게이트 절연층(104)으로서, 하프늄 실리케이트[HfSiO_x(x>0)], 질소가 첨가된 하프늄 실리케이트[HfSi_xO_yN_z(x>0, y>0, z>0)], 질소가 첨가된 하프늄 알루미네이트[HfAl_xO_yN_z(x>0, y>0, z>0)], 산화 하프늄, 산화 이트륨 등의 high-k 재료를 이용함으로써, 실질적인 (예를 들면, 산화 실리콘 환산의) 게이트 절연막의 두께

를 바꾸지 않은 채로 물리적인 게이트 절연막을 두껍게 함으로써, 게이트 리크를 저감할 수 있다. 또한, high-k 재료와, 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 및 산화 갈륨 중 어느 하나 이상과의 적층 구조로 할 수 있다. 게이트 절연층(104)의 두께는 1nm 이상 300nm 이하, 보다 바람직하게는 5nm 이상 50nm 이하로 하면 좋다.

[0149] 게이트 절연층(104)은, 스퍼터링법, CVD법 등에 의해 형성한다. 게이트 절연층(104)의 형성은, 스퍼터링법이나 플라즈마 CVD법 등 외에, μ 파 (예를 들면 주파수 2.45GHz)를 이용한 고밀도 플라즈마 CVD법 등의 성막 방법을 적용할 수 있다. 또한, 게이트 절연층(104)은 단층에 한하지 않고 서로 다른 층의 적층이어도 된다. 또한, 게이트 절연층(104)은, 산화물 반도체층(103)과 접하는 부분이 산소를 포함하는 절연층인 것이 바람직하고, 특히 바람직하게는 가열에 의해 산소를 방출하는 산화물 절연층이다. 예를 들면, 게이트 절연층(104)에 산화 실리콘을 이용함으로써, 산화물 반도체층(103)에 산소를 확산시켜서 산화물 반도체층(103) 중의 산소 결손을 저감할 수가 있어, 트랜지스터의 특성을 양호하게 할 수 있다.

[0150] 본 실시 형태에 나타내는 구조에서는, 기판 위에 요철을 발생시키는 구조물이 산화물 반도체층(103)뿐이며, 게이트 절연층(104)을 기인으로 하는 리크 전류를 저감하는 동시에 게이트 절연층(104)의 내압을 높일 수 있다. 그 때문에, 게이트 절연층(104)을 5nm 근방까지 박막화해서 이용해도 트랜지스터를 동작시킬 수 있다. 또한, 게이트 절연층(104)을 박막화함으로써, 단채널 효과를 저감하는 동시에 트랜지스터의 동작 속도를 높이는 효과를 발휘한다.

[0151] 또한, 게이트 절연층(104)을 형성하기 전에, 산화물 반도체층(103)의 표면을 산소, 오존, 일산화이질소 등의 산화성 가스의 플라즈마에 노출시켜, 산화물 반도체층(103)의 표면을 산화해서 산소 결손을 저감해도 좋다. 본 실시 형태에서는, 게이트 절연층(104)으로서, 산화물 반도체층(103) 위에 산화 실리콘을 100nm의 두께로 형성한다.

[0152] 다음으로, 게이트 절연층(104) 위에, 스퍼터링법, 진공 증착법 또는 도금법을 이용해서 도전층을 형성하고, 해당 도전층 위에 마스크를 형성하고, 해당 도전층을 선택적으로 에칭해서 게이트 전극(105)을 형성한다. 도전층 위에 형성하는 마스크는 인쇄법, 잉크제트법, 포토리소그래피법을 적절히 이용할 수 있다. 게이트 전극(105)은, 게이트 절연층(104)에 접하는 게이트 전극(105a)과, 게이트 전극(105a) 위에 적층된 게이트 전극(105b)에 의해 형성된다.

[0153] 게이트 전극(105a)을 형성하는 재료로는, 질소를 포함하는 인듐 갈륨 아연 산화물(In-Ga-Zn-O)이나, 질소를 포함하는 인듐 주석 산화물(In-Sn-O)이나, 질소를 포함하는 인듐 갈륨 산화물(In-Ga-O)이나, 질소를 포함하는 인듐 아연 산화물(In-Zn-O)이나, 질소를 포함하는 산화 주석(Sn-O)이나, 질소를 포함하는 인듐 산화물(In-O)이나, 금속 질화물(InN, ZnN 등)을 이용하는 것이 바람직하다.

[0154] 이들 재료는 5eV, 바람직하게는 5.5eV 이상의 일함수를 가지며, 게이트 전극(105a)을 게이트 전극(105b)과 게이트 절연층(104)의 사이에 설치하고, 또한, 게이트 전극(105a)을 게이트 절연층(104)을 사이에 두고 산화물 반도체층(103)과 중첩시킴으로써, 트랜지스터의 전기 특성의 임계값 전압을 플러스로 할 수가 있어, 이른바 노멀리 오프의 스위칭 소자를 실현할 수 있다. 예를 들면, 게이트 전극(105a)에 질소를 포함하는 In-Ga-Zn-O를 이용하는 경우, 적어도 산화물 반도체층(103)보다 높은 질소 농도, 구체적으로는 질소 농도가 7원자% 이상의 In-Ga-Zn-O를 이용한다.

[0155] 게이트 전극(105b)을 형성하는 재료로는, 알루미늄(Al), 크롬(Cr), 구리(Cu), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 스칸듐(Sc)에서 선택된 금속 원소, 상술한 금속 원소를 성분으로 하는 합금, 상술한 금속 원소를 조합한 합금, 상술한 금속 원소의 질화물 등을 이용해서 형성할 수 있다. 또한, 망간(Mn), 마그네슘(Mg), 지르코늄(Zr), 베릴륨(Be) 중 어느 하나 또는 복수에서 선택된 금속 원소를 이용해도 된다.

[0156] 또한, 게이트 전극(105b)은, 단층 구조이거나 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 실리콘을 포함하는 알루미늄을 이용한 단층 구조, 알루미늄 위에 티타늄을 적층하는 2층 구조, 질화 티타늄 위에 티타늄을 적층하는 2층 구조, 질화 티타늄 위에 텅스텐을 적층하는 2층 구조, 질화 탄탈 위에 텅스텐을 적층하는 2층 구조, Cu-Mg-Al 합금 위에 Cu를 적층하는 2층 구조, 티타늄과, 그 티타늄 위에 알루미늄을 적층하고, 또한 그 위에 티타늄을 형성하는 3층 구조 등이 있다.

[0157] 또한, 게이트 전극(105b)은, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한, 상

기 투광성을 갖는 도전성 재료와, 상기 금속 원소의 적층 구조로 할 수도 있다.

[0158] 본 실시 형태에서는, 게이트 전극(105a)으로서 질소를 포함하는 인듐 갈륨 아연 산화물을 이용한다. 또한, 게이트 전극(105b)으로서, 질화 티타늄 위에 텉스텐을 적층하는 2층 구조를 이용한다[도 3의 (b) 참조]. 또한, 형성된 게이트 전극(105)의 단부를 테이퍼 형상으로 하면, 후에 형성되는 층의 괴복성이 향상하기 때문에 바람직하다.

[0159] 다음으로, 자기 정합 프로세스에 의해 소스 영역(103a) 및 드레인 영역(103b)을 형성한다. 구체적으로는, 게이트 전극(105)을 마스크로 하여, 이온 도핑법 또는 이온 주입법에 의해 도편트(106)를 산화물 반도체층(103)에 첨가한다. 산화물 반도체층(103)에 첨가하는 도편트(106)로는, 희ガ스 또는 수소(H) 중 1종류 또는 복수 종류의 원소를 이용할 수 있다.

[0160] 수소는, 산화물 반도체 중에서 전자 공여체(도너)가 되어 산화물 반도체를 n형화시킨다. 또한, 희ガ스 원소는 산화물 반도체 중에 결함을 만들어 산화물 반도체를 n형화시킨다. 또한, 수소는 확산하기 쉬워 채널 형성 영역에 수소가 확산되면, 트랜지스터 특성이 열화할 우려가 있다. 이 때문에, 도편트(106)로서 희ガ스 원소를 이용하는 것이 반도체 장치의 신뢰성이 좋고 바람직하다.

[0161] 또한, 산화물 반도체층(103)의 게이트 전극(105)과 중첩하는 영역은, 게이트 전극(105)이 마스크가 되어 도편트(106)가 첨가되지 않고 채널 형성 영역(103c)이 된다.

[0162] 도편트(106)가 첨가된 소스 영역(103a) 및 드레인 영역(103b)은, n형의 산화물 반도체가 되어, 채널 형성 영역(103c)보다 저항율이 저하한다. 이 때문에, 소스 영역(103a) 및 드레인 영역(103b)의 저항값이 작아져 트랜지스터(100)를 고속 동작시키는 것이 가능해진다. 또한, 소스 영역(103a) 및 드레인 영역(103b)과 게이트 전극(105)의 중첩이 거의 생기지 않아, 기생 용량을 저감할 수 있기 때문에, 트랜지스터(100)를 더욱 고속동작시키는 것이 가능해진다.

[0163] 또한, 게이트 전극(105)을 마스크로 하여, 소스 영역 및 드레인 영역이 되는 산화물 반도체층(103) 위의 게이트 절연층(104)을 제거해서 산화물 반도체층(103)을 노출시키고, 노출된 산화물 반도체층(103)에 도편트(106)를 첨가하여 소스 영역(103a) 및 드레인 영역(103b)을 형성해도 좋다. 산화물 반도체층(103) 위의 게이트 절연층(104)의 제거는, 산화물 반도체층(103)이 예정되어 어려운 조건에서 행한다.

[0164] 노출된 산화물 반도체층(103)에 대한 도편트(106)의 첨가는, 이온 도핑법 또는 이온 주입법으로 행할 수 있다. 또한, 도편트(106)의 첨가는, 첨가하는 원소를 포함하는 가스 분위기에서 플라즈마를 발생시켜, 산화물 반도체층(103)이 노출된 부분에 대해 플라즈마 처리를 행함으로써 행할 수도 있다. 그러나, 플라즈마 처리에 의한 첨가는, 산화물 반도체가 예정되어 박층화되어버릴 우려가 있다. 이 때문에, 산화물 반도체층(103)에 대한 도편트(106)의 첨가는, 이온 도핑법 또는 이온 주입법으로 행하는 것이 바람직하다.

[0165] 또한, 산화물 반도체층(103)에 대한 도편트(106)의 첨가를 이온 도핑법 또는 이온 주입법에 의해 행하는 경우에는, 산화물 반도체층(103)을 노출시키지 않고 게이트 절연층(104)을 남긴 채 행하는 것이 바람직하다. 도편트(106)를 게이트 절연층(104)을 통과시켜 산화물 반도체층(103)에 첨가함으로써, 도편트(106)의 첨가에 있어서의 산화물 반도체층(103)에 대한 과잉 손상을 경감할 수 있다. 또한, 산화물 반도체층(103)과 게이트 절연층(104)의 계면도 청정하게 유지되므로, 트랜지스터의 특성이나 신뢰성이 높아진다. 또한, 도편트(106)의 첨가 깊이(첨가 영역)를 제어하기 쉬워져, 산화물 반도체층(103)에 도편트(106)를 정밀도 좋게 첨가할 수 있다.

[0166] 본 실시 형태에서는, 도편트(106)로서 크세논(Xe)을 이용하고, 크세논을 이온 주입법에 의해 게이트 절연층(104)을 통과시켜 산화물 반도체층(103)에 첨가한다. 또한, 크세논의 첨가에 의해 형성되는 소스 영역(103a) 및 드레인 영역(103b) 중의 크세논 농도가 $5 \times 10^{19} \text{ atoms/cm}^3$ 이상, $1 \times 10^{22} \text{ atoms/cm}^3$ 이하가 되도록 한다[도 3의 (c) 참조].

[0167] 도편트(106)의 첨가 후, 감압 분위기하에 질소나 희ガ스 등의 불활성 가스 분위기하에서, 300°C 이상 600°C 이하의 온도로 열처리를 행해도 된다. 본 실시 형태에서는, 가열 처리 장치의 하나인 전기로를 이용하여 질소 분위기하에서 450°C 1시간의 열처리를 행한다.

[0168] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 괴처리물을 가열하는 장치를 구비하고 있어도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할로겐 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램

프 등의 램프로부터 발하는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치다. GRTA 장치는, 고온의 가스를 이용해서 가열 처리를 행하는 장치다. 고온의 가스에는, 아르곤 등의 희 가스, 또는 질소와 같은 가열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 이용된다.

[0169] 예를 들면, 열처리로서, 고온으로 가열한 불활성 가스 속으로 기판을 이동시켜서 넣고 몇 분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스 속에서 꺼내는 GRTA를 행해도 된다.

[0170] 상기 열처리를 행하는 경우에는, 도편트(106) 첨가 후라면 언제 행해도 된다.

[0171] 또한, 이온 도핑법 또는 이온 주입법 등에 의해 도편트(106)를 첨가할 때에 기판을 가열하면서 행해도 된다.

[0172] 다음으로, 산화물 반도체층(103) 및 게이트 전극(105)을 덮어, 스퍼터링법, CVD법 등에 의해 절연층(107) 및 절연층(108)을 형성한다. 절연층(107) 및 절연층(108)은, 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화질화 알루미늄, 질화 실리콘, 산화 실리콘, 질화산화 실리콘 또는 산화질화 실리콘에서 선택된 재료를 이용해서 형성할 수 있다. 또한, 절연층(107) 및 절연층(108)은, 각각을 단층 또는 적층해서 이용할 수 있다.

[0173] 이때, 적어도 절연층(107)은, 가열에 의해 산소를 방출하기 어려운 재료를 이용하는 것이 바람직하다. 이것은, 소스 영역(103a) 및 드레인 영역(103b)의 도전율을 저하시키지 않기 위함이다. 구체적으로는, CVD법에 의해 실란 가스를 주재료로 하고, 산화 질소 가스, 질소 가스, 수소 가스 및 희 가스로부터 적절한 원료 가스를 혼합해서 성막하면 된다. 또한, 기판 온도를 300°C 이상 550°C 이하로 하면 된다. CVD법을 이용함으로써, 가열에 의해 산소를 방출하기 어려운 재료로 할 수 있다. 또한, 실란 가스를 주재료로 함으로써 절연층 중에 수소가 잔류하고, 해당 수소가 확산함으로써 소스 영역(103a) 및 드레인 영역(103b)의 도전율을 더욱 높일 수 있다. 절연층(107) 중의 수소 농도는, 0.1원자% 이상 25원자% 이하로 하면 된다.

[0174] 절연층(107) 및 절연층(108)의 막 두께는 50nm 이상, 바람직하게는 200nm 이상 500nm 이하로 한다. 본 실시 형태에서는, 절연층(107)으로서 막 두께 300nm의 산화 실리콘을 형성하고, 절연층(108)으로서 막 두께 100nm의 산화 알루미늄을 형성한다.

[0175] 절연층(108)은, 외부로부터의 불순물 등의 침입을 방지하기 위해서, 질화 실리콘 또는 산화 알루미늄을 이용해서 형성하는 것이 바람직하다. 본 실시 형태에서는, 절연층(108)으로서 막 두께 100nm의 산화 알루미늄을 형성한다[도 3의 (d) 참조]. 또한, 절연층(107)과 절연층(108)은 어느 한쪽 또는 양쪽을 생략해도 좋다.

[0176] 절연층(108)의 형성 후, 필요하다면 열처리(온도 범위 150°C 이상 650°C 이하, 바람직하게는 200°C 이상 500°C 이하)를 행해도 된다.

[0177] 다음으로, 절연층(108) 위에 마스크를 형성하고, 해당 마스크를 이용해서 게이트 절연층(104), 절연층(107), 절연층(108)의 일부를 선택적으로 에칭하여, 소스 영역(103a) 및 드레인 영역(103b)의 일부를 노출시켜 컨택트 홀(109)을 형성한다[도 4의 (a) 참조].

[0178] 다음으로, 절연층(108) 위에 도전층을 형성하고, 해당 도전층 위에 마스크를 형성하고, 해당 도전층을 선택적으로 에칭해서 소스 전극(110a) 및 드레인 전극(110b)을 형성한다[도 4의 (b) 참조]. 소스 전극(110a) 및 드레인 전극(110b)을 형성하기 위한 도전층은, 게이트 전극(105b)과 마찬가지의 재료를 적용할 수 있다.

[0179] 본 실시 형태에서는, 소스 전극(110a) 및 드레인 전극(110b)을 형성하기 위한 도전층으로서, Cu-Mg-Al 합금 위에 Cu를 적층한 도전층을 이용한다. 절연층(108)과 접해서 Cu-Mg-Al 합금 재료를 설치함으로써, 도전층의 밀착성을 향상시킬 수 있다.

[0180] 또한, 트랜지스터(100)의 채널 길이는, 도 1의 (b)에서, 소스 영역(103a)과 드레인 영역(103b) 사이에 끼워져 있는 채널 형성 영역(103c)의 길이에 상당한다. 또한, 트랜지스터(100)의 채널 길이는, 게이트 전극(105)의 폭과 거의 동등해진다.

[0181] 이상의 공정에 의해, 트랜지스터를 미세화하여 채널 길이를 축소했을 때에도 전기 특성이 양호하고, 또한 신뢰성이 높은 산화물 반도체를 이용한 트랜지스터(100)를 제작할 수 있다.

[0182] 트랜지스터(140)는, 산화물 반도체층(103) 중에 저농도 영역(103d) 및 저농도 영역(103e)을 갖고 있다. 트랜지스터(140)는, 트랜지스터(100)의 제작 공정에 사이드 월(111)의 제작 공정을 추가하여, 산화물 반도체층(103)에 대한 도편트(106)의 첨가를 2회로 나누어서 행함으로써 제작할 수 있다.

[0183] 저농도 영역(103d) 및 저농도 영역(103e)은, 게이트 전극(105)을 마스크로 하여 이용하는 자기 정합 프로세스에

의해 형성할 수 있다. 구체적으로는, 게이트 전극(105) 형성 후, 게이트 전극(105)을 마스크로 하여, 트랜지스터(100)와 마찬가지의 방법에 의해 도편트(106)를 산화물 반도체층(103)에 첨가한다(제1 도프 공정이라고도 함). 제1 도프 공정에서 산화물 반도체층(103)에 첨가하는 도편트(106)로는, 트랜지스터(100)에서 이용하는 도편트(106)와 마찬가지의 원소를 이용할 수 있다. 제1 도프 공정에서는, 산화물 반도체층(103) 중의 도편트(106)의 농도가 $5 \times 10^{18} \text{ atoms/cm}^3$ 이상, $5 \times 10^{19} \text{ atoms/cm}^3$ 미만이 되도록 첨가한다.

[0184] 다음으로, 게이트 전극(105)의 측면에 사이드 월(111)을 형성한다. 사이드 월(111)은, 기지의 방법에 의해 제작할 수 있다.

[0185] 다음으로, 게이트 전극(105) 및 사이드 월(111)을 마스크로 하여, 도편트(106)를 산화물 반도체층(103)에 첨가한다(제2 도프 공정이라고도 함). 제2 도프 공정에서 산화물 반도체층(103)에 첨가하는 도편트(106)로는, 트랜지스터(100)에서 이용하는 도편트(106)와 마찬가지의 원소를 이용할 수 있다. 제2 도프 공정에서는, 산화물 반도체층(103) 중의 도편트(106)의 농도가 $5 \times 10^{19} \text{ atoms/cm}^3$ 이상, $1 \times 10^{22} \text{ atoms/cm}^3$ 이하가 되도록 한다.

[0186] 이와 같이 하여, 트랜지스터(140)에 소스 영역(103a), 드레인 영역(103b), 저농도 영역(103d) 및 저농도 영역(103e)을 형성할 수 있다. 저농도 영역(103d) 및 저농도 영역(103e)은, 소스 영역(103a) 및 드레인 영역(103b)보다 도편트 농도가 낮고 저항율이 높다.

[0187] 저농도 영역(103d) 및 저농도 영역(103e)을 형성함으로써, 트랜지스터 특성의 열화나, 단채널 효과에 의한 임계값 전압의 마이너스 시프트를 경감할 수가 있어, 보다 신뢰성이 높은 트랜지스터를 제작할 수 있다.

[0188] 또한, 트랜지스터(140)의 채널 길이는, 도 2의 (b)에서, 저농도 영역(103d)과 저농도 영역(103e) 사이에 끼워진 채널 형성 영역(103c)의 길이에 상당한다. 또한, 트랜지스터(140)의 채널 길이는, 게이트 전극(105)의 폭과 거의 동등해진다.

[0189] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

[0190] (실시 형태 2)

[0191] 본 실시 형태에서는, 실시 형태 1에서 개시한 트랜지스터와는 다른 구성을 갖는 트랜지스터의 예에 대해서 설명한다.

[0192] 도 5의 (a)는, 트랜지스터(150)의 구성을 설명하는 상면도이며, 도 5의 (b)는, 도 5의 (a)에 C1-C2의 쇄선으로 나타낸 부위의 적층 구조를 설명하는 단면도다. 또한, 도 5의 (a)에서, 기판 및 절연층의 기재는 생략하고 있다.

[0193] 도 5의 (b)에 도시하는 트랜지스터(150)는, 실시 형태 1에서 개시한 트랜지스터(100)와 비교하여, 소스 전극(110a) 및 드레인 전극(110b)의 적층 위치가 상이하다. 트랜지스터(150)는, 기초층(102) 위에 소스 전극(110a) 및 드레인 전극(110b)이 형성되고, 기초층(102), 소스 전극(110a) 및 드레인 전극(110b) 위에 산화물 반도체층(103)이 형성되어 있다.

[0194] 트랜지스터(150)에서는, 소스 전극(110a) 및 드레인 전극(110b)이, 컨택트 홀(109)을 통하지 않고 산화물 반도체층(103)의 소스 영역(103a) 및 드레인 영역(103b)과 접속하는 구성이기 때문에, 접속 면적을 늘리기 쉬워 접촉 저항의 저감이 용이하다.

[0195] 또한, 트랜지스터(150)의 채널 길이는, 도 5의 (b)에서, 소스 영역(103a)과 드레인 영역(103b) 사이에 끼워진 채널 형성 영역(103c)의 길이에 상당한다. 또한, 트랜지스터(150)의 채널 길이는, 게이트 전극(105)의 폭과 거의 동등해진다.

[0196] 도 6에 도시하는 트랜지스터(160)는, 트랜지스터(150)의 구성 외에, 게이트 전극(105)의 측면에 사이드 월(111)을 갖고, 산화물 반도체층(103)의 사이드 월(111)과 중첩하는 영역에, 저농도 영역(103d) 및 저농도 영역(103e)을 갖고 있다. 저농도 영역(103d)은 채널 형성 영역(103c)과 소스 영역(103a)의 사이에 형성되고, 저농도 영역(103e)은 채널 형성 영역(103c)과 드레인 영역(103b)의 사이에 형성되어 있다. 도 6의 (a)는, 트랜지스터(160)의 구성을 설명하는 상면도이며, 도 6의 (b)는, 도 6의 (a)에 D1-D2의 쇄선으로 나타낸 부위의 적층 구조를 설명하는 단면도다.

[0197] 산화물 반도체층(103) 중에 저농도 영역(103d) 또는 저농도 영역(103e)을 형성함으로써, 채널 형성 영역(103c)과, 소스 영역(103a) 또는 드레인 영역(103b)의 사이에 생기는 전계를 완화하여 트랜지스터 특성의 열화를 경감

할 수 있다. 특히, 채널 형성 영역(103c)과 드레인 영역(103b)에 생기는 전계의 완화는, 트랜지스터 특성의 열화 경감에 유효하다. 또한, 저농도 영역(103d) 또는 저농도 영역(103e)을 형성함으로써, 트랜지스터의 미세화에 수반하는 단채널 효과를 억제할 수 있다.

[0198] 또한, 트랜지스터(160)의 채널 길이는, 도 6의 (b)에서, 저농도 영역(103d)과 저농도 영역(103e) 사이에 끼워진 채널 형성 영역(103c)의 길이에 상당한다. 또한, 트랜지스터(160)의 채널 길이는, 게이트 전극(105)의 폭과 거의 동등해진다.

[0199] 도 7의 (a)에 도시하는 트랜지스터(170)는, 보텀 게이트 구조의 트랜지스터의 일 형태다.

[0200] 도 7의 (a)는, 트랜지스터(170)의 단면 구조를 나타내고 있다. 트랜지스터(170)는, 기판(101) 위에 게이트 전극(105)이 형성되고, 게이트 전극(105) 위에 게이트 절연층(104)이 형성되어 있다. 게이트 전극(105)은, 게이트 전극(105b) 위에 게이트 전극(105a)이 적층된 구성을 갖고 있다. 기판(101)과 게이트 전극(105)의 사이에 실시 형태 1에서 설명한 기초층을 설치해도 좋다.

[0201] 또한, 게이트 절연층(104) 위에 산화물 반도체층(103)이 형성되고, 산화물 반도체층(103) 위에 채널 보호층(112), 소스 전극(110a), 및 드레인 전극(110b)이 형성되어 있다. 산화물 반도체층(103)은, 채널 보호층(112)과 중첩하는 채널 형성 영역(103c)과, 소스 전극(110a)과 전기적으로 접속하는 소스 영역(103a)과, 드레인 전극(110b)과 전기적으로 접속하는 드레인 영역(103b)을 갖고 있다.

[0202] 채널 보호층(112)은, 게이트 절연층(104)과 마찬가지의 재료 및 방법을 이용해서 형성할 수 있다. 채널 보호층(112)의 두께는 10nm 이상 500nm 이하, 보다 바람직하게는 100nm 이상 300nm 이하로 하면 좋다.

[0203] 소스 영역(103a) 및 드레인 영역(103b)은, 채널 보호층(112)을 마스크로서 이용하여 트랜지스터(100)와 마찬가지로 형성할 수 있다.

[0204] 또한, 채널 보호층(112), 소스 전극(110a), 및 드레인 전극(110b) 위에 절연층(108)이 형성되어 있다. 절연층(108)은, 복수의 절연층의 적층으로 해도 좋다.

[0205] 또한, 트랜지스터(170)의 채널 길이는, 도 7의 (a)에서, 소스 영역(103a)과 드레인 영역(103b) 사이에 끼워진 채널 형성 영역(103c)의 길이에 상당한다. 또한, 트랜지스터(170)의 채널 길이는, 채널 보호층(112)의 폭과 거의 동등해진다.

[0206] 도 7의 (b)는, 트랜지스터(180)의 단면 구조를 나타내고 있다. 트랜지스터(180)는, 트랜지스터(100)에 백 게이트 전극(115)과 절연층(113)을 설치한 구조를 갖고 있다. 트랜지스터(180)는, 기초층(102) 위에 백 게이트 전극(115)이 형성되고, 백 게이트 전극(115) 위에 절연층(113)이 형성되어 있다. 또한, 트랜지스터(180)의 산화물 반도체층(103)은, 절연층(113)을 사이에 두고 백 게이트 전극(115)과 중첩해서 형성되어 있다.

[0207] 백 게이트 전극(115)은, 게이트 전극(105)과 백 게이트 전극(115)으로 산화물 반도체층(103)의 채널 형성 영역(103c)을 사이에 끼우도록 배치한다. 백 게이트 전극(115)은 도전층으로 형성되고, 게이트 전극(105)과 마찬가지로 기능시킬 수 있다. 또한, 백 게이트 전극(115)의 전위를 변화시킴으로써, 트랜지스터의 임계값 전압을 변화시킬 수 있다.

[0208] 백 게이트 전극(115)은, 게이트 전극(105b)과 마찬가지의 재료 및 방법으로 형성할 수 있다. 또한, 백 게이트 전극(115)과 절연층(113)의 사이에 게이트 전극(105a)과 마찬가지의 층을 설치해도 된다.

[0209] 절연층(113)은, 게이트 절연층(104)과 마찬가지의 재료 및 방법으로 형성할 수 있다. 또한, 기초층(102)을 형성하지 않고, 절연층(113)으로 기초층(102)을 겹하는 구성으로 할 수도 있다.

[0210] 또한, 트랜지스터(180)의 채널 길이는, 도 7의 (b)에서, 소스 영역(103a)과 드레인 영역(103b) 사이에 끼워진 채널 형성 영역(103c)의 길이에 상당한다. 또한, 트랜지스터(180)의 채널 길이는, 게이트 전극(105)의 폭과 거의 동등해진다.

[0211] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

[0212] (실시 형태 3)

[0213] 본 실시 형태에서는, CAAC-OS로 이루어지는 산화물 반도체막의 형성 방법에 대해서, 실시 형태 1에서 개시한 것 이외의 방법에 대해 이하에 설명한다.

- [0214] 우선, 기초층(102) 위에 두께 1nm 이상 50nm 이하의 산화물 반도체막을 형성한다.
- [0215] 성막시의 기판 온도는 150°C 이상 450°C 이하, 바람직하게는 200°C 이상 350°C 이하다. 150°C 이상 450°C 이하, 바람직하게는 200°C 이상 350°C 이하로 기판을 가열하면서 성막함으로써, 막 내에 대한 수분(수소를 포함) 등의 혼입을 방지할 수 있다. 또한, 결정성을 포함하는 산화물 반도체막인 CAAC-OS를 형성할 수 있다.
- [0216] 또한, 산화물 반도체 형성 후에 기판(101)에 가열 처리를 실시하여, 산화물 반도체로부터 보다 수소를 방출시키는 동시에, 기초층(102)에 포함되는 산소의 일부를, 산화물 반도체와, 기초층(102)에서의 산화물 반도체의 계면 근방으로 확산시키는 것이 바람직하다. 또한, 해당 가열 처리를 행함으로써, 보다 결정성이 높은 CAAC-OS를 갖는 산화물 반도체를 형성할 수 있다.
- [0217] 해당 가열 처리의 온도는, 산화물 반도체로부터 수소를 방출시키는 동시에, 기초층(102)에 포함되는 산소의 일부를 방출시키고, 또한 산화물 반도체로 확산시키는 온도가 바람직하게 대표적으로는 200°C 이상 기판(101)의 왜곡점 미만, 바람직하게는 250°C 이상 450°C 이하로 한다. 산화물 반도체에 산소를 확산시킴으로써, 산화물 반도체 중의 산소 결손을 저감할 수 있다.
- [0218] 또한, 해당 가열 처리는, RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. RTA를 이용함으로써, 단시간에 한하여 기판의 왜곡점 이상의 온도로 열처리를 행할 수 있다. 그 때문에, 비정질 영역에 대해 결정 영역의 비율이 많은 산화물 반도체를 형성하기 위한 시간을 단축할 수 있다.
- [0219] 가열 처리는, 불활성 가스 분위기에서 행할 수 있으며, 대표적으로는 헬륨, 네온, 아르곤, 크세논, 크립톤 등의 희 가스, 또는 질소 분위기에서 행하는 것이 바람직하다. 또한, 산소 분위기 및 감압 분위기에서 행해도 된다. 처리 시간은 3분 내지 24시간으로 한다. 처리 시간을 길게 할수록 비정질 영역에 대하여 결정 영역의 비율이 많은 산화물 반도체를 형성할 수 있지만, 24시간을 초과하는 열처리는 생산성의 저하를 초래하기 때문에 바람직하지 못하다.
- [0220] 이상의 방법으로, CAAC-OS로 이루어지는 산화물 반도체를 형성할 수 있다.
- [0221] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0222] (실시 형태 4)
- [0223] 본 실시 형태에서는, 실시 형태 1 및 실시 형태 2에 나타낸 산화물 반도체를 이용한 트랜지스터의 전기 특성에 대한 영향에 대해 밴드 도를 이용하여 설명한다.
- [0224] 도 8은, 도 1에 도시하는 트랜지스터(100)와 동등한 적층 구조를 갖는 트랜지스터의 단면도다. 도 9는, 도 8에 도시하는 X1-X2 단면에서의 에너지 밴드 도(모식도)를 나타낸다. 또한, 도 9의 (b)는 소스와 드레인의 사이의 전압을 등전위(VD=0V)로 한 경우를 나타내고 있다. 도 8은, 제1 산화물 반도체 영역(OS1이라고 함) 및 한 쌍의 제2 산화물 반도체 영역(OS2라고 함)으로 이루어지는 산화물 반도체층과, 소스 전극 및 드레인 전극(메탈이라고 함)에 의해 형성되는 트랜지스터다.
- [0225] 도 8에서의 트랜지스터의 채널 형성 영역은, OS1에 의해 형성되어 있으며, OS1은, 막 내로부터 수분(수소를 포함) 등의 불순물을 가능한 한 제거, 이탈시켜서 고순도화하고, 또한 막 내의 산소 결손을 저감함으로써 진성(i형)으로 한 것, 또는 한없이 진성에 가깝게 한 산화물 반도체에 의해 형성되어 있다. 그렇게 함으로써, 페르미 준위(Ef)는 진성 페르미 준위(Ei)와 동일한 레벨로 할 수 있다.
- [0226] 또한, 도 8에서의 트랜지스터의 소스 영역 및 드레인 영역은, 한 쌍의 OS2에 의해 형성되어 있으며, OS2는, 상기 OS1과 마찬가지로 막 내로부터 수분(수소를 포함) 등의 불순물을 가능한 한 제거, 이탈시켜서 고순도화하고, 또한 막 내의 산소 결손을 저감함으로써 진성(i형)으로 한 것, 또는 한없이 진성에 가깝게 한 산화물 반도체로 하여, 그 후, 수소 혹은 희 가스 중 적어도 어느 하나에서 선택된 원소를 첨가함으로써, 도너 혹은 산소 결손을 발생시켜 형성된다. 그에 따라, OS2는, OS1과 비교하여 캐리어 밀도가 높아지고, 페르미 준위의 위치가 전도대의 근처가 된다.
- [0227] 도 9의 (a)는, 진공 준위(Evac라고 함), 제1 산화물 반도체 영역(OS1이라고 함), 제2 산화물 반도체 영역(OS2라고 함), 및 소스 전극 및 드레인 전극(메탈이라고 함)의 밴드 구조의 관계다. 여기서, IP는 이온화 포텐셜, Ea는 전자 친화력, Eg는 에너지 갭, Wf는 일함수를 나타낸다. 또한, Ec는 전도대의 하단부, Ev는 가전자대의 상단부, Ef는 페르미 준위를 나타낸다. 또한, 각 부호의 말미에 나타내는 기호는, 1이 OS1을, 2가 OS2를, m이 메탈을 각각 나타낸다. 여기서 메탈로서 Wf_m이 4.1eV(티타늄 등)를 상정하고 있다.

- [0228] OS1은 i형 또는 실질적으로 i형화된 산화물 반도체이며, 매우 캐리어 밀도가 낮기 때문에 Ef_1은 Ec 및 Ev의 대략 중앙에 있는 것으로 한다. 또한, OS2는 캐리어 밀도가 높은 n형의 산화물 반도체이며, Ec_2와 Ef_2가 대략 일치한다. OS1 및 OS2에 나타내는 산화물 반도체는, 에너지 캡(Eg)이 3.15eV, 전자 친화력(Ea)은 4.3eV로 알려져 있다.
- [0229] 도 9의 (b)에 도시한 바와 같이, 채널 형성 영역인 OS1과, 소스 영역 및 드레인 영역인 OS2가 접촉하면, 페르미 준위가 일치하도록 캐리어의 이동이 일어나고, OS1 및 OS2의 밴드 단부가 구부러진다. 또한, OS2와, 소스 전극 및 드레인 전극인 메탈이 접촉한 경우에도, 페르미 준위가 일치하도록 캐리어의 이동이 일어나고, OS2의 밴드 단부가 구부러진다.
- [0230] 이와 같이, 채널 형성 영역이 되는 OS1과 소스 전극 및 드레인 전극이 되는 메탈 사이에, n형의 산화물 반도체인 OS2가 형성됨으로써, 산화물 반도체와 금속의 컨택트를 오믹으로 할 수가 있고, 또한 컨택트 저항을 저감시킬 수 있다. 그 결과로서 트랜지스터의 온 전류를 증가시킬 수 있다.
- [0231] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0232] (실시 형태 5)
- [0233] 도 10의 (a)에 반도체 장치를 구성하는 기억 소자(이하, 메모리 셀이라고도 함)의 회로도의 일례를 나타낸다. 메모리 셀은, 산화물 반도체 이외의 재료를 채널 형성 영역에 이용한 트랜지스터(1160)와 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터(1162)에 의해 구성된다.
- [0234] 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터(1162)는, 실시 형태 1에 따라서 제작할 수 있다.
- [0235] 도 10의 (a)에 도시한 바와 같이, 트랜지스터(1160)의 게이트 전극과 트랜지스터(1162)의 소스 전극 또는 드레인 전극의 한쪽은, 전기적으로 접속되어 있다. 또한, 제1 배선(1st Line:소스선이라고도 함)과 트랜지스터(1160)의 소스 전극은, 전기적으로 접속되고, 제2 배선(2nd Line:비트선이라고도 함)과 트랜지스터(1160)의 드레인 전극은, 전기적으로 접속되어 있다. 그리고, 제3 배선(3rd Line:제1 신호선이라고도 함)과 트랜지스터(1162)의 소스 전극 또는 드레인 전극의 다른 쪽은, 전기적으로 접속되고, 제4 배선(4th Line:제2 신호선이라고도 함)과 트랜지스터(1162)의 게이트 전극은, 전기적으로 접속되어 있다.
- [0236] 산화물 반도체 이외의 재료, 예를 들면 단결정 실리콘을 채널 형성 영역에 이용한 트랜지스터(1160)는 충분한 고속 동작이 가능하기 때문에, 트랜지스터(1160)를 이용함으로써 기억 내용의 판독 등을 고속으로 행할 수 있다. 또한, 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터(1162)는, 트랜지스터(1160)에 비교하여 오프 전류가 작다는 특징을 갖고 있다. 이 때문에, 트랜지스터(1162)를 오프 상태로 함으로써, 트랜지스터(1160)의 게이트 전극의 전위를 매우 장시간에 걸쳐 유지하는 것이 가능하다.
- [0237] 게이트 전극의 전위가 유지 가능하다는 특징을 살펴보면, 다음과 같이 정보의 기입, 유지, 판독이 가능하다.
- [0238] 먼저, 정보의 기입 및 유지에 대해서 설명한다. 우선, 제4 배선의 전위를 트랜지스터(1162)가 온 상태로 되는 전위로 하여, 트랜지스터(1162)를 온 상태로 한다. 이에 의해, 제3 배선의 전위가 트랜지스터(1160)의 게이트 전극에 공급된다(기입). 그 후, 제4 배선의 전위를, 트랜지스터(1162)가 오프 상태로 되는 전위로 하여, 트랜지스터(1162)를 오프 상태로 함으로써, 트랜지스터(1160)의 게이트 전극의 전위가 유지된다(유지).
- [0239] 트랜지스터(1162)의 오프 전류는 트랜지스터(1160)에 비해 작기 때문에, 트랜지스터(1160)의 게이트 전극의 전위는 장시간에 걸쳐 유지된다. 예를 들면, 트랜지스터(1160)의 게이트 전극의 전위가 트랜지스터(1160)를 온 상태로 하는 전위이면, 트랜지스터(1160)의 온 상태가 장시간에 걸쳐 유지되게 된다. 또한, 트랜지스터(1160)의 게이트 전극의 전위가 트랜지스터(1160)를 오프 상태로 하는 전위이면, 트랜지스터(1160)의 오프 상태가 장시간에 걸쳐 유지된다.
- [0240] 다음으로, 정보의 판독에 대해서 설명한다. 상술한 바와 같이, 트랜지스터(1160)의 온 상태 또는 오프 상태가 유지된 상태에서, 제1 배선에 소정의 전위(저전위)가 공급되면, 트랜지스터(1160)의 온 상태 또는 오프 상태에 따라서 제2 배선의 전위는 다른 값을 취한다. 예를 들면, 트랜지스터(1160)가 온 상태인 경우에는, 제1 배선의 전위에 대하여 제2 배선의 전위가 저하하게 된다. 또한, 트랜지스터(1160)가 오프 상태인 경우에는, 제2 배선의 전위는 변화하지 않는다.
- [0241] 이와 같이, 정보가 유지된 상태에서, 제2 배선의 전위와 소정의 전위를 비교함으로써, 정보를 판독할 수 있다.
- [0242] 다음으로, 정보의 재기입에 대해서 설명한다. 정보의 재기입은, 상기 정보의 기입 및 유지와 마찬가지로 행해

진다. 즉, 제4 배선의 전위를, 트랜지스터(1162)가 온 상태로 되는 전위로 하여 트랜지스터(1162)를 온 상태로 한다. 이에 의해, 제3 배선의 전위(새로운 정보에 관한 전위)가 트랜지스터(1160)의 게이트 전극에 공급된다. 그 후, 제4 배선의 전위를, 트랜지스터(1162)가 오프 상태로 되는 전위로 하여 트랜지스터(1162)를 오프 상태로 함으로써, 새로운 정보가 유지된 상태로 된다.

[0243] 이와 같이, 개시하는 발명에 관한 메모리 셀은, 재차 정보의 기입에 의해 직접적으로 정보를 재기입하는 것이 가능하다. 이 때문에 플래시 메모리 등에서 필요하게 되는 소거 동작이 불필요하여, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 메모리 셀을 갖는 반도체 장치의 고속 동작이 실현된다.

[0244] 또한, 도 10의 (a)를 발전시킨 메모리 셀의 회로도의 일례를 도 10의 (b)에 도시한다.

[0245] 도 10의 (b)에 도시하는 메모리 셀(1100)은, 제1 배선(SL)(소스선)과, 제2 배선(BL)(비트선)과, 제3 배선(S1)(제1 신호선)과, 제4 배선(S2)(제2 신호선)과, 제5 배선(WL)(워드선)과, 트랜지스터(1164)(제1 트랜지스터)와, 트랜지스터(1161)(제2 트랜지스터)와, 트랜지스터(1163)(제3 트랜지스터)로 구성되어 있다. 트랜지스터(1164) 및 트랜지스터(1163)는, 산화물 반도체 이외의 재료를 채널 형성 영역에 이용하고 있고, 트랜지스터(1161)는 산화물 반도체를 채널 형성 영역에 이용하고 있다.

[0246] 여기서, 트랜지스터(1164)의 게이트 전극과, 트랜지스터(1161)의 소스 전극 또는 드레인 전극의 한쪽은, 전기적으로 접속되어 있다. 또한, 제1 배선(SL)과 트랜지스터(1164)의 소스 전극은, 전기적으로 접속되고, 트랜지스터(1164)의 드레인 전극과 트랜지스터(1163)의 소스 전극은, 전기적으로 접속되어 있다. 그리고, 제2 배선(BL)과 트랜지스터(1163)의 드레인 전극은, 전기적으로 접속되고, 제3 배선(S1)과, 트랜지스터(1161)의 소스 전극 또는 드레인 전극의 다른 쪽은, 전기적으로 접속되고, 제4 배선(S2)과 트랜지스터(1161)의 게이트 전극은, 전기적으로 접속되고, 제5 배선(WL)과 트랜지스터(1163)의 게이트 전극은 전기적으로 접속되어 있다.

[0247] 다음으로, 회로의 동작에 대해서 구체적으로 설명한다.

[0248] 메모리 셀(1100)에 대한 기입을 행하는 경우에는, 제1 배선(SL)을 0V, 제5 배선(WL)을 0V, 제2 배선(BL)을 0V, 제4 배선(S2)을 2V로 한다. 데이터 "1"을 기입하는 경우에는 제3 배선(S1)을 2V, 데이터 "0"을 기입하는 경우에는 제3 배선(S1)을 0V로 한다. 이때, 트랜지스터(1163)는 오프 상태, 트랜지스터(1161)는 온 상태가 된다. 또한, 기입 종료시에는, 제3 배선(S1)의 전위가 변화하기 전에, 제4 배선(S2)을 0V로 하고 트랜지스터(1161)를 오프 상태로 한다.

[0249] 그 결과, 데이터 "1" 기입 후에는 트랜지스터(1164)의 게이트 전극에 접속되는 노드(이하, 노드 A)의 전위가 약 2V, 데이터 "0" 기입 후에는 노드 A의 전위가 약 0V가 된다. 노드 A에는, 제3 배선(S1)의 전위에 따른 전하가 축적되는데, 트랜지스터(1161)의 오프 전류는, 단결정 실리콘을 채널 형성 영역에 이용한 트랜지스터에 비해 작아, 트랜지스터(1164)의 게이트 전극의 전위는 장시간에 걸쳐 유지된다.

[0250] 다음으로, 메모리 셀의 판독을 행하는 경우에는, 제1 배선(SL)을 0V, 제5 배선(WL)을 2V, 제4 배선(S2)을 0V, 제3 배선(S1)을 0V로 하고, 제2 배선(BL)에 접속되어 있는 판독 회로를 동작 상태로 한다. 이때, 트랜지스터(1163)는 온 상태, 트랜지스터(1161)는 오프 상태가 된다.

[0251] 데이터 "0", 즉 노드 A가 약 0V인 상태이면 트랜지스터(1164)는 오프 상태이기 때문에, 제2 배선(BL)과 제1 배선(SL) 간의 저항은 높은 상태가 된다. 한편, 데이터 "1", 즉 노드 A가 약 2V의 상태이면 트랜지스터(1164)가 온 상태이기 때문에, 제2 배선(BL)과 제1 배선(SL) 간의 저항은 낮은 상태가 된다. 판독 회로는, 메모리 셀의 저항 상태의 차이로부터, 데이터 "0", "1"을 판독할 수 있다. 또한, 기입시의 제2 배선(BL)은 0V로 했지만, 플로팅 상태나 0V 이상의 전위로 충전되어 있어도 상관없다. 판독시의 제3 배선(S1)은 0V로 했지만, 플로팅 상태나 0V 이상의 전위로 충전되어 있어도 상관없다.

[0252] 또한, 데이터 "1"과 데이터 "0"은 편의상의 정의이며, 반대라도 상관없다. 또한, 상술한 동작 전압은 일례다. 동작 전압은, 데이터 "0"인 경우에 트랜지스터(1164)가 오프 상태로 되고, 데이터 "1"인 경우에 트랜지스터(1164)가 온 상태로 되도록, 또한, 기입시에 트랜지스터(1161)가 온 상태, 기입시 이외에는 오프 상태가 되도록, 또한, 판독시에 트랜지스터(1163)가 온 상태로 되도록 선택하면 좋다. 특히 2V 대신에, 주변의 논리 회로의 전원 전위(VDD)를 이용해도 된다.

[0253] 본 실시 형태에서는 이해를 간단하게 하기 위하여, 최소 기억 단위(1비트)의 메모리 셀에 대해서 설명했지만, 메모리 셀의 구성은 이것에 한정되는 것이 아니다. 복수의 메모리 셀을 적당하게 접속하여 보다 고도의 반도체 장치를 구성할 수도 있다. 예를 들면, 상기 메모리 셀을 복수 이용하여 NAND형이나 NOR형의 반도체 장치를 구

성하는 것이 가능하다. 배선의 구성도 도 10의 (a)나 도 10의 (b)에 한정되지 않고 적절히 변경할 수 있다.

[0254] 도 11에, $m \times n$ 비트의 기억 용량을 갖는 본 발명의 일 양태에 따른 반도체 장치의 블록 회로도를 나타낸다.

[0255] 도 11에 도시하는 반도체 장치는, m 개의 제5 배선 및 제4 배선과, n 개의 제2 배선 및 제3 배선과, 복수의 메모리 셀(1100)(1, 1) 내지 1100(m , n)이 세로 m 개(행) \times 가로 n 개(열)(m , n 은 자연수)의 매트릭스 형상으로 배치된 메모리 셀 어레이(1110)와, 제2 배선 및 제3 배선 구동 회로(1111)나, 제4 배선 및 제5 배선 구동 회로(1113)나, 판독 회로(1112)와 같은 주변 회로에 의해 구성되어 있다. 다른 주변 회로로서 리프레시 회로 등이 설치되어도 좋다.

[0256] 각 메모리 셀의 대표로서 메모리 셀(1100)(i , j)(i 는 1 이상 m 이하의 정수, j 는 1 이상 n 이하의 정수)은, 제2 배선(BL)(j), 제3 배선(S1)(j), 제5 배선(WL)(i) 및 제4 배선(S2)(i), 및 제1 배선에 각각 접속되어 있다. 제1 배선에는 제1 배선 전위(V_S)가 공급되어 있다. 또한, 제2 배선(BL)(1) 내지 (BL)(n) 및 제3 배선(S1)(1) 내지 (S1)(n)은 제2 배선 및 제3 배선 구동 회로(1111) 및 판독 회로(1112)에, 제5 배선(WL)(1) 내지 (WL)(m) 및 제4 배선(S2)(1) 내지 (S2)(m)은 제4 배선 및 제5 배선 구동 회로(1113)에 각각 접속되어 있다.

[0257] 도 11에 도시한 반도체 장치의 동작에 대해서 설명한다. 본 구성에서는, 행마다 기입 및 판독을 행한다.

[0258] 제 i 행의 메모리 셀(1100)(i , 1) 내지 (1100)(i , n)에 기입을 행하는 경우에는, 제1 배선 전위(V_S)를 0V, 제5 배선(WL)(i)을 0V, 제2 배선(BL)(1) 내지 (BL)(n)을 0V, 제4 배선(S2)(i)을 2V로 한다. 이때 트랜지스터(1161)는, 온 상태가 된다. 제3 배선(S1)(1) 내지 (S1)(n)은, 데이터 "1"을 기입하는 열은 2V, 데이터 "0"을 기입하는 열은 0V로 한다. 또한, 기입 종료시에는, 제3 배선(S1)(1) 내지 (S1)(n)의 전위가 변화하기 전에, 제4 배선(S2)(i)을 0V로 하여 트랜지스터(1161)를 오프 상태로 한다. 또한, 비선택의 제5 배선(WL)은 0V, 비선택의 제4 배선(S2)은 0V로 한다.

[0259] 그 결과, 데이터 "1"의 기입을 행한 메모리 셀의 트랜지스터(1164)의 게이트 전극에 접속되는 노드(이하, 노드A)의 전위는 약 2V, 데이터 "0"의 기입을 행한 메모리 셀의 노드 A의 전위는 약 0V가 된다. 또한, 비선택 메모리 셀의 노드 A의 전위는 변하지 않는다.

[0260] 제 i 행의 메모리 셀(1100)(i , 1) 내지 (1100)(i , n)의 판독을 행하는 경우에는, 제1 배선 전위(V_S)를 0V, 제5 배선(WL)(i)을 2V, 제4 배선(S2)(i)을 0V, 제3 배선(S1)(1) 내지 (S1)(n)을 0V로 하고, 제2 배선(BL)(1) 내지 (BL)(n)에 접속되어 있는 판독 회로를 동작 상태로 한다. 판독 회로에서는, 예를 들면, 메모리 셀의 저항 상태의 차이로부터 데이터 "0", "1"을 판독할 수 있다. 또한, 비선택의 제5 배선(WL)은 0V, 비선택의 제4 배선(S2)은 0V로 한다. 또한, 기입시의 제2 배선(BL)은 0V로 했지만, 플로팅 상태나 0V 이상의 전위로 충전되어 있어도 상관없다. 판독시의 제3 배선(S1)은 0V로 했지만, 플로팅 상태나 0V 이상의 전위로 충전되어 있어도 상관없다.

[0261] 또한, 데이터 "1"과 데이터 "0"은 편의상의 정의이며, 반대라도 상관없다. 또한, 상술한 동작 전압은 일례다. 동작 전압은, 데이터 "0"인 경우에 트랜지스터(1164)가 오프 상태로 되고, 데이터 "1"인 경우에 트랜지스터(1164)가 온 상태로 되도록, 또한, 기입시에 트랜지스터(1161)가 온 상태, 기입시 이외에는 오프 상태가 되도록, 또한, 판독시에 트랜지스터(1163)가 온 상태로 되도록 선택하면 좋다. 특히 2V 대신에, 주변의 논리 회로의 전원 전위(VDD)를 이용해도 된다.

[0262] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

[0263] (실시 형태 6)

[0264] 본 실시 형태에서는, 용량 소자를 갖는 메모리 셀의 회로도의 일례를 나타낸다. 도 12의 (a)에 도시하는 메모리 셀(1170)은, 제1 배선(SL), 제2 배선(BL), 제3 배선(S1), 제4 배선(S2)과, 제5 배선(WL)과, 트랜지스터(1171)(제1 트랜지스터)와, 트랜지스터(1172)(제2 트랜지스터)와, 용량 소자(1173)로 구성되어 있다. 트랜지스터(1171)는, 산화물 반도체 이외의 재료를 채널 형성 영역에 이용하고 있고, 트랜지스터(1172)는 채널 형성 영역에 산화물 반도체를 이용하고 있다.

[0265] 여기서, 트랜지스터(1171)의 게이트 전극과, 트랜지스터(1172)의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자(1173)의 한쪽 전극은, 전기적으로 접속되어 있다. 또한, 제1 배선(SL)과 트랜지스터(1171)의 소스 전극은, 전기적으로 접속되고, 제2 배선(BL)과 트랜지스터(1171)의 드레인 전극은, 전기적으로 접속되고, 제3 배선(S1)과, 트랜지스터(1172)의 소스 전극 또는 드레인 전극의 다른 쪽은, 전기적으로 접속되고, 제4 배선(S

2)과 트랜지스터(1172)의 게이트 전극은, 전기적으로 접속되고, 제5 배선(WL)과 용량 소자(1173)의 다른 쪽의 전극은, 전기적으로 접속되어 있다.

[0266] 다음으로, 회로의 동작에 대해서 구체적으로 설명한다.

[0267] 메모리 셀(1170)에 대한 기입을 행하는 경우에는, 제1 배선(SL)을 0V, 제5 배선(WL)을 0V, 제2 배선(BL)을 0V, 제4 배선(S2)을 2V로 한다. 데이터 "1"을 기입하는 경우에는 제3 배선(S1)을 2V, 데이터 "0"을 기입하는 경우에는 제3 배선(S1)을 0V로 한다. 이때, 트랜지스터(1172)는 온 상태가 된다. 또한, 기입 종료시에는, 제3 배선(S1)의 전위가 변화하기 전에, 제4 배선(S2)을 0V로 하여 트랜지스터(1172)를 오프 상태로 한다.

[0268] 그 결과, 데이터 "1"의 기입 후에는 트랜지스터(1171)의 게이트 전극에 접속되는 노드(이하, 노드 A)의 전위가 약 2V, 데이터 "0"의 기입 후에는 노드 A의 전위가 약 0V가 된다.

[0269] 메모리 셀(1170)의 판독을 행하는 경우에는, 제1 배선(SL)을 0V, 제5 배선(WL)을 2V, 제4 배선(S2)을 0V, 제3 배선(S1)을 0V로 하고, 제2 배선(BL)에 접속되어 있는 판독 회로를 동작 상태로 한다. 이때, 트랜지스터(1172)는 오프 상태가 된다.

[0270] 제5 배선(WL)을 2V로 한 경우의 트랜지스터(1171)의 상태에 대해서 설명한다. 트랜지스터(1171)의 상태를 결정하는 노드 A의 전위는, 제5 배선(WL)과 노드 A 간의 용량(C1)과, 트랜지스터(1171)의 게이트 전극과 소스 전극 및 드레인 전극 사이의 용량(C2)에 의존한다.

[0271] 또한, 판독시의 제3 배선(S1)은 0V로 했지만, 플로팅 상태나 0V 이상의 전위로 충전되어 있어도 상관없다. 데이터 "1"과 데이터 "0"은 편의상의 정의이며, 반대라도 상관없다.

[0272] 기입시의 제3 배선(S1)의 전위는, 기입 후에 트랜지스터(1172)가 오프 상태로 되고, 또한, 제5 배선 전위가 0V인 경우에 트랜지스터(1171)가 오프 상태인 범위에서, 데이터 "0", "1"의 전위를 각각 선택하면 좋다. 판독시의 제5 배선 전위는, 데이터 "0"인 경우에 트랜지스터(1171)가 오프 상태로 되고, 데이터 "1"인 경우에 트랜지스터(1171)가 온 상태로 되도록 선택하면 좋다. 또한, 트랜지스터(1171)의 임계값 전압도 일례다. 상술한 트랜지스터(1171)의 상태를 바꾸지 않는 범위이면, 어떤 임계값이라도 상관없다.

[0273] 또한, 제1 게이트 전극 및 제2 게이트 전극을 갖는 선택 트랜지스터와, 용량 소자를 갖는 메모리 셀을 이용하는 NOR형의 반도체 기억 장치의 예에 대해서도 12의 (b)를 이용하여 설명한다.

[0274] 도 12의 (b)에 도시하는 본 발명의 일 양태에 따른 반도체 장치는, I행(I는 2 이상의 자연수) J열(J는 자연수)에 매트릭스 형상으로 배열된 복수의 메모리 셀을 구비한 메모리 셀 어레이를 구비한다.

[0275] 도 12의 (b)에 도시하는 메모리 셀 어레이에는, i행(i는 3 이상의 자연수) j열(j는 3 이상의 자연수)에 매트릭스 형상으로 배열된 복수의 메모리 셀(1180)과, i개의 워드선(WL)[워드선(WL_1) 내지 워드선(WL_i)]과, i개의 용량 선(CL)[용량선(CL_1) 내지 용량선(CL_i)]과, i개의 게이트선(BGL)[게이트선(BGL_1) 내지 게이트선(BGL_i)]과, j개의 비트선(BL)[비트선(BL_1) 내지 비트선(BL_j)]과, 소스선(SL)을 구비한다.

[0276] 또한, 복수의 메모리 셀(1180)의 각각[메모리 셀(1180)(M, N)(단, M은 1 이상 i 이하의 자연수, N은 1 이상 j 이하의 자연수)이라고도 함]은, 트랜지스터(1181)(M, N)와, 용량 소자(1183)(M, N)와, 트랜지스터(1182)(M, N)를 구비한다.

[0277] 또한, 반도체 기억 장치에 있어서, 용량 소자는, 제1 용량 전극, 제2 용량 전극, 및 제1 용량 전극 및 제2 용량 전극에 중첩하는 유전체층에 의해 구성된다. 용량 소자는, 제1 용량 전극 및 제2 용량 전극의 사이에 인가되는 전압에 따라서 전하가 축적된다.

[0278] 트랜지스터(1181)(M, N)는, N채널형 트랜지스터이며, 소스 전극, 드레인 전극, 제1 게이트 전극 및 제2 게이트 전극을 갖는다. 또한, 본 실시 형태의 반도체 기억 장치에 있어서, 반드시 트랜지스터(1181)를 N채널형 트랜지스터로 하지 않아도 좋다.

[0279] 트랜지스터(1181)(M, N)의 소스 전극 및 드레인 전극의 한쪽은, 비트선(BL_N)에 접속되고, 트랜지스터(1181)(M, N)의 제1 게이트 전극은, 워드선(WL_M)에 접속되고, 트랜지스터(1181)(M, N)의 제2 게이트 전극은, 게이트선(BGL_M)에 접속된다. 트랜지스터(1181)(M, N)의 소스 전극 및 드레인 전극의 한쪽이 비트선(BL_N)에 접속되는 구성으로 함으로써, 메모리 셀마다 선택적으로 데이터를 판독할 수 있다.

[0280] 트랜지스터(1181)(M, N)는, 메모리 셀(1180)(M, N)에 있어서 선택 트랜지스터로서의 기능을 갖는다.

- [0281] 트랜지스터(1181)(M, N)로는, 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터를 이용할 수 있다.
- [0282] 트랜지스터(1182)(M, N)는 P채널형 트랜지스터다. 또한, 본 실시 형태의 반도체 기억 장치에 있어서, 반드시 트랜지스터(1182)를 P채널형 트랜지스터로 하지 않아도 좋다.
- [0283] 트랜지스터(1182)(M, N)의 소스 전극 및 드레인 전극의 한쪽은, 소스선(SL)에 접속되고, 트랜지스터(1182)(M, N)의 소스 전극 및 드레인 전극의 다른 쪽은, 비트선(BL_N)에 접속되고, 트랜지스터(1182)(M, N)의 게이트 전극은, 트랜지스터(1181)(M, N)의 소스 전극 및 드레인 전극의 다른 쪽에 접속된다.
- [0284] 트랜지스터(1182)(M, N)는, 메모리 셀(1180)(M, N)에 있어서 출력 트랜지스터로서의 기능을 갖는다. 트랜지스터(1182)(M, N)로는, 예를 들면 단결정 실리콘을 채널 형성 영역에 이용하는 트랜지스터를 이용할 수 있다.
- [0285] 용량 소자(1183)(M, N)의 제1 용량 전극은, 용량선(CL_M)에 접속되고, 용량 소자(1183)(M, N)의 제2 용량 전극은, 트랜지스터(1181)(M, N)의 소스 전극 및 드레인 전극의 다른 쪽에 접속된다. 또한, 용량 소자(1183)(M, N)는, 축적 용량으로서의 기능을 갖는다.
- [0286] 워드선(WL_1) 내지 워드선(WL_i)의 각각의 전압은, 예를 들면 디코더를 이용한 구동 회로에 의해 제어된다.
- [0287] 비트선(BL_1) 내지 비트선(BL_j)의 각각의 전압은, 예를 들면 디코더를 이용한 구동 회로에 의해 제어된다.
- [0288] 용량선(CL_1) 내지 용량선(CL_i)의 각각의 전압은, 예를 들면 디코더를 이용한 구동 회로에 의해 제어된다.
- [0289] 게이트선(BGL_1) 내지 게이트선(BGL_i)의 각각의 전압은, 예를 들면 게이트선 구동 회로를 이용해서 제어된다.
- [0290] 게이트선 구동 회로는, 예를 들면 다이오드 및 제1 용량 전극이 다이오드 애노드 및 게이트선(BGL)에 전기적으로 접속되는 용량 소자를 구비하는 회로에 의해 구성된다.
- [0291] 트랜지스터(1181)의 제2 게이트 전극의 전압을 조정함으로써, 트랜지스터(1181)의 임계값 전압을 조정할 수 있다. 따라서, 선택 트랜지스터로서 기능하는 트랜지스터(1181)의 임계값 전압을 조정하여, 오프 상태에서의 트랜지스터(1181)의 소스 전극 및 드레인 전극의 사이에 흐르는 전류를 매우 작게 할 수 있다. 따라서, 기억 회로에 있어서의 데이터의 유지 기간을 길게 할 수 있다. 또한, 데이터의 기입 및 편집에 필요한 전압을 종래의 반도체 장치보다 낮게 할 수 있기 때문에, 소비 전력을 저감할 수 있다.
- [0292] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0293] (실시 형태 7)
- [0294] 본 실시 형태에서는, 상술한 실시 형태에 나타내는 트랜지스터를 이용한 반도체 장치의 예에 대해서, 도 13을 참조하여 설명한다.
- [0295] 도 13의 (a)에는, 이른바 DRAM(Dynamic Random Access Memory)에 상당하는 구성의 반도체 장치의 일례를 나타낸다. 도 13의 (a)에 도시하는 메모리 셀 어레이(1120)는, 복수의 메모리 셀(1130)이 매트릭스 형상으로 배열된 구성을 갖고 있다. 또한, 메모리 셀 어레이(1120)는, m개의 제1 배선 및 n개의 제2 배선을 갖는다. 또한, 본 실시 형태에서는, 제1 배선을 비트선(BL)이라고 하고, 제2 배선을 워드선(WL)이라고 한다.
- [0296] 메모리 셀(1130)은, 트랜지스터(1131)와 용량 소자(1132)로 구성되어 있다. 트랜지스터(1131)의 게이트 전극은, 제1 배선[워드선(WL)]과 접속되어 있다. 또한, 트랜지스터(1131)의 소스 전극 또는 드레인 전극의 한쪽은, 제2 배선[비트선(BL)]과 접속되어 있고, 트랜지스터(1131)의 소스 전극 또는 드레인 전극의 다른 쪽은, 용량 소자의 전극의 한쪽과 접속되어 있다. 또한, 용량 소자의 전극의 다른 쪽은 용량선(CL)과 접속되어 일정한 전위가 공급되어 있다. 트랜지스터(1131)에는, 상술한 실시 형태에 나타내는 트랜지스터가 적용된다.
- [0297] 상술한 실시 형태에서 나타낸 산화물 반도체를 채널 형성 영역에 이용하는 트랜지스터는, 단결정 실리콘을 채널 형성 영역에 이용한 트랜지스터에 비해 오프 전류가 작다는 특징을 갖는다. 이 때문에, 이른바 DRAM으로서 인식되어 있는 도 13의 (a)에 도시하는 반도체 장치에 해당 트랜지스터를 적용하는 경우, 실질적인 불휘발성 메모리를 얻는 것이 가능하다.
- [0298] 도 13의 (b)에는, 이른바 SRAM(Static Random Access Memory)에 상당하는 구성의 반도체 장치의 일례를 나타낸다. 도 13의 (b)에 도시하는 메모리 셀 어레이(1140)는, 복수의 메모리 셀(1150)이 매트릭스 형상으로 배열된 구성을으로 할 수 있다. 또한, 메모리 셀 어레이(1140)는, 제1 배선[워드선(WL)], 제2 배선[비트선(BL)] 및 제3 배선[반전 비트선(/BL)]을 각각 복수 개 갖는다.

- [0299] 메모리 셀(1150)은, 제1 트랜지스터(1151), 제2 트랜지스터(1152), 제3 트랜지스터(1153), 제4 트랜지스터(1154), 제5 트랜지스터(1155) 및 제6 트랜지스터(1156)를 갖고 있다. 제1 트랜지스터(1151)와 제2 트랜지스터(1152)는, 선택 트랜지스터로서 기능한다. 또한, 제3 트랜지스터(1153)와 제4 트랜지스터(1154) 중 한쪽은 n채널형 트랜지스터[여기서는, 제4 트랜지스터(1154)]이며, 다른 쪽은 p채널형 트랜지스터[여기서는, 제3 트랜지스터(1153)]이다. 즉, 제3 트랜지스터(1153)와 제4 트랜지스터(1154)에 의해 CMOS 회로가 구성되어 있다. 마찬가지로, 제5 트랜지스터(1155)와 제6 트랜지스터(1156)에 의해 CMOS 회로가 구성되어 있다.
- [0300] 제1 트랜지스터(1151), 제2 트랜지스터(1152), 제4 트랜지스터(1154), 제6 트랜지스터(1156)는 n채널형의 트랜지스터이며, 상술한 실시 형태에서 나타낸 트랜지스터를 적용할 수 있다. 제3 트랜지스터(1153)와 제5 트랜지스터(1155)는 p채널형의 트랜지스터이며, 산화물 반도체 이외의 재료(예를 들면, 단결정 실리콘 등)를 채널 형성 영역에 이용한다.
- [0301] 본 실시 형태에 나타내는 구성, 방법 등은, 다른 실시 형태에 나타내는 구성, 방법 등과 적절히 조합해서 이용할 수 있다.
- [0302] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0303] (실시 형태 8)
- [0304] 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터를 적어도 일부에 이용해서 CPU(Central Processing Unit)를 구성할 수 있다.
- [0305] 도 14의 (a)는, CPU의 구체적인 구성을 도시하는 블록도다. 도 14의 (a)에 도시하는 CPU는, 기판(1190) 위에 연산 회로(ALU:Arithmetic logic unit)(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(Bus I/F)(1198), 재기입 가능한 ROM(1199), 및 ROM 인터페이스(ROM I/F)(1189)를 갖고 있다. 기판(1190)은, 반도체 기판, SOI 기판, 유리 기판 등을 이용한다. ROM(1199) 및 ROM 인터페이스(1189)는, 별도 칩에 설치해도 좋다. 물론, 도 14의 (a)에 도시하는 CPU는, 그 구성을 간략화해서 나타낸 일례에 지나지 않으며, 실제의 CPU는 그 용도에 따라 각종 다양한 구성을 갖고 있다.
- [0306] 버스 인터페이스(1198)를 통해 CPU에 입력된 명령은, 인스트럭션 디코더(1193)에 입력되고, 디코드된 후 ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0307] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는, 디코드된 명령에 기초하여 각종 제어를 행한다. 구체적으로 ALU 컨트롤러(1192)는, ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는, CPU의 프로그램 실행 중에, 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를, 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는, 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라서 레지스터(1196)의 판독이나 기입을 행한다.
- [0308] 또한, 타이밍 컨트롤러(1195)는, ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194) 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들면 타이밍 컨트롤러(1195)는, 기준 클럭 신호(CLK1)를 바탕으로, 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성부를 구비하고 있어, 클럭 신호(CLK2)를 상기 각종 회로에 공급한다.
- [0309] 도 14의 (a)에 도시하는 CPU에서는, 레지스터(1196)에 기억 소자가 설치되어 있다. 레지스터(1196)의 기억 소자에는, 실시 형태 5에 기재되어 있는 기억 소자를 이용할 수 있다.
- [0310] 도 14의 (a)에 도시하는 CPU에 있어서, 레지스터 컨트롤러(1197)는, ALU(1191)로부터의 지시에 따라서 레지스터(1196)에서의 유지 동작의 선택을 행한다. 즉, 레지스터(1196)가 갖는 기억 소자에 있어서, 위상 반전 소자에 의한 데이터의 유지를 행할지, 용량 소자에 의한 데이터의 유지를 행할지를 선택한다. 위상 반전 소자에 의한 데이터의 유지가 선택되어 있는 경우, 레지스터(1196) 내의 기억 소자에 대한 전원 전압의 공급이 행해진다. 용량 소자에 있어서의 데이터의 유지가 선택되어 있는 경우, 용량 소자에 대한 데이터의 재기입이 행해지고, 레지스터(1196) 내의 기억 소자에 대한 전원 전압의 공급을 정지할 수 있다.
- [0311] 전원 정지에 관해서는, 도 14의 (b) 또는 도 14의 (c)에 도시한 바와 같이, 기억 소자군과, 전원 전위(VDD) 또는 전원 전위(VSS)가 공급되어 있는 노드 간에, 스위칭 소자를 설치함으로써 행할 수 있다. 이하에 도 14의 (b) 및 도 14의 (c)의 회로의 설명을 행한다.

- [0312] 도 14의 (b) 및 도 14의 (c)에서는, 기억 소자에 대한 전원 전위의 공급을 제어하는 스위칭 소자에, 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터를 포함하는 기억 회로의 구성의 일례를 나타낸다.
- [0313] 도 14의 (b)에 도시하는 기억 장치는, 스위칭 소자(1141)와, 기억 소자(1142)를 복수 갖는 기억 소자군(1143)을 갖고 있다. 구체적으로, 각 기억 소자(1142)에는, 실시 형태 5에 기재되어 있는 기억 소자를 이용할 수 있다. 기억 소자군(1143)이 갖는 각 기억 소자(1142)에는, 스위칭 소자(1141)를 통해 하이 레벨의 전원 전위(VDD)가 공급되어 있다. 또한, 기억 소자군(1143)이 갖는 각 기억 소자(1142)에는, 신호(IN)의 전위와, 로우 레벨의 전원 전위(VSS)의 전위가 공급되어 있다.
- [0314] 도 14의 (b)에서는, 스위칭 소자(1141)로서, 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 이용하고 있고, 해당 트랜지스터는, 그 게이트 전극에 공급되는 신호(SigA)에 의해 스위칭이 제어된다.
- [0315] 또한, 도 14의 (b)에서는, 스위칭 소자(1141)가 트랜지스터를 하나만 갖는 구성을 나타내고 있지만, 특별히 한정되지 않으며, 트랜지스터를 복수 갖고 있어도 좋다. 스위칭 소자(1141)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 갖고 있는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0316] 또한, 도 14의 (b)에서는, 스위칭 소자(1141)에 의해, 기억 소자군(1143)이 갖는 각 기억 소자(1142)에 대한 하이 레벨의 전원 전위(VDD)의 공급이 제어되어 있지만, 스위칭 소자(1141)에 의해, 로우 레벨의 전원 전위(VSS)의 공급이 제어되어 있어도 좋다.
- [0317] 또한, 도 14의 (c)에는, 기억 소자군(1143)이 갖는 각 기억 소자(1142)에, 스위칭 소자(1141)를 통해 로우 레벨의 전원 전위(VSS)가 공급되어 있는 기억 장치의 일례를 나타낸다. 스위칭 소자(1141)에 의해, 기억 소자군(1143)이 갖는 각 기억 소자(1142)에 대한 로우 레벨의 전원 전위(VSS)의 공급을 제어할 수 있다.
- [0318] 기억 소자군과, 전원 전위(VDD) 또는 전원 전위(VSS)가 공급되어 있는 노드 간에 스위칭 소자를 설치하여, 일시적으로 CPU의 동작을 정지해서 전원 전압의 공급을 정지한 경우에도 데이터를 유지하는 것이 가능하여, 소비 전력의 저감을 행할 수 있다. 구체적으로는, 예를 들면, 퍼스널 컴퓨터의 유저가, 키보드 등의 입력 장치에 대한 정보의 입력을 정지하고 있는 동안에도 CPU의 동작을 정지할 수가 있어, 그에 따라 소비 전력을 저감할 수 있다.
- [0319] 여기서는, CPU를 예로 들어 설명했지만, DSP(Digital Signal Processor), 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 응용 가능하다.
- [0320] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

부호의 설명

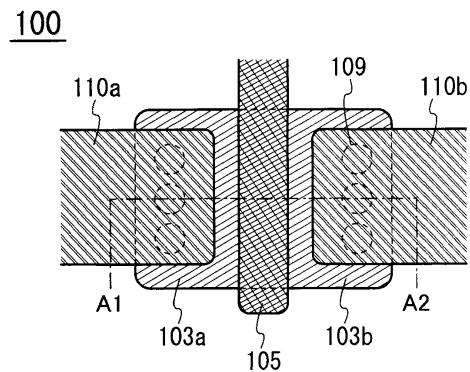
- | | |
|-----------------|------------------|
| 100 : 트랜지스터 | 101 : 기판 |
| 102 : 기초층 | 103 : 산화물 반도체층 |
| 104 : 게이트 절연층 | 105 : 게이트 전극 |
| 106 : 도편트 | 107 : 절연층 |
| 108 : 절연층 | 109 : 컨택트 홀 |
| 111 : 사이드 월 | 112 : 채널 보호층 |
| 113 : 절연층 | 115 : 백 게이트 전극 |
| 140 : 트랜지스터 | 150 : 트랜지스터 |
| 160 : 트랜지스터 | 170 : 트랜지스터 |
| 180 : 트랜지스터 | 190 : 트랜지스터 |
| 1100 : 메모리 셀 | 1110 : 메모리 셀 어레이 |
| 1111 : 배선 구동 회로 | 1112 : 회로 |
| 1113 : 배선 구동 회로 | 1120 : 메모리 셀 어레이 |

1130 : 메모리 셀	1131 : 트랜지스터
1132 : 용량 소자	1140 : 메모리 셀 어레이
1141 : 스위칭 소자	1142 : 기억 소자
1143 : 기억 소자군	1150 : 메모리 셀
1151 : 트랜지스터	1152 : 트랜지스터
1153 : 트랜지스터	1154 : 트랜지스터
1155 : 트랜지스터	1156 : 트랜지스터
1160 : 트랜지스터	1161 : 트랜지스터
1162 : 트랜지스터	1163 : 트랜지스터
1164 : 트랜지스터	1170 : 메모리 셀
1171 : 트랜지스터	1172 : 트랜지스터
1173 : 용량 소자	1180 : 메모리 셀
1181 : 트랜지스터	1182 : 트랜지스터
1183 : 용량 소자	1189 : ROM 인터페이스
1190 : 기판	1191 : ALU
1192 : ALU 컨트롤러	1193 : 인스트럭션 디코더
1194 : 인터럽트 컨트롤러	1195 : 타이밍 컨트롤러
1196 : 레지스터	1197 : 레지스터 컨트롤러
1198 : 버스 인터페이스	1199 : ROM
103a : 소스 영역	103b : 드레인 영역
103c : 채널 형성 영역	103d : 저농도 영역
103e : 저농도 영역	105a : 게이트 전극
105b : 게이트 전극	110a : 소스 전극
110b : 드레인 전극	

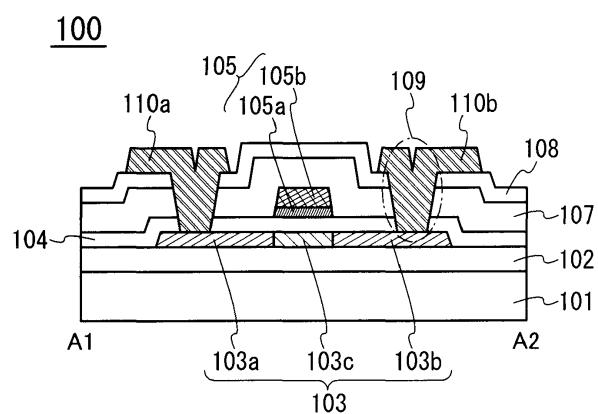
도면

도면1

(a)



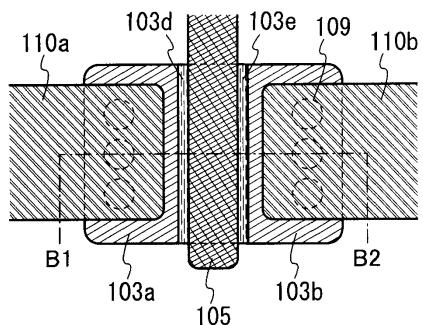
(b)



도면2

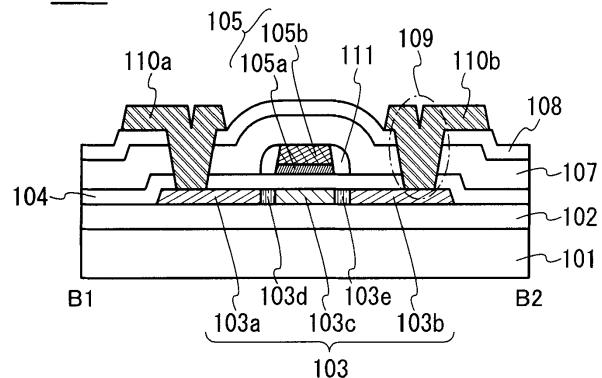
(a)

140

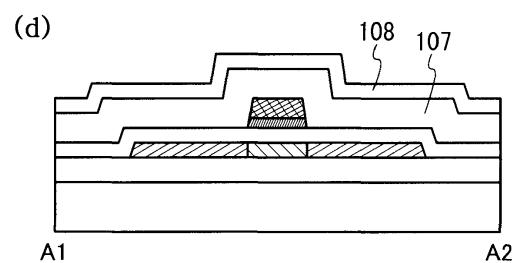
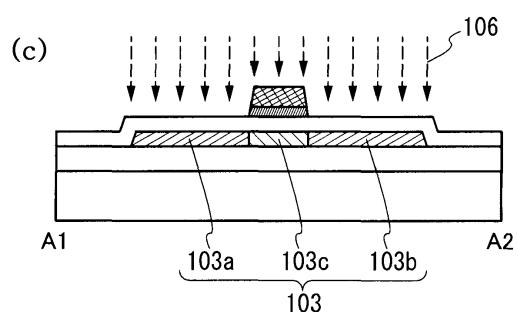
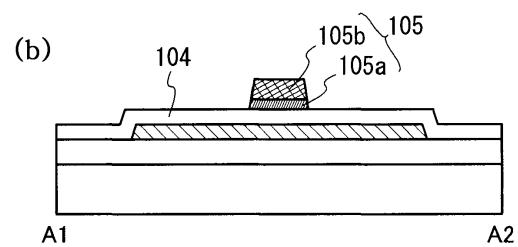
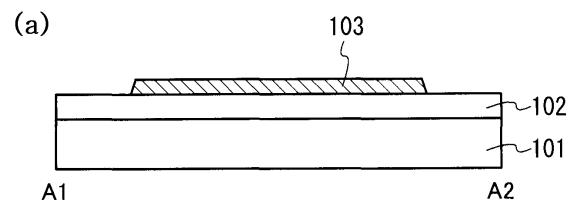


(b)

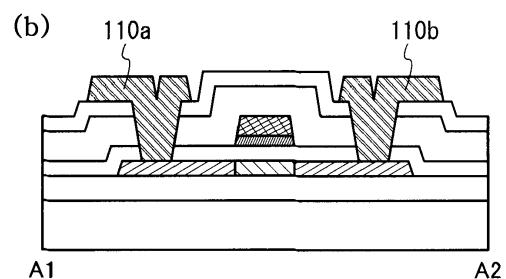
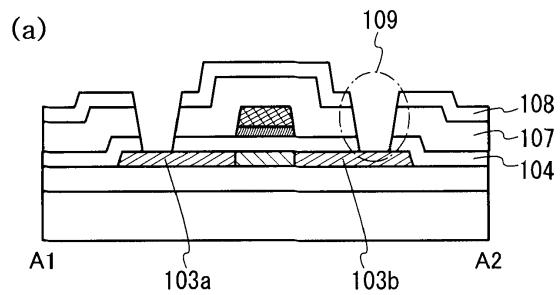
140



도면3



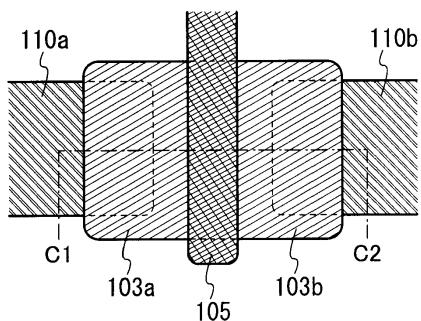
도면4



도면5

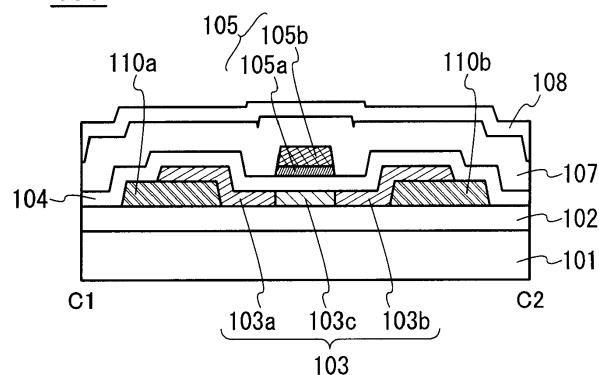
(a)

150



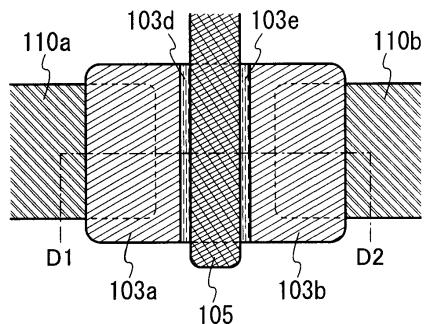
(b)

150

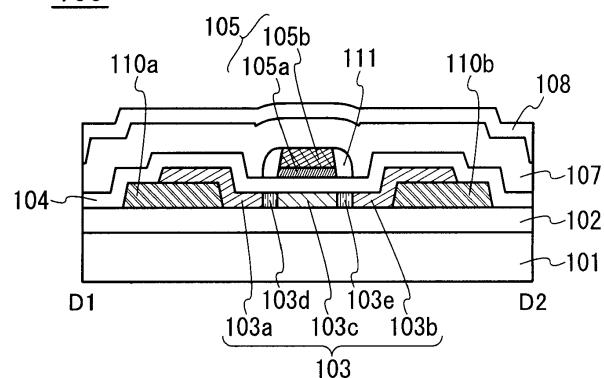


도면6

(a)

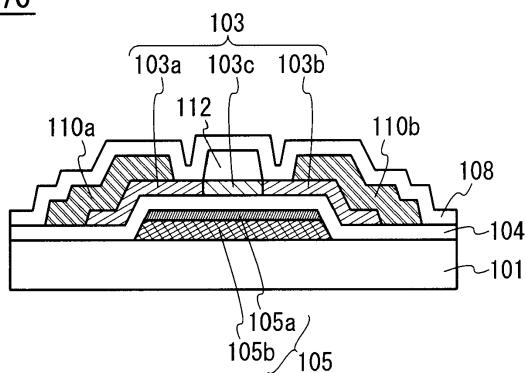
160

(b)

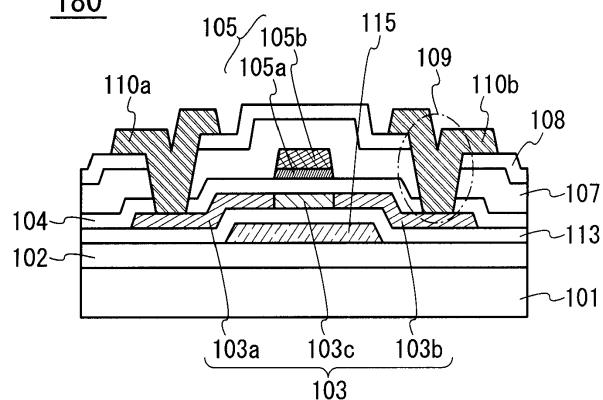
160

도면7

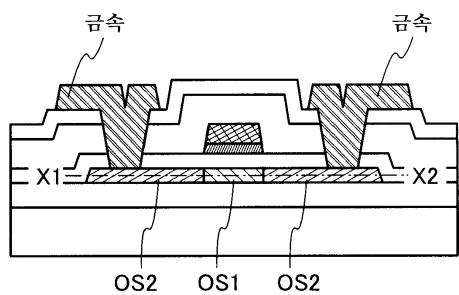
(a)

170

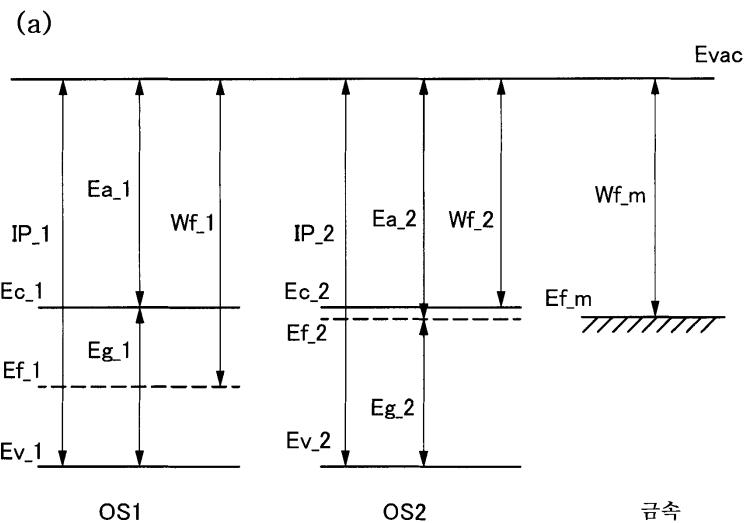
(b)

180

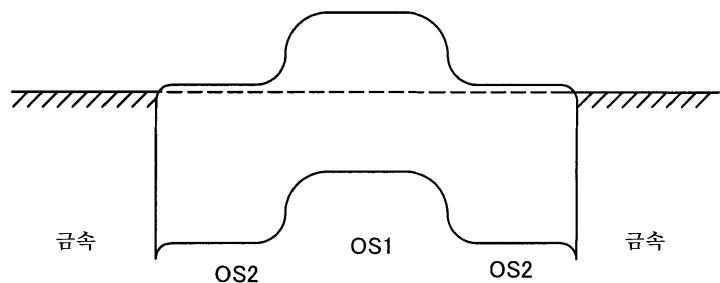
도면8



도면9

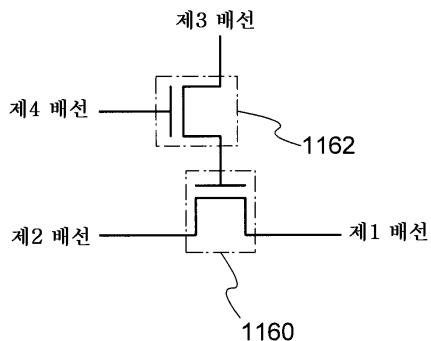


(b)

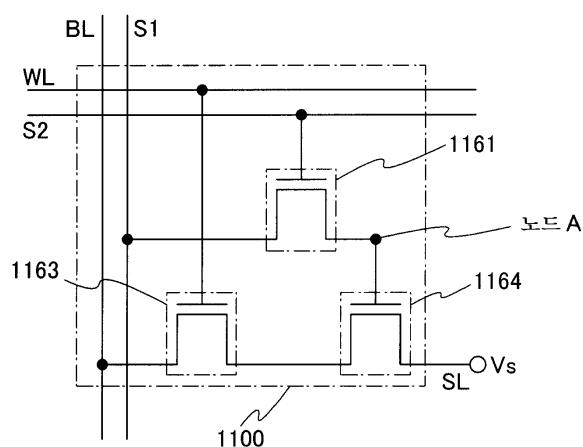


도면10

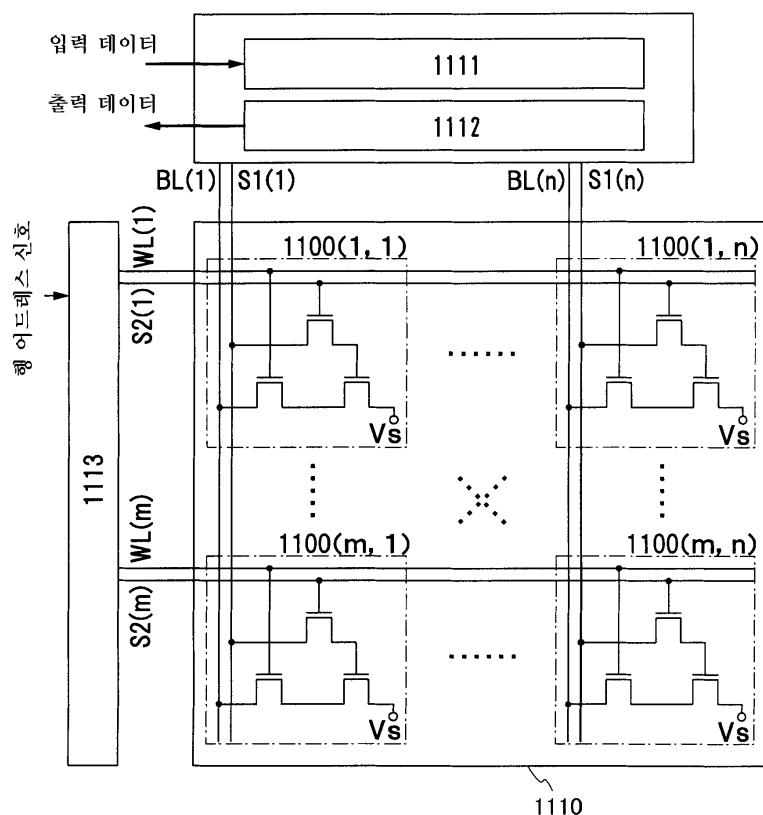
(a)



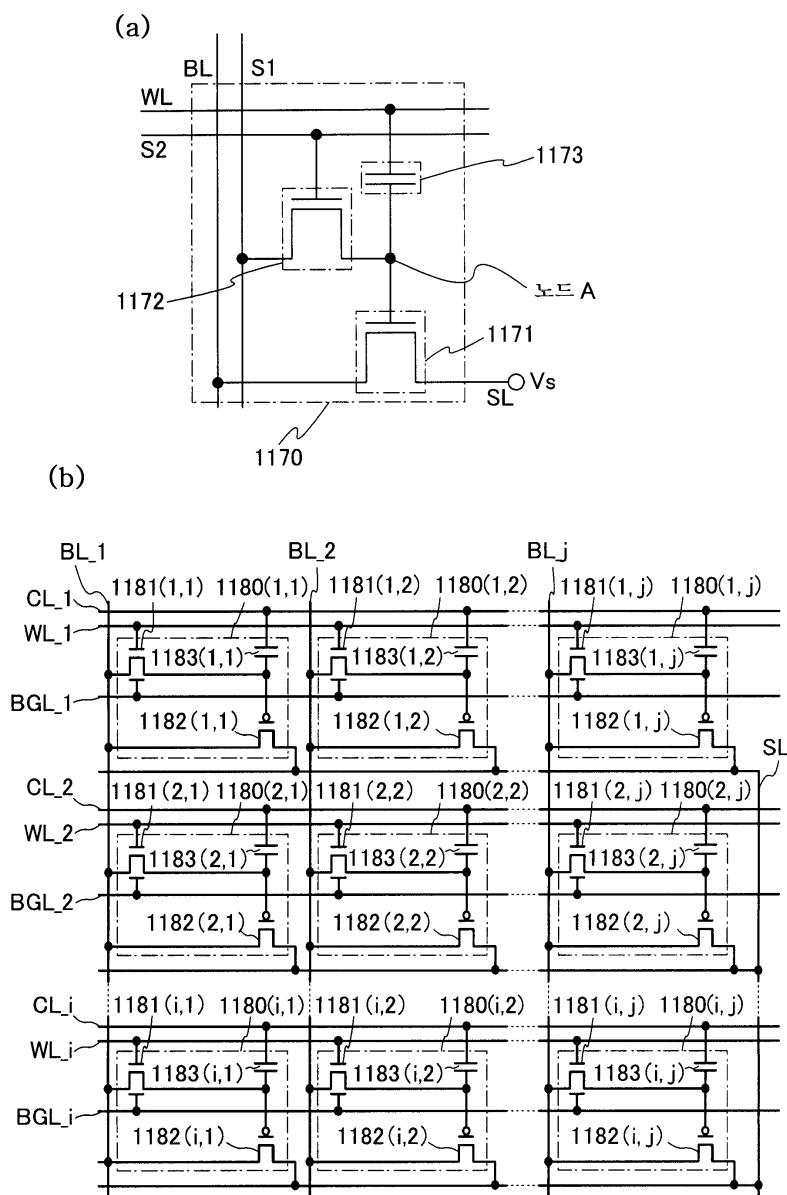
(b)



도면11

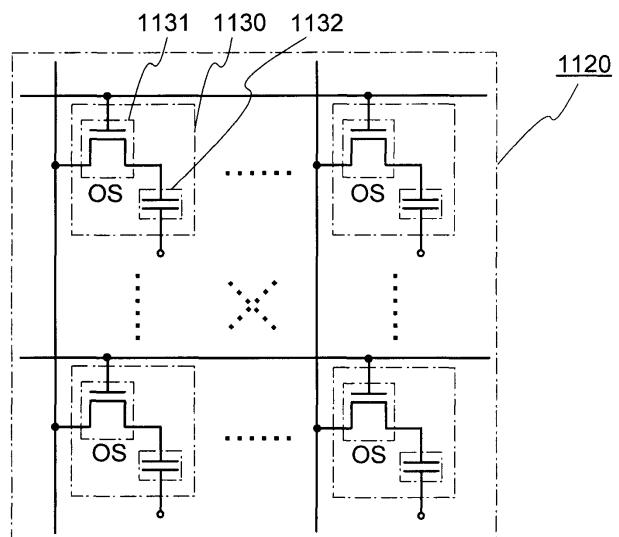


도면12

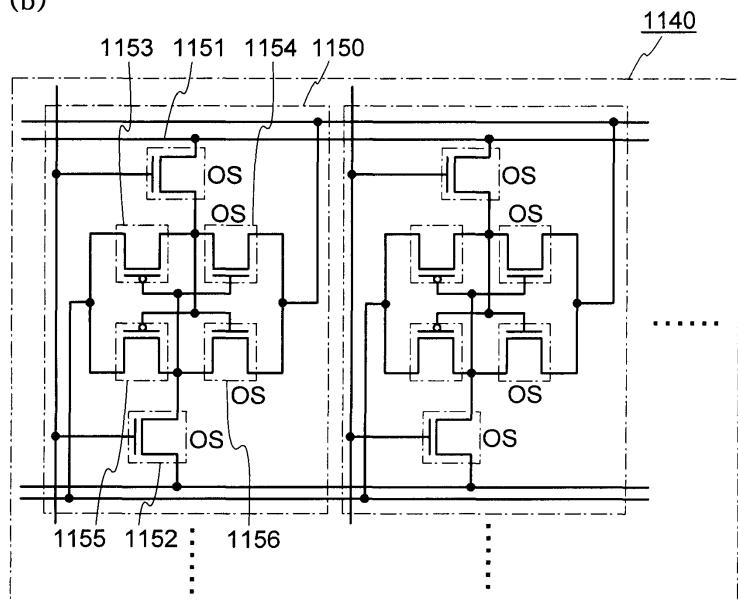


도면13

(a)

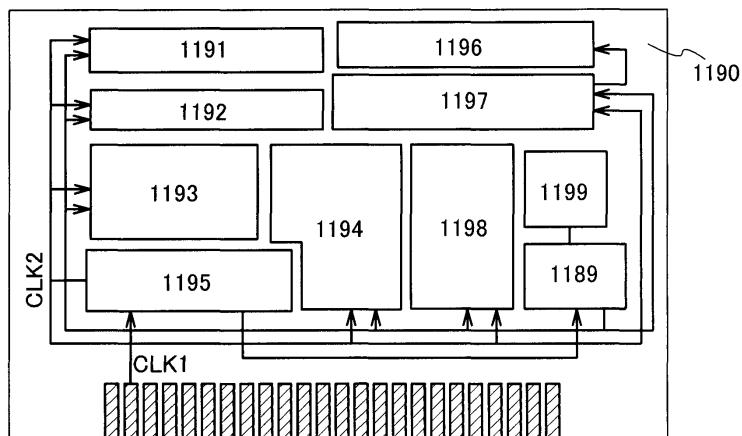


(b)

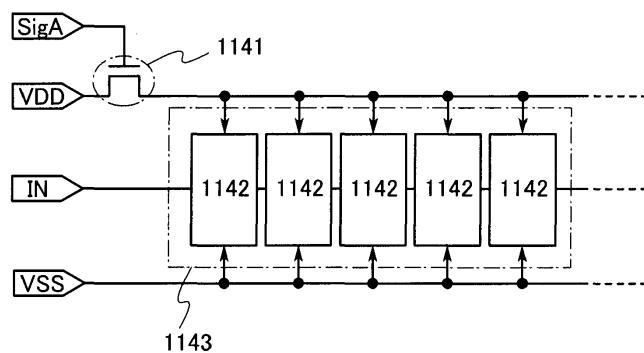


도면14

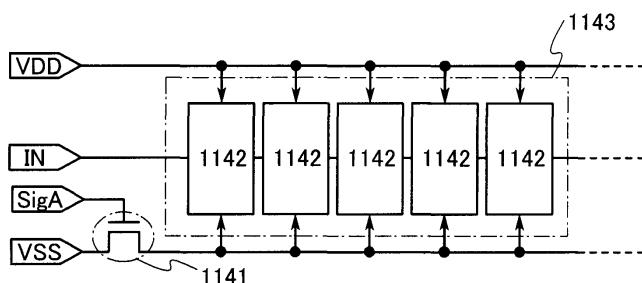
(a)



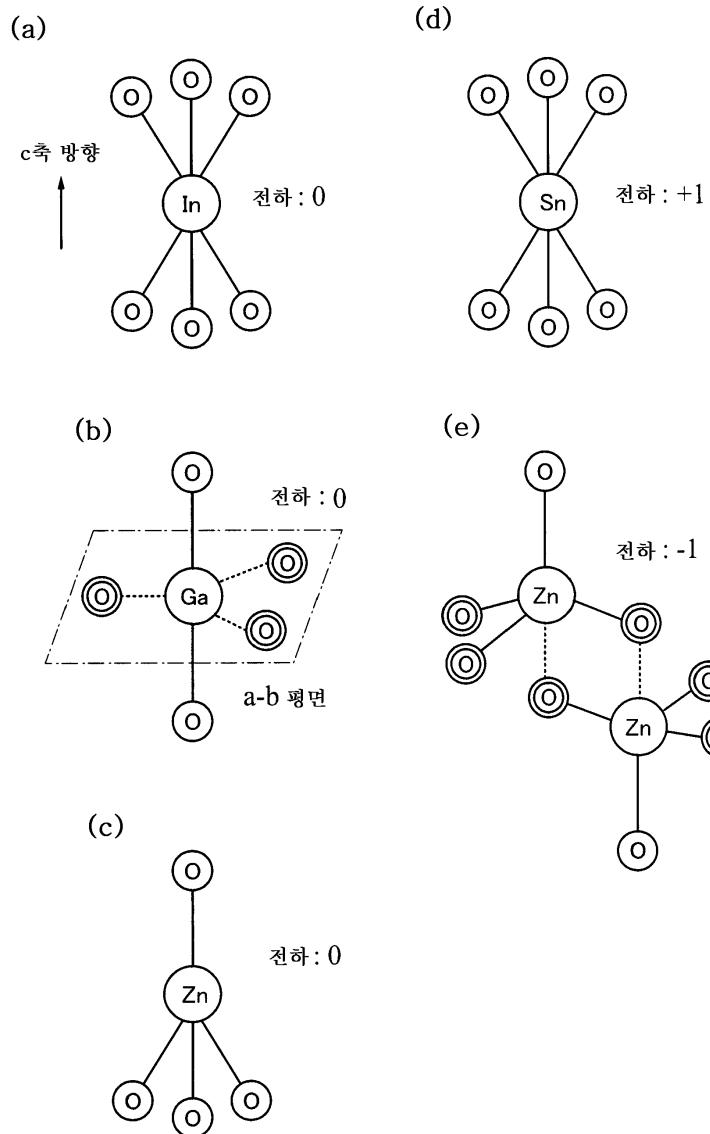
(b)



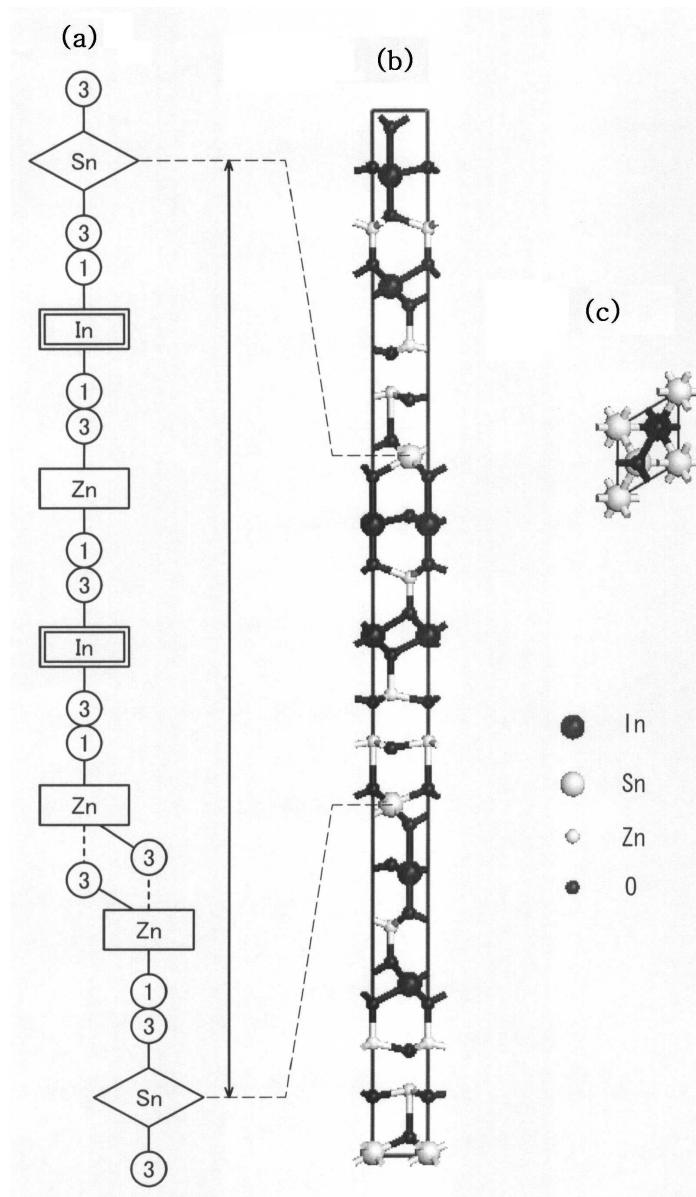
(c)



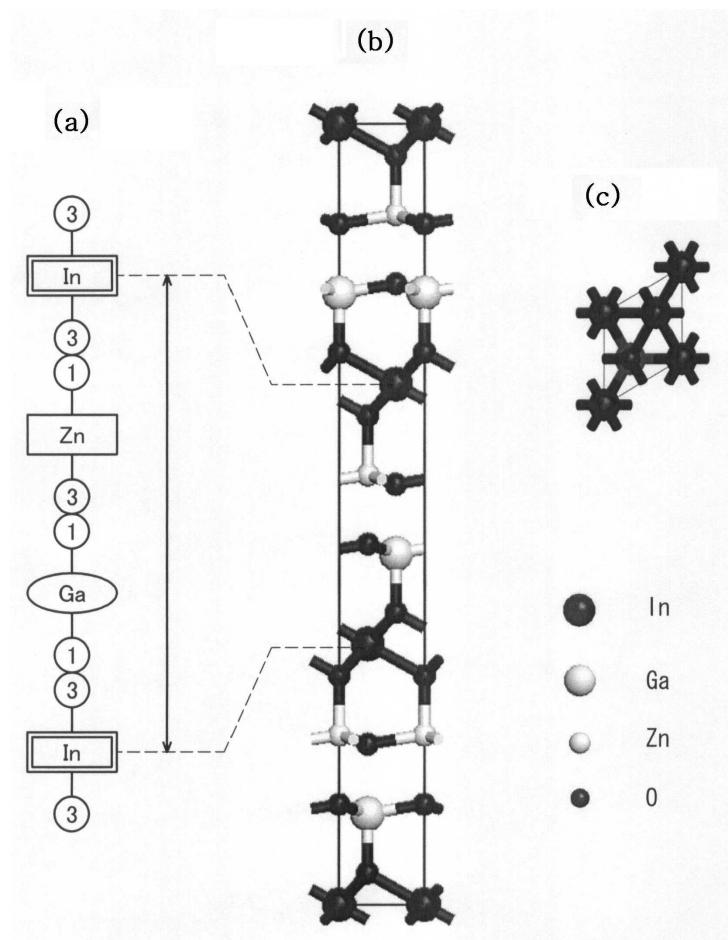
도면15



도면16



도면17



도면18

