(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 1 日(01.12.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/190115 A1

(51) 国際特許分類:
H04N 5/376 (2011.01) *H04N 5/374* (2011.01)
H04N 5/353 (2011.01)

(21) 国際出願番号: PCT/JP2016/064085

(22) 国際出願日: 2016 年 5 月 12 日(12.05.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-106055 2015 年 5 月 26 日(26.05.2015) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 齊藤 茂(SAITOU Shigeru); 〒2430021 神奈川県厚木市岡田四丁目１６番１号 ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 辻 清茂(TSUJI Kiyoshige); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 寺戸洋子(TERATO Youko); 〒2430021 神奈川県厚木市岡田四丁目１６番１号 ソニーＬＳＩデザイン株式会社内 Kanagawa (JP).

(74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿７丁目５番２５号 西新宿木村屋ビルディング９階 Tokyo (JP).

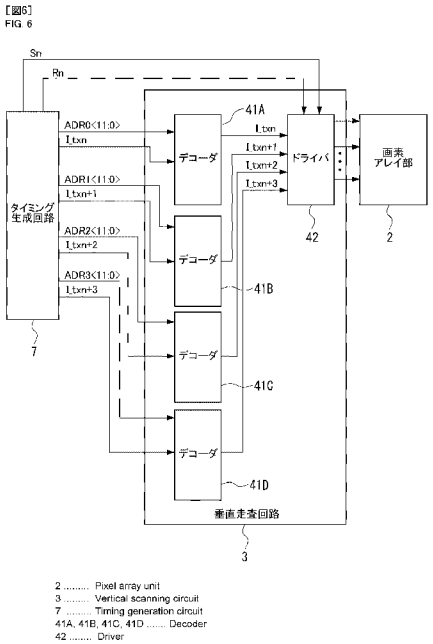
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SOLID STATE IMAGING ELEMENT, DRIVE METHOD THEREFOR, AND ELECTRONIC DEVICE

(54) 発明の名称 : 固体撮像素子およびその駆動方法、並びに電子機器



(57) **Abstract**: The present invention relates to a solid state imaging element whereby an electronic shutter can operate at faster speeds, a drive method therefor, and an electronic device. The solid state imaging element comprises: a pixel array unit having a plurality of pixels arranged in a matrix therein; a drive circuit that outputs drive signals that drive a pixel transistor that controls accumulation of signal charge in pixels, provided at each row in the pixel array unit; and a plurality of decoders that decode address information and output shutter control signals that control the electronic shutter, to the drive circuit in the pixel array unit row corresponding to the decoding result. The plurality of decoders output shutter control signals, using time division, to the drive circuits provided at each pixel array unit row. The present invention can be applied, for example, to a solid state imaging element.

(57) 要約: 本技術は、電子シャッタをより高速に行うことができるようにする固体撮像素子およびその駆動方法、並びに電子機器に関する。 固体撮像素子は、複数の画素が行列状に配置された画素アレイ部と、画素アレイ部の行単位に設けられた、画素における信号電荷の蓄積を制御する画素トランジスタを駆動する駆動信号を出力する駆動回路と、アドレス情報をデコードし、デコード結果に対応する画素アレイ部の行の駆動回路に、電子シャッタを制御するシャッタ制御信号を出力する複数のデコーダとを備える。複数のデコーダは、画素アレイ部の行単位に設けられた駆動回路に、シャッタ制御信号を時分割で出力する。本技術は、例えば、固体撮像素子等に適用できる。

WO 2016/190115 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 固体撮像素子およびその駆動方法、並びに電子機器

技術分野

[0001] 本技術は、固体撮像素子およびその駆動方法、並びに電子機器に関し、特に、電子シャッタをより高速に行うことができるようにする固体撮像素子およびその駆動方法、並びに電子機器に関する。

背景技術

[0002] デジタルスチルカメラなどに代表される撮像装置のシャッタには、機械式のシャッタ(以下、メカシャッタと記述する)と、イメージセンサのオンオフで制御するシャッタ(以下、電子シャッタと記述する)がある。

[0003] また、近年の撮像装置では、先幕と後幕の２枚のシャッタ幕のうち、先幕を電子シャッタとし、後幕をメカシャッタとしたものがある。

[0004] メカシャッタは、バネによる駆動のため、物理的に加速度運動をしており、その動作は高次曲線的な特性となる。一方、電子シャッタは、順次アドレスを指定してシャッタを駆動していくため(ローリングシャッタ)、その動作は直線的な特性となる。

[0005] したがって、先幕と後幕のどちらもメカシャッタである場合には、先幕と後幕の特性が等しくなる。しかし、先幕を電子シャッタとし、後幕をメカシャッタとした場合には、上述したようにそれぞれの特性が異なるため、露光時間が行によって異なる現象が発生する。

[0006] そのため、例えば、特許文献１では、電子シャッタの特性を、メカシャッタの特性に近似させる方法が提案されている。しかし、特許文献１に開示されている技術では、複数行を同時にシャッタするため、メカシャッタ特性との差分が大きくなってしまう。

[0007] 近年、高画素化に伴い、電子シャッタも高速化が求められている。電子シャッタの高速化を実現させるため、特許文献２に記載されている技術では、ラッチを用いた制御が提案されている。

先行技術文献

特許文献

[0008] 特許文献1：特開２０１１－１０１２７３号公報

特許文献2：特開２０１１－９９９７号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、特許文献２で提案されている技術では、電子シャッタの高速化に限界がある。

[0010] 本技術は、このような状況に鑑みてなされたものであり、電子シャッタをより高速に行うことができるようにするものである。

課題を解決するための手段

[0011] 本技術の第１の側面の固体撮像素子は、複数の画素が行列状に配置された画素アレイ部と、前記画素アレイ部の行単位に設けられた、前記画素における信号電荷の蓄積を制御する画素トランジスタを駆動する駆動信号を出力する駆動回路と、アドレス情報をデコードし、デコード結果に対応する前記画素アレイ部の行の前記駆動回路に、電子シャッタを制御するシャッタ制御信号を出力する複数のデコーダとを備え、前記複数のデコーダは、前記画素アレイ部の行単位に設けられた前記駆動回路に、前記シャッタ制御信号を時分割で出力する。

[0012] 本技術の第２の側面の固体撮像素子の駆動方法は、複数の画素が行列状に配置された画素アレイ部と、前記画素アレイ部の行単位に設けられた、前記画素における信号電荷の蓄積を制御する画素トランジスタを駆動する駆動信号を出力する駆動回路と、アドレス情報をデコードし、デコード結果に対応する前記画素アレイ部の行の前記駆動回路に、電子シャッタを制御するシャッタ制御信号を出力する複数のデコーダとを備える固体撮像素子の、前記複数のデコーダが、前記画素アレイ部の行単位に設けられた前記駆動回路に、前記シャッタ制御信号を時分割で出力する。

[0013] 本技術の第３の側面の電子機器は、複数の画素が行列状に配置された画素アレイ部と、前記画素アレイ部の行単位に設けられた、前記画素における信号電荷の蓄積を制御する画素トランジスタを駆動する駆動信号を出力する駆動回路と、アドレス情報をデコードし、デコード結果に対応する前記画素アレイ部の行の前記駆動回路に、電子シャッタを制御するシャッタ制御信号を出力する複数のデコーダとを備え、前記複数のデコーダは、前記画素アレイ部の行単位に設けられた前記駆動回路に、前記シャッタ制御信号を時分割で出力する固体撮像素子を備える。

[0014] 本技術の第１乃至第３の側面においては、複数のデコーダから、画素アレイ部の行単位に設けられた駆動回路に、シャッタ制御信号が時分割で出力される。

[0015] 固体撮像素子及び電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

発明の効果

[0016] 本技術の第１乃至第３の側面によれば、電子シャッタをより高速に行うことができる。

[0017] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0018] [図1]メカシャッタと電子シャッタの特性について説明する図である。

[図2]メカシャッタと電子シャッタの特性について説明する図である。

[図3]メカシャッタと電子シャッタの特性について説明する図である。

[図4]メカシャッタと電子シャッタの特性について説明する図である。

[図5]本技術を適用した固体撮像素子の概略構成を示す図である。

[図6]垂直走査回路の詳細構成例を示す図である。

[図7]タイミング生成回路のアドレス制御に関する部分の詳細構成例を示す図である。

[図8]図６のドライバの詳細構成例を示すブロック図である。

[図9]ラッチの動作を説明する図である。

[図10]ローリング電子シャッタ動作について説明する図である。

[図11]電子シャッタの速度設定SPEEDについて説明する図である。

[図12]CMOSイメージセンサの折れ線近似させる電子シャッタ駆動について説明する図である。

[図13]速度設定SPEED<14:0>＝１の電子シャッタ動作のタイミングチャートである。

[図14]速度設定SPEED<14:0>＝２の電子シャッタ動作のタイミングチャートである。

[図15]電子シャッタの速度設定SPEED<14:0>を３，２，１と変化させた場合のタイミングチャートである。

[図16]上下タイプのメカシャッタ動作に対応した電子シャッタ動作を示すタイミングチャートである。

[図17]本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図18]図５の固体撮像素子の使用例を説明する図である。

発明を実施するための形態

[0019] 以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

１．メカシャッタと電子シャッタの特性について

２．CMOSイメージセンサの構成説明

３．電子シャッタ動作説明

４．電子機器への適用例

[0020] ＜１．メカシャッタと電子シャッタの特性について＞

初めに、図１乃至図４を参照して、メカシャッタと電子シャッタの特性について説明する。

[0021] 図１は、先幕と後幕の両方を、メカシャッタで構成した場合の動作特性を示している。

[0022] メカシャッタは、バネによる駆動のため、物理的に加速度運動をしており、その動作は、図１に示されるように高次曲線的な動作となる。先幕と後幕のどちらもメカシャッタとした場合には、両者の特性が等しくなるため、露光時間は、どの行においても等しくなる。すなわち、ある行の露光時間T0と、他の行の露光時間T1は同じになる。露光により蓄積された信号電荷の読み出し動作は、図１に示されるように、直線的な特性となる。

[0023] 図２は、先幕を電子シャッタとし、後幕をメカシャッタとした場合の動作特性を示している。

[0024] 電子シャッタは順次アドレスを指定してシャッタを駆動していくため(ローリングシャッタ)、その特性は、読み出し動作と同様に直線的な特性となる。したがって、先幕を電子シャッタとし、後幕をメカシャッタとした場合には、図２に示されるように、露光時間が行によって異なることになる。すなわち、ある行の露光時間T0と、他の行の露光時間T1が異なる。

[0025] 露光時間は、行毎に等しいことが望ましい。そこで、先幕に電子シャッタを用いて、後幕にメカシャッタを用いた場合の各行の露光時間差をなくすため、電子シャッタを、図３で示すように、複数の線形特性を組み合わせ、メカシャッタの動作特性に折れ線近似させて動作させる制御方法がある。

[0026] なお、メカシャッタは、１枚の板を片方向から動作させるタイプではなく、２枚の板を上下方向に動作させる上下タイプもあり、この場合は、電子先幕シャッタも、図４に示されるように、上下対称となるように、折れ線近似させて非線形的に動作させる。

[0027] 以下で説明するCMOSイメージセンサは、電子先幕シャッタの駆動制御を、図３及び図４に示したように、メカシャッタの動作特性に折れ線近似させて動作させる駆動を行う。なお、以下の説明では、電子先幕シャッタを、単に、電子シャッタともいう。

[0028] ＜２．CMOSイメージセンサの構成説明＞

＜２．１　概略構成例＞

図５は、本技術を適用した固体撮像素子としてのCMOSイメージセンサの概

略構成例を示す図である。

[0029] 図５に示されるCMOSイメージセンサ１は、画素アレイ部２、垂直走査回路３、カラムCDS回路４、水平走査回路５、出力回路６、タイミング生成回路７、及び、制御回路８を有する。

[0030] 画素アレイ部２には、複数の画素２０が水平方向および垂直方向に沿って行列状に配置されている。

[0031] 図５では、画素アレイ部２内の隣接する所定の４行を、ｎ行、ｎ＋１行、ｎ＋２行、ｎ＋３行（ｎ＞０）として示している。

[0032] 画素アレイ部２は、フォトダイオードからなる光電変換部２１と転送トランジスタ２２を画素単位に個別に有し、リセットトランジスタ２３、増幅トランジスタ２４、選択トランジスタ２５、及び、FD（フローティングディフュージョン）２６を、垂直方向において隣り合う２つの画素２０で共有する構成を有している。

[0033] 図５では、リセットトランジスタ２３、増幅トランジスタ２４、選択トランジスタ２５、及び、FD２６を共有する２つの画素２０のうち、一方の画素２０を画素２０Aで示し、他方の画素２０を画素２０Bで示している。また、画素２０Aの光電変換部２１と転送トランジスタ２２を、光電変換部２１Aと転送トランジスタ２２Aで表し、画素２０Bの光電変換部２１と転送トランジスタ２２を、光電変換部２１Bと転送トランジスタ２２Bで表している。

[0034] なお、以下では、転送トランジスタ２２A及び２２B、リセットトランジスタ２３、増幅トランジスタ２４、並びに、選択トランジスタ２５のそれぞれを、総称して画素トランジスタという。

[0035] 本実施の形態では、上述したように、隣り合う２つの画素が、転送トランジスタを除く各画素トランジスタを共用する場合について説明する。しかしながら、本技術は、画素毎に独立した画素トランジスタを用いる場合であっても、あるいは、３個以上の画素が転送トランジスタを除く各画素トランジスタを共用する場合であっても適用可能である。

[0036] 転送トランジスタ２２Aは、光電変換部２１Aの信号電荷をFD２６に読み出

す。転送トランジスタ２２Bは、光電変換部２１Bの信号電荷をFD２６に読み出す。

[0037] リセットトランジスタ２３は、FD２６に蓄積された信号電荷をリセットする。増幅トランジスタ２４は、FD２６の電位に応じた画素信号を生成する。選択トランジスタ２５は、画素信号を出力する画素を選択する。

[0038] 光電変換部２１A及び２１Bの出力端（カソード）に対して、それぞれ対応する転送トランジスタ２２A及び２２Bのソースが接続されている。転送トランジスタ２２A及び２２Bのゲートには、転送線３１A及び３１Bが、それぞれ接続されている。

[0039] 転送トランジスタ２２A及び２２Bのドレインは、共通接続されてリセットトランジスタ２３に接続されている。転送トランジスタ２２A及び２２Bのドレインとリセットトランジスタ２３のソースとの間のFD２６は、増幅トランジスタ２４のゲートに接続されている。

[0040] リセットトランジスタ２３のドレイン及び増幅トランジスタ２４のドレインは、電源線３２に接続されている。リセットトランジスタ２３のゲートは、リセット線３３に接続されている。

[0041] 増幅トランジスタ２４のソースは、選択トランジスタ２５のドレインに接続されている。選択トランジスタ２５のゲートは、選択線３４に接続され、選択トランジスタ２５のソースが、垂直信号線３５に接続されている。

[0042] 垂直走査回路３は、画素アレイ部２の各画素２０を行単位で選択して各画素２０から行単位で信号電荷を読み出す。言い換えると、垂直走査回路３は、画素アレイ部２の各画素２０を行単位で選択して各画素２０の制御を行う。

[0043] カラムCDS回路４は、画素アレイ部２の各画素信号を行単位で取り込んでCDS処理やその他の信号処理を行う。

[0044] 水平走査回路５は、カラムCDS回路４を水平方向に走査するものであり、言い換えると、垂直走査回路３によって行単位で読み出された画素信号に対して列ごとに信号処理を行う。

[0045] 出力回路６は、カラムCDS回路４から転送される画素信号に必要な信号処理を施して画像信号として出力する。

[0046] タイミング生成回路７は、垂直走査回路３、カラムCDS回路４、水平走査回路５の動作タイミングを同期させる制御信号を生成し、各回路へ供給する。

[0047] 制御回路８は、入力クロックと、動作モードなどを指令するデータを受け取り、またCMOSイメージセンサ１の内部情報などのデータを出力する。

[0048] 以上のように構成されるCMOSイメージセンサ１は、電子シャッタ（電子先幕シャッタ）の制御を、図３及び図４に示したように、メカシャッタの動作特性に折れ線近似させて非線形的に動作させることができる。以下、CMOSイメージセンサ１が行う電子シャッタの駆動制御について詳細に説明する。

[0049] ＜２．２ 垂直走査回路の詳細構成例＞

図６は、画素アレイ部２とタイミング生成回路７とともに、垂直走査回路３の詳細構成例を示す図である。

[0050] 垂直走査回路３は、４つのデコーダ４１とドライバ４２を含んで構成され、画素アレイ部２の各行の画素２０に対して、電子シャッタの制御を行う。

[0051] 図６では、４つのデコーダ４１が、デコーダ４１A、デコーダ４１B、デコーダ４１C、及び、デコーダ４１Dと区別して示されており、ｎ行、ｎ＋１行、ｎ＋２行、及び、ｎ＋３行の４行に対して電子シャッタの制御を行う場合について説明する。デコーダ４１A乃至４１Dに共通する説明については、デコーダ４１として説明する。

[0052] タイミング生成回路７は、タイミングパルス信号をトリガにカウントを開始し、電子シャッタの動作を行う画素２０のアドレス情報ADRをｍビットで生成する。具体的には、タイミング生成回路７は、デコーダ４１A乃至４１Dそれぞれに供給するアドレス情報ADRとして、ADR0<11:0>, ADR1<11:0>, ADR2<11:0>, ADR3<11:0>を生成する。ここで、<11:0>は、アドレス情報ADRが、０乃至１１までの１２ビットで表されていることを示している。したがって、本実施の形態では、ｍ＝１２であり、画素アレイ部２の行数が４０９６行まで対応可能となる。

[0053] タイミング生成回路７は、ｎ行に対するアドレス情報ADR0<11:0>を、ｎ行に対するシャッタ制御信号I_txnとともに、デコーダ４１Aに供給する。また、タイミング生成回路７は、ｎ＋１行に対するアドレス情報ADR1<11:0>を、ｎ＋１行に対するシャッタ制御信号I_txn+1とともに、デコーダ４１Bに供給する。同様に、タイミング生成回路７は、ｎ＋２行に対するアドレス情報ADR2<11:0>とシャッタ制御信号I_txn+2をデコーダ４１Cに供給し、ｎ＋３行に対するアドレス情報ADR3<11:0>とシャッタ制御信号I_txn+3をデコーダ４１Dに供給する。

[0054] また、タイミング生成回路７は、ラッチ用セット信号Snとラッチ用リセット信号Rnを生成し、垂直走査回路３のドライバ４２へ供給する。

[0055] デコーダ４１は、タイミング生成回路７から供給されるアドレス情報ADRをデコードし、デコード結果から、画素アレイ部２の行を特定する。デコーダ４１は、デコードの結果得られた制御対象の行に対応する、ドライバ４２内の転送信号生成回路６０（図８）へ、シャッタ制御信号I_txを出力する。いまの場合、アドレス情報ADR0<11:0>はｎ行を特定しているので、デコーダ４１Aは、ドライバ４２内のｎ行の転送信号生成回路６０へ、シャッタ制御信号I_txnを出力する。同様に、デコーダ４１Bは、ドライバ４２内のｎ＋１行の転送信号生成回路６０へ、シャッタ制御信号I_txn+1を出力する。同様に、デコーダ４１Cは、ドライバ４２内のｎ＋２行の転送信号生成回路６０へシャッタ制御信号I_txn+2を出力し、デコーダ４１Dは、ドライバ４２内のｎ＋３行の転送信号生成回路６０へシャッタ制御信号I_txn+3を出力する。換言すれば、４つのデコーダ４１A乃至４１Dは、時分割で切り替えて、ドライバ４２内の転送信号生成回路６０へシャッタ制御信号I_txを出力する。

[0056] ドライバ４２は、タイミング生成回路７から供給されるラッチ用セット信号Snとラッチ用リセット信号Rn、及び、デコーダ４１から供給されるシャッタ制御信号I_txに基づいて、転送信号Txを生成し、画素アレイ部２の各画素２０の転送トランジスタ２２を駆動する。転送信号Txの生成については、図８及び図９を参照して後述する。

[0057] また、ドライバ４２は、画素アレイ部２のリセットトランジスタ２３を駆動するリセット信号RET、及び、選択トランジスタ２５を駆動する選択信号SELも生成し、画素アレイ部２の各画素２０に供給する。

[0058] ＜２．３　タイミング生成回路の詳細構成例＞

図７は、タイミング生成回路７の一部、具体的には、アドレス情報ADR<11:0>とシャッタ制御信号I_txの生成に関する部分の詳細構成例を示している。

[0059] タイミング生成回路７は、アドレス幅生成部５１及びトリガ生成部５２と、４つのカウンタ５３を含んで構成される。

[0060] ４つのカウンタ５３は、図６のデコーダ４１A乃至４１Dに対応するものであり、必要に応じてカウンタ５３A乃至５３Dとして区別して説明する。また、カウンタ５３A乃至５３Dのうち、カウンタ５３Aがマスタカウンタであり、カウンタ５３B乃至５３Dがスレーブカウンタとなる。

[0061] アドレス幅生成部５１は、制御回路８から供給される電子シャッタの速度設定SPEED<14:0>と、アドレスのカウントアップ数を示す並列数設定PARA<2:0>に基づいて、カウンタ５３A乃至５３Dに供給するアドレス幅ADRWDTH0<14:0>, ADRWDTH1<14:0>, ADRWDTH2<14:0>、及び、ADRWDTH3<14:0>を生成する。<14:0>は、アドレス幅ADRWDTHが０から１４までの１５ビットで表されていることを示している。同様に、並列数設定PARAは、０から２までの３ビットで表されている。後述する開始アドレスSTADR<11:0>やオフセット値ADROF1<11:0>,ADROF2<11:0>,ADROF3<11:0>も同様に、それらが０から１１までの１２ビットで表されていることを示している。

[0062] また、アドレス幅生成部５１は、マスタカウンタであるカウンタ５３Aのアドレス幅ADRWDTH0<14:0>を基準に、電子シャッタの折れ線近似を行うため、カウンタ５３Aから供給される桁上げ信号CO (Carry Out)でリタイミングを行う。

[0063] トリガ生成部５２は、制御回路８から供給されるタイミング信号TRG、電子シャッタの速度設定SPEED<14:0>、及び、並列数設定PARA<2:0>を基に、トリガ信号TRG0乃至TRG3を生成し、カウンタ５３A乃至５３Dに供給する。

[0064] マスタカウンタであるカウンタ５３Aは、アドレス生成開始信号TRG0、アドレス幅ADRWDTH0<14:0>、開始アドレスSTADR<11:0>、及び、並列数設定PARA<2:0>を基に、アドレス情報ADR0<11:0>とシャッタ制御信号I_txnを生成する。生成されたアドレス情報ADR0<11:0>とシャッタ制御信号I_txnは、図６を参照して説明したように、垂直走査回路３のデコーダ４１Aに供給される。開始アドレスSTADR<11:0>は、カウンタ５３A乃至５３Dの基準となるアドレスである。

[0065] スレーブカウンタであるカウンタ５３Bは、アドレス生成開始信号TRG1、アドレス幅ADRWDTH1<14:0>、開始アドレスSTADR<11:0>、並列数設定PARA<2:0>、及び、オフセット値ADROF1<11:0>を基に、アドレス情報ADR1<11:0>とシャッタ制御信号I_txn+1を生成する。オフセット値ADROF1<11:0>は、マスタカウンタが生成するアドレスとのオフセット値を表す。生成されたアドレス情報ADR1<11:0>とシャッタ制御信号I_txn+1は、垂直走査回路３のデコーダ４１Bに供給される。

[0066] カウンタ５３Cも同様に、アドレス生成開始信号TRG2、アドレス幅ADRWDTH2<14:0>、開始アドレスSTADR<11:0>、並列数設定PARA<2:0>、及び、オフセット値ADROF2<11:0>を基に、アドレス情報ADR2<11:0>とシャッタ制御信号I_txn+2を生成する。生成されたアドレス情報ADR2<11:0>とシャッタ制御信号I_txn+2は、垂直走査回路３のデコーダ４１Cに供給される。

[0067] カウンタ５３Dも同様に、アドレス生成開始信号TRG3、アドレス幅ADRWDTH3<14:0>、開始アドレスSTADR<11:0>、並列数設定PARA<2:0>、及び、オフセット値ADROF3<11:0>を基に、アドレス情報ADR3<11:0>とシャッタ制御信号I_txn+3を生成する。生成されたアドレス情報ADR3<11:0>とシャッタ制御信号I_txn+3は、垂直走査回路３のデコーダ４１Dに供給される。

[0068] 開始アドレスSTADR<11:0>、オフセット値ADROF1<11:0>、オフセット値ADROF2<11:0>、及び、オフセット値ADROF3<11:0>は、制御回路８から供給される。

[0069] ＜２．４ ドライバの詳細構成例＞

図８は、図６に示したドライバ４２の詳細構成例を示すブロック図である。

[0070] ドライバ４２は、転送線３１単位に、言い換えると、行単位に、転送信号生成回路６０を備える。図８では、ｎ行に対応する転送信号生成回路６０が図示されている。

[0071] 転送信号生成回路６０は、画素アレイ部２内の対応する行の各画素２０における信号電荷の蓄積を制御する画素トランジスタを駆動する駆動回路であり、駆動信号としての転送信号Txを生成して出力する。転送信号生成回路６０は、ラッチ６２、第１ORゲート６４、及び、第２ORゲート６６を含んで構成されている。

[0072] ラッチ６２は、正論理のセット入力端子６２Aと、正論理のリセット入力端子６２Bと、負論理の出力端子６２Cとを有している。

[0073] 図９は、セット入力端子６２Aに入力されるセット信号Ｓと、リセット入力端子６２Bに入力されるリセット信号Ｒと、出力端子６２Cの出力信号Ｑバーとの関係を示す説明図である。

[0074] 図９に示すように、ラッチ６２は、セット信号Ｓが「１」になると、出力信号Ｑバーを「０」に保持し、リセット信号Ｒが「１」になると、出力信号Ｑバーを「１」に保持する。

言い換えると、ラッチ６２は、セット信号Ｓが供給されると出力信号Ｑバーを「Low」に保持し、リセット信号Ｒが供給されると出力信号Ｑバーを「Hi」に保持する。なお、このようなラッチ６２は、１ビットのデータを保持するメモリに相当している。

[0075] 図８に戻り、第１ORゲート６４には、タイミング生成回路７から、正論理のシャッタ制御信号I_txnと正論理のラッチ用セット信号Snとが入力される。

[0076] 第１ORゲート６４の出力端子は、ラッチ６２のセット入力端子６２Aに接続されている。したがって、ラッチ６２のセット入力端子６２Aには、シャッタ制御信号I_txnとラッチ用セット信号Snの論理和が供給される。

[0077] 第２ORゲート６６は、シャッタ制御信号I_txnと、ラッチ６２の出力端子６

２Cの出力信号Ｑバーとが入力される。以下、説明の便宜上、出力信号Ｑバーをラッチ出力信号M_txnという。

[0078] 第２ORゲート６６は、シャッタ制御信号I_txnとラッチ出力信号M_txnとの論理和を転送信号Txnとして出力する。

[0079] したがって、図８の転送信号生成回路６０は、シャッタ制御信号I_txnとラッチ用セット信号Snとの論理和によってセットされ、ラッチ用リセット信号Rnによってリセットされるラッチ６２を有し、ラッチ６２は、出力信号M_txnを出力する。転送信号生成回路６０が出力する転送信号Txnは、シャッタ制御信号I_txnとラッチ出力信号M_txnとの論理和で構成される。

[0080] ＜３．電子シャッタ動作説明＞

＜３．１　ローリング電子シャッタ動作の説明＞

次に、図１０を参照して、CMOSイメージセンサ１のローリング電子シャッタ動作について説明する。

[0081] なお、以下の説明では、信号レベルを正論理で説明するものとし、したがって、「Low」は「０」に対応し、「Hi」は「１」に対応している。

[0082] ローリング電子シャッタ動作では、画素アレイ部２の各リセットトランジスタ２３に供給されるリセット信号RSTは、図１０に示されるように、「Hi」に固定される。

[0083] タイミング生成回路７は、ラッチ用セット信号Snを、図１０に示すように、「Low」に固定し、かつ、各シャッタ制御信号I_txn、I_txn+1、I_txn+2、I_txn+3、……を「Low」にした状態で、ラッチ用リセット信号Rnとして「Hi」のパルス信号を、各転送信号生成回路６０に同時に供給する。

[0084] 「Hi」のラッチ用リセット信号Rnにより、各転送信号生成回路６０のラッチ出力信号M_txn、M_txn+1、M_txn+2、M_txn+3、……は、同時に「Hi」となり、さらに、各転送信号Txn、Txn+1、Txn+2、Txn+3、……も、同時に「Hi」となる。

[0085] これにより、画素アレイ部２の各行の各画素２０の全てが同時にリセットされ、言い換えると、電子シャッタが掛けられたシャッタ期間が開始される

。

[0086] すなわち、転送信号生成回路６０は、有効状態としたリセット信号RSTと、有効状態とした転送信号Txn、Txn+1、Txn+2、Txn+3、……とを行単位で各画素２０に供給することで画素アレイ部２の全画素を同時にリセットする。

[0087] 次いで、デコーダ４１は、アドレス情報ADRをデコードした結果得られた制御対象の行に対応する、ドライバ４２内の転送信号生成回路６０へ、シャッタ制御信号I_txを出力する。具体的には、デコーダ４１は、図１０に示すように、各シャッタ制御信号I_txn、I_txn+1、I_txn+2、I_txn+3、……として、「Hi」のパルス信号を、各転送信号生成回路６０に順次出力する。

[0088] ここで、各シャッタ制御信号I_txn、I_txn+1、I_txn+2、I_txn+3、……のパルス幅△Ｘは同一であり、かつ、時間的に先行するシャッタ制御信号が立ち下る時点と、次のシャッタ制御信号が立ち上がる時点とは一致している。

[0089] 図１０に示すように、各シャッタ制御信号I_txn、I_txn+1、I_txn+2、I_txn+3、……が「Hi」に順次遷移することに応じて、各ラッチ出力信号M_txn、M_txn+1、M_txn+2、M_txn+3、……は、「Hi」から「Low」に順次遷移する。

[0090] さらに、各シャッタ制御信号I_txn、I_txn+1、I_txn+2、I_txn+3、……が「Low」に順次遷移することに応じて、転送信号Txn、Txn+1、Txn+2、Txn+3、……が、「Low」に順次遷移する。

[0091] これにより、各画素２０のリセットが行単位で順次解除され、各画素２０の光電変換部２１における信号電荷の蓄積が開始される。言い換えると、「Hi」の転送信号Txが転送トランジスタ２２に供給されていたシャッタ期間が終了し、信号電荷の蓄積期間が開始される。

[0092] なお、行単位に順次電子シャッタを行うローリング電子シャッタ動作ではなく、画素アレイ部２の全画素で同時に電子シャッタを行うグローバルシャッタ動作を行う場合には、各シャッタ制御信号I_txn、I_txn+1、I_txn+2、I_txn+3、……が、「Low」に固定設定される。そして、ラッチ用セット信号Snを所定のタイミングで「Hi」に設定することで、各転送信号Txn、Txn+1、Txn+2、Txn+3、……が一斉に「Low」に遷移し、グローバルシャッタ動作を実現

することができる。

[0093] ＜３．２　折れ線近似制御の説明＞

例えば、図１１に示されるように、各シャッタ制御信号I_txのパルス幅△Ｘを、垂直走査回路３の動作クロックCKの１クロック幅として、画素アレイ部２の各行を、１クロック間隔で、順次、信号電荷の蓄積期間を開始させた場合と、２クロック間隔で、順次、信号電荷の蓄積期間を開始させた場合とで、電子シャッタの線形特性を変えることができる。

[0094] この電子シャッタの線形特性を設定するパラメータが、電子シャッタの速度設定SPEED<14:0>であり、電子シャッタの速度設定SPEED<14:0>は、画素アレイ部２内の隣接する２行の転送信号生成回路６０にシャッタ制御信号I_txが供給されるタイミングの差分（時間差）に相当する。１クロック間隔で電子シャッタを順次動作させる場合、電子シャッタの速度設定SPEED<14:0>は「１」となり、２クロック間隔で電子シャッタを順次動作させる場合、電子シャッタの速度設定SPEED<14:0>は「２」となる。したがって、電子シャッタの速度設定SPEED<14:0>＝１が、最速の電子シャッタ速度となる。

[0095] CMOSイメージセンサ１の制御回路８は、画素アレイ部２を、図１２に示されるように、例えば、第１の画素領域７１、第２の画素領域７２、及び第３の画素領域７３のように垂直方向に３分割し、各画素領域に対して、異なる電子シャッタの速度設定SPEEDを設定する。例えば、制御回路８は、第１の画素領域７１を電子シャッタの速度設定SPEED<14:0>＝３、第２の画素領域７２を電子シャッタの速度設定SPEED<14:0>＝２、第３の画素領域７３を電子シャッタの速度設定SPEED<14:0>＝１に設定する。

[0096] このように、制御回路８は、複数の画素領域に対して異なる電子シャッタの速度設定SPEEDを設定することにより複数の線形特性を組み合わせ、折れ線近似させて非線形的に動作させることにより、メカシャッタの動作特性に合わせた電子先幕シャッタの動作を行わせることができる。なお、図１２の例では、画素アレイ部２を、３つの画素領域に分割したが、画素領域の分割数は、「３」に限定されるものではない。

[0097] ＜３．３　並列数設定PARA＝４、電子シャッタ速度SPEED＝１の例＞

図１３は、電子シャッタの速度設定SPEED<14:0>を「１」にして、４つのデコーダ４１を用いて４並列で、電子シャッタ動作を行う場合のタイミングチャートを示している。

[0098] 垂直走査回路３のデコーダ４１は、タイミング生成回路７から供給されるアドレス情報ADRをデコードし、画素アレイ部２の画素行を特定するまで、所定の時間を要する。このデコーダ４１による１回のデコード処理時間を基準として、垂直走査回路３の動作クロックCKの周波数が決定される。

[0099] 具体的には、垂直走査回路３の動作クロックCKの周波数は、デコーダ４１の個数と同じ数だけカウントされたとき、デコーダ４１における１回のデコード処理時間となるように設定される。

[0100] 本実施の形態では、デコーダ４１の個数は４個であるので、１回のデコード処理時間が、動作クロックCKの４クロック時間と等しくなるように、動作クロックCKの周波数が設定される。

[0101] これにより、電子シャッタの速度設定SPEED<14:0>が最速の速度設定、即ち、電子シャッタの速度設定SPEED<14:0>＝１のとき、等間隔時間で（１クロック時間ごとに）、各デコーダ４１の開始タイミングをずらして、４つのデコーダ４１を並列処理させることができる。

[0102] アドレス幅生成部５１は、電子シャッタの速度設定SPEED<14:0>と並列数設定PARA<2:0>の乗算結果を、アドレス幅ADRWDTH<14:0>に設定する。アドレス幅ADRWDTH<14:0>、即ち、ADRWDTH0<14:0>, ADRWDTH1<14:0>, ADRWDTH2<14:0>, ADRWDTH3<14:0>のそれぞれは、以下のようになる。

ADRWDTH<14:0> = SPEED<14:0> x PARA<2:0>=1x4=4

[0103] トリガ生成部５２が出力するトリガ信号TRG0乃至TRG3は、タイミング信号TRGと電子シャッタの速度設定SPEED<14:0>とを用いて、以下のように決定される。

TRG0=TRG

TRG1=TRG0 + SPEED<14:0>=TRG0 + 1

TRG2=TRG1 + SPEED<14:0>=TRG1 + 1

TRG3=TRG2 + SPEED<14:0>=TRG2 + 1

[0104] 開始アドレスSTADR<11:0>を<i>としたとき、マスタカウンタであるカウンタ５３Aには、アドレス情報ADR0<11:0>として<i>がセットされる。そして、<i>がセットされたアドレス情報ADR0<11:0>＝ADR0<i>が、シャッタ制御信号I_tx<i>とともに、カウンタ５３Aからデコーダ４１Aに出力される。カウンタ５３Aは、アドレス幅ADRWDTH0<14:0>＝4clock分カウントした後に、アドレス情報ADR0<i>を、PARA<2:0>＝4だけカウントアップし、カウントアップ後のアドレス情報ADR0<i+4>を、次のアドレス情報ADR0<11:0>として、シャッタ制御信号I_tx<i+4>とともに出力する。

[0105] スレーブカウンタであるカウンタ５３Bには、オフセット値ADROF1<11:0>として「１」が供給され、アドレス情報ADR1<11:0>として、マスタカウンタであるカウンタ５３Aのアドレス情報ADR0<i>にオフセット値ADROF1<11:0>を加算した<i+1>がセットされる。そして、<i+1>がセットされたアドレス情報ADR1<11:0>＝ADR1<i+1>が、シャッタ制御信号I_tx<i+1>とともに、カウンタ５３Bからデコーダ４１Bに出力される。カウンタ５３Bは、アドレス幅ADRWDTH1<14:0>＝4clock分カウントした後に、アドレス情報ADR1<i+1>を、PARA<2:0>＝4だけカウントアップし、カウントアップ後のアドレス情報ADR1<i+5>を、次のアドレス情報ADR1<11:0>として、シャッタ制御信号I_tx<i+5>とともに出力する。

[0106] 同様に、カウンタ５３Cには、オフセット値ADROF1<11:0>として「２」が供給され、アドレス情報ADR2<11:0>として、マスタカウンタであるカウンタ５３Aのアドレス情報ADR0<i>にオフセット値ADROF2<11:0>を加算した<i+2>がセットされる。そして、<i+2>がセットされたアドレス情報ADR2<11:0>＝ADR2<i+2>が、シャッタ制御信号I_tx<i+2>とともに、カウンタ５３Cからデコーダ４１Cに出力される。カウンタ５３Cは、アドレス幅ADRWDTH2<14:0>＝4clock分カウントした後に、アドレス情報ADR2<i+2>を、PARA<2:0>＝4だけカウントアップし、カウントアップ後のアドレス情報ADR2<i+6>を、次のアドレス情報AD

R2<11:0>として、シャッタ制御信号I_tx<i+6>とともに出力する。

[0107] カウンタ５３Dには、オフセット値ADROF2<11:0>として「３」が供給され、アドレス情報ADR3<11:0>として、マスタカウンタであるカウンタ５３Aのアドレス情報ADR0<i>にオフセット値ADROF3<11:0>を加算した<i+3>がセットされる。そして、<i+3>がセットされたアドレス情報ADR3<11:0>＝ADR3<i+3>が、シャッタ制御信号I_tx<i+3>とともに、カウンタ５３Dからデコーダ４１Dに出力される。カウンタ５３Dは、アドレス幅ADRWDTH3<14:0>＝4clock分カウントした後に、アドレス情報ADR3<i+3>を、PARA<2:0>＝4だけカウントアップし、カウントアップ後のアドレス情報ADR3<i+7>を、次のアドレス情報ADR3<11:0>として、シャッタ制御信号I_tx<i+7>とともに出力する。

[0108] 以上のようにカウンタ５３A乃至５３Dから出力されたシャッタ制御信号I_txn、I_txn+1、I_txn+2、I_txn+3、……を、開始アドレスSTADR<11:0>である<i>から順にみると、図１３に示されるように、画素アレイ部２の各行を１クロック時間ごとに順次、信号電荷の蓄積を開始させる電子シャッタ動作となっている。

[0109] ＜３．４ 並列数設定PARA＝４、電子シャッタ速度SPEED＝２の例＞

図１４は、電子シャッタの速度設定SPEED<14:0>を「２」にして、４つのデコーダ４１を用いて４並列で、電子シャッタ動作を行う場合のタイミングチャートを示している。

[0110] アドレス幅生成部５１が生成するアドレス幅ADRWDTH<14:0>は、以下のように決定される。

ADRWDTH<14:0> = SPEED<14:0> x PARA<2:0>=2x4=8

[0111] また、トリガ生成部５２が生成するトリガ信号TRG0乃至TRG3は、以下のように決定される。

TRG0=TRG

TRG1=TRG0 + SPEED<14:0>=TRG0 + 2

TRG2=TRG1 + SPEED<14:0>=TRG1 + 2

TRG3=TRG2 + SPEED<14:0>=TRG2 + 2

[0112] 開始アドレスSTADR<11:0> を<i>としたとき、マスタカウンタであるカウンタ５３Aは、アドレス情報ADR0<11:0>＝ADR0<i>を、シャッタ制御信号I_tx<i>とともに、デコーダ４１Aに出力する。

[0113] カウンタ５３Aのアドレス情報ADR0<i>及びシャッタ制御信号I_tx<i>の出力から、TRG1= TRG0 + 2 経過後、カウンタ５３Bは、アドレス情報ADR1<11:0>＝ADR1<i+1>を、シャッタ制御信号I_tx<i+1>とともに、デコーダ４１Bに出力する。

[0114] カウンタ５３Aのアドレス情報ADR0<i>及びシャッタ制御信号I_tx<i>の出力から、TRG2= =TRG1 + 2 経過後、カウンタ５３Cは、アドレス情報ADR2<11:0>＝ADR2<i+2>を、シャッタ制御信号I_tx<i+2>とともに、デコーダ４１Cに出力する。

[0115] カウンタ５３Aのアドレス情報ADR0<i>及びシャッタ制御信号I_tx<i>の出力から、TRG3= TRG2 + 2 経過後、カウンタ５３Dは、アドレス情報ADR3<11:0>＝ADR3<i+3>を、シャッタ制御信号I_tx<i+3>とともに、デコーダ４１Dに出力する。

[0116] カウンタ５３Aのアドレス情報ADR0<i>及びシャッタ制御信号I_tx<i>の出力から、アドレス幅ADRWDTH0<14:0>＝8clock経過後、カウンタ５３Aは、アドレス情報ADR0<11:0>＝ADR0<i+4>を、シャッタ制御信号I_tx<i+4>とともに、デコーダ４１Aに出力する。

[0117] カウンタ５３Bのアドレス情報ADR1<i+1>及びシャッタ制御信号I_tx<i+1>の出力から、アドレス幅ADRWDTH1<14:0>＝8clock経過後、カウンタ５３Bは、アドレス情報ADR1<11:0>＝ADR1<i+5>を、シャッタ制御信号I_tx<i+5>とともに、デコーダ４１Bに出力する。

[0118] カウンタ５３Cのアドレス情報ADR2<i+2>及びシャッタ制御信号I_tx<i+2>の出力から、アドレス幅ADRWDTH2<14:0>＝8clock経過後、カウンタ５３Cは、アドレス情報ADR2<11:0>＝ADR2<i+6>を、シャッタ制御信号I_tx<i+6>とともに、デコーダ４１Cに出力する。

[0119] カウンタ５３Dのアドレス情報ADR3<i+3>及びシャッタ制御信号I_tx<i+3>の

出力から、アドレス幅ADRWDTH3<14:0>＝8clock経過後、カウンタ５３Dは、アドレス情報ADR3<11:0>＝ADR3<i+7>を、シャッタ制御信号I_tx<i+7>とともに、デコーダ４１Dに出力する。

[0120] 以上のようにカウンタ５３A乃至５３Dから出力されたシャッタ制御信号I_txn、I_txn+1、I_txn+2、I_txn+3、……を、開始アドレスSTADR<11:0>である<i>から順にみると、図１３に示されるように、画素アレイ部２の各行を２クロック時間ごとに順次、信号電荷の蓄積を開始させる電子シャッタ動作となっている。

[0121] ＜３．５ 電子シャッタ速度SPEEDの切替え例＞

図１５は、電子シャッタの速度設定SPEED<14:0>を、３，２，１と変化させる場合のタイミングチャートを示している。

[0122] 切替え前の電子シャッタの速度設定SPEED<14:0>をSPEED_BFR<14:0>、切替え後の電子シャッタの速度設定SPEED<14:0>をSPEED_AFT<14:0>とすると、電子シャッタの速度設定SPEED<14:0>を切替える際、アドレス幅生成部５１は、以下のように、アドレス幅ADRWDTH<14:0>を設定する。

[0123] （切替え前）

ADRWDTH0<14:0> =SPEED_BFR<14:0> x PARA<2:0>

ADRWDTH1<14:0> =SPEED_BFR<14:0> x PARA<2:0>

ADRWDTH2<14:0> =SPEED_BFR<14:0> x PARA<2:0>

ADRWDTH3<14:0> =SPEED_BFR<14:0> x PARA<2:0>

（切替え中）

ADRWDTH0<14:0> =

SPEED_BFR<14:0> x PARA<2:0>

ADRWDTH1<14:0> =

SPEED_BFR<14:0> x PARA<2:0>-{(SPEED_BFR<14:0>-SPEED_AFT<14:0>) x 1}

ADRWDTH2<14:0> =

SPEED_BFR<14:0> x PARA<2:0>-{(SPEED_BFR<14:0>-SPEED_AFT<14:0>) x

2}

ADRWDTH3<14:0> =

SPEED_BFR<14:0> x PARA<2:0>-{(SPEED_BFR<14:0>-SPEED_AFT<14:0>) x 3}

（切替え後）

ADRWDTH0<14:0> =SPEED_AFT<14:0> x PARA<2:0>

ADRWDTH1<14:0> =SPEED_AFT<14:0> x PARA<2:0>

ADRWDTH2<14:0> =SPEED_AFT<14:0> x PARA<2:0>

ADRWDTH3<14:0> =SPEED_AFT<14:0> x PARA<2:0>

[0124] 例えば、電子シャッタの速度設定SPEED<14:0>を「３」から「２」へ切り替える場合、アドレス幅ADRWDTH<14:0>は、以下のようになる。

（切替え前）

ADRWDTH0<14:0> = 3x4=12

ADRWDTH1<14:0> = 3x4=12

ADRWDTH2<14:0> = 3x4=12

ADRWDTH3<14:0> = 3x4=12

（切替え中）

ADRWDTH0<14:0> = 3x4=12

ADRWDTH1<14:0> = 3x4-{(3-2) x 1} =11

ADRWDTH2<14:0> = 3x4-{(3-2) x 2} =10

ADRWDTH3<14:0> = 3x4-{(3-2) x 3} = 9

（切替え後）

ADRWDTH0<14:0> = 2x4=8

ADRWDTH1<14:0> = 2x4=8

ADRWDTH2<14:0> = 2x4=8

ADRWDTH3<14:0> = 2x4=8

[0125] 以上のようにアドレス幅ADRWDTH<14:0>を設定することにより、電子シャッタの速度設定SPEED<14:0>を、第１の電子シャッタ速度（上記の例では「３」

）から第２の電子シャッタ速度（上記の例では「２」）に切り替える場合に、シャッタ制御信号I_txを出力する時間間隔を行単位に段階的に変化させることができる。これにより、図１５に示されるように、電子シャッタの速度設定SPEED<14:0>をスムーズに切り替えることができる。

[0126] ＜３．６　上下メカシャッタに対応した電子シャッタ動作例＞

図４を参照して説明したように、メカシャッタには、２枚の板を用いて上下方向に動作させる上下タイプもある。

[0127] 図１６は、そのような上下タイプのメカシャッタ動作に対応した電子シャッタ動作を示すタイミングチャートである。

[0128] 電子シャッタを、図１６に示されるように動作させる場合には、画素アレイ部２（画素領域）を上下方向に２分割し、４つのデコーダ４１のうちの２つのデコーダ４１を、分割された一方の上側画素領域の制御に用い、残りの２つのデコーダ４１を、分割された他方の下側画素領域の制御に用いる。並列数設定PARA<2:0>は、分割された上側画素領域と下側画素領域ごとの設定となり、並列数設定PARA<2:0>=2となる。

[0129] 上側画素領域を担当する２つのデコーダ４１（例えば、デコーダ４１A及び４１B）では、制御対象のアドレスを<j>とすると、タイミング生成回路７は、その２つのデコーダ４１に入力されるアドレス<j>が、１アドレスずつデクリメントされるように制御する。

[0130] 下側画素領域を担当する２つのデコーダ４１（例えば、デコーダ４１C及び４１D）では、制御対象のアドレスを<i>とすると、タイミング生成回路７は、その２つのデコーダ４１に入力されるアドレス<i>が、１アドレスずつインクリメントされるように制御する。

[0131] 図１６は、分割された上側画素領域と下側画素領域のそれぞれにおいて、電子シャッタの速度設定SPEED<14:0>を、４，３，２と変化させたタイミングチャートを示している。

[0132] 上下タイプのメカシャッタ動作に対応した電子シャッタ動作では、画素アレイ部２（画素領域）を上下方向に２分割した上側画素領域と下側画素領域

が上下対称となるように、電子シャッタが制御される。

[0133] CMOSイメージセンサ１は、図１５に示したような、１枚の板を片方向から動作させる片側タイプのメカシャッタに折れ線近似させた電子シャッタ駆動と、図１６に示したような、２枚の板を上下方向に動作させる上下タイプのメカシャッタに折れ線近似させた電子シャッタ駆動とを、動作設定モードにより切り替えて動作可能である。どちらの電子シャッタ駆動を行うかを制御する制御信号は、CMOSイメージセンサ１の外部から入力されるようにすることができる。

[0134] 以上説明したように、CMOSイメージセンサ１は、垂直走査回路３内に４つのデコーダ４１を有する。４つのデコーダ４１は、並列的に動作し、タイミング生成回路７（内の対応するカウンタ５３）から供給されたアドレス情報ADRをデコードし、ドライバ４２内の行毎に設けられている転送信号生成回路６０へ、シャッタ制御信号I_txを時分割出力する。

[0135] デコーダ４１が、入力されたアドレス情報ADRをデコードするのには、所定の時間を要するため、垂直走査回路３が１つのデコーダ４１しか有していない場合には、ドライバ４２が、画素アレイ部２のある行を駆動してから、次の行を駆動できるようになるまでの時間は、デコーダ４１のデコード処理時間に依存する。

[0136] これに対して、CMOSイメージセンサ１のように、垂直走査回路３が４つのデコーダ４１を有し、４つのデコーダ４１が並列的に動作し、時分割でシャッタ制御信号I_txを出力する場合には、１つのデコーダ４１しかない場合と比較して、１／４の時間間隔で、ドライバ４２にシャッタ制御信号I_txを出力することができる。これにより、デコーダ４１を１つしか持っていない場合と比較して、画素アレイ部２の各画素２０を高速に駆動することができる。

[0137] 従って、CMOSイメージセンサ１によれば、電子シャッタをより高速に行うことができ、被写体の歪みが少ない画像を生成することができる。

[0138] また、CMOSイメージセンサ１は、例えば、図１２を参照して説明したよう

に、画素アレイ部２を、垂直方向に対して複数の画素領域に分割し、電子シャッタの速度設定SPEEDを画素領域ごとに異なる設定値とすることにより複数の線形特性の組み合わせ、メカシャッタの動作特性に近い電子シャッタ動作を行うことができる。

[0139] なお、上述した実施の形態では、垂直走査回路３が４つのデコーダ４１を有し、その４つのデコーダ４１が並列的に動作し、時分割でシャッタ制御信号I_txを出力する例について説明したが、４つのデコーダ４１のうちの２つのデコーダ４１のみを使用して並列的に動作させることも可能である。

[0140] また、垂直走査回路３が備えるデコーダ４１の個数は、上述した４個に限らず、その他の個数、例えば、２個や８個、１６個などでもよい。

[0141] 即ち、CMOSイメージセンサ１は、垂直走査回路３に複数のデコーダ４１を備え、その複数数のデコーダ４１に対応する複数のカウンタ５３をタイミング生成回路７に備え、複数のデコーダ４１のなかの２つ以上のデコーダ４１を並列的に動作させ、ドライバ４２へ時分割でシャッタ制御信号I_txを出力する構成とすることができる。

[0142] ＜４．電子機器への適用例＞

本技術は、固体撮像素子への適用に限られるものではない。即ち、本技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像素子を用いる複写機など、画像取込部（光電変換部）に固体撮像素子を用いる電子機器全般に対して適用可能である。固体撮像素子は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0143] 図１７は、本技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[0144] 図１７の撮像装置１００は、レンズ群などからなる光学部１０１、図５の固体撮像素子１の構成が採用される固体撮像素子（撮像デバイス）１０２、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路１０３

を備える。また、撮像装置１００は、フレームメモリ１０４、表示部１０５、記録部１０６、操作部１０７、および電源部１０８も備える。DSP回路１０３、フレームメモリ１０４、表示部１０５、記録部１０６、操作部１０７および電源部１０８は、バスライン１０９を介して相互に接続されている。

[0145] 光学部１０１は、被写体からの入射光（像光）を取り込んで固体撮像素子１０２の撮像面上に結像する。固体撮像素子１０２は、光学部１０１によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像素子１０２として、図５の固体撮像素子１、即ち、電子シャッタを高速駆動させることができ、かつ、メカシャッタの動作特性に折れ線近似させた特性を有する電子シャッタ動作を行うことができる固体撮像素子を用いることができる。

[0146] 表示部１０５は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像素子１０２で撮像された動画または静止画を表示する。記録部１０６は、固体撮像素子１０２で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0147] 操作部１０７は、ユーザによる操作の下に、撮像装置１００が持つ様々な機能について操作指令を発する。電源部１０８は、DSP回路１０３、フレームメモリ１０４、表示部１０５、記録部１０６および操作部１０７の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0148] 上述したように、固体撮像素子１０２として、上述した実施の形態に係る固体撮像素子１を用いることで、電子シャッタを高速動作させることができるので、被写体の歪みが少ない画像を生成することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置１００においても、撮像画像の高画質化を図ることができる。

[0149] ＜イメージセンサの使用例＞

図１８は、上述のCMOSイメージセンサ１を使用する使用例を示す図である

。

[0150] 上述したCMOSイメージセンサ１は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0151] ・ディジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0152] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0153] 例えば、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。

[0154] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0155] なお、本技術は以下のような構成も取ることができる。

（１）

複数の画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の行単位に設けられた、前記画素における信号電荷の蓄積を制御する画素トランジスタを駆動する駆動信号を出力する駆動回路と、

アドレス情報をデコードし、デコード結果に対応する前記画素アレイ部の行の前記駆動回路に、電子シャッタを制御するシャッタ制御信号を出力する複数のデコーダと

を備え、

前記複数のデコーダは、前記画素アレイ部の行単位に設けられた前記駆動回路に、前記シャッタ制御信号を時分割で出力する

固体撮像素子。

（２）

前記画素アレイ部の隣接する２行の前記駆動回路に対して前記シャッタ制御信号が供給されるタイミングの差分に相当する電子シャッタ速度を設定する制御回路をさらに備える

前記（１）に記載の固体撮像素子。

（３）

前記制御回路は、前記画素アレイ部を垂直方向に分割した複数の画素領域それぞれに対して異なる前記電子シャッタ速度を設定する

前記（２）に記載の固体撮像素子。

（４）

前記制御回路は、メカシャッタの動作特性に折れ線近似させた特性となるように、前記複数の画素領域それぞれに対して前記電子シャッタ速度を設定する

前記（３）に記載の固体撮像素子。

（５）

前記制御回路は、前記複数の画素領域に対して、垂直方向を上下方向として上下対称となるように、前記電子シャッタ速度を設定する

前記（３）または（４）に記載の固体撮像素子。

（６）

前記制御回路は、前記電子シャッタ速度を、第１の電子シャッタ速度から第２の電子シャッタ速度に切り替える場合、前記第１の電子シャッタ速度と前記第２の電子シャッタ速度の間の電子シャッタ速度を介して前記第１の電子シャッタ速度から前記第２の電子シャッタ速度に切り替える

前記（３）乃至（５）のいずれかに記載の固体撮像素子。

（７）

複数の画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の行単位に設けられた、前記画素における信号電荷の蓄積を制御する画素トランジスタを駆動する駆動信号を出力する駆動回路と、

アドレス情報をデコードし、デコード結果に対応する前記画素アレイ部の行の前記駆動回路に、電子シャッタを制御するシャッタ制御信号を出力する複数のデコーダと

を備える固体撮像素子の、

前記複数のデコーダが、前記画素アレイ部の行単位に設けられた前記駆動回路に、前記シャッタ制御信号を時分割で出力する

固体撮像素子の駆動方法。

（８）

複数の画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の行単位に設けられた、前記画素における信号電荷の蓄積を制御する画素トランジスタを駆動する駆動信号を出力する駆動回路と、

アドレス情報をデコードし、デコード結果に対応する前記画素アレイ部の行の前記駆動回路に、電子シャッタを制御するシャッタ制御信号を出力する複数のデコーダと

を備え、

前記複数のデコーダは、前記画素アレイ部の行単位に設けられた前記駆動回路に、前記シャッタ制御信号を時分割で出力する

固体撮像素子

を備える電子機器。

符号の説明

[0156] １　固体撮像素子，　２　画素アレイ部，　３　垂直走査回路，　７　タイミング生成回路，　８　制御回路，　２０　画素，　２１　光電変換部，　２２　転送トランジスタ，　２３　リセットトランジスタ，　４１　デコーダ，　４２　ドライバ，　５１　アドレス幅生成，　５２　トリガ生成部，　５３　カウンタ，　６０　転送信号生成回路，　１００　撮像装置，　１０２　固体撮像素子

請求の範囲

[請求項1] 複数の画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の行単位に設けられた、前記画素における信号電荷の蓄積を制御する画素トランジスタを駆動する駆動信号を出力する駆動回路と、

アドレス情報をデコードし、デコード結果に対応する前記画素アレイ部の行の前記駆動回路に、電子シャッタを制御するシャッタ制御信号を出力する複数のデコーダと

を備え、

前記複数のデコーダは、前記画素アレイ部の行単位に設けられた前記駆動回路に、前記シャッタ制御信号を時分割で出力する

固体撮像素子。

[請求項2] 前記画素アレイ部の隣接する２行の前記駆動回路に対して前記シャッタ制御信号が供給されるタイミングの差分に相当する電子シャッタ速度を設定する制御回路をさらに備える

請求項１に記載の固体撮像素子。

[請求項3] 前記制御回路は、前記画素アレイ部を垂直方向に分割した複数の画素領域それぞれに対して異なる前記電子シャッタ速度を設定する

請求項２に記載の固体撮像素子。

[請求項4] 前記制御回路は、メカシャッタの動作特性に折れ線近似させた特性となるように、前記複数の画素領域それぞれに対して前記電子シャッタ速度を設定する

請求項３に記載の固体撮像素子。

[請求項5] 前記制御回路は、前記複数の画素領域に対して、垂直方向を上下方向として上下対称となるように、前記電子シャッタ速度を設定する

請求項３に記載の固体撮像素子。

[請求項6] 前記制御回路は、前記電子シャッタ速度を、第１の電子シャッタ速度から第２の電子シャッタ速度に切り替える場合、前記シャッタ制御

信号を出力する時間間隔を行単位に段階的に変化させて、前記第１の電子シャッタ速度から前記第２の電子シャッタ速度に切り替える

請求項３に記載の固体撮像素子。

[請求項7] 複数の画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の行単位に設けられた、前記画素における信号電荷の蓄積を制御する画素トランジスタを駆動する駆動信号を出力する駆動回路と、

アドレス情報をデコードし、デコード結果に対応する前記画素アレイ部の行の前記駆動回路に、電子シャッタを制御するシャッタ制御信号を出力する複数のデコーダと

を備える固体撮像素子の、

前記複数のデコーダが、前記画素アレイ部の行単位に設けられた前記駆動回路に、前記シャッタ制御信号を時分割で出力する

固体撮像素子の駆動方法。

[請求項8] 複数の画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の行単位に設けられた、前記画素における信号電荷の蓄積を制御する画素トランジスタを駆動する駆動信号を出力する駆動回路と、

アドレス情報をデコードし、デコード結果に対応する前記画素アレイ部の行の前記駆動回路に、電子シャッタを制御するシャッタ制御信号を出力する複数のデコーダと

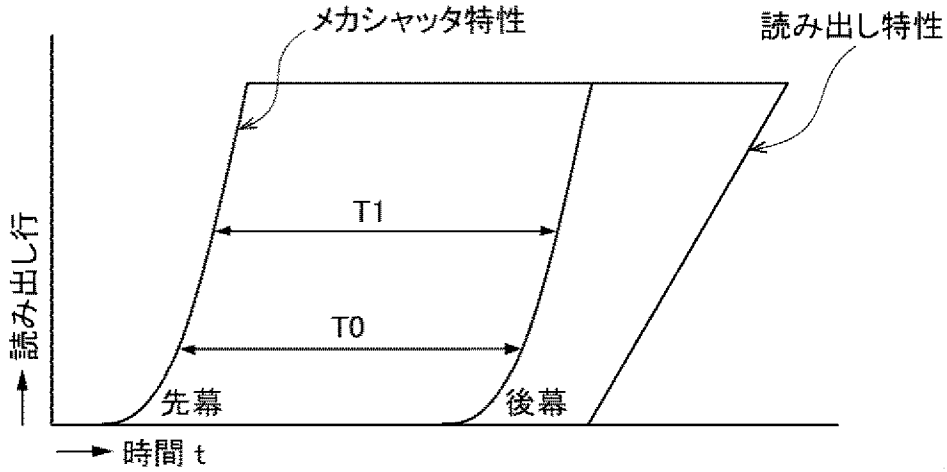
を備え、

前記複数のデコーダは、前記画素アレイ部の行単位に設けられた前記駆動回路に、前記シャッタ制御信号を時分割で出力する

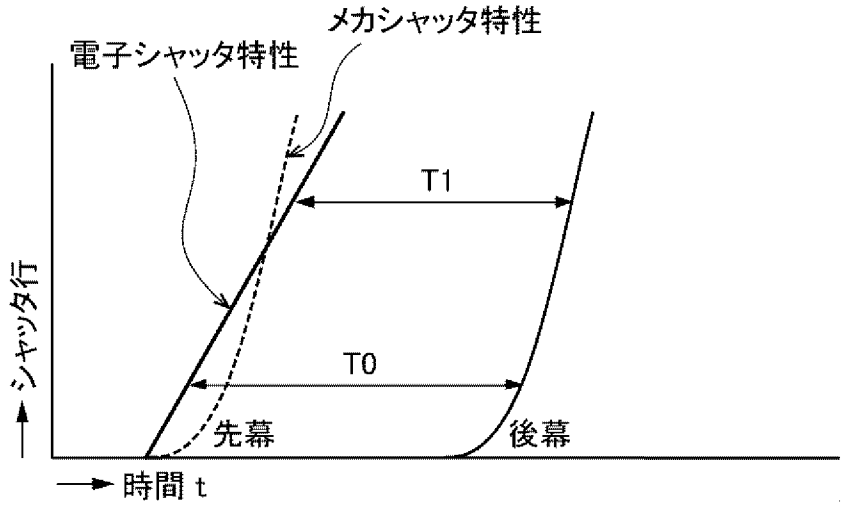
固体撮像素子

を備える電子機器。

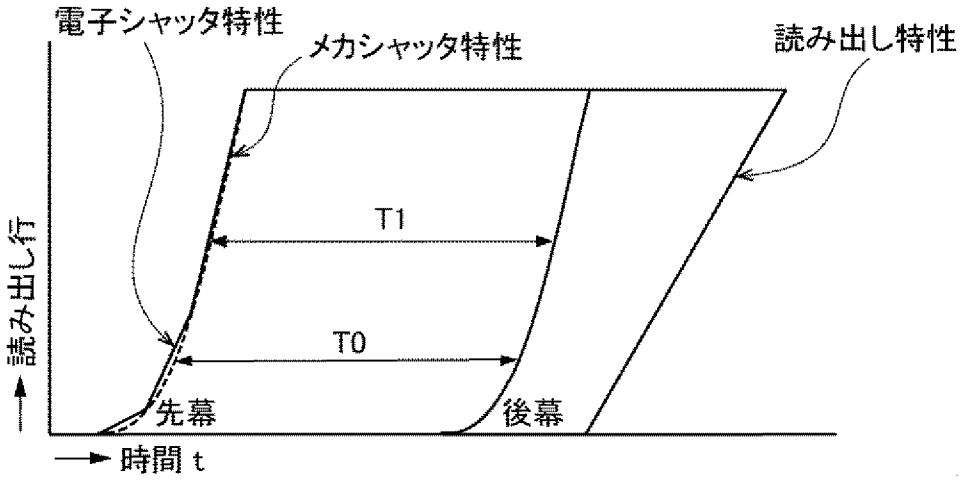
[図1]
FIG. 1



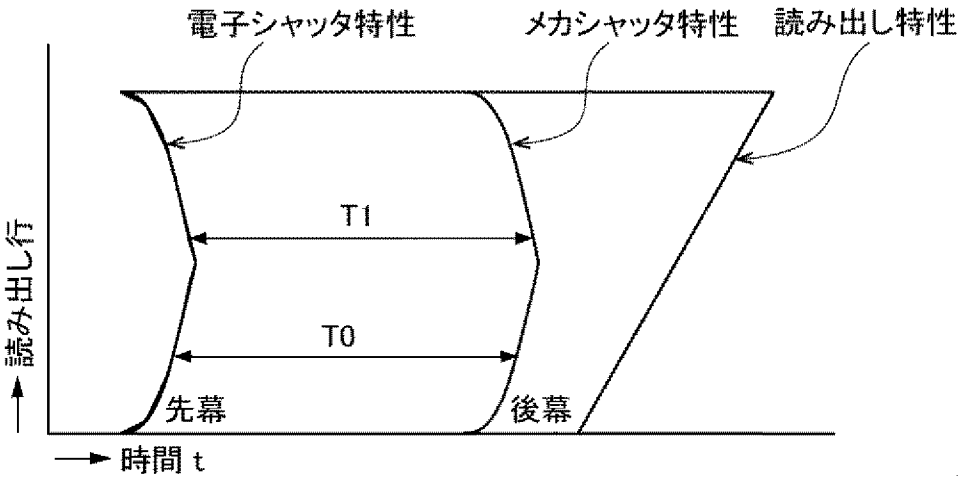
[図2]
FIG. 2



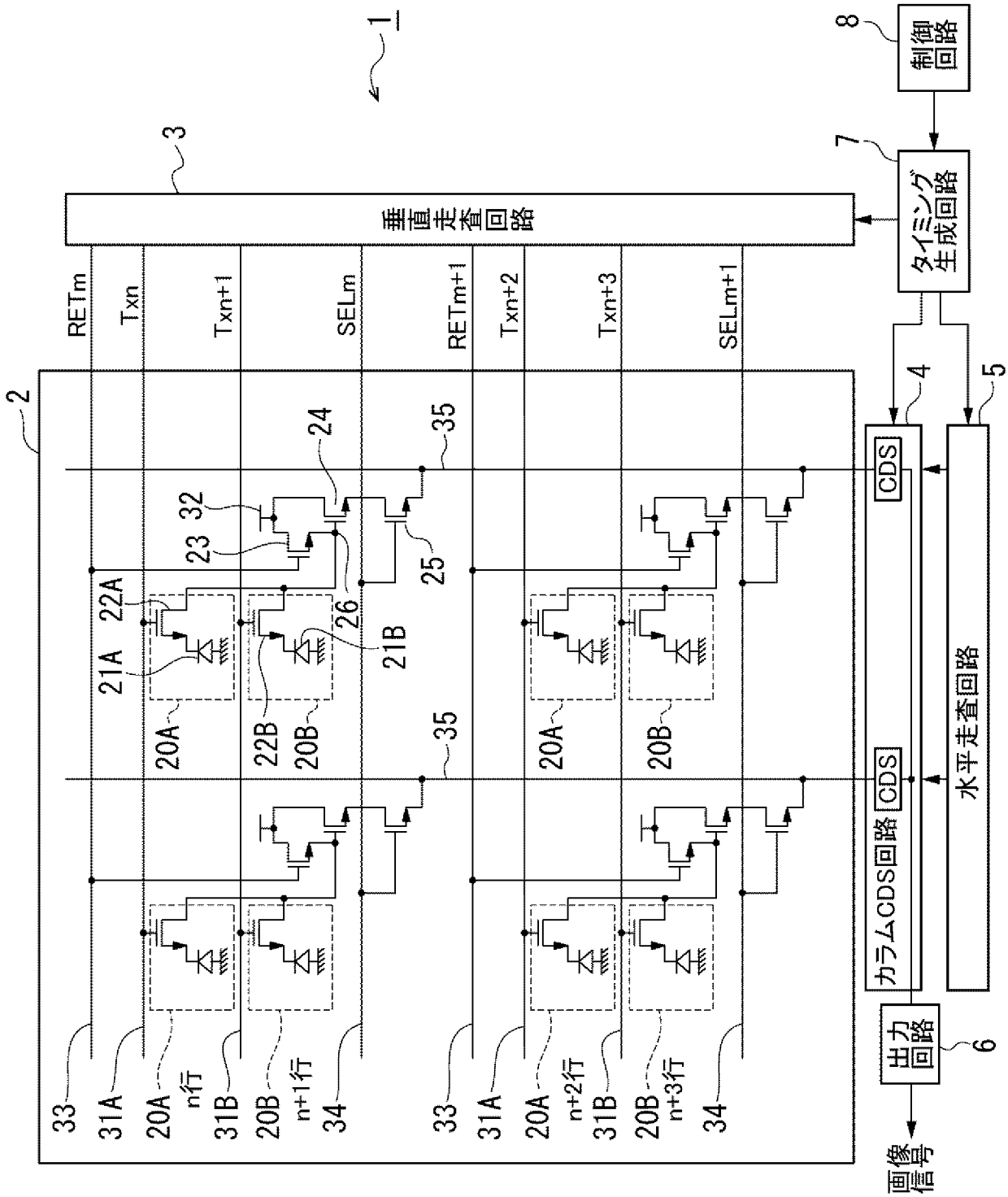
[図3]
FIG. 3



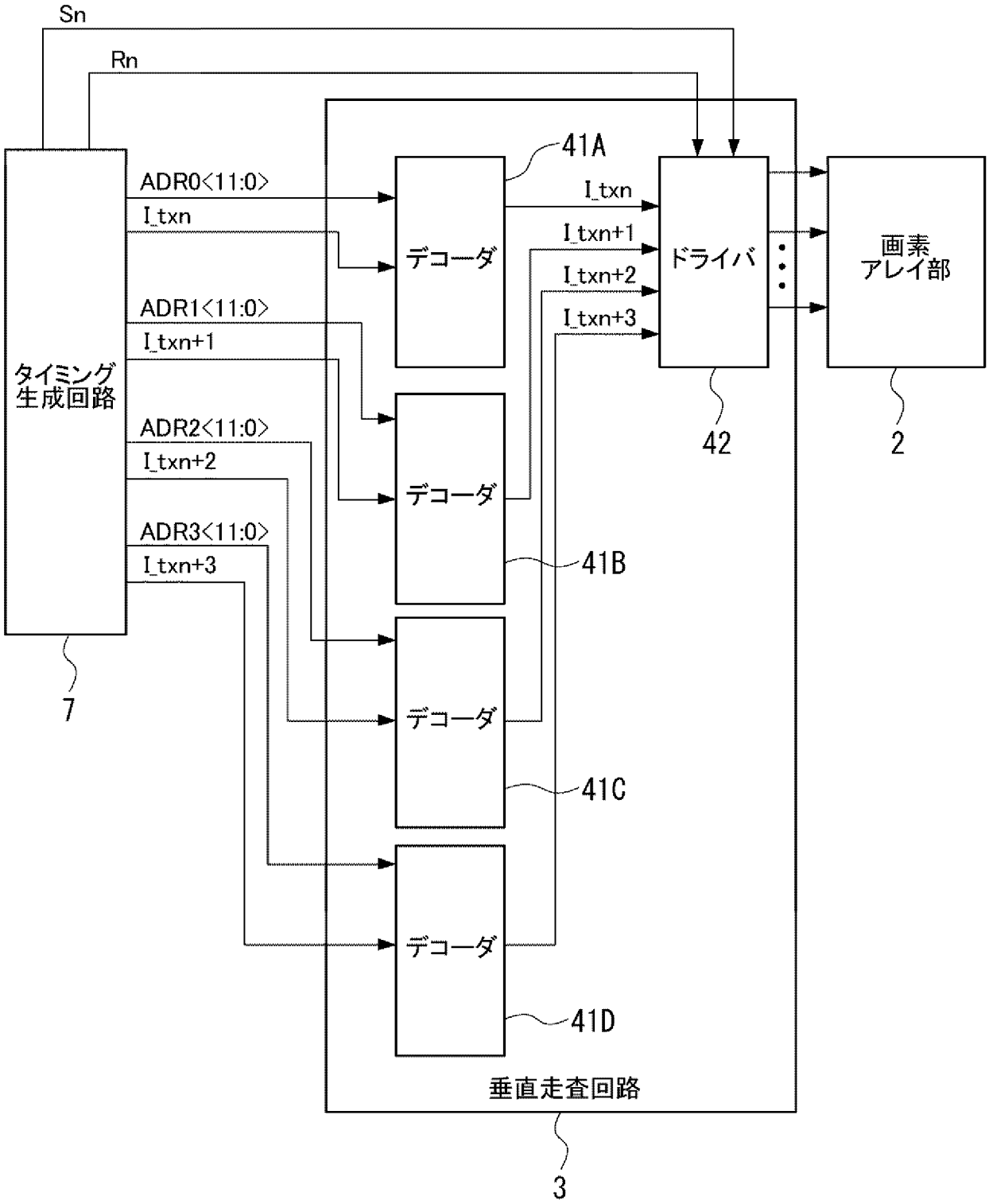
[図4]
FIG. 4



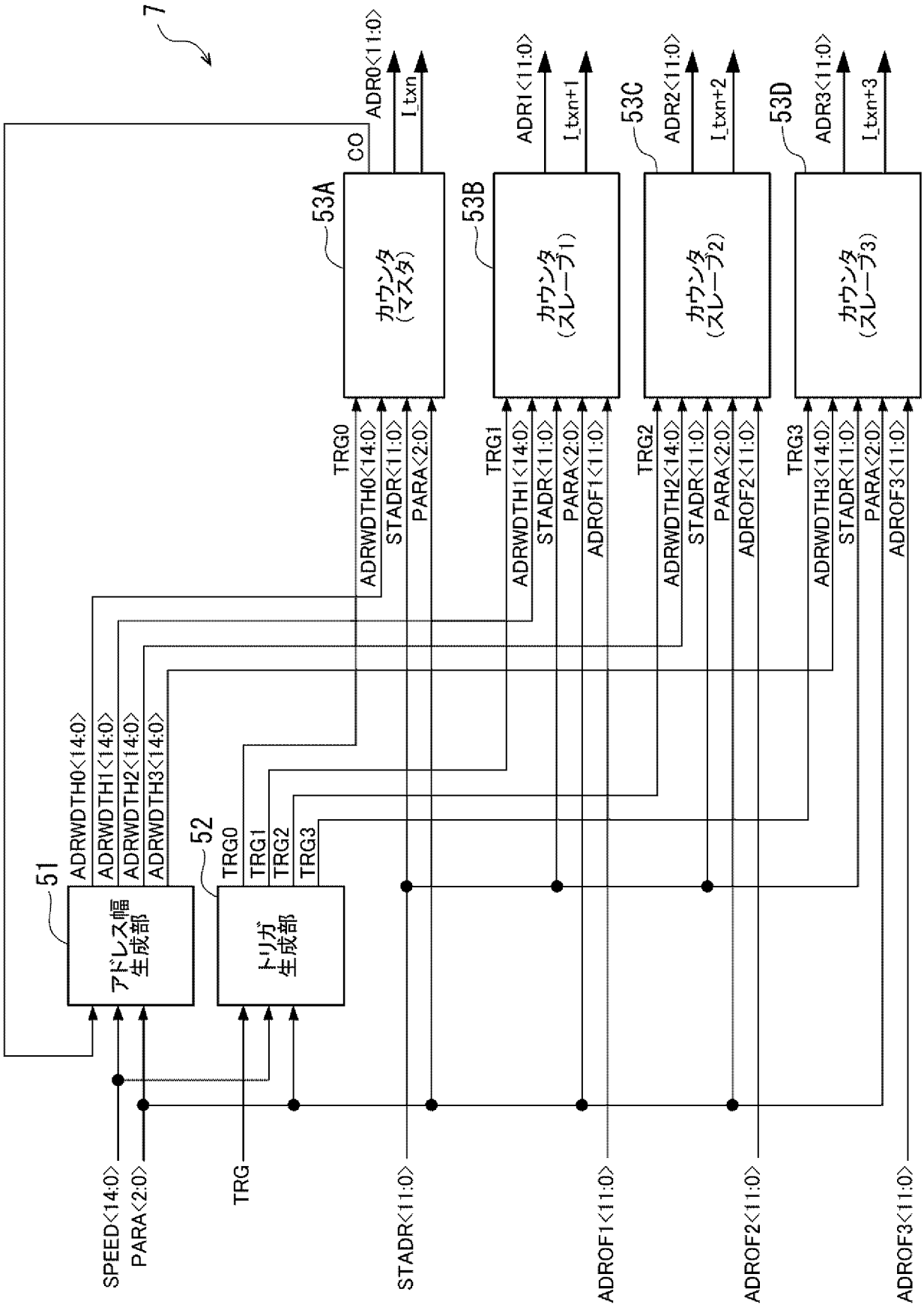
[図5]
FIG. 5


1
2
3
垂直走査回路
4
5
6
7
8
制御回路
タイミング生成回路
出力回路
画像信号
カラムCDS回路
CDS
水平走査回路
RETm
Txn
Txn+1
SELm
RETm+1
Txn+2
Txn+3
SELm+1
20A
20B
21A
21B
22A
22B
23
24
25
26
31A
31B
32
33
34
35
n行
n+1行
n+2行
n+3行

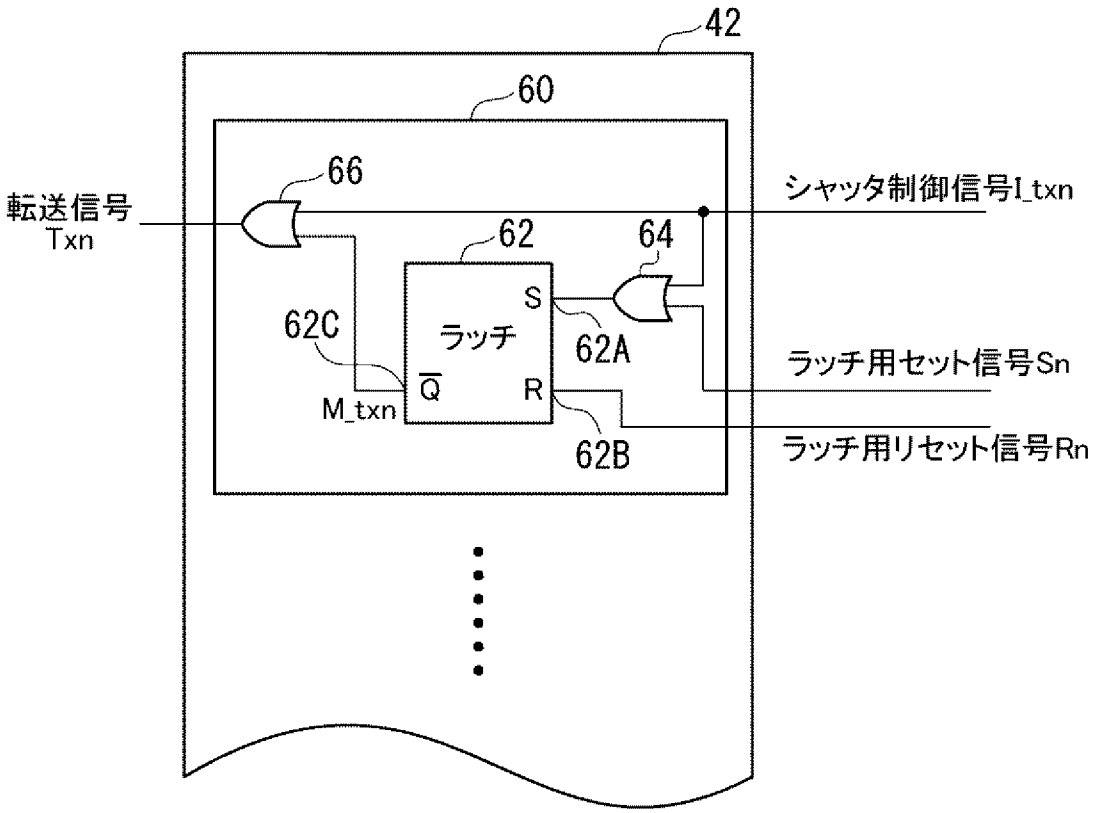
[図6]
FIG. 6


Sn
Rn
タイミング
生成回路
7
ADR0<11:0>
I_txn
ADR1<11:0>
I_txn+1
ADR2<11:0>
I_txn+2
ADR3<11:0>
I_txn+3
41A
デコーダ
41B
デコーダ
41C
デコーダ
41D
デコーダ
I_txn
I_txn+1
I_txn+2
I_txn+3
ドライバ
42
画素
アレイ部
2
垂直走査回路
3

[図7]
FIG. 7


7
51
アドレス幅
生成部
52
トリガ
生成部
ADRWDTH0<14:0>
ADRWDTH1<14:0>
ADRWDTH2<14:0>
ADRWDTH3<14:0>
TRG0
TRG1
TRG2
TRG3
SPEED<14:0>
PARA<2:0>
TRG
STADR<11:0>
ADROF1<11:0>
ADROF2<11:0>
ADROF3<11:0>
53A
カウンタ
(マスタ)
53B
カウンタ
(スレーブ1)
53C
カウンタ
(スレーブ2)
53D
カウンタ
(スレーブ3)
CO
ADR0<11:0>
I_txn
ADR1<11:0>
I_txn+1
ADR2<11:0>
I_txn+2
ADR3<11:0>
I_txn+3
ADRWDTH0<14:0>
STADR<11:0>
PARA<2:0>
ADRWDTH1<14:0>
STADR<11:0>
PARA<2:0>
ADROF1<11:0>
ADRWDTH2<14:0>
STADR<11:0>
PARA<2:0>
ADROF2<11:0>
ADRWDTH3<14:0>
STADR<11:0>
PARA<2:0>
ADROF3<11:0>

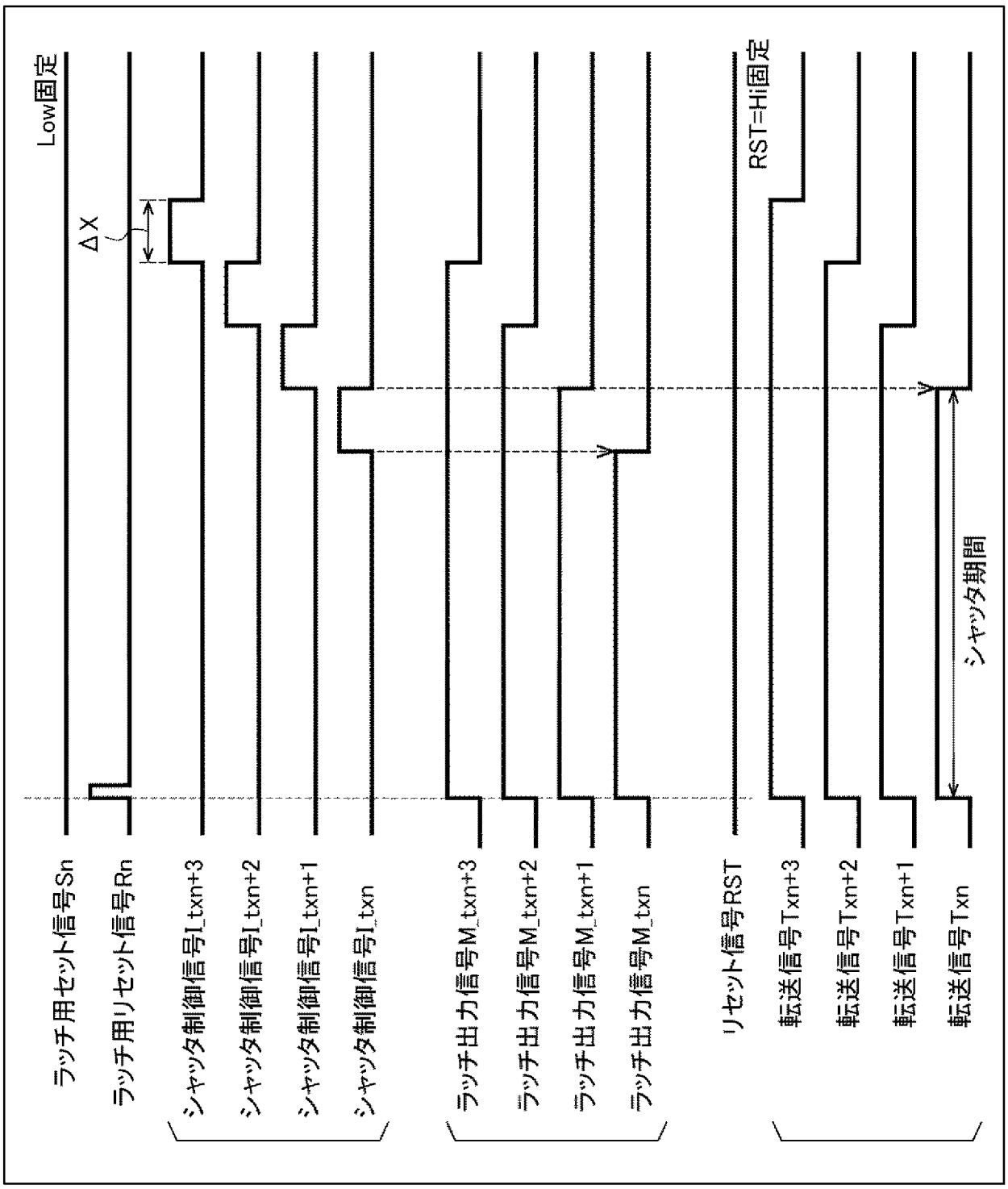
[図8]
FIG. 8



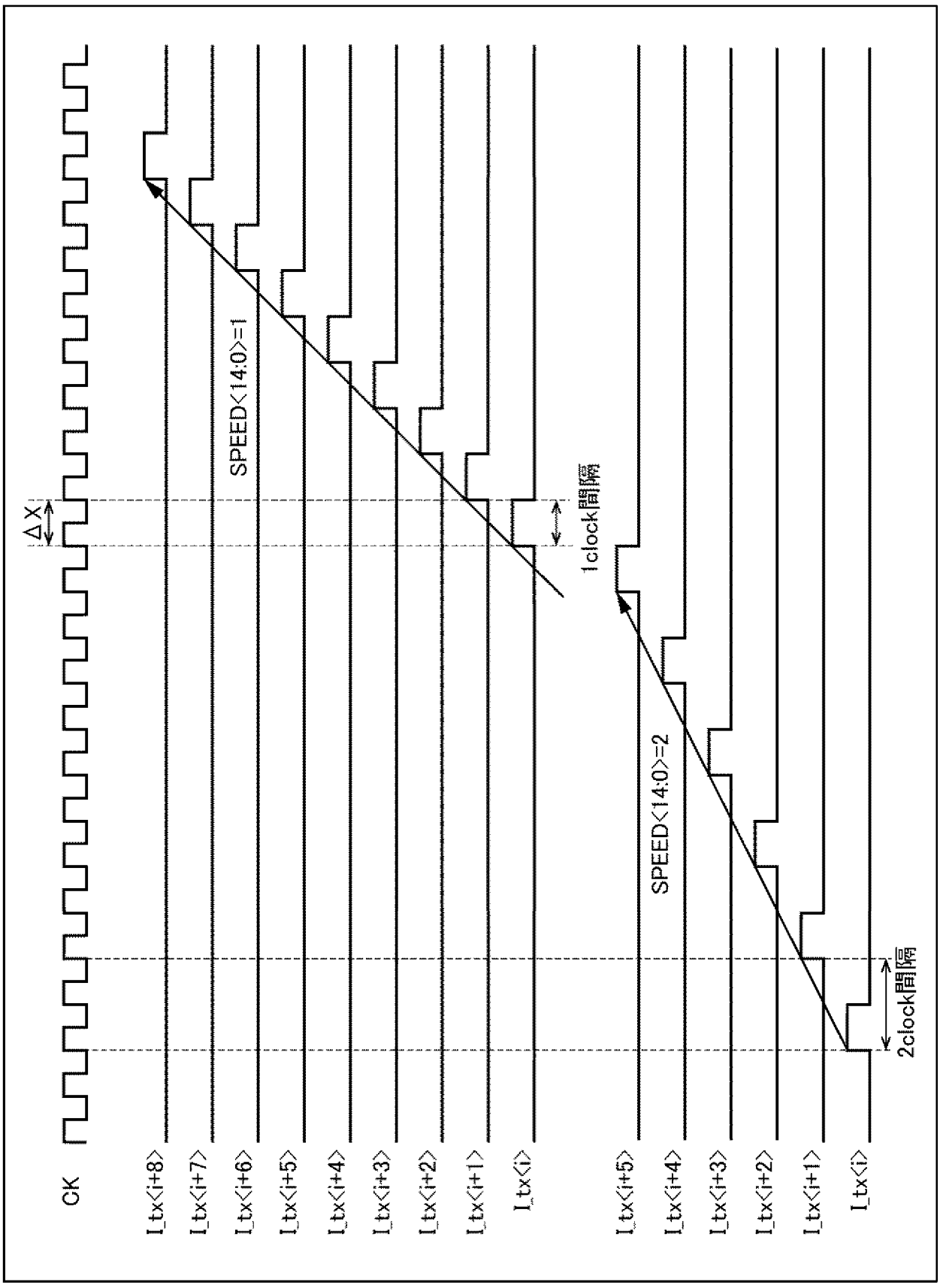
[図9]
FIG. 9

S	R	$\overline{Q}$
0	0	状態保持
1	0	0
0	1	1
1	1	入力禁止

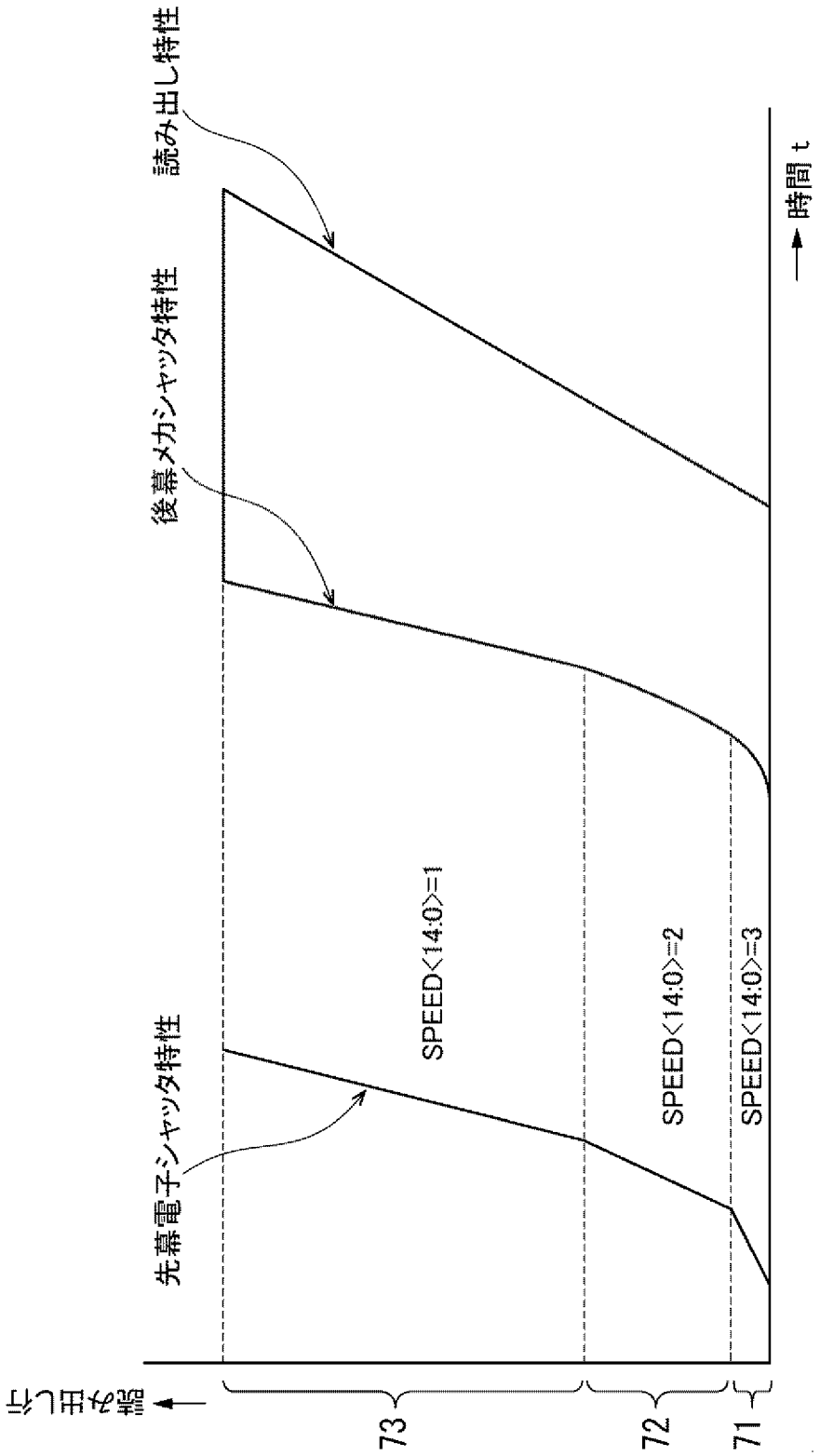
[図10]
FIG. 10


Low固定
ΔX
RST=Hi固定
ラッチ用セット信号Sn
ラッチ用リセット信号Rn
シャッタ制御信号I_txn+3
シャッタ制御信号I_txn+2
シャッタ制御信号I_txn+1
シャッタ制御信号I_txn
ラッチ出力信号M_txn+3
ラッチ出力信号M_txn+2
ラッチ出力信号M_txn+1
ラッチ出力信号M_txn
リセット信号RST
転送信号Txn+3
転送信号Txn+2
転送信号Txn+1
転送信号Txn
シャッタ期間

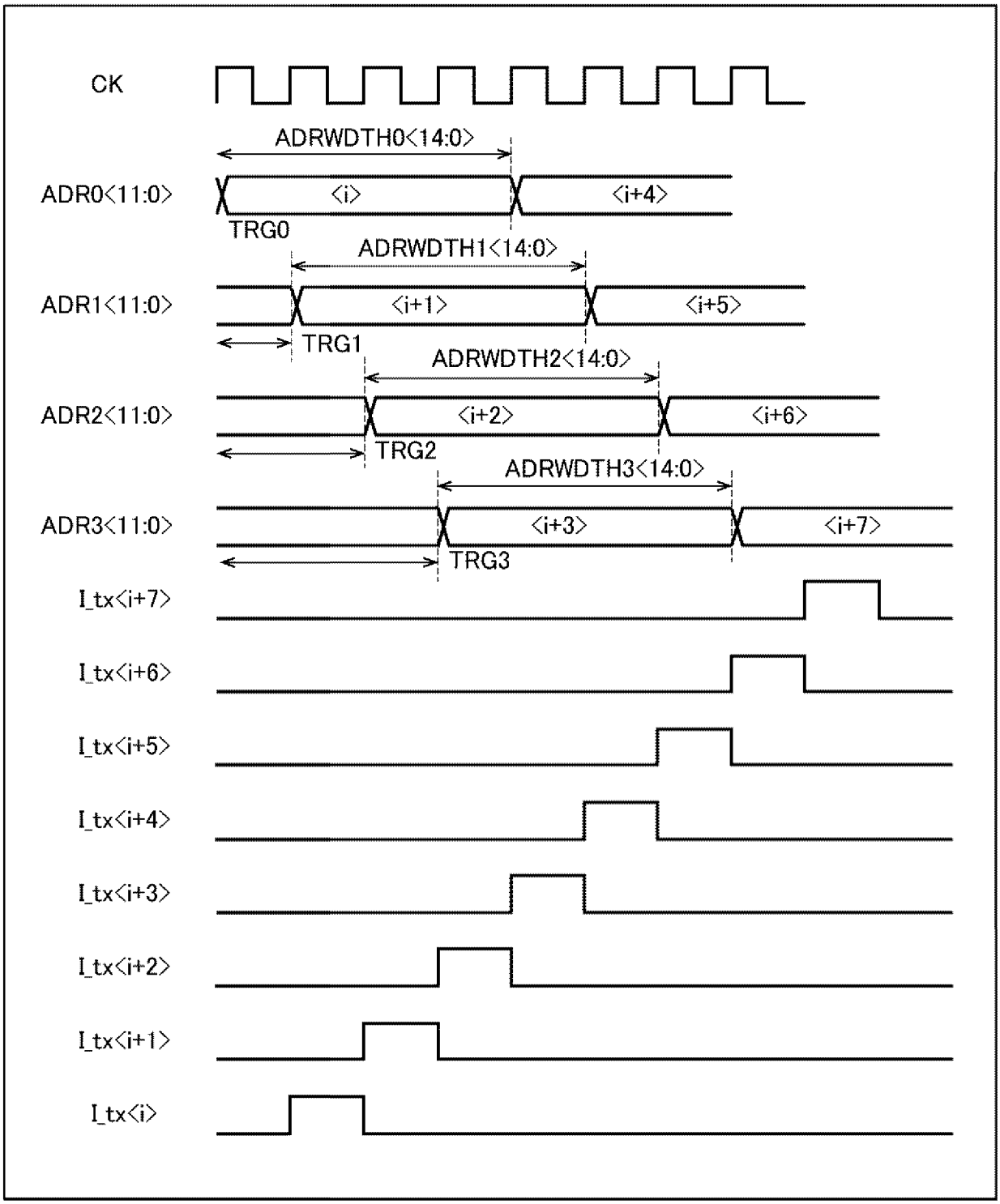
[図11]
FIG. 11


CK
I_tx<i+8>
I_tx<i+7>
I_tx<i+6>
I_tx<i+5>
I_tx<i+4>
I_tx<i+3>
I_tx<i+2>
I_tx<i+1>
I_tx<i>
ΔX
SPEED<14:0>=1
1clock間隔
I_tx<i+5>
I_tx<i+4>
I_tx<i+3>
I_tx<i+2>
I_tx<i+1>
I_tx<i>
SPEED<14:0>=2
2clock間隔

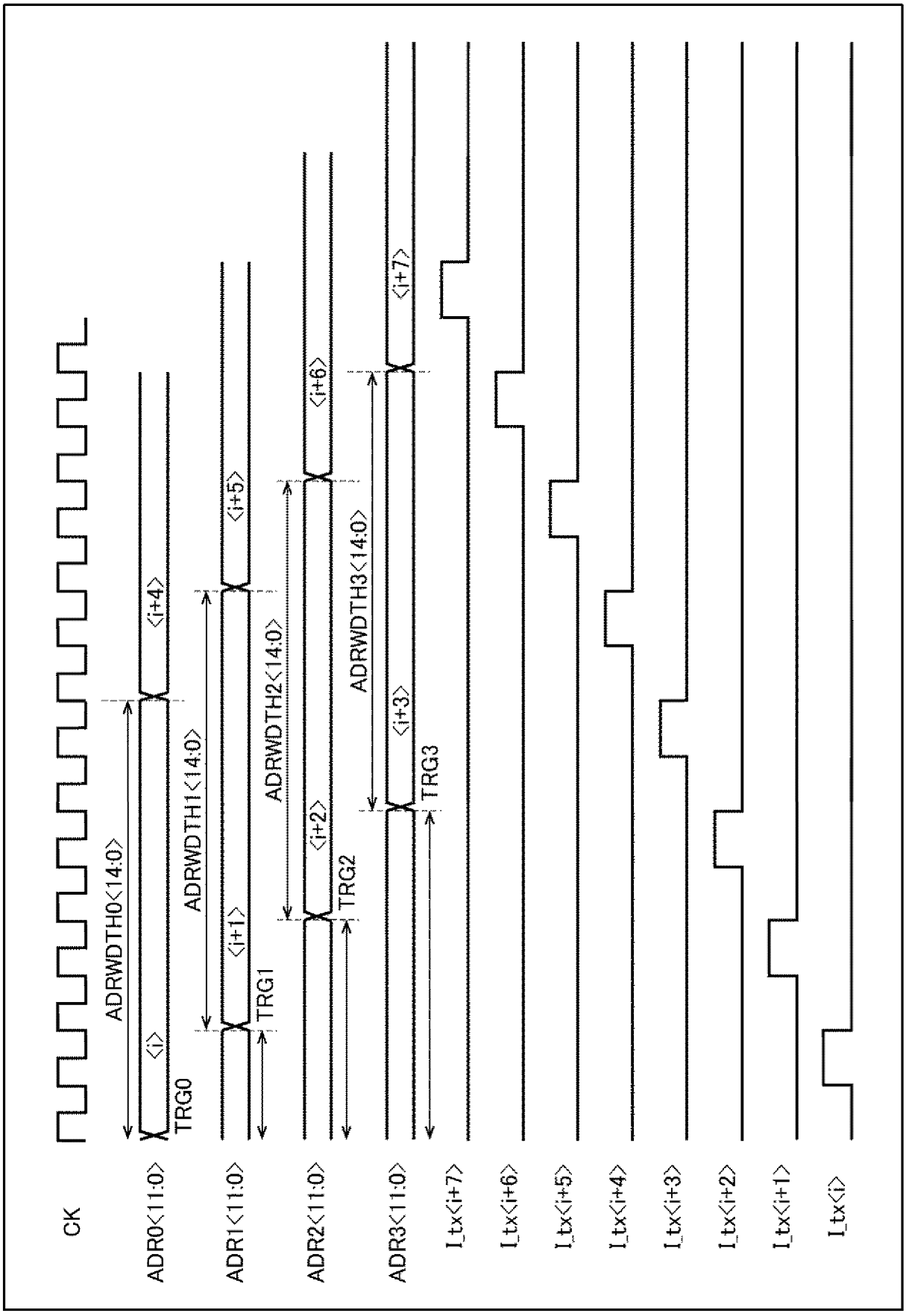
[図12]
FIG. 12


読み出し特性
後幕メカシャッタ特性
先幕電子シャッタ特性
時間 t
露光量
SPEED<14:0>=1
SPEED<14:0>=2
SPEED<14:0>=3
73
72
71

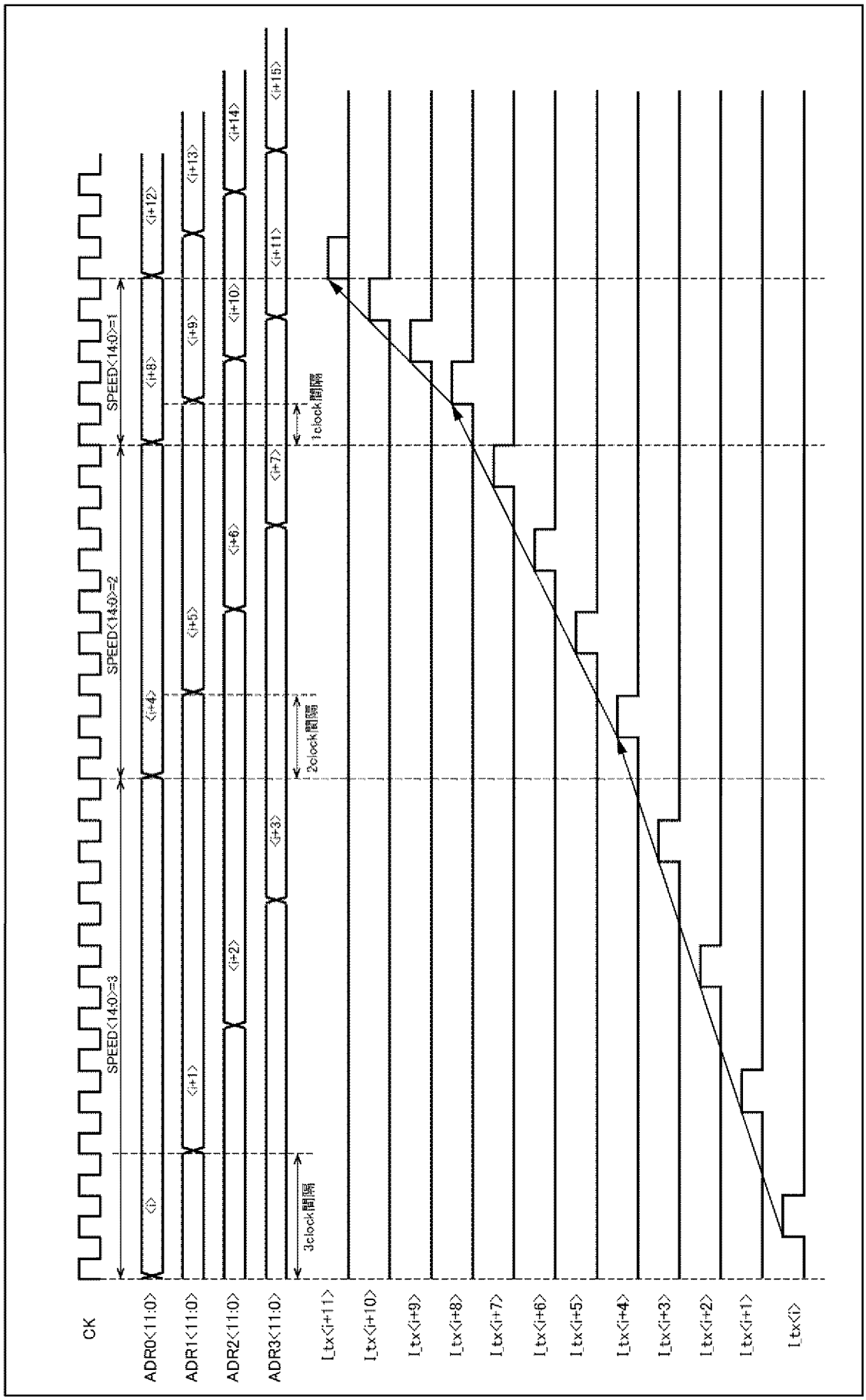
[図13]
FIG. 13


CK
ADRWDTH0<14:0>
ADR0<11:0>
<i>
<i+4>
TRG0
ADRWDTH1<14:0>
ADR1<11:0>
<i+1>
<i+5>
TRG1
ADRWDTH2<14:0>
ADR2<11:0>
<i+2>
<i+6>
TRG2
ADRWDTH3<14:0>
ADR3<11:0>
<i+3>
<i+7>
TRG3
I_tx<i+7>
I_tx<i+6>
I_tx<i+5>
I_tx<i+4>
I_tx<i+3>
I_tx<i+2>
I_tx<i+1>
I_tx<i>

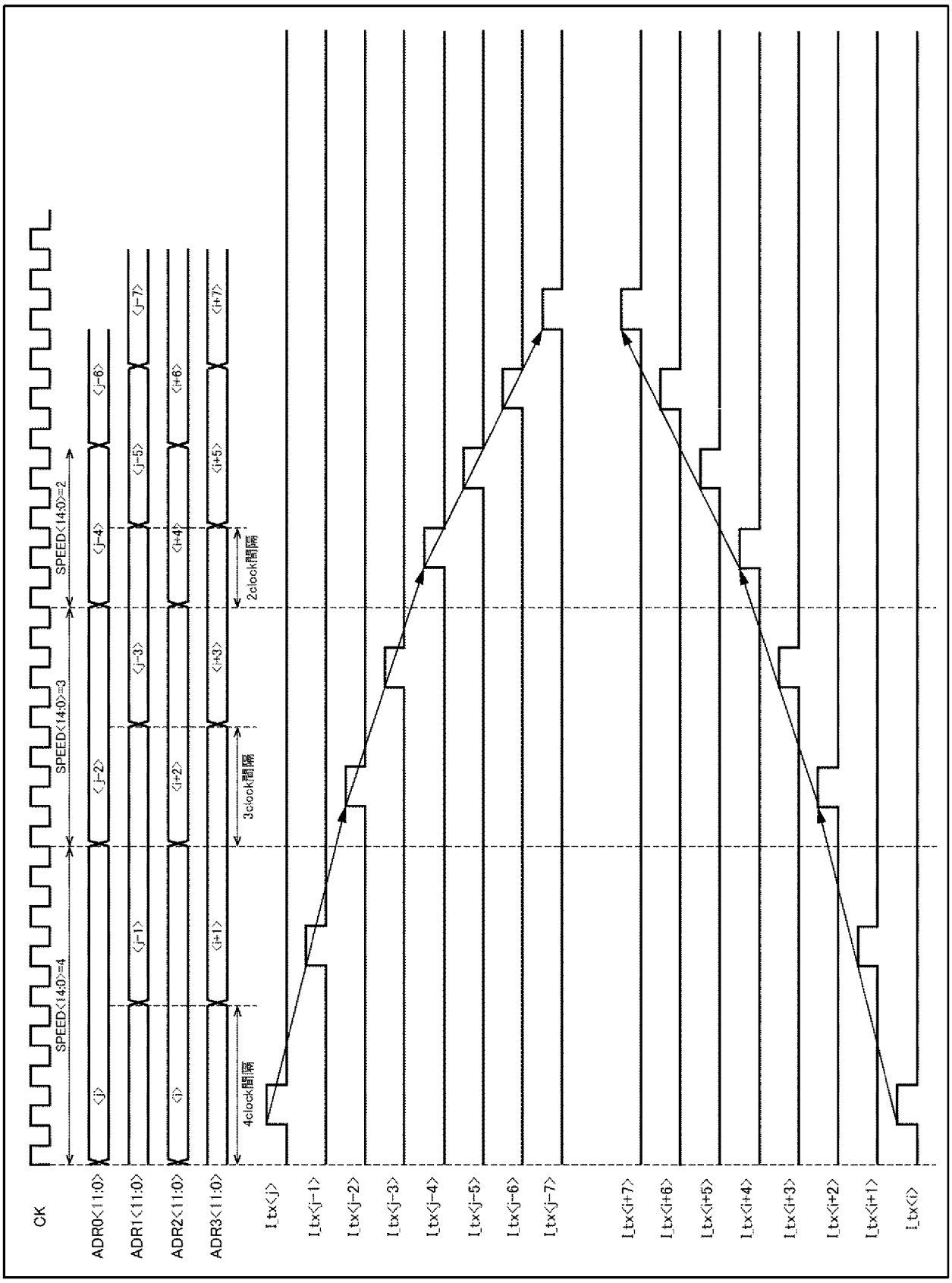
[図14]
FIG. 14


CK
ADR0<11:0>
ADR1<11:0>
ADR2<11:0>
ADR3<11:0>
I_tx<i+7>
I_tx<i+6>
I_tx<i+5>
I_tx<i+4>
I_tx<i+3>
I_tx<i+2>
I_tx<i+1>
I_tx<i>
ADRWDTH0<14:0>
ADRWDTH1<14:0>
ADRWDTH2<14:0>
ADRWDTH3<14:0>
<i>
<i+1>
<i+2>
<i+3>
<i+4>
<i+5>
<i+6>
<i+7>
TRG0
TRG1
TRG2
TRG3

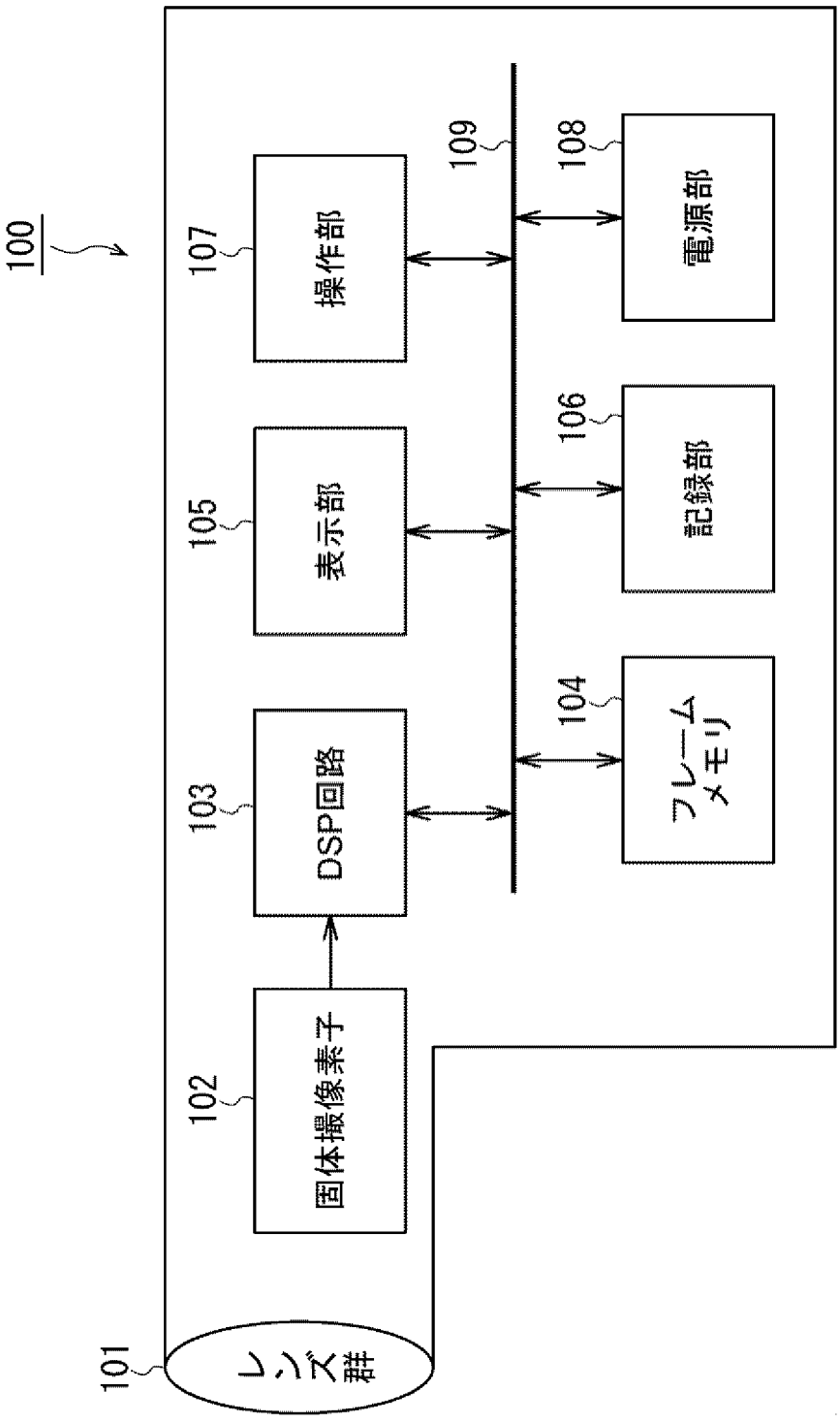
[図15]
FIG. 15


CK
ADR0<11:0>
ADR1<11:0>
ADR2<11:0>
ADR3<11:0>
I_tx<i+11>
I_tx<i+10>
I_tx<i+9>
I_tx<i+8>
I_tx<i+7>
I_tx<i+6>
I_tx<i+5>
I_tx<i+4>
I_tx<i+3>
I_tx<i+2>
I_tx<i+1>
I_tx<i>
SPEED<14:0>=3
SPEED<14:0>=2
SPEED<14:0>=1
3clock間隔
2clock間隔
1clock間隔
<i>
<i+1>
<i+2>
<i+3>
<i+4>
<i+5>
<i+6>
<i+7>
<i+8>
<i+9>
<i+10>
<i+11>
<i+12>
<i+13>
<i+14>
<i+15>

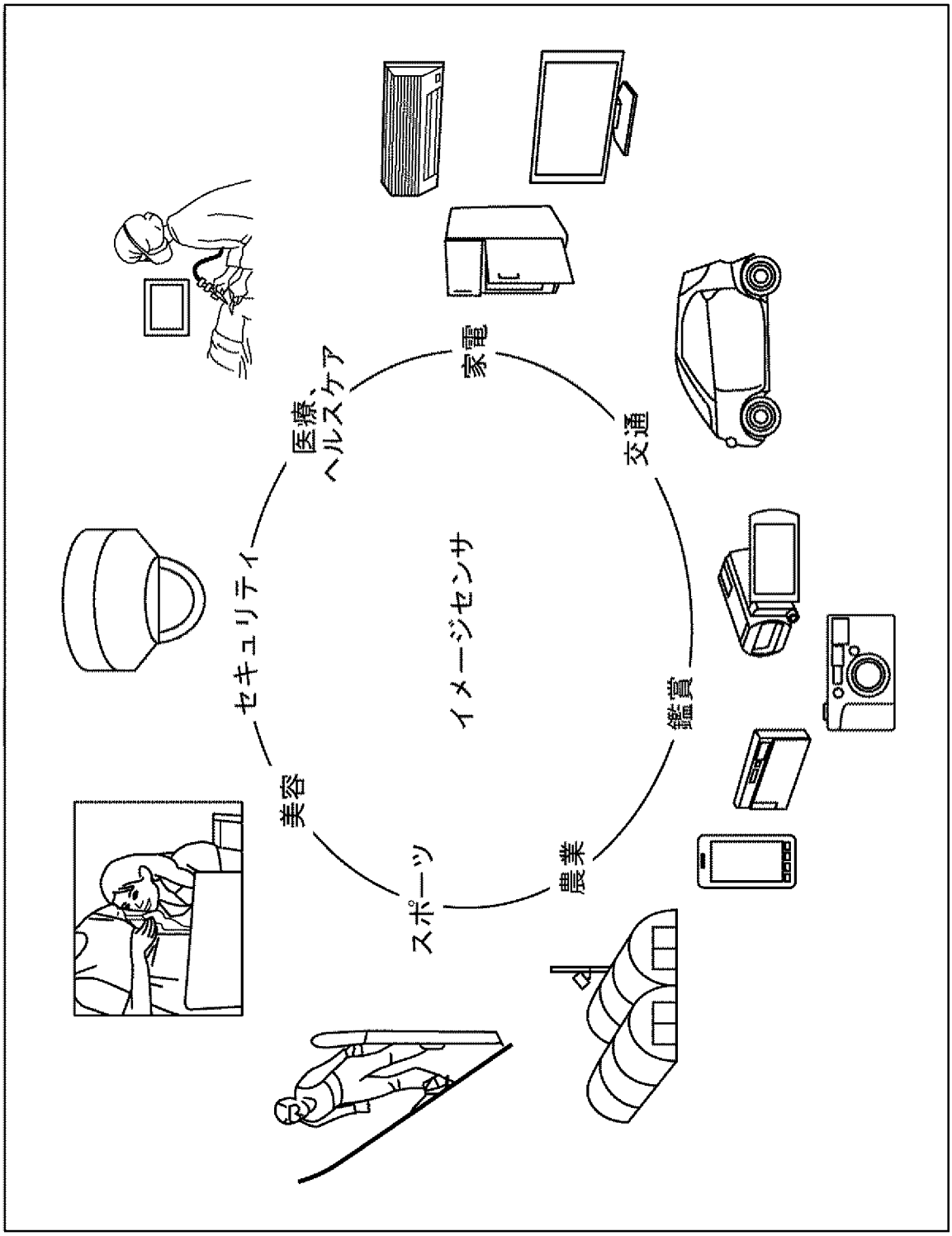
[図16]
FIG. 16


CK
ADR0<11:0>
ADR1<11:0>
ADR2<11:0>
ADR3<11:0>
SPEED<14:0>=4
SPEED<14:0>=3
SPEED<14:0>=2
4clock間隔
3clock間隔
2clock間隔
<j>
<j-1>
<j-2>
<j-3>
<j-4>
<j-5>
<j-6>
<j-7>
<i>
<i+1>
<i+2>
<i+3>
<i+4>
<i+5>
<i+6>
<i+7>
I_tx<j>
I_tx<j-1>
I_tx<j-2>
I_tx<j-3>
I_tx<j-4>
I_tx<j-5>
I_tx<j-6>
I_tx<j-7>
I_tx<i+7>
I_tx<i+6>
I_tx<i+5>
I_tx<i+4>
I_tx<i+3>
I_tx<i+2>
I_tx<i+1>
I_tx<i>

[図17]
FIG. 17


100
101
レンズ群
102
固体撮像素子
103
DSP回路
104
フレームメモリ
105
表示部
106
記録部
107
操作部
108
電源部
109

[図18]
FIG. 18



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/064085

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/376(2011.01)i, *H04N5/353*(2011.01)i, *H04N5/374*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/376, H04N5/353, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-101273 A (Sony Corp.), 19 May 2011 (19.05.2011), paragraph [0030]; fig. 5 (Family: none)	1-8
A	JP 2008-312170 A (Canon Inc.), 25 December 2008 (25.12.2008), entire text; all drawings & US 2008/0309806 A1 & EP 2007129 A2 & CN 101330566 A	1-8
A	JP 2012-29005 A (Panasonic Corp.), 09 February 2012 (09.02.2012), entire text; all drawings & US 2013/0100328 A1 & WO 2012/011277 A1	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 June 2016 (21.06.16)	05 July 2016 (05.07.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０６４０８５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/376(2011.01)i, H04N5/353(2011.01)i, H04N5/374(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/376, H04N5/353, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-101273 A (ソニー株式会社) 2011.05.19, 段落 [0030], 第５図 (ファミリーなし)	１－８
A	JP 2008-312170 A (キヤノン株式会社) 2008.12.25, 全文, 全図 & US 2008/0309806 A1 & EP 2007129 A2 & CN 101330566 A	１－８
A	JP 2012-29005 A (パナソニック株式会社) 2012.02.09, 全文, 全図 & US 2013/0100328 A1 & WO 2012/011277 A1	１－８

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２１．０６．２０１６	０５．０７．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｖ　９１８５
鈴木　明
電話番号　０３－３５８１－１１０１　内線　３５７１