



(12) 发明专利

(10) 授权公告号 CN 102057431 B

(45) 授权公告日 2013.09.18

(21) 申请号 200980122169.1

代理人 李玲

(22) 申请日 2009.06.05

(51) Int. Cl.

(30) 优先权数据

G11B 7/126(2012.01)

61/060,086 2008.06.09 US

61/097,511 2008.09.16 US

12/277,912 2008.11.25 US

(56) 对比文件

US 2007173960 A1, 2007.07.26,

US 2008008062 A1, 2008.01.10,

CN 1525459 A, 2004.09.01,

(85) PCT申请进入国家阶段日

2010.12.07

审查员 张俊伟

(86) PCT申请的申请数据

PCT/US2009/046381 2009.06.05

(87) PCT申请的公布数据

W02009/152047 EN 2009.12.17

(73) 专利权人 英特赛尔美国股份有限公司

地址 美国加利福尼亚州

(72) 发明人 T·D·里斯 浅田昭广

D·S·史密斯

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

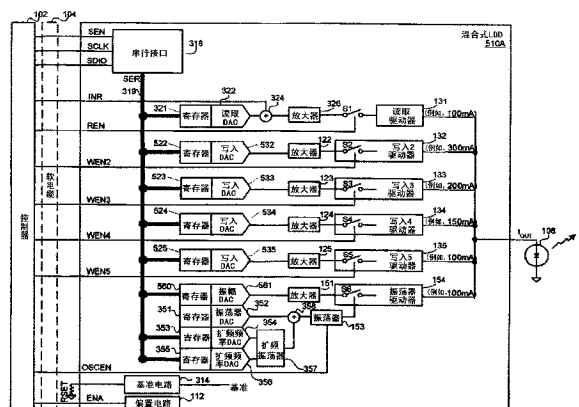
权利要求书6页 说明书22页 附图35页

(54) 发明名称

混合式激光二极管驱动器

(57) 摘要

一种混合式 LDD 包括读取通道,其选择性地输出读取电流;多个写入通道,各个写入通道选择性地输出不同的写入电流;以及振荡器通道,其选择性地输出振荡器电流。另外,该混合式 LDD 包括可编程 LDD 控制器,其从外部控制器接收多个启用信号,并且基于该启用信号来控制至少由该写入通道所输出的电流时序。该可编程 LDD 控制器亦可基于该启用信号来控制由该读取通道以及该振荡器通道所输出的电流时序。还提供了另外以及替代性的实施例。



CN 102057431 B

1. 一种用于响应于接收到来自外部控制器的多个启用信号来驱动激光二极管的混合式激光二极管驱动器 LDD, 所述混合式 LDD 包括:

读取通道, 其输出读取电流;

一个或多个写入通道, 所述一个或多个写入通道中的每一个写入通道选择性地输出不同的写入电流;

振荡器通道, 其选择性地输出振荡器电流;

可编程 LDD 控制器, 其从所述外部控制器接收所述多个启用信号, 并且基于所述启用信号来控制至少由所述一个或多个写入通道所输出的所述电流的时序;

其中所述可编程 LDD 控制器包括

解码器, 其接收所述多个启用信号, 并且响应于所述多个启用信号来激活多个解码器输出线路中的一个; 以及

多个输出控制器, 所述各个输出控制器可编程以响应于有效的所述多个解码器输出线路中的一个或多个来产生输出。

2. 如权利要求 1 所述的混合式 LDD, 其特征在于, 所述可编程 LDD 控制器还基于所述启用信号来控制由所述振荡器通道所输出的所述电流的时序。

3. 如权利要求 1 所述的混合式 LDD, 其特征在于, 所述多个输出控制器至少包括写入输出控制器以及振荡器控制器。

4. 如权利要求 1 所述的混合式 LDD, 其特征在于, 所述一个或多个写入通道中每一个写入通道从所述外部控制器接收写入电平信号, 所述写入电平信号用于控制由所述写入通道所产生的信号的振幅。

5. 如权利要求 1 所述的混合式 LDD, 其特征在于, 所述可编程 LDD 控制器包括用于各个写入通道的可编程寄存器, 其中用于各个写入通道的所述可编程寄存器指定一个或多个有效解码器输出线路中哪个将启用所述写入通道。

6. 如权利要求 5 所述的混合式 LDD, 其特征在于, 所述可编程 LDD 控制器包括用于所述振荡器通道的可编程寄存器, 其中用于所述振荡器通道的所述可编程寄存器指定一个或多个有效解码器输出线路中哪个将启用所述振荡器通道。

7. 如权利要求 5 所述的混合式 LDD, 其特征在于,

所述读取通道选择性地输出所述读取电流;

所述可编程 LDD 控制器包括用于所述读取通道的可编程寄存器; 并且

用于所述读取通道的所述可编程寄存器指定一个或多个有效解码器输出线路中哪个将启用所述读取通道。

8. 如权利要求 1 所述的混合式 LDD, 其特征在于, 一个或多个写入通道是多个写入通道, 其中所述多个写入通道中的每一个包括开关, 所述开关由所述可编程 LDD 控制器的解码器控制, 并且其中基于所述启用信号, 所述写入通道的时序通过控制开关而受到控制。

9. 如权利要求 1 所述的混合式 LDD, 其特征在于, 由所述 LDD 控制器从所述外部控制器接收的所述启用信号包括多个写启用信号, 所述多个写启用信号经过格雷编码, 使得一次仅改变所述写启用信号中的一个。

10. 如权利要求 9 所述的混合式 LDD, 其特征在于, 所述写启用信号中没有信号改变其状态两次, 且所述写启用信号中的另一个不在此两次改变之间改变其状态。

11. 如权利要求 9 所述的混合式 LDD, 其特征在于, 所述 LDD 控制器基于所述启用信号来控制由所述写入通道、以及所述振荡器通道所输出的所述电流的时序。

12. 如权利要求 1 所述的混合式 LDD, 其特征在于, 所述混合式 LDD 被配置成与所述激光二极管位于同一光学拾取单元 OPU 上, 并且其中所述 OPU 通过软电缆连接至所述外部控制器, 其中所述外部控制器在主板上。

13. 如权利要求 1 所述的混合式 LDD, 其特征在于, 所述读取通道选择性地输出所述读取电流; 以及所述可编程 LDD 控制器还基于所述启用信号控制所述读取通道所输出的电流的时序。

14. 如权利要求 13 所述的混合式 LDD, 其特征在于, 从所述外部控制器接收的所述启用信号还至少包括读启用信号和读 / 写模式信号之一, 它 / 它们被所述可编程 LDD 控制器用于控制所述读取通道所输出的电流的时序。

15. 一种用于驱动激光二极管的方法, 用于与激光二极管驱动器 LDD 一起使用, 其中所述 LDD 包括

读取通道, 其输出读取电流,  
一个或多个写入通道, 所述各个写入通道选择性地输出不同的写入电流, 以及  
振荡器通道, 其选择性地输出振荡器电流,  
所述方法包括:

从外部控制器接收多个启用信号, 其中所述启用信号包括三个或四个写启用信号, 所述三个或四个写启用信号经过格雷编码, 使得一次仅改变所述写启用信号中的一个; 以及

对所述多个启用信号进行解码, 并且响应于所述解码来控制至少由所述写入通道所输出的电流的时序。

16. 如权利要求 15 所述的方法, 其特征在于, 所述解码和控制步骤进一步包括控制由所述振荡器通道所输出的所述电流的时序。

17. 如权利要求 15 所述的方法, 其特征在于, 一个或多个通道是多个写入通道, 其中所述多个写入通道中的每一个包括对应的开关, 并且其中控制所述写入通道的时序包括基于对所述启用信号进行解码的结果来控制开关。

18. 如权利要求 15 所述的方法, 其特征在于, 所述写启用信号中没有信号改变其状态两次, 且所述写启用信号中的另一个不在此两次改变之间改变其状态。

19. 如权利要求 15 所述的方法, 其特征在于, 所述解码和控制步骤包括:

基于所述启用信号来控制由所述写入通道、以及所述振荡器通道所输出的电流的时序。

20. 如权利要求 15 所述的方法, 其特征在于, 所述 LDD 被配置成与激光二极管位于同一光学拾取单元 OPU 上, 并且其中所述接收步骤包括:

经由软电缆从所述外部控制器接收所述多个启用信号, 所述软电缆将所述 OPU 连接至所述外部控制器, 其中所述外部控制器在主板上。

21. 如权利要求 15 所述的方法, 其特征在于,

所述 LDD 的所述读取通道选择性地输出所述读取电流, 并且其中所述解码和控制步骤包括控制所述读取通道所输出的电流的时序。

22. 如权利要求 21 所述的方法, 其特征在于,

从所述外部控制器接收的所述启用信号还至少包括读启用信号和读 / 写模式信号之一, 它 / 它们被用于控制所述读取通道所输出的电流的时序。

23. 一种用于驱动激光二极管的方法, 用于与激光二极管驱动器 LDD 一起使用, 其中所述 LDD 包括

读取通道, 其输出读取电流,

一个或多个写入通道, 所述各个写入通道选择性地输出不同的写入电流, 以及

振荡器通道, 其选择性地输出振荡器电流,

所述方法包括:

从控制器接收多个启用信号, 所述多个启用信号包括三个或四个经过格雷编码的写启用信号, 其中所述三个或四个写启用信号中没有信号改变其状态两次, 且所述三个或四个写启用信号中的另一个不在此两次改变之间改变其状态; 以及

对所述多个启用信号进行解码, 并且响应所述解码来控制至少由所述一个或多个写入通道所输出的电流的时序。

24. 如权利要求 23 所述的方法, 其特征在于, 所述解码和控制步骤进一步包括控制由所述振荡器通道所输出的电流的时序。

25. 如权利要求 23 所述的方法, 其特征在于,

所述 LDD 的所述读取通道选择性地输出所述读取电流, 并且其中所述解码和控制步骤包括控制所述读取通道所输出的电流的时序。

26. 如权利要求 25 所述的方法, 其特征在于,

从所述控制器接收的所述启用信号还至少包括读启用信号和读 / 写模式信号之一, 它 / 它们被用于控制所述读取通道所输出的电流的时序。

27. 一种用于响应于从外部控制器所接收的多个启用信号驱动激光二极管的混合式激光二极管驱动器 LDD, 所述混合式 LDD 包括:

读取通道, 其选择性地输出读取电流;

写入通道, 其选择性地输出写入电流;

可编程 LDD 控制器, 其从所述外部控制器接收多个启用信号, 并且基于所述启用信号来控制由所述读取通道以及所述写入通道所输出的所述电流的时序;

其中所述可编程 LDD 控制器包括:

解码器, 其接收所述多个启用信号, 并且响应于所接收的所述多个启用信号来激活多个解码器输出线路中的一个; 以及

多个输出控制器, 所述多个输出控制器中的每一个可编程以响应于有效的所述多个解码器输出线路的一个或多个而产生输出。

28. 一种驱动激光二极管的方法, 用于与包括一个或多个写入通道的激光二极管驱动器 LDD 一起使用, 所述方法包括:

(a) 接收多个启用信号,

(a. 1) 其中所述启用信号包括三个或四个写启用信号, 所述三个或四个写启用信号经过格雷编码, 使得一次仅改变所述写启用信号中的一个的状态, 以及

(a. 2) 其中所述三个或四个写启用信号中没有信号改变其状态两次, 且所述三个或四个写启用信号中的另一个不在此两次改变之间改变其状态;

(b) 基于所述写启用信号来控制所述 LDD 的所述一个或多个写入通道所输出的电流的时序；

(c) 基于所述 LDD 的所述一个或多个写入通道所输出的电流，产生用于驱动所述激光二极管的驱动信号。

29. 如权利要求 28 所述的方法，其特征在于，所述 LDD 还包括读取通道和振荡器通道，并且其中步骤(c)包括将所述 LDD 的一个或多个写入通道所输出的电流与所述 LDD 的所述读取通道和振荡器通道所输出的电流相加，以产生用于驱动所述激光二极管的驱动信号。

30. 如权利要求 28 所述的方法，其特征在于，

在任意给定时间，每个所述启用信号是 1 或 0；并且

每个所述启用信号能够从 1 变化到 0，以及从 0 到 1。

31. 如权利要求 28 所述的方法，其特征在于，所述步骤(b)包括解码所述写启用信号，并且响应所述解码来控制所述 LDD 的一个或多个写入通道所输出的电流的时序。

32. 如权利要求 28 所述的方法，其特征在于，所述步骤(b)包括使用状态机基于当前状态和所接收的启用信号，从所述当前状态转变到下一状态，以及基于所述状态机的输出控制所述 LDD 的所述一个或多个写入通道所输出的电流的时序。

33. 一种激光二极管驱动器 LDD，包括：

读取通道，其输出读取电流；

一个或多个写入通道，所述一个或多个写入通道中的每一个写入通道选择性地输出不同的写入电流；

振荡器通道，其选择性地输出振荡器电流，其中从所述读取、所述一个或多个写入通道以及所述振荡器通道输出的电流相加以提供用于驱动激光二极管的驱动电流；以及

解码器和状态机之一，所述解码器和状态机之一被配置

接收多个启用信号，所述多个启用信号包括三个或四个写启用信号；以及

基于所述三个或四个写启用信号控制至少由所述一个或多个写入通道所输出的电流的时序，

其中所述写启用信号经过格雷编码，使得一次仅改变所述写启用信号中的一个的状态，以及

其中所述写启用信号中没有信号改变其状态两次，且所述三个或四个写启用信号中的另一个不在此两次改变之间改变其状态。

34. 如权利要求 33 所述的 LDD，其特征在于，所述解码器和状态机之一是解码器。

35. 如权利要求 34 所述的 LDD，其特征在于，所述解码器被配置解码所述写启用信号，并且响应于所述解码控制所述 LDD 的所述一个或多个写入通道所输出的电流的时序。

36. 如权利要求 33 所述的 LDD，其特征在于，所述解码器和状态机之一是状态机。

37. 如权利要求 36 所述的 LDD，其特征在于，所述状态机被配置：

基于当前状态和所接收的启用信号，从所述当前状态转变到下一状态；以及

基于所述状态机的输出控制所述 LDD 的所述一个或多个写入通道所输出的电流的时序。

38. 一种控制激光二极管驱动器 LDD 的方法，所述激光二极管驱动器包括一个或多个写入通道，所述方法包括：

向所述 LDD 发送多个启用信号,所述多个启用信号包括三个或四个写启用信号,其中所述写启用信号被所述 LDD 用于控制所述 LDD 的一个或多个写入通道所输出的电流的时序;

其中所述写启用信号经过格雷编码,使得一次仅改变所述写启用信号中的一个的状态,以及

其中所述写启用信号中没有信号改变其状态两次,且所述三个或四个写启用信号中的另一个不在此两次改变之间改变其状态。

39. 如权利要求 38 所述的方法,还包括:

基于所述写启用信号控制所述 LDD 的所述一个或多个写入通道所输出的电流的时序;  
基于所述 LDD 的所述驱动电流,产生用于驱动所述激光二极管的驱动信号。

40. 如权利要求 39 所述的方法,其特征在于,所述 LDD 还包括读取通道和振荡器通道,并且其中所述产生步骤包括将所述 LDD 的一个或多个写入通道所输出的电流与所述 LDD 的所述读取通道和振荡器通道所输出的电流相加,以产生用于驱动所述激光二极管的驱动信号。

41. 如权利要求 40 所述的方法,其特征在于,还包括用所述驱动电流来驱动所述激光二极管。

42. 一种用于在驱动激光二极管时使用的系统,包括:

控制器,其被配置产生多个启用信号,其中所述多个启用信号包括三个或四个写启用信号;

激光二极管驱动器 LDD,其被配置从所述控制器接收多个启用信号;

其中所述 LDD 包括多个通道,所述多个通道被配置输出相加的电流以提供用于驱动激光二极管的驱动电流,其中所述多个通道包括一个或多个写入通道;

其中所述 LDD 被配置基于所述三个或四个写启用信号控制所述一个或多个写入通道所输出的电流的时序;

其中所述三个或四个写启用信号经过格雷编码,使得一次仅改变所述写启用信号中的一个的状态,以及

其中所述写启用信号中没有信号改变其状态两次,且所述三个或四个写启用信号中的另一个不在此两次改变之间改变其状态。

43. 如权利要求 42 所述的系统,其特征在于,所述 LDD 包括解码器和状态机之一,所述解码器和状态机之一被配置:

接收所述多个启用信号;以及

基于所述三个或四个写启用信号控制至少由所述一个或多个写入通道所输出的电流的时序。

44. 如权利要求 43 所述的系统,其特征在于,所述解码器和状态机之一是解码器,所述解码器被配置解码所述写启用信号,并且响应于所述解码控制所述 LDD 的所述一个或多个写入通道所输出的电流的时序。

45. 如权利要求 43 所述的系统,其特征在于,所述解码器和状态机之一是状态机,所述状态机被配置:

基于当前状态和所接收的启用信号,从当前状态转变到下一状态,

产生多个不同的输出,所述多个不同的输出对应于所述状态机的多个不同的状态;以及

基于所述状态机的输出控制所述 LDD 的所述一个或多个写入通道所输出的电流的时序。

46. 一种驱动激光二极管的方法,用于与包括一个或多个写入通道的激光二极管驱动器 LDD 一起使用,所述方法包括:

(a) 接收多个启用信号,所述多个启用信号包括三个或四个写启用信号,其中所述写启用信号没有经过格雷编码;

(b) 将所述写启用信号转换成经格雷编码的写启用信号,使得一次仅改变所述经格雷编码的写启用信号中的一个的状态,

(c) 基于所述经格雷编码的写启用信号控制所述 LDD 的所述一个或多个写入通道所输出的电流的时序;以及

(d) 基于所述 LDD 的所述写入通道所输出的电流,产生用于驱动所述激光二极管的驱动信号。

47. 如权利要求 46 所述的方法,其特征在于,所述步骤(b)处的转换包括确保所述经格雷编码的写启用信号中没有信号改变其状态两次,且所述经格雷编码的写启用信号中的另一个不在此两次改变之间改变其状态。

## 混合式激光二极管驱动器

[0001] 优先权声明

[0002] 本申请主张 2008 年 11 月 25 日所提交的美国非临时专利申请 No. 12/277,912 的优先权（律师档案 No. ELAN-01168US2 号）。本申请案亦主张 2008 年 9 月 16 日所提交的美国临时专利申请 No. 61/097,511 号的优先权（律师档案 No. ELAN-01168US1）。本申请案亦主张 2008 年 6 月 9 日所提交的美国临时专利申请 No. 61/060,086 号的优先权（律师档案 No. ELAN-01168US0）。上述各个申请通过引用纳入本文中。

[0003] 本申请与 2007 年 5 月 16 日所提交的名称为“包括解码器的混合式激光二极管驱动器 (HYBRID LASER DIODE DRIVERS THAT INCLUDE A DECODER)”的美国专利申请 No. 11/749,636（律师档案 No. ELAN-01144US1 号）相关。本申请案还与在 2007 年 5 月 16 日所提交的名称为“包括状态机的混合式激光二极管驱动器 (HYBRID LASER DIODE DRIVERS THAT INCLUDE A STATE MACHINE)”的美国专利申请案 No. 11/749,703 号（律师档案 No. ELAN-01144US2 号）相关。上述各个申请通过引用纳入本文中。

### 背景技术

[0004] 在关于诸如 CD、DVD 等的光盘技术的产品领域中，存在增加存储容量与数据转移速度的趋势。另外，诸如介质类型、写入速度、盘片格式、以及驱动光学件的因素使特定的写入策略成为必要。为了具有竞争性并且夺取市场占有率，存在增加由单个激光二极管驱动器 (LDD) 所支持的特征（例如，格式）的数目趋势，由此使单个 LDD 能够支持 CD 与 DVD 两种技术、也支持诸如蓝光光盘 (BD) 的新颖技术，但不限于这些。

[0005] 随着 LDD 所支持的特征数目增加，常规 LDD 遭受更多引脚需求。举例而言，常规 LDD 对每个所支持的输出电流电平要求一个模拟线路和 / 或一个数字线路（或一对），其随着增加所支持的输出电流电平，造成高引脚计数。此外，各个线路受到噪声拾起或时序不准确，而导致不良的波形保真。另外，由于对写入电流以及振荡器时序两者的输出驱动的远程控制，所以常规 LDD 还遭受时序误差。

[0006] 为了解决常规激光驱动器这些问题，制造者开始将写入策略生成器 (WSG) 纳入 LDD 内。然而，尽管策略生成器型激光二极管 (WSG LDD) 解决上述所提及的常规激光驱动器的这些问题，该 WSG LDD 包括大量复杂的数字电路。这些数字电路的成本昂贵。另外，这种数字电路增加 LDD 的功耗以及热输出。此外，许多客户不愿将复杂的控制器芯片从常规型改变至 WSG 型。如果客户愿意作出前述改变，这些客户难以学习使用以及支持在 WSG LDD 内的写入策略生成器。

### 发明内容

[0007] 本发明的诸实施例涉及混合式激光二极管激光器 (LDD)，其响应于接收来自外部控制器的启用信号而驱动激光二极管。在特定实施例中，混合式 LDD 配置成与激光二极管位于同一个光学拾取单元 (OPU) 上，其中该光学拾取单元通过软电缆连接至控制器，并且其中该控制器在主板上。

[0008] 根据一个实施例,混合式 LDD 包括读取通道,其选择性地输出读取电流;多个写入通道,多个写入通道的每一个选择性地输出不同的写入电流;以及振荡器通道,其选择性地输出振荡器电流。另外,该混合式 LDD 包括可编程 LDD 控制器,其从外部控制器接收多个启用信号,并且基于该多个启用信号来控制至少由该写入通道所输出的电流时序。该可编程 LDD 控制器亦可基于该启用信号来控制由该读取通道以及该振荡器通道所输出的电流时序。

[0009] 根据一个实施例,该可编程 LDD 控制器包括解码器,其接收多个启用信号,并且响应于该多个启用信号而激活多个解码器输出线路中的一个。另外,该可编程 LDD 可包括多个输出控制器,多个输出控制器的每一个是可编程的,从而响应于该解码器输出线路的一个或多个变为有效而产生输出。该多个输出控制器可至少包括写入输出控制器以及振荡器控制器。

[0010] 根据一个实施例,由 LDD 控制器从该外部控制器所接收的启用信号经过格雷编码(Gray coded),使得每次仅改变这些启用信号中的一个。另外,根据一个实施例,该启用信号中的没有信号改变其状态两次,且启用信号中的另一个不在此两次改变之间改变其状态。该 LDD 控制器基于启用信号来控制由读取通道、写入通道、以及振荡器通道所输出的电流时序。

[0011] 本发明内容不旨在成为本发明诸实施例的完整描述。更多以及替代性实施例,本发明的特征、方面、以及优势将从下文所提及的详细描述、附图、以及权利要求而变地更为显而易见。

[0012] 附图简述

[0013] 图 1 是说明示例性的常规激光二极管驱动器(LDD)的高级框图。

[0014] 图 2 是图 1 的常规 LDD 的示例性时序图。

[0015] 图 3 是说明示例性的写入策略生成器(WSG)型 LDD 的高级框图。

[0016] 图 4 是图 3 的 WSG LDD 的示例性时序图。

[0017] 图 5A 是示例性混合式 LDD 的高级框图。

[0018] 图 5B 是根据本发明的另一实施例的混合式 LDD 的高级框图。

[0019] 图 5C 是根据本发明的又另一实施例的混合式 LDD 的高级框图。

[0020] 图 5D 根据本发明的实施例示出图 5C 的 LDD 控制器中的一些附加细节。

[0021] 图 5E 根据本发明的一个实施例说明串行控制寄存器可如何与译码信号互动来进行器件活动的可编程选择。

[0022] 图 6A 是根据本发明的一个实施例的另一种混合式 LDD(称作 WSG 混合式 LDD)的高级框图。

[0023] 图 6B 是根据本发明的一个实施例的替代性的 WSG 混合式 LDD 的高级框图。

[0024] 图 7 是根据本发明的另一实施例的另外一种混合式 LDD(称作开关栅型混合式 LDD)的高级框图。

[0025] 图 8 说明各种示例性  $I_{OUT}$  信号,其可针对用于向 R 型介质写入的任意标记间隔信号生成。

[0026] 图 9 说明各种示例性  $I_{OUT}$  信号,其可针对用于向 RW 型介质写入的任意标记间隔信号生成。

- [0027] 图 10A 说明示例性 2 位格雷码转换图。
- [0028] 图 10B 说明示例性 3 位格雷码转换图。
- [0029] 图 10C 说明示例性 4 位格雷码转换图。
- [0030] 图 11A 说明包括 4 种不同状态的示例性  $I_{OUT}$  信号。
- [0031] 图 11B 是格雷码转换图,其示出可如何一次改变一个位以从图 11A 所示的  $I_{OUT}$  电平中的任一个转换至下一个电平。
- [0032] 图 12A 说明包括 7 种不同状态的示例性  $I_{OUT}$  信号。
- [0033] 图 12B 是格雷码转换图,其示出可如何一次改变一个位以从图 12A 所示的  $I_{OUT}$  电平中的任一个转换至下一个电平。
- [0034] 图 13A 说明包括 9 种不同状态的示例性  $I_{OUT}$  信号。
- [0035] 图 13B 是格雷码转换图,其示出假设除了芯片启用 (ENA) 线路以外还使用 4 个启用线路时,可如何一次改变一个位以从图 13A 所示的  $I_{OUT}$  电平中的任一个转换至下一个电平。
- [0036] 图 13C 是格雷码转换图,以用于描述除了该芯片启用 (ENA) 线路以及附加的写入启用线路之外,可如何仅使用 3 个启用线路而完成图 13A 的  $I_{OUT}$  信号的转换。
- [0037] 图 14A 说明包括 10 种不同状态的示例性  $I_{OUT}$  信号。
- [0038] 图 14B 是格雷码转换图,其示出可如何改变一个位以从图 14A 所示的  $I_{OUT}$  电平中的任一个转换至下一个电平。
- [0039] 图 15A 是示出包括称作 U 型翻转 (U-turns) 的示例性格雷编码写入启用 (WEN) 信号的时序图。
- [0040] 图 15B 是示出根据本发明特定实施例的避免 U 型翻转的示例性格雷编码写入启用 (WEN) 信号的时序图。
- [0041] 图 15C 是图 15A 中所示的标记 5T 以及 7T 的格雷码转换图,其说明发生 U 型翻转。
- [0042] 图 15D 是图 15B 中所示的标记 5T 以及 7T 的格雷码转换图,其说明避免 U 型翻转。
- [0043] 图 16A 是根据本发明的一个实施例的解码器的串行可配置读取启用逻辑的示意图。
- [0044] 图 16B 是根据本发明的一个实施例的解码器的串行可配置写入电平启用逻辑的示意图。
- [0045] 图 17 是根据本发明的一个实施例的解码器的串行可配置振荡器电平启用逻辑的示意图。
- [0046] 图 18A 说明典型状态机的示例性示意图。
- [0047] 图 18B 说明任意状态机的示例性状态图。
- [0048] 图 19A 说明包括 10 种不同状态的示例性  $I_{OUT}$  信号。
- [0049] 图 19B 是产生图 19A 的  $I_{OUT}$  信号的写入策略的对应状态图。
- [0050] 图 19C 说明状态机,其中输出线路还用作图 19A 的写入策略的状态线路。
- [0051] 图 20 说明用于实现图 19A 的写入策略的图 19C 的状态机的示例性状态图。
- [0052] 图 21 是有益于描述图 20 中该状态图如何作用的示例性格雷码转换图。
- [0053] 图 22 说明根据本发明一个实施例的示例性状态图,其用来说明如何使用两个位以在示意图的状态中进行转换。

[0054] 图 23 说明根据本发明一个实施例的示例性状态图,其用来说明如何使用三个启用线路以在示意图的状态中进行转换。

[0055] 图 24 说明根据本发明的一个实施例的在其输出端处附加解码器的标准状态机的示例性细节。

[0056] 图 25 说明根据本发明的一个实施例的具有嵌入式解码器的状态机。

[0057] 图 26 说明根据本发明的一个实施例的具有嵌入式解码器以及状态存储器的状态机。

## 具体实施方式

[0058] 在附图中,类似的附图标记或字符在整篇文章中指示相同或类似的组件。然而,这不意味着在不同附图中编号相同的组件必须是相同的。此外,附图标记的最左边数字指示第一次讨论该组件于其中的附图。

[0059] 图 1 是示出数据存储装置的示例性常规激光二极管驱动器 (LDD) 110 的高级框图,其中 LDD 经软电缆 104 与驱动控制器 102(例如:主机)通信。该数据存储装置例如可以是光学存储装置,其包括可存储用户数据于其上的光盘介质。该 LDD 110 驱动激光二极管 108,从而从该光盘介质读取数据以及将数据写入该光盘介质。该 LDD 110 位于光学拾取单元 (OPU) 上,并且该控制器 102 位于主板上,用软电缆 104 来允许两者之间的通信。

[0060] 在所示例性实施例中,LDD 110 被示成包括一个读取通道、四个写入通道、以及一个振荡器通道。LDD 110 被示成还包括偏置电路 112,其接收来自该控制器 102 的芯片启用 (ENA) 信号。当经由该 ENA 来启用该 LDD 110 时,该偏置电路生成用于偏置该 LDD 110 的模拟电路(例如,放大器、驱动器等)的偏置电压以及偏置电流。当经由该 ENA 无法启用该 LDD 110 时,该 LDD 将不驱动该激光二极管 108。另外,该 ENA 可直接在逻辑上禁用输出。

[0061] 该读取通道包括放大器 121、电子开关 S1、以及读取驱动器 131。该读取通道接收来自该控制器 102 的电平输入 (INR、亦称作 IN1) 信号以及读取启用 (REN) 信号。INR 信号为由该控制器 102 所生成的模拟电流或电压信号,其用于描述启用该读取通道时由该读取通道所输出的信号的振幅。该 REN 信号指定何时启用该读取通道,并且因而可被称作时序或启用信号。该放大器 121 对该 IN1 信号执行预放大。当启用该读取通道时,该读取驱动器 131 对该放大器 121 所输出的信号执行进一步放大。由该 REN 信号所控制的开关 S1 用于启用或禁用该读取通道。开关 S1 被示成位于该读取驱动器 131 外部,但是可位于该读取驱动器 131 内部。

[0062] 尽管可存在或多或少的写入通道,示出了四个写入通道。所示的每个写入通道包括放大器、电子开关、以及写入驱动器。举例而言,所示的接收 IN2 信号以及写入启用 (WEN2) 信号的写入通道中的一个包括放大器 122、电子开关 S2、以及写入驱动器 132。为启用快速切换,该开关 S2 优选为位于该写入驱动器 132 内。IN2 信号为由控制器 102 所生成的模拟电流或电压信号,其用于指定当启用该写入通道时的由该写入通道所输出的信号的振幅。该 WEN2 信号是指定何时启用该写入通道的时序信号。该放大器 122 对该 IN2 信号执行预放大。当启用该写入通道时,该写入驱动器 132 对该放大器 122 所输出的信号执行进一步放大。由该 WEN2 信号所控制的开关 S2 用于启用或禁用该写入通道。其余的写入通

道也类似,且因而不需进一步详细描述。因为这些写入启用信号用于控制时序,所以这些信号亦可被称作时序或启用信号。

[0063] 所示的振荡器通道包括放大器 151、放大器 152、振荡器 153、开关 S6、以及振荡器驱动器 154。通过使用电阻器 RAMP(在该 LDD 110 外部但是在 OPU 上),该放大器 151 向该振荡器驱动器 154 提供信号,该信号用于指定由该振荡器驱动器 154 所输出的信号的振幅。通过使用电阻器 RFREQ(在该 LDD 110 外部但是在 OPU 上),该放大器 152 向该振荡器 153 提供信号,该信号用于指定由该振荡器 153 所输出的信号的频率。该振荡器 153 的振荡输出控制该振荡器驱动器 154 的开关 S6,由此输出使用这些电阻器 RAMP 以及 RFREQ 指定振幅与频率的振荡信号。该振荡器 153 由该控制器 102 经由振荡器启用 (OSCEN) 信号而控制,该 OSCEN 信号通过该软电缆 104 而提供。因此,该振荡器通道仅在启用该振荡器 153 时提供振荡输出。

[0064] 图 1 中仅示出一个激光二极管(即,108)。可加入一个或多个另外的激光二极管,使得该常规 LDD 支持多重(例如,CD、DVD、BD)格式。在此情形下,将存在选择网络以用于指定所要驱动的激光二极管。该控制器 102 将经由通过该软电缆 104 的附加连接来控制该选择网络。

[0065] 所有 ENA、INR-IN5、REN、WEN2-WEN5、以及 OSCEN 是从该控制器 102 通过该软电缆 104 而向该 LDD 110 提供的。当一次启用的通道超过一个时,多重通道的输出被相加在一起以产生驱动该激光二极管 108 输出电流  $I_{OUT}$  驱动信号。亦可一次启用单个通道。图 2 中所示的示例性时序图说明可如何相加或单独使用这些驱动器的各种输出以生成驱动该激光二极管 108 的  $I_{OUT}$  信号。乍看之下可存在 REN、OSCEN、以及 WEN2-WEN5 信号的每个组合的可用输出电流  $I_{OUT}$  似乎是可能的。但情况并非如此。写入策略需要非常精确的振幅以及时间来适当地标记该介质。由于如此,所以通常输出电流的可用组合是非常少的。当向该介质写入时,读取电流一直导通,从而导致该读取电流被相加到(一个或多个)所选择的写入通道的电流,由此生成  $I_{OUT}$ 。当从该介质读取时,该振荡器一直导通,从而导致该振荡器通道的输出被相加到该读取通道的输出,由此生成  $I_{OUT}$ 。在写入期间,该振荡器取决于驱动设计者的决定而可能导通或不导通。

[0066] 使用写入启用的一个可行方式是具有当启用一个并且仅启用一个 WEN 时所确定的不同输出电流。此方法所连带的问题是所有输出驱动器的总尺寸过高,从而造成成本过高以及反应迟缓。实际上各种输出电平是通过仅以一些特定组合(与使用所有可能组合相反)将各种写入电流加在一起而取得的。由于写入过程的精确电流需求,所以通常对每个控制引脚造成一个输出电平。因为写入电流必须被总计在一起,所以电流在低值到高值之间切换时存在的最为严重的是时序毛刺问题。这种问题发生在开始以及结束该标记的最为关键时刻。

[0067] 现在参考图 3,所示的示例性写入策略生成器 (WSG) 型 LDD 310 包括偏置电路 112、基准电路 314、写入策略生成器 (WSG) 316、串行接口 318、以及各种寄存器、数-模转换器 (DAC)、振荡器、放大器、以及驱动器,将在下文中对前述组件进行讨论。控制器 102 通过软电缆 104 与该 LDD 310 进行通信。

[0068] 该偏置电路 112 当接收来自该控制器 102 的芯片启用 (ENA) 信号时生成用于对该 LDD 310 的模拟电路进行偏置的偏置电压以及电流。该 ENA 也直接地启用输出。接收来自

该控制器 112 的 ISLOPE 信号并且连接至该 OPU 上的 RSET 电阻器的基准电路 314 生成向 LDD 310 的各种数模转换器 (DAC) 提供的各种基准电压以及电流。

[0069] 该串行接口 318 接收来自该控制器 102 的串行启用 (SEN) 信号以及串行时钟 (SCLK) 信号。另外,双向串行数据输入/输出 (SDIO) 线路允许该控制器 102 经由 SER 总线 319 而将数据写入和/或读取自该 LDD 310 内的寄存器。举例而言,可使用 SDIO、串行接口、以及该串行 (SER) 总线 319 提供写入策略更新。该 SER 总线 319 包括数据总线部分 (例如 8 位宽) 以及地址总线部分 (例如 7 位宽)。

[0070] 包括数字电路的写入策略生成器 (WSG) 316 向 WSG 总线 317 提供数字信号 (例如,各种时序信号的集合),这些数字信号用于可取决于例如介质,CD、DVD 或 BD 标准,和/或所支持速度来实现适当的写入策略。该 WSG 316 接收来自该控制器 102 的数据时钟 (CLK) 信号以及读写模式 (RWB) 信号。举例而言,低 RWB 信号可指示写 (WRITE),且高 RWB 信号可指示读 (READ),反之亦然。该 WSG 316 亦接收标示为 NRZ (不归零) 的数据线路,其用于指定何时要将标记写入盘片上。所示的 WSG 316 亦接收使用于 DVD RAM 型介质的岸/沟条 (land/groove bar) (LGB) 信号。在这种介质中,这些标记被制作在该介质的岸部分以及沟部分两者中。写入电流的需求在写入岸或沟时是不同的。

[0071] 所示的该 LDD 310 的读取通道包括读取 DAC 322、放大器 326、以及读取驱动器 328。该读取 DAC 322 输出具有由在读取寄存器 321 中所指定的数字数据电平所指定的电平的模拟信号,其可由该控制器 102 经该串行接口 318 以及该 SER 总线 319 进行更新。该控制器 102 亦可提供模拟 INR 信号,其由加法器 324 被相加到该读取 DAC 的输出。该读取 DAC 322 的输出 (具有或不具所相加的 INR) 被提供至放大器 326,并且该放大器 326 的输出被提供至该读取驱动器 328。该 WSG 316 通过经由该 WSG 总线 317 的一个或多个线路来控制该开关 S1,从而可控制该读取通道何时产生输出。举例而言,串行读取启用信号可引起该 WSG 316 打开或闭合开关 S1。

[0072] 所示的该 LDD 310 的写入通道包括写入 DAC 332,以接收来自写入寄存器 338 的数字输入。该 WSG 316 经由该 WSG 总线 317 来选择这些写入寄存器 338 中的哪个寄存器将向该写入 DAC 332 提供该数字输入,由此控制由该写入通道所输出的信号的振幅。PMA 数模转换器 (PMA DAC) 336 将从 PMA 寄存器所接收的数字输入转换成模拟输出 (简称为 PMA),其施加于该写入 DAC 332 的基准输入。该写入 DAC 332 可以是乘法器型 DAC,并且 PMA 指定乘法因子。更具体地,该写入 DAC 332 的输出可与乘上基准输入 (即,PMA) 的多位数字写入值 (由写入寄存器 338 之一所施加) 成比例。举例而言,该写入 DAC 332 的输出可等于该多位数字写入值 (来自写入寄存器 338 之一) 乘上该 PMA,再乘上由 RSET 与 ISLOPE 所设定的基准的产物。写入寄存器 338 以及该 PMA 寄存器 334 的内容可由该控制器 102 经由该串行接口 318 以及该 SER 总线 319 进行更新。在某些实施例中,该 DAC 332 提供足够的电流以驱动该激光二极管 108。在其它实施例中,驱动器可被加在该 DAC 332 的输出之处。

[0073] 所示的振荡器通道 (亦称作高频调制 (HFM) 通道) 包括振荡 (OSC) 器 DAC 372,其可按照振荡方式输出各种电平。在所示实施例中,对该振荡器 DAC 372 的输入是多个平行与 (AND) 门 365 的输出。每个与门 365 接收振荡器 359 的输出以及振荡器振幅选择电路 360 的输出。振荡器频率 DAC 352、扩频 (SS) 频率 DAC 354、以及扩频振幅 DAC 356 全部分

别接收来自寄存器 351、353、以及 355 的数字输入。该控制器 102 可经由该串行接口 318 以及 SER 总线 319 来更新这些寄存器 351、353、以及 355 的内容。该寄存器 351 以及该振荡器频率 DAC 352 用于指定该振荡器 359 的频率。该寄存器 353 以及该扩频频率 DAC 354 用于指定扩频振荡器 357 的频率,并且该寄存器 355 以及该扩频振幅 DAC 356 用于指定该扩频振荡器 357 的振幅。该扩频振荡器 357 的扩频输出经由加法器 358 而被加到该振荡器频率 DAC 352 的输出,由此扩展由该振荡器通道所生成的谐波。该振荡器振幅电路 360 由两个寄存器 361、362、以及选择器 363 所组成。该 WSG 总线 317 包括一个或两个时序线路,其用于根据写入策略编程经由该选择器 363 而选择这两个寄存器 361、362 之一。该 WSG 总线 317 亦具有一些时序线路以控制该振荡器 359 的模式。振荡器根据来自该 WSG 总线 317 的控制可能为低、高、或进行振荡。因此,当受到该 WSG 316 的指示时,该振荡器 359 可制成输出零、将振荡器 -LO (OSC-LO) 362 的值作为直流分量输出、或将振荡器 -HI (OSC-HI) 361 的值作为直流分量或振荡分量输出。在某些实施例中,该 DAC 372 提供足够的电流以驱动该激光二极管 108。在其它实施例中,驱动器可被加在该 DAC 372 的输出之处。

[0074] 控制寄存器 340 的内容亦可由该控制器 102 经由该串行接口 318 以及该 SER 总线 319 进行更新。例如,控制寄存器 340 可含有用于启用读取通道、写入通道、以及振荡器通道的位。控制寄存器 340 亦可含有用于从若干  $I_{OUT}$  引脚中选择哪一个有效的控制位。控制寄存器 340 亦可具有用于锁相环 (PLL) 的独立的启用位。控制寄存器 340 亦可具有用于各种功能的各种模式位。

[0075] 图 4 中所示的示例性时序图说明可使用该 WSG LDD 310 来如何生成对于  $I_{OUT}$  的各种输出电平。可从图 4 中理解,该 WSG LDD 310 具有将许多数字值中的一个发送至该写入 DAC 332 的输入的能力。尽管选择写入寄存器 338 的控制线路可能有时序误差,然而时序误差因为将整个时序问题局限在一片硅上而被最小化。与之相反,在常规 LDD 110 中,时序涉及控制器 102、软电缆 104、以及该常规 LDD 110,由此增加通道之间的延迟变化。并且,该 WSG LDD 310 对每个所支持的输出电流电平不要求附加的模拟线路和 / 或数字线路 (或一对)。因此,当所支持的输出电流电平的数目增加时,该 WSG LDD 310 的引脚计数可保持相同。此外,因为大部分从该控制器 102 发送至该 WSG LDD 310 的信号为数字信号,所以这些信号较少受噪声影响,从而导致较高的波形保真。此外,因为对控制信号的该软电缆的滤波效应不会直接限制时序保真,所以该 WSG LDD 310 可更容易支持例如 16 倍速 DVD 的高速度。然而,尽管该 WSG LDD 310 解决该常规 LDD 110 的许多问题,该 WSG LDD 310 包括大量复杂的数字电路,其可对产品生产加入成本以及测试时间。另外,这些电路使该 WSG LDD 310 的功耗以及热输出比常规 LDD 110 高。此外,许多 OPU 用户 / 客户不愿对其常规控制器以及 LDD 解决方案作出极大的改变。基于上述理由,在本文中提出混合型 LDD。

[0076] 在图 5A 中示出示例型的混合式 LDD 510A。该混合式 LDD 510A 接受来自该控制器 102 的常规读取输入、写入输入、以及振荡器输入 (INR、REN、WEN2-WEN5、与 OSCEN),并且包括常规的读取驱动器 131、常规写入驱动器 132-135、以及常规的振荡器驱动器 154。然而,该混合式 LDD510A 与该常规 LDD 110 的不同,因为混合式 LDD 510A 对于读取通道包括串行接口 318、SER 总线 319、基准电路 314、寄存器 321、以及读取 DAC322;而对于该振荡器通道还包括寄存器 (351、353、355)、DAC (352、354、356)、以及扩频振荡器 357,这些典型地包括在 WSG LDD 中 (例如,参见图 3)。另外,该混合式 LDD 510A 对于各个写入通道包括寄存器

(522、523、524、与 525)、以及写入 DAC(532、533、534、与 535),其中没有一个组件是设置在该常规 LDD 110 中的。并且,该混合式 LDD510A 包括振幅寄存器 560 以及振幅 DAC 561,以用于控制该该振荡器通道所产生的信号的振幅。

[0077] 在图 5A 的实施例中,为了控制由该读取通道以及多个写入通道所产生的输出的振幅,该控制器 102 可通过经由 SDIO 线路向串行接口 318 发送这种更新而对各种振幅寄存器(例如,321、522 至 525、以及 560)进行更新,其中串行接口 318 经由 SER 总线 319 与各种寄存器通信。相应地,该控制器 102 不再需要通过该软电缆 104 来发送容易受到噪声影响的模拟输入线路(例如,INR-IN5)。相似地,为了控制由该振荡器通道所产生的信号的振幅与频率,该控制器 102 可经由 SDIO 线路发送这种更新而对各种振幅与频率寄存器(例如,351-355、以及 560)进行更新。因此,为了调整该振荡器通道的振幅与频率,不需要在 OPU 上放置/调整该 RAMP 电阻器以及该 RFREQ 电阻器。该混合式 LDD 510A 亦包括该 LDD 内的扩频性能。常规 LDD 可具有这些扩频性能是可行的。然而在该常规 LDD 中,将用电阻器替代 DAC 来调整扩频频率以及振幅。将读取与写入寄存器及 DAC 移除并且用常规 LDD 的 IN 线路来取代也是可行的,且使得串行接口仅用于控制振荡器也是可行的。

[0078] 该混合式 LDD 510A 与 WSG LDD 310(参见图 3)的不同之处在于,该控制器 102 仍然使用时序启用线路(例如,REN、WEN2-WEN5、以及 OSCEN)来控制读取通道、写入通道、以及振荡器通道的时序。换言之,如同其用于控制该常规 LDD 110 的  $I_{OUT}$  信号的时序,该控制器 102 可使用类似时序以控制该混合式 LDD 510A 的  $I_{OUT}$  信号的时序。该混合式 LDD510A 以及该常规 LDD 110 之间的比较亦揭示混合式 LDD 以类似方式使用启用线路,即用于控制与各种读取以及写入驱动器 131-135 相关连的开关。此外,在该混合式 LDD 510A 中未实现 WSG。与 WSG LDD 310 比较,这可减少该混合式 LDD 510A 的成本、测试、热输出、以及复杂性。针对上述理由,如果 OPU 用户/客户不愿对其常规 LDD 解决方案作出极大的改变、又想要降低引脚计数和/或在软电缆 104 上所发送的模拟线路数目,该 OPU 用户/客户将发现该混合式 LDD 510A 合乎期望。

[0079] 在图 5B 中示出根据本发明一实施例的混合式 LDD 510B。如同混合式 LDD 510A 的情形,该混合式 LDD 510B 接受来自该控制器 102 的常规读取、写入、以及振荡器输入(INR、REN、WEN2-WEN5、与 OSCEN),并且包括常规读取驱动器 131、常规写入驱动器 132-135、以及常规振荡器驱动器 154。然而,不同于使用启用线路来直接控制读取通道、写入通道、以及振荡器通道内的开关,向解码器 570 提供读取启用(REN)线路、写入启用(WEN2-WEN5)线路、以及该振荡器启用(OSCEN)线路。该解码器 570 在解码器总线 572 上输出各种时序信号,由此控制读取通道、写入通道、以及振荡器通道的各种开关。举例而言,该解码器 570 可基于 REN 线路或串行信号、或基于接收自控制器 102 的 WEN 信号的译码来控制该开关 S1。类似地,该解码器 570 可基于 WEN2-WEN5 线路而以不同于常规 LDD 的方式对写入通道的开关 S2 至 S5 进行控制。此外,该解码器 570 基于该 OSCEN 线路或该 REN 及 WEN 线路来控制该振荡器通道的开关 S6。根据在下文中所解释的附加细节,替代性实施例中可使用状态机取代该解码器。

[0080] 该混合式 LDD 510A 的时序图基本上与图 2 中描述的该常规 LDD 110 的时序图相同。这是因为对该混合式 LDD 510A 使用与该常规 LDD 110 中所使用的相同的时序信号,其中各个写入启用信号基本上控制单独的写入通道的时序。因此,尽管该混合式 LDD 510A 的

某些优势胜过该常规 LDD110,然而该混合式 LDD 510A 可能遭受与一些来自该常规 LDD 110 的相同的问题。举例而言,对于该混合式 LDD 510A,其时序控制与该常规 LDD 110 的相同,并因此将具有与该常规 LDD 110 相同的时序误差。然而,对于该混合式 LDD 510B,WEN 线路如何控制输出的定义可被改变,并由此对该常规 LDD 110 的时序进行修改以及进行潜在的改进。混合式 LDD 510A 以及 510B 胜过该常规 LDD 110 的优势在于从控制器 102 通过该软电缆 104 向混合式 LDD 发送的模拟信号较少。更具体地,混合式 LDD 510A 以及 510B 不依靠来自控制器 102 的模拟写入电平(即,振幅控制)信号 IN2-IN5,也不需要诸多的引脚以及电阻器来控制该振荡器的频率与振幅。更确切地,使用寄存器控制各种通道的振幅电平,这些寄存器由控制器 102 使用 SDIO 线路、串行接口 318、以及 SER 总线 319 而进行填充与更新。在软电缆 104 上所发送的模拟信号的减少将改善信号保真,并且减少引脚计数。

[0081] 该混合式 LDD 510B 具有许多胜过该混合式 LDD 510A 的优势。举例而言,用混合式 LDD 510B 的情况下,可使用与混合式 LDD 510A 相比更少的软电缆 104 的导线以及迹线以接受相同数量的 WEN 信号。举例而言,为了接受 8 个 WEN 信号,该混合式 LDD 510B 可能仅需要软线(flex)的三个 WEN 线路,而其中该混合式 LDD 510A 将需要 8 个。另外,用混合式 LDD 510B 的情况下,可向软线加入另外的写入功率电平而不加入另外的 WEN 信号线路,而这种情况不适用于该混合式 LDD 510A。并且,正如上文所解释,虽然混合式 LDD 510A 可能产生与该常规 LDD 110 相同的时序误差,但是用混合式 LDD 510B 的情况下,可修改 WEN 线路如何控制输出的定义以避免这种时序误差。

[0082] 在图 5C 中示出根据本发明另一实施例的混合式 LDD 510C。如同图 1 的常规 LDD 110,该混合式 LDD 510C 接收写入电平输入信号 IN2、IN3、与 IN4(与可选 IN5),且亦可接收读取电平输入信号 INR。然而,该混合式 LDD 510C 与该常规 LDD 110 之间的不同之处在于,在混合式 LDD 510C 中由外部的控制器 102 所生成的写入启用信号 WEN2-WEN4(以及可选的读取启用信号 REN、与可选的振荡器启用信号 OSCEN)是由内部的 LDD 控制器 580 所接收而非由写入通道(以及可能为读取通道与振荡器通道)的驱动器(例如,132-134)所接收。相应地,混合式 LDD 510C 可被称作常规混合式 LDD 510C,因为其接受常规的电平输入信号(亦称作振幅输入)以及常规的启用输入信号(亦称作时序输入)外,还通过内部 LDD 控制器 580 的使用而允许更多灵活性,其将从下文的讨论中得以理解。

[0083] 图 1 的常规 LDD 110 基本上被限制成配合使用求和编码(sum encoding),其中之一示例已参考图 2 的时序图作出描述。与之相反,本发明实施例的常规混合式 LDD 510C 可接受来自外部控制器 102 的格雷码(Gray code),由此允许更多的写入电平选择。如下文中的详细解释,这种格雷码可用于避免时序毛刺问题,其发生在如果超过一个的启用时序输入要同时改变状态的时候。此外,下文中参考图 15A-15D 所描述的某些减少数据率的格雷码可被该常规混合式 LDD 510C 所接受。另外,因为其包括该 LDD 控制器 580,所以该常规混合式 LDD 510C 通过 RWB 信号以及 WEN 信号的使用(例如,其译码)可控制并且修改 LDD 的附加特征,这些在该常规 LDD 110 是不可行的。取决于实现方式,在图 5C 以及 5D 中,只要 WEN 信号、写入启用条(WEB)信号、或 RWB 信号可用于启用写入模式,该 WEN 信号或该 WEB 信号可用于取代该 RWB 信号。

[0084] 如同图 1 的情况,该 INR 信号是由外部控制器 102 所生成的模拟电流或电压信号,其用于当启用该读取通道时指定该读取通道所输出的信号的振幅。IN2-IN4(以及可选

IN5) 信号是由外部控制器 102 所生成的模拟电流或电压信号,其用于当启用写入通道时指定各种写入通道所输出的信号的振幅。如同参考图 2 所作的描述,图 1 的常规 LDD 110 通过将各种写入通道一起求和来生成其各种写入电平以及时序,其可被称作求和编码。与之相反,在图 5C 中的常规混合式 LDD 510C 的 LDD 控制器 580 对接收自外部控制器 102 的启用信号进行译码,并且基于译码结果与可编程寄存器的内容来控制要启用哪些写入通道、以及是否启用该读取通道和 / 或振荡器通道亦为一选项。在替代性实施例中,该读取通道的开关 S1 由寄存器的内容控制。换言之,该读取通道可由该 LDD 控制器 580 的输出、或由寄存器的内容所启用。

[0085] 图 5C 中该常规混合式 LDD 510C 以及图 1 中该常规 LDD 110 之间的另一不同之处在于,该常规混合式 LDD 510C 包括串行接口 318。该串行接口 318 接收来自外部控制器 102 的串行启用 (SEN) 信号、串行时钟 (SCLK) 信号、以及双向串行数据输入 / 输出 (SDIO) 线路。该 SDIO 线路允许外部控制器 102 经由该串行 (SER) 总线 319 将数据写入和 / 或读取自该常规混合式 LDD 510C 内的寄存器。举例而言,在该 LDD 控制器 580 内或外部的控制寄存器可使用该 SDIO、该串行接口 318、以及串行总线 319 来进行写入及读取。该串行总线 319 包括数据总线部分 (例如,8 或 9 位宽) 以及地址总线部分 (例如,7 位宽)。控制寄存器 340 可用于控制哪些启用线路 (接收自外部控制器 102) 的组合将导致一个或更多写入通道要被启用、哪些启用线路组合将导致读取驱动器要被启用、哪些启用线路组合将导致振荡器驱动器要被启用等。尽管如图 5C 中所示控制寄存器 340 与该 LDD 控制器 580 分离,然而控制寄存器 340 位于该 LDD 控制器 580 内亦落入本发明范围内。此外,要注意到将控制器 102 连接至串行接口 318 的三个线路总线 (包括 SEN、SCLK、以及 SDIO) 可被例如两个线路总线 (诸如 I2C 总线) 的另一总线、或者甚至是被一个线路总线所取代,但不限于此。

[0086] 在图 1 的常规 LDD 110 中,当通过由外部控制器 102 所生成的振荡器启用 (OSCEN) 线路来启用该振荡器 153 时,振荡器通道仅提供振荡输出。与之相反,在该常规混合式 LDD 510C 中,OSCEN 信号可被直接提供至该 LDD 控制器 580。替代地,该 OSCEN 信号的使用可被完全地排除,且该常规混合式 LDD 510C 中的振荡器通道可由写入启用 RWB 以及 WEN 线路控制。可从下文对图 5D 的讨论,更了解该 OSCEN 线路的排除。

[0087] 图 5D 提供图 5C 中所引入的 LDD 控制器 580 的一些附加细节。本文中所示的 LDD 控制器 580 仅接收 RWB、WEN2、WEN3、以及 WEN4 线路。然而,如果使用一个或更多另外的线路 (例如, WEN5、REN、和 / 或 OSCEN),可被该 LDD 控制器 580 所接收。参考图 5D,该 LDD 控制器 580 包括解码器 581、控制总线 582、读取及写入输出控制器 583、振荡器输出控制器 584、光学电流至电压取样控制器 585、以及激光电压取样控制器 586。该读取及写入输出控制器 583 可被分成两个控制器,或其中的读取通道可由寄存器控制。在图 5D 中,该 RWB 信号是读 / 写启用信号 (亦称作读 / 写条),其启用写入模式或读取模式。尽管并未在图 5A-5C 中示出,该 RWB 信号亦可用于那些实施例中。如上所述,取决于实施方式,只要 WEN 信号、WEB 信号、或 RWB 信号可用于启用写入模式,则该写入启用 (WEN) 信号或该写入启用条 (WEB) 信号可用于取代该 RWB 信号。

[0088] 所示的解码器 581 具有 9 个标示为无 (NONE)、000、001、...、111 的输出,但是可具有或多或少的输出。在下列表 1 中示出该解码器 581 的示例性真值表,但不旨在限定。

[0089]

RWB (或 WEN、 或 WEB)	WEN4	WEN3	WEN2	有效 输出	闭合图 5C 中的 (多个) 开关
0	X	X	X	NONE	S1、S6
1	0	0	0	000	S4
1	0	0	1	001	S3
1	0	1	0	010	S2
1	0	1	1	011	S3、S4
1	1	0	0	100	S2、S4
1	1	0	1	101	S2、S3、S3
1	1	1	0	110	S2、S3
1	1	1	1	111	S1、S2、S3、S4

[0090] 表 1

[0091] 在一实施例中,如从表 1 中所能理解,一次该解码器 581 的仅一个输出有效。该输出和取样控制器 583、584、585、586 等等的各种输出基于该解码器 581 的输出被启用或被禁用。举例而言,如果该解码器 581 的输出 NONE 有效,则图 5C 中所示的开关 S1、S6 可闭合,且该 LDD 510C 将进入读取模式。又举例而言,如果该解码器 581 的输出 000 有效,则图 5C 中所示的开关 S4 可闭合,其引起 LDD 510C 用第一写入电流电平来驱动该激光二极管 108。该解码器 581 的有效输出 000 亦可例如引起该光学电流至电压取样控制器 585 输出取样信号和 / 或引起该激光电压取样控制器 586 输出取样信号。换言之,该解码器 581 的特定有效输出可用于激活一个或多个控制器 583、584、585、586 的一个或多个另外的输出。又举例而言,如果该解码器 581 的输出 110 有效,则其可能造成图 5C 中所示的开关 S2、S3 闭合,其引起 LDD 510C 用电流电平(通过将写入驱动器 132 以及 133 所产生的电流相加所产生)来驱动该激光二极管 108。

[0092] 部份振荡器控制器 584 的示例性细节在图 5E 中示出。更一般地,图 5E 说明串行控制寄存器 593 可如何与译码信号(例如,由该解码器 581 所输出)互动以进行器件活动的可编程选择。参考图 5E,与或(AND-OR)逻辑(包括多个与门 596 与一个或门 597)、寄存器 593、地址解码器 591、另外的与门 592 与 594、以及选择性启用的缓冲器 595 可用于有选择地激活该振荡器控制器 584 的输出。可向振荡器控制器 584 的各个输出提供类似电路。此外,可向各个控制器 583、584、585、586 的各个输出提供类似电路。可使用替代电路而仍落入本发明的范围内。

[0093] 现在将以一些附加细节描述图 5E 的示例性电路。图 5E 中所示各种地址线路是串行总线 319 的一部份,例如,其中向地址解码器 591 提供串行地址部分(例如,7 位宽)以及向寄存器 593 提供(或从寄存器 593 读取)串行数据部分(例如,9 位宽)。另外,向与门 592 提供串行写入选通(WS)信号,并且向与门 594 提供串行读取选通(RS)信号。该串行

WS 信号以及该串行 RS 信号可由例如 RWB 信号控制。如果串行地址与该地址解码器 591 中所存储的地址相同,则该地址解码器的输出变高,将该输出提供至两个与门 592 和 594。取决于该 WS 信号或该 RS 信号是否为高,该寄存器 593(例如,9 位寄存器)进行写入或读取。该寄存器 593 的输出被连接至总线 598(例如,9 位总线),使得寄存器 593 的各个位提供至与门 596 的一个输入。依此方式,该寄存器 593 的内容定义该解码器 581 中的哪个输出将导致与门 596 的输出变高,且从而引起或门 597 的输出变高。换言之,图 5E 的电路提供完整可编程控制块。

[0094] 图 6A 说明根据本发明另一实施例的一种混合式 LDD 610。如同混合式 LDD 510B,该混合式 LDD 610 包括解码器 570,其接收来自该控制器 102 的各种读取启用线路、写入启用线路、以及振荡器启用线路(REN、WEN1-WEN5、与 OSCEN)。另外,该混合式 LDD 610 包括串行接口 318,其使控制器能够通过在该 SDIO 线路上发送串行数据来对该混合式 LDD610 内的寄存器进行更新。然而,该混合式 LDD 610 以及该混合式 LDD 510B 之间的不同之处在于,该混合式 LDD 610 的其余组件更类似于该写入策略生成器(WSG)型 LDD 310 而非常规 LDD 110。相应地,该混合式 LDD 610 可称作 WSG 混合式 LDD 610,因为其接受常规启用输入(亦称作时序输入),且内部作用又类似于该 WSG LDD 310。该 WSG 混合式 LDD 610 以及该 WSG LDD 310(参考图 3 所描述)之间的显著相似性在于,两者皆仅具有一个写入通道(具有一个写入 DAC 336),而不是每个写入通道需要一个写入 DAC(例如,如图 5A 与 5B)。优选地,该 WSG 混合式 LDD 610 的解码器 570 对各种 WEN 信号进行转换,使得一次仅启用一个写入 DAC 寄存器 338。然而,如果译码仅仿真常规 LDD,则混合式 LDD 将遭受与该常规 LDD 相同类型的时序毛刺问题。然而,依这种方式对 WEN 线路进行译码使时序误差减少甚至移除是可行的。

[0095] 该 WSG 混合式 LDD 610 的时序图将类似于上文针对该 WSG LDD 310 所描述的图 4 的时序图。参考图 6A,该 WSG 混合式 LDD 610 的解码器 570 接收来自控制器 102 的各种启用时序信号 REN、WEN2-WEN5、以及 OSCEN。如果该解码器仿真常规 LDD,则该解码器 570 基于该读取启用(REN)信号使用译码总线 572 控制该读取通道的开关 S1。如果该解码器仿真常规 LDD,则该解码器 570 基于写入启用(WEN2-WEN5)信号通过使用译码总线 572 有选择地向写入 DAC 332 提供来自写入寄存器 338 的数字值来控制写入通道的输出的时序和振幅。如果该解码器仿真常规 LDD,则该解码器 570 基于该振荡器启用(OSCEN)信号使用该译码总线 572 来控制该振荡器通道的该振荡器 359 以及选择器 363。然而,该解码器不需仿真常规 LDD。举例而言,该解码器 570 可变更为仅接受 ENA 线路以及若干 WEN 线路,而移除 REN 线路与 OSCEN 线路及可能的一个或多个 WEN 线路。并且,将如下文所描述,该解码器 570 可被配置成将格雷编码的输入转换为用于控制各种输出通道的输出。如果将格雷码使用在 WEN 线路上,则该控制器 102 可能需要被修改以匹配在解码器 570 中所完成的译码。

[0096] 该 WSG 混合式 LDD 610 将允许该 WSG LDD 310 的许多好处,又将允许用户/客户持续使用常规的时序信号。另外,该 WSG 混合式 LDD 610 使用户/客户能够保留控制器 102 内的大部分写入策略控制。通过提供柔性解码器(即,可经由 SER 总线 319 进行修改的解码器),当用户不同地对该控制器 102 进行编程时、或修改该控制器 102 的硬件以有利地使用改善的解码器性能时,该写入策略生成器型的混合式可提出迁移路径。

[0097] 图 6B 是根据本发明一实施例的替代性的 WSG 混合式 LDD 610B 的高级框图。该

WSG 混合式 LDD 610B 类似于该 WSG 混合式 LDD 610A,但除了 LDD 控制器 580(如上文参考图 5C-5E 所描述)用于取代该解码器/状态机 570。如上文所提及,取决于实现方式,只要 WEN 信号、WEB 信号、或 RWB 信号能用于启用写入模式,则该写入启用(WEN)信号或该写入启用条(WEB)信号可用于取代该 RWB 信号。

[0098] 图 7 中所示另一混合式 LDD 710 包括选择开关 702,其将 DAC 322、532、533、534、以及 535 之一的输出连接到晶体管 Q1 的控制终端(即,栅极或基极)。流过该晶体管 Q1 的电流路径(即,源极-漏极路径或发射极-集电极路径)的电流由向晶体管 Q1 的控制终端(即,栅极或基极)所提供的电压来控制。由解码器 570 使用解码器总线 572 控制开关 702。尽管并未示出细节,DAC(322 和 532-535)以及放大器(121 至 125)的电路可被配置成使得向晶体管 Q1 的栅极供应的控制电压使晶体管 Q1 中产生与寄存器值(321 以及 522-525)成比例的漏极电流。在此实施例中,不同振幅寄存器 321 以及 522-525 中所存储的不同数字值用于向晶体管 Q1 的栅极(或基极)提供所需电压电平,由此产生  $I_{OUT}$  的合乎要求不同电平。在此实施例中,寄存器 321 及 522-525、DAC 322 及 532-535、放大器 121-125、开关 702、以及晶体管 Q1 可被认为是读取/写入通道的一部分。进行与图 6A 中的实施例相同操作的振荡器通道的输出被加到由该晶体管 Q1 所产生的电流(即,由该读取/写入通道所产生的电流),由此驱动该激光二极管 108。如同图 5 及 6,在此配置中该读取通道具有独立驱动器也是可行的。在另一实施例中,LDD 控制器 580(如上文参考图 5C-5E 所描述)可用于取代图 7 中所示的解码器/状态机 570。

[0099] 图 8 说明各种示例性  $I_{OUT}$  信号,其可针对任意标记间隔(mark-space)信号 802 所生成以使用于向 R 型介质写入(一次性记录介质)。信号 804 仅包括 2 个不同电平,Per(功率擦除(Power Erase))电平、以及用于写入的 Pfw(功率第一次写入(Power First Writing))电平。信号 806 包括 3 个不同电平,其包括用于写入 Per 电平的 Pfw 电平以及 Pb(功率偏置(Power Bias))电平。信号 808 与 810 包括 4 个不同电平,其包括用于写入的 Pfw 电平及 Pb 电平、Per 电平,以及用于冷却该 R 型介质的 Pcl(功率冷却(Power Cool))电平。信号 812 包括 5 个不同电平,其包括用于写入的 Pmfp(功率中间第一脉冲(Power Middle first Pulse))、用于写入的 Pfw 电平与 Pb 电平,Per 电平、以及 Pcl 电平。该信号 812 的最右部分亦示出向 Per 电平加入振荡器输出。

[0100] 图 9 说明各种示例性  $I_{OUT}$  信号,其可针对任意标记间隔信号 902 所生成以使用于向 RW 型介质写入(可重新写入的介质)。信号 904 与 906 包括 3 个不同电平,其包括用于写入 Per 电平的 Pfw 电平以及 Pb 电平。信号 908、910、与 912 包括 4 个电平,其包括用于写入的 Pfw 电平、Pb 电平、与 Pmw(功率中间写入(Power Middle Write))电平,Per 电平、以及 Pcl 电平。信号 914 包括 6 个电平,其包括用于写入的 Pfw 电平、Pb 电平、Pmw 电平、与 Plw(功率最后写入(Power Last Write))电平,Per 电平、以及 Pcl 电平。信号 916 包括 7 个电平,其包括用于写入的 Pfw 电平、Pmfw 电平、Pb 电平、Pmw 电平、与 Plw 电平,Per 电平、以及 Pcl 电平。信号 918 包括 8 个电平,其包括用于写入的 Pfw 电平、Pmfw 电平、Pb 电平、Pmw 电平、Plw 电平,Per 电平、进一步擦除电平 Peer、以及 Pcl 电平。

[0101] 不论使用什么样的特定写入策略,LDD 亦将典型地需要产生用于读取的功率读取(Pread)电平、以及关闭(off)电平。例如该 Pread 电平可在该 off 电平以及该 Per 电平之间,但不需如此。在一些情况下,读取电平将由读取电流以及该振荡器 off 电平所组成。

[0102] 上文中参考图 5-7 所讨论的混合式 LDD 中,各种启用线路(例如,REN、WEN2-WEN5、及 OSCEN)用于控制该  $I_{OUT}$  信号的时序。举例而言,假设 WEN2 高而 WEN3-WEN5 低(即, WEN2-WEN5 为 1000),则用来产生 Per 写入电平;且假设 WEN3 高而 WEN2、WEN4、WEN5 低(即, WEN2-WEN5 为 0100),则用来产生 Pfw 写入电平。现亦假设写入策略可造成从该 Per 电平至该 Pfw 电平的转换,如同发生在图 8 的示例性  $I_{OUT}$  信号 804、806、808 中。当将 WEN2-WEN5 从 1000 改变至 0100 时,2 个位(即,WEN2、WEN3 位)改变。如果这 2 个位并未同步改变,则所述混合式 LDD 将经历时序毛刺问题。举例而言,如果 WEN2 在 WEN3 从 0 转换至 1 之前先从 1 转换至 0,则所述混合式 LDD 将在启用线路 WEN2-WEN5 上短暂地接收 0000,并且将基于该信号短暂地产生不正确的  $I_{OUT}$  信号。又举例而言,如果 WEN2 在 WEN3 从 0 转换至 1 之后才从 1 转换至 0,则所述混合式 LDD 将在这些启用线路 WEN2-WEN5 上短暂地接收 1100,并且将基于该信号短暂地产生不正确的  $I_{OUT}$  信号。

[0103] 更一般地,要注意的是如果在同一时刻超过一个的启用时序输入需要改变状态时,可能发生序毛刺问题。这是因为如果它们不在同一精确时刻改变状态,则在输入改变成合乎需要的状态之前将发生一些不可预期的状态。

[0104] 为了避免这种问题,本发明特定实施例有利地利用格雷码的原理,其为从一个状态改变成下一个状态时仅有 1 个位改变的编码。相应地,在描述这种实施例之前,首先简短提供一些示例性格雷码转换图并且讨论一些与格雷编码相关联的特性是有益的。首先,因为一次仅可改变 1 个位,所以对于 N 位字只有 N 个可能改变。如果不使用格雷码,则有  $2^N-1$  个可能改变。因此,当使用格雷码时会放弃许多改变的可能性。其次,任何代码字可仅以 N 个或更少步骤而被改变成任何其它代码字。这就是在下例框图中电平所指示的。格雷码的另一限制是以偶数步骤发生贯穿框图的循环。这对使用格雷码以进行写入策略极其重要,因为一些写入策略以奇数步骤循环。在这个情况下,额外的“无为(do-nothing)”步骤应该被插入于该写入策略中。尽管格雷码的使用排除在转换时所发生的“毛刺”,然而其未能排除各种 WEN 时序线路之间的时序差异。因此仍然发生时序误差,但是不再于转换时产生不期望的功率下降或功率浪涌(毛刺)。一种用于制作避免“U 型翻转(U-turns)”的格雷码的技术要贯穿作相同动作的状态机制作替代路径。然而,这减少可被选择的可能的输出电平的数目,从而要付出代价。

[0105] 图 10A 说明包括 3 个电平(电平 0、电平 1、以及电平 2)的示例性 2 位格雷码的转换图。当沿着图中所示的实线时仅改变一个位。从图 10A 中可理解,可能存在以 2 个或更少步骤从任何状态至任何其它状态的转换。图 10B 说明包括 4 个电平(电平 0、电平 1、电平 2、以及电平 3)的示例性 3 位格雷码的转换图。同样,当沿着图中所示的实线时仅改变 1 个位。从图 10B 中可理解,可存在以 3 个或更少步骤从任何状态至任何其它状态的转换。图 10C 说明包括 5 个电平(电平 0、电平 1、电平 2、电平 3、以及电平 4)的示例性 4 位格雷码的转换图。同样,当沿着图中所示的实线时仅改变一个位。从图 10C 中可理解,可存在以 4 个或更少步骤从任何状态至任何其它状态的转换。

[0106] 现在参考图 11A,所示的示例性  $I_{OUT}$  信号包括 4 个不同电平,其包括 off 电平、Pread 电平、Per 电平、以及 Pfw 电平。可存在从该 off 电平到该 Pread 电平的转换。可存在从该 Pread 电平到该 Per 电平或该 off 电平的转换。可存在从该 Per 电平到该 Pfw 电平或该 Pread 电平的转换。可存在从该 Pfw 电平仅到该 Per 电平的转换。

[0107] 如果使用常规编码,则需要 2 个 WEN 线路(例如,WEN2 以及 WEN3),并且 Pfw = 11、Per = 01,及读取(Read)是独立的。除非 Pfw = 01 以及 Per = 10,在此简单 2 电平写入功率毛刺可被避免。

[0108] 使用本发明某些实施例,可避免这种时序毛刺,并且可使用少一个的启用线路。对于参考图 11A 以及 11B 所讨论的示例,可假设 ENA 线路对非关闭(non-off)情况等于 1,且对关闭情况等于 0。同样假设,在振荡器在 Pread 期间导通、但在 Per 期间关闭的情况下,Pread 不同于 Per。就此情况下,因为仅需要 4 个总  $I_{OUT}$  电平(即,off、Pread、Per、及 Pfw),则除了该芯片启用(ENA)线路外只有两个启用线路(例如,WEN2 以及 WEN3)是必要的。无关于 ENA 线路(因为在  $I_{OUT}$  不为 off 时总是被假设为 1),WEN2 以及 WEN3 输入对该 off 电平为 00、对该 Pread 电平为 01、对该 Per 电平为 11、并且对该 Pfw 电平为 10。从图 11B 可理解,这种格雷码到可能的电平的映射将导致一次改变的位不超过一个位,由此防止上文所提的毛刺问题,且使用的控制线路少一个(例如,REN 为非必要)。

[0109] 现在将参考图 12A 以及 12B 而讨论稍复杂的示例。参考图 12A,所示的示例性  $I_{OUT}$  信号包括 7 个电平,off 电平、Pread 电平、Per 电平、Pmfp 电平、Pfw 电平、Pc1 电平、以及 Pb 电平。对该 off 电平,可存在到该 Pread 电平的转换。可存在从该 Pread 电平到该 Per 电平或该 off 电平的转换。可存在从该 Per 电平到该 Pmfp 电平或该 Pread 电平的转换。可存在从该 Pc1 电平到该 Per 电平的转换。可存在从该 Pfw 电平到该 Pc1 电平或该 Pb 电平的转换。可存在从该 Pmfp 电平到该 Pfw 电平的转换。可存在从该 Pb 电平到该 Pfw 电平的仅一个转换。

[0110] 对于参考图 12A 以及 12B 所讨论的示例,可假设 ENA 线路对非关闭状况等于 1,并且对关闭状况等于 0。同样假设,该振荡器可在 Pread 期间导通、而在 Per 期间关闭的情况下,Pread 不同于 Per。在这种情况下,因为需要 7 个总的电平(即,off、Pread、Per、Pc1、Pmfp、Pfw、Pb),所以除了该芯片启用(ENA)线路外,只有三个启用线路(例如,WEN2、WEN3、以及 WEN4)是必要的。无关于 ENA 线路(因为在  $I_{OUT}$  不为 off 时总是被假设为 1),WEN2、WEN3、以及 WEN4 输入对该 off 电平为 000、对该 Pread 电平为 001、对该 Per 电平为 011、对该 Pc1 电平为 010、对该 Pfw 电平为 110、对该 Pb 电平为 100、并且对该 Pmfp 电平为 111。从图 12B 可理解,这种格雷码到可能的电平的映射将导致一次改变的位不超过一个位,由此防止上文所提及的毛刺问题。

[0111] 如果要用常规 LDD 110 实现相同写入策略,则除了写入启用(REN)线路以及振荡器启用(OSCEN)线路外,还将需要 5 个写入启用(WEN)线路。因此所能看到,格雷编码不仅排除时序毛刺问题,而且对于有限数目的控制线而言还显著增加可达到的写入状态的数目。

[0112] 现在将参考图 13A-13C 讨论甚至更复杂的示例。参考图 13A,所示的示例性  $I_{OUT}$  信号包括 9 个不同电平,其包括 off 电平、Pread 电平、Per 电平、Pmfp 电平、Pfw 电平、Pc1 电平、Pb 电平、Plw 电平、以及 Pmw 电平。可存在从该 off 电平到该 Pread 电平的转换。可存在从该 Pread 电平到该 Per 电平或该 off 电平的转换。可存在从该 Per 电平到该 Pmfp 电平或该 Pread 电平的转换。可存在从该 Pc1 电平到该 Per 电平的转换。可存在从该 Pfw 电平到该 Pc1 电平或该 Pb 电平的转换。可存在从该 Pmfp 电平到该 Pfw 电平的转换。可存在从该 Pb 电平到该 Plw 电平或该 Pmw 电平的转换。可存在从该 Plw 电平到该 Pc1 电平的转

换。可存在从该 Pmw 电平到该 Pb 电平的转换。

[0113] 参考图 13B, 可假设 ENA 线路对非关闭状况等于 1, 并且对关闭状况等于 0。图 13B 的格雷码转换图示出除了该芯片启用 (ENA) 线路外, 可如何使用其它 4 个启用线路 (WEN2、WEN3、WEN4、以及 WEN5) 来确保一次仅改变一个位, 不论转换。图 13A 的示例超越使用 3 个启用线路 WEN2、WEN3、以及 WEN4 的性能。并且因此, 图 13B 示出可如何使用第四个写入启用线路 WEN5。

[0114] 此处 3 个写入启用 (WEN) 控制线路的性能被超过, 因为 3 个 WEN 线路仅可用 8 个状态, 但现有 9 个电流输出状态。然而, 如果额外的串行位或 REN 线路、或 ENA、或 RWB 用于从该 off 电平变为该 Pread 电平, 则 3 个 WEN 线路用于写入是足够的。检验三个时序启用线路的情况, 如果存在当 ENA 为有效、或者串行 REN 线路或位启用读取、又或者 RWB 线路或位用于将状态从该 off 电平移至该 Pread 电平时, 而该 Pread 电平总是高的条件下, 可使用三个启用线路 WEN2、WEN3、以及 WEN4。这在在图 13C 的格雷码转换图中说明。换言之, 在图 13C 中与图 13A 相同的写入策略尝试少用一个时序控制位 (与图 13B 中的相比较)。要注意到, 如果该 Pmfw 电平不存在, 则状态 001 必须为复制的 Per, 以使从该 Per 电平至该 Per 电平的循环为偶数个步骤。本文中, 串行控制位用于从该 off 电平变为该 Pread 电平, 并且写入启用线用于从该 Pread 电平变为该 Per 电平。因此, 图 13A 的策略确实需要至少 4 个控制线路。

[0115] 参考图 14A 以及 14B 而讨论又一示例。参考图 14A, 所示的示例性  $I_{OUT}$  信号包括 10 个不同电平, off 电平、Pread 电平、Per 电平、Peer 电平、Pmfp 电平、Pfw 电平、Pcl 电平、Pb 电平、Pmw 电平、以及 Plw 电平。可存在从该 off 电平到该 Pread 电平的转换。可存在从该 Pread 电平到该 Per 电平或该 off 电平的转换。可存在从该 Per 电平到该 Peer 电平或该 Pread 电平的转换。可存在从该 Peer 电平到该 Pmfw 电平的转换。可存在从该 Pmfw 电平到该 Pfw 电平的转换。可存在从该 Pfw 电平到该 Pcl 电平或该 Pb 电平的转换。可存在从该 Pcl 电平到该 Per 电平的转换。可存在从该 Pb 电平到该 Pmw 电平或该 Plw 电平的转换。可存在从该 Plw 电平到该 Pcl 电平的仅一转换。可存在从该 Pmw 电平到该 Pb 电平的仅一转换。

[0116] 参考图 14B, 可假设该 ENA 线路对非关闭状况等于 1, 并且对关闭状况是等于 0。图 14B 的格雷码转换图示出除了该芯片启用 (ENA) 线路外使用其它 4 个启用线路 (WEN2、WEN3、WEN4、以及 WEN5) 如何确保一次仅改变一个位, 而不论其转换。图 14B 中可看到, 对该 Per 电平存在 2 种不同位组合, 并且两者都通过转换以从该 Per 到达 Peer。更具体地, 当使用图 14B 所示的编码组合而从该 Per 转换至该 Peer 时, 这些写入启用线路 WEN2、WEN3、WEN4、以及 WEN5 在改变成 1111 (针对该 Peer) 之前首先将成为 0011 (针对该 Per)、接着改变成 0111 (仍针对该 Per 电平)。这将防止一次超过一个的线路改变。并且, 复制 Per 条件是由从 Per 至 Per 的奇数转换所引起的。

[0117] 图 15A 示出贯穿标记 2T 到 8T 用于写入的示例性不归零制 (NRZI) 信号, 以及用于驱动该激光二极管 108 的光波形 (即, 写入电流信号、或  $I_{OUT}$  信号)。图 15A 还示出经格雷编码的写入启用线路 WEN2、WEN3、WEN4, 以及读 / 写启用信号 RWB (亦称作读 / 写条信号)。这些 WEN2、WEN3、WEN4 是经格雷编码的, 即一次仅改变其中一个。换言之, 同一时间 WEN2、WEN3、WEN4 中超过一个从 0 改变成 1 (反之亦然) 是没有任何意义的。然而在标记 5T 期间,

该 WEN3 信号从 0 变成 1,且接着立即从 1 变回 0。同样在标记 7T 期间,该 WEN3 信号从 1 变成 0,且接着立即从 0 变回 1。在本文中称作“U 型翻转”的相同 WEN 信号的连续改变限制写入频率,因为各个 WEN 信号在从 0 转换至 1(反之亦然)之后、且能够从 1 转换回 0(反之亦然)之前需要充足的建立时间。换言之,如果相同启用信号在改变其状态两次之间没有其它启用信号发生改变,则发生 U 型翻转。对于图 5A 的标记 5T 以及 7T 的转换图以突显 U 型翻转的发生的方式在图 5C 中示出。

[0118] 图 15B 示出贯穿标记 2T 到 8T 用于写入的另一示例性 NRZI 信号,以及用于驱动该激光二极管 108 的光波形(即,写入电流信号、或  $I_{OUT}$  信号)。图 15B 中还示出经格雷编码的写入启用信号 WEN2、WEN3、WEN4,以及读/写启用信号 RWB(亦称作读/写条信号)。图 15B 中的写入启用线路 WEN2、WEN3、WEN4 也是经格雷编码的,即一次仅改变其中一个。然而根据本发明的一实施例,如从图 15B 中可理解,这些 WEN 信号中的所有 U 型翻转有目的地被避免。换言之,没有任何启用信号改变其状态两次,且没有其它启用信号在此两次改变之间改变状态。这能够使写入速度成为使用包括 U 型翻转(例如,如图 15A 中)的经格雷编码的 WEN 信号时的两倍快。对于图 15B 的标记 5T 以及 7T 的转换图以突显没有 U 型翻转的方式在图 15D 中示出。一种用于避免 U 型翻转的技术要实现具有 4 个状态的状态机,其中可以按照两种不同方式获取相同的输出电平。然而,取决于格雷码,还可存在对根据写入策略的要求而进入该状态图的循环以及离开该循环的要求。找出这种贯穿状态图的路径可例如使用试凑搜寻所达到,但不限于此。要注意到,图 15A 以及 15B 中所示的脉冲宽度与其它值为示例性,且不意味着限制。

[0119] 如图 1 中所示的 LDD 110 的常规 LDD 可能依靠求和编码来产生所需的所有可能的  $I_{OUT}$  电平。本发明的混合式 LDD 使用上文所述的格雷编码技术以提供胜过常规 LDD 的改进,这是因为格雷编码技术的使用避免常规 LDD 中的时序毛刺问题。然而,一些用户/客户可能不希望将其控制器改变以容纳灰度编码(gray scale encoding)。相应地,在本发明的解码器 570 中采用串行可编程逻辑是有益的,由此使串行可编程逻辑能够与求和编码向后兼容。更具体地,如果该解码器 570 能将将从该控制器 102 所接收的 WEN2-WEN5 转换成经格雷编码的方案将是有益的,从而防止在使用常规时序启用信号 REN 以及 WEN2-WEN5 时可发生的时序毛刺问题,或从而以该常规 LDD 的求和编码来配置。参考图 16A、16B、以及 17 讨论可在该解码器内用来避免时序毛刺问题的示例性逻辑。

[0120] 图 16A 是根据本发明一实施例可在该解码器 570 中使用的串行可配置读取启用逻辑的示意图。为达到符合用户/客户的各种需求的控制逻辑,该控制逻辑可被制作成可由存储于该读取启用寄存器 1602 中的位所调整,其可由该控制器 102 使用该 SDIO 线路以及该 SER 总线 319 进行更新。

[0121] 串行位 3 到 7 由于功率重置(POR)信号的输入一上来皆为 0。当位 3 一上来为 0 时,位 3 迫使与门 1604、1606 的输出为 0,由此引起该译码总线 572 的读取启用线路为 0。如果位 3 被设成 1,则该 ENA 被允许传至与门 1606 的输入。如果位 3 或 ENA 其中一个为 0,则读取将被禁用。

[0122] 当位 4、5、6 一上来为 0 时,它们迫使与非(NAND)门 1608、1610、1612 的输出为 1,由此在位 3 被设为 1 且该 ENA 为高时允许该与门 1606 的输出变高(及,为 1)。因此,位 4、5、6 上的 0 是意味着忽略个别信号。如果位 6、5、或 4 被设为 1,则它们使与非门 1608、1610、

1612 的输入分别传至该与门 1606 上。

[0123] 当位 7 一上来为 0 时,该 REN 及其极性未经改变地通过。如果位 7 被设为 1,则该 REN 信号的极性被反转。REN 为低有效是常见的,且在此情况下如果要在逻辑中包括 REN,则位 7 将被设为 0,使输入信号在这种逻辑实现方式中为低有效。因此对于常规实现方式,位 7 = 0、位 6 = 1、位 5 = 0、位 4 = 0、以及位 3 = 1。

[0124] 当使用解码器时,如果向该解码器的输入不是 000,则启用读取是符合逻辑的。因此将位 6 和 5 设为 0 并且位 4 设为 1,当该译码总线 572 的译码线路 000 不为 000 时,使来自该与门 1606 的读取启用线路变高。额外的串行 ENR 位 (ENR BIT) 取决于该读取启用寄存器 1602 的位 5 是否被设为 0 或 1 而可被忽略或可被使用。

[0125] 图 16B 是根据本发明一实施例的串行可配置写入电平启用逻辑的示意图。上文讨论了各种类型的混合式 LDD,其包括 510A、510B、610、以及 710。混合式 LDD 610 以及 710 的类似之处在于, WEN 输入条件的一些组合选择该写入通道的输出可能性中的一个。与之相反,用混合式 LDD 510A 以及 510B 的情况下,多重写入通道可同步产生输出。

[0126] 尽管所有的混合式 LDD 使用写入启用 (WEN) 型的控制输入信号,然而可认为常规型的求和编码可得到改进。举例而言,在标记的开始以及结束时的主要电流转换中,从写入电流的总和切换至非写入电流的任一个或写入电流的一个是普遍的。这提供写入过程的最关键时间处生成毛刺的最大概率。因此,通过对这些主要转换进行格雷编码,该写入过程可针对具有适当解码器的任何混合式 LDD 进行改进。不能知道所要使用的控制器 102 是否可容纳对 WEN 线路的灰度编码。因此,优选地该逻辑应该提供格雷编码的可行性,同时又与求和编码向后兼容。

[0127] 在图 16B 中, POR 在电源导通时将所有写入选择位设为 0,且经由与门在位 3 处禁用所有输出。各个功率电平输出具有简单的与 - 或逻辑,该与或逻辑具有用于输入的可编程极性。通常只有 Per 电平使用两个输入条件就足够。对串行写入选择寄存器编程恰好是所期望的 WEN 代码字的补码。如所示,通过将选择寄存器编程为 1110 而将 Pread 电平设成响应于代码 0001。注意到,该 Pread 电平是特殊的。其在前往启用读取电流之前,前往先前所描述的读取启用逻辑。因为一次仅改变 WEN 线路中的一个,用精心的门设计使该 WEN 线路中的一个以与当另一写入启用线路导通时的非常少的时间差来关闭是可行的。类似的与 - 或逻辑以及此外的寄存器可用于实现其它功率电平 (例如, Per、Peer、...、Pcl)。

[0128] 图 17 是根据本发明一实施例的串行可配置振荡器电平启用逻辑的示意图。该振荡器通常与读取或写入条件相关联。因此,该振荡器可能一直关闭、仅在读取期间导通、在读取以及擦除期间导通、或者一直导通。对于完整弹性而言,仅在某些状态有效时振荡器也可被启用。振荡器控制寄存器可具有对于各个状态或输出启用的位。该振荡器快速地关闭而缓慢地导通可能是所期望的。

[0129] 在图 17 中,当功率上来时,该 POR 将两个寄存器输出皆设为 0。这通过一个连系到 ENA 的与门来禁用该解码器总线 572 的振荡器启用 (OSC ENABLE) 线路。如果此时在寄存器 A 的位 2 被设为 1,则该振荡器将在 ENA 为 1 时被启用。但是一般而言,一些其它条件适于该 OSC ENABLE。举例而言,如果寄存器 A 的位 1 被设为 1,则该 OSCEN 线路也必须为 1 以启用该振荡器。其它读取以及写入条件具有与该 OSCEN 线路相同的逻辑。因此,如果该控制位被设为 0 则它们将被忽略,并且如果该控制位被设为 1 则予以启用。依此方式,该振

荡器可按照读取或写入条件的任何组合而被启用。

[0130] 如上所述以及图 5B、6A、与 7 中所示, 状态机可用于取代该解码器 570, 并且状态机总线可用于取代该译码总线 572。在先前的格雷编码的实现方式中, WEN 控制字以固定方式映像至该 LDD 的状态。在该 LDD 的各个状态中, 读取、振荡器、以及写入电流的一些选择被采用。在使用状态机的替代性实施例中, 该 LDD 仍然可具有相同状态, 但是以受控方式排序这些状态来取代使用 WEN 控制字至 LDD 状态的一对一映射组合。举例而言, 在正常操作中, LDD 可通过正常可重复的顺序, 关闭 (off)、读取 (read)、擦除 (erase)、Pfw、Pc1、或 Pb 等。因为状态排序对给定写入策略来说是固定的, 所以以比固定映射方法使用更少的 WEN 控制线路使这种排序发生是可行的。当使用状态机时, 仅需指定状态如何改变、而不需要指定状态本身。

[0131] 当使用状态机 (例如, 570) 时, 若干输入状态可呈现诸多输出状态。因此, 在错误情形中控制器 102 所期望的状态与该 LDD 中存在的状态不同是可能的。这将由一些错误所造成。一旦该控制器以及该 LDD 之间的状态条件之间存在不同理解, 则错误将存在直到被修正。因此, 在状态机方法中假设可能发生错误并且具有迫使该 LDD 回到与控制器 102 的协议的机制是合乎要求的。该 ENA 线路执行前述操作, 但在正常操作期间使用 ENA 线路是不合乎要求的。串行位可被使用, 但这在应为自动的过程中要求处理器干预。因此, 同步功能可在该状态机的时序线路中被编码以达成期望的结果。

[0132] 图 18A 说明典型状态机的示例性示意图。图 18B 说明任意状态机的示例性状态图。圆圈内的数字是状态数字。线路旁的数字是输入线路上的数字。在此示例中, 附加输出线路的状态未被示出。当时钟上升时, 该状态机根据状态图而响应。

[0133] 图 19A (与图 14A 相同) 所示的示例性  $I_{OUT}$  信号包括 10 个不同电平, 其包括 off 电平、Pread 电平、Per 电平、Peer 电平、Pmfp 电平、Pfw 电平、Pc1 电平、Pb 电平、Pmw 电平、以及 Pfw 电平。图 19B 是针对产生图 19A 的  $I_{OUT}$  信号的写入策略的对应状态图。本文中, 该写入策略如此确定使得可仅以一个输入位所确定。这一个输入位仅在该 Per 电平、该 Pfw 电平、以及该 Pb 电平处是必要的。但是加入同步特征并且简化输出编码是优选的。该输出编码可通过使用输出启用线路 (Pread、Per 等) 来实现以对状态进行编码。第二输入线路用于造成同步的强制状态。

[0134] 图 19C 是其中输出条件加倍以用作状态的状态图。这具有简化该状态机内的逻辑的优势, 但这要加入更多触发器。输入 WEN2 可用于引导该状态图, 而输入 WEN3 可用于对该状态机进行同步。WEN4 是该状态机的时钟。当以此方式使用额外的触发器时, 通过具有超过一个的同时等于 1 的输出而贯穿错误情形而取得不在该状态图内的状态是可行的。这些额外的错误条件可由附加逻辑予以抑制。

[0135] 图 20 为图 19C 的状态图, 并且对应于图 19A 的写入策略以及图 19B 的状态图。从图 20 的示意图可看到, 至多状态受到时间控制时必须分支到三个方向中的一个中。因此在常规方式中, 可用两个输入以及时钟来完成。

[0136] 然而, 使用 WEN 输入 (不需要来自控制器的时钟以及数据的设定及保持限制) 的另一方式使用三个 WEN 线路中的一个, 该三个线路中的一个改变以指定该状态图的引导。在图 20 的状态图中, CXX 总是用于自 Pc1 离去。如果在任何状态处 CXX 移至 Per 状态, 这充当同步以防止错误传播。XXC 意味着就像存在长标记一样往前移动。XCX 发生以结束标

记、或结束来自 Per 的写入过程、或结束读取。

[0137] 当使用状态机时,可存在例如可用两个方向位(例如,00、01、10)可达到的三个方向指示器。举例而言,01 可指示以长标记的方向前进、00 可指示以从标记回到间隔处并接着到 off 电平、以及 10 可用作同步且用于走向 Per 电平以达到同步功能。为了能够执行写入策略,具有可配置使其在必要时能执行该写入策略的状态机是优选的。尽管常规状态机可使用于此,然而常规状态机是无法完全适合于即将到来的任务。常规状态机的一个不利因素在于,时钟线路必须对每个状态改变作出两次转换。在光学驱动器中,时钟来自该控制器 102,该控制器 102 位于离该 LDD 一定距离的位置、并且由该软电路 104 所分开。在该配置中存在带宽限制。为了在时钟线路上得到可重复的时序,进行下一个转换之前需要先建立信号。因此,该状态机的最大速度被限制在一时间周期,该时间周期由该软电缆 104 上的两个建立时间所组成。该时钟限制可通过使用该时钟的两个边沿而被减半。为达到此目的,控制器 102 中实时时钟可用于时钟除 2(divide-by-2) 的触发器。该除 2 触发器针对该实时时钟的每个上升沿而输出改变。然后该分割时钟经过该软电缆 104 而被发送至该 LDD。在该 LDD 中,该实时时钟通过使用双向单稳电路(bi-directional one-shot)而被重新构成。但是这种时钟减半手法对较高速度来说可能是不充分的。

[0138] 该控制器 102 包括写入策略生成器时,该控制器 102 中的写入策略生成器或许不被配置成输出两个输入位以及时钟。相反,该写入策略生成器被配置成输出若干看可按照细微增量进行调整的时序线路。各个时序线路由定时器所生成,其需要时间来完成其时序,接着在被要求再次超时之前设置下一个时序。因此,如果只用一个定时器用于造成状态改变,则该定时器的限制亦变成所能达到的速度的问题。

[0139] 为了避免时钟线路速度限制与单一定时器限制两者,根据特定实施例顺序地使用该 WEN 定时器。举例而言,如果该顺序为“顺向”(00、01、11、10、00 等),则该状态机将朝着长标记前进,类似于先前所述的数据 01 条件。如果该顺序为“反向”(00、10、11、01、11 等),则该状态机将返回至 Per 以及 off。用此方案,两个位不足以还纳入同步功能而同时维持格雷编码。还可看到,循环(Pb-Pmw-Pb 等)亦可依照单一定时器来重复其改变。因此,可使用更多位或 WEN 线路。用三个 WEN 线路的情况下,顺序可在三个方向前进并仍然维持格雷编码。举例而言,如果第一位改变,则意味着移动至一个状态;如果第二位改变,则意味着移动至另一个状态;如果第三位改变,则意味着变成另一第三状态。从目前的示例中,这足以进行所有的写入策略,且包括同步功能。

[0140] 为了移除一个线路上的建立时间的速度限制以及正常操作中的单一定时器限制,可在各个状态转换时改变新位。举例而言,在图 22 所示的状态图中,如果位 0 经改变而变成状态 Pb,则位 1 上的改变可移动至状态 Pmw,且位 2 上的改变可移动至状态 P1w。在此,在不重复位 0 中的改变的情况下,不存在作为同步条件移动至 Per 的能力,其违反该速度条件。为了取得纠错的快速同步,第四 WEN 线路可被使用。但这可能是不期望的。替代方式为具有较不稳健的同步,其针对通常仅具有一个新状态予以前进的状态机路径而移动至 Per。因此,来自状态的三向分支得以避免,其中所具有的不利因素为发生错误时重新同步将不会发生在需要双向分支以用于正常操作的状态。在说明该解决方案的图 23 中重新绘制图 22 的状态图。

[0141] 图 23 的状态图用于示出可如何使用三个启用线路(例如,WEN2、WEN3、与 WEN4)致

使一次仅一个线路改变、使用改变的替代性线路、以及可用一些同步性能来引导该状态图。“hhc”意味着 WEN2 的改变。“fwd”意味着该改变以正向或递增形式旋转。这将如该线路的走向类似于 000 至 001、至 011、至 111、至 110、至 100、至 000。“rev”意味着改变以反向或递减形式旋转。这将如该线路的走向类似于 000 至 100、至 110、至 111、至 011、至 001、至 000。对于该控制器 102 实现此,各别 WEN 线路将各自来回切换 (toggle) 除二触发器。该控制器 102 的定时器也应当被编程以根据该状态机进行改变。为了使该 LDD 实现这种改变的感测,可存在在各个 WEN 线路上的双向触发器、最后改变的寄存器、正向 / 反向 (fwd/rev) 逻辑、以及对该状态机的修改,以使其根据该状态机而响应。

[0142] 如从示出示例性标准状态机 2402 以及输出解码器 2404 的图 24 中所能理解,状态机搭配解码器一起使用是可行的。在该标准状态机 2402 中,各个状态典型地由 D 触发器所确定。D 型触发器各透过与 - 或逻辑网络而被馈入信号。该与 - 或逻辑网络具有对各个输出及其补码、以及各个输入及其补码的访问。因此,各个输出可取决于透过该与 - 或逻辑所作出的选择而被改变或维持不变。该标准状态机 2402 在该时钟的上升沿改变。按照实际情况,该标准状态机 2402 不适合将输入信号 (WEN 信号以及时钟输入) 转换成输出启用信号。此外,此技术在该时钟输入处具有先前所提及的带宽问题。尽管如此,看到改变什么来允许标准状态机能够充当常规 LDD、或混合式 LDD 仍然是有益的。

[0143] 在图 25 中,状态机 2502 已经被修改为使用输出功率选择状态 (而不是二元编码状态) 作为其状态。在该状态机 2502 的前方已经加入三个双向单稳电路。如果 WEN 线路中任一个无论采用哪一方式改变,则产生时钟,并且取决于 WEN 线路的状态而将该状态机 2502 从一个状态时钟控制到另一状态。这种配置的优势在于简化该与 - 或逻辑并且排除额外的解码器 (图 24 的 2404)。即使不包括额外的逻辑,同步启用多个输出却是可行的。并且,其使用更多反馈线路,并且具有更多触发器。对于上文实现常规 LDD 的求和编码的框图,输出被忽略,并且各个 WEN 线路的状态直接被映像至一个输出。因此,如果 WEN4 在 WEN 的任何改变期间为高,则输出中的一个 (对应于通道 4) 将被启用。

[0144] 图 25 的状态机 2502 亦可实现格雷编码的混合型。回顾在特定格雷编码的混合型中,各个输出状态关联于唯一的 WEN 状态。状态机将不会关心如何发生该 WEN 状态。该状态机将 WEN 输入条件直接译码成输出状态,而忽略输出条件。图 25 的状态机 2502 亦可被配置成使得 WEN 的任何改变与 WEN 状态相组合,以确定该状态机中的改变。这种实现方式亦包括来自仅具有三个输入的任何状态的同步功能。其亦可被配置成响应于格雷编码的输入。

[0145] 图 25 的状态机 2502 亦可被配置成使得一个线路中的一改变意味着正向进行、第二线路中的改变意味着反向进行、并且第三线路中的改变意味着变成 Per。但是,图 25 的状态机 2502 无法被配置成 WEN 改变的正向旋转意味着正向进行、并且 WEN 线路的反向转动的改变意味着反向进行。为了实现此,WEN 状态需要被记忆。

[0146] 图 26 说明一种包括所加入的 WEN 状态存储器以及嵌入式解码器的状态机 2602。此配置可使用先前的 WEN 状态以及下一个 WEN 状态,以确定输入是否具有正向或反向旋转的改变。所加入的这一性能允许输入被编码成顺序地改变,因此允许控制器中的定时器在另一定时器超时期间的的时间做好准备。其还允许 WEN 线路中的任一个上的时间间隔得以增加,因而允许 WEN 线路的信号有更多时间来建立,由此降低时序误差。在这个一起先前的实

施例中,该串行接口以及串行总线可用于配置该与-或逻辑。

[0147] 上文所述的本发明的混合式观念亦可被应用于激光打印机的LDD。目前来说,在未进行写入时将微电流(亦被称作阈值电流)提供至激光打印机的激光是常见的,使得该激光低于激发阈值。在写入期间,该激光被切换成由高电流电平所驱动。并且,有一时间周期被拨出以用于在该激光通过纸张滚筒(paper drum)的各个横扫期间进行自动功率控制。

[0148] 在激光打印机中已经存在变成更高写入速度的需求以及灰度控制的需求的趋势。灰度控制的一个方法是使用脉冲光线。另一种方法则是使用不同的写入电流。对于脉冲方法来说,将电流控制到阈值电平以最小化该激光的导通延迟是理想的。所有上述的点是针对激光打印机市场中的更多功率电平的需求的。本文中所述包括解码器与状态机的使用的混合式观念允许许多功率电平、而具有最少的控制线路。

[0149] 本发明已经在上文中借着有助于说明多个特定功能的性能及其相互关系的功能性构建块而得到说明。这些功能性构建块的范围界定在本文中为了方便描述而经常任意地定义。只要适当地执行特定功能及其相互关就能界定替代性范围。任何这种替代性范围界定因此在本发明的范围以及精神内。

[0150] 上述说明是本发明的多个优选实施例。这些实施例已经为说明以及描述目的而被提供,但是并非详尽无遗漏或将本发明限制到所揭示精确形式中。许多修改以及变化对本领域技术人员将是明显的。实施例是为了最佳地描述本发明的原则而被选出并且加以描述的,由此使所属技术领域的其它技术人员能够理解本发明。旨在用以下权利要求和其等效方案界定本发明的范围。

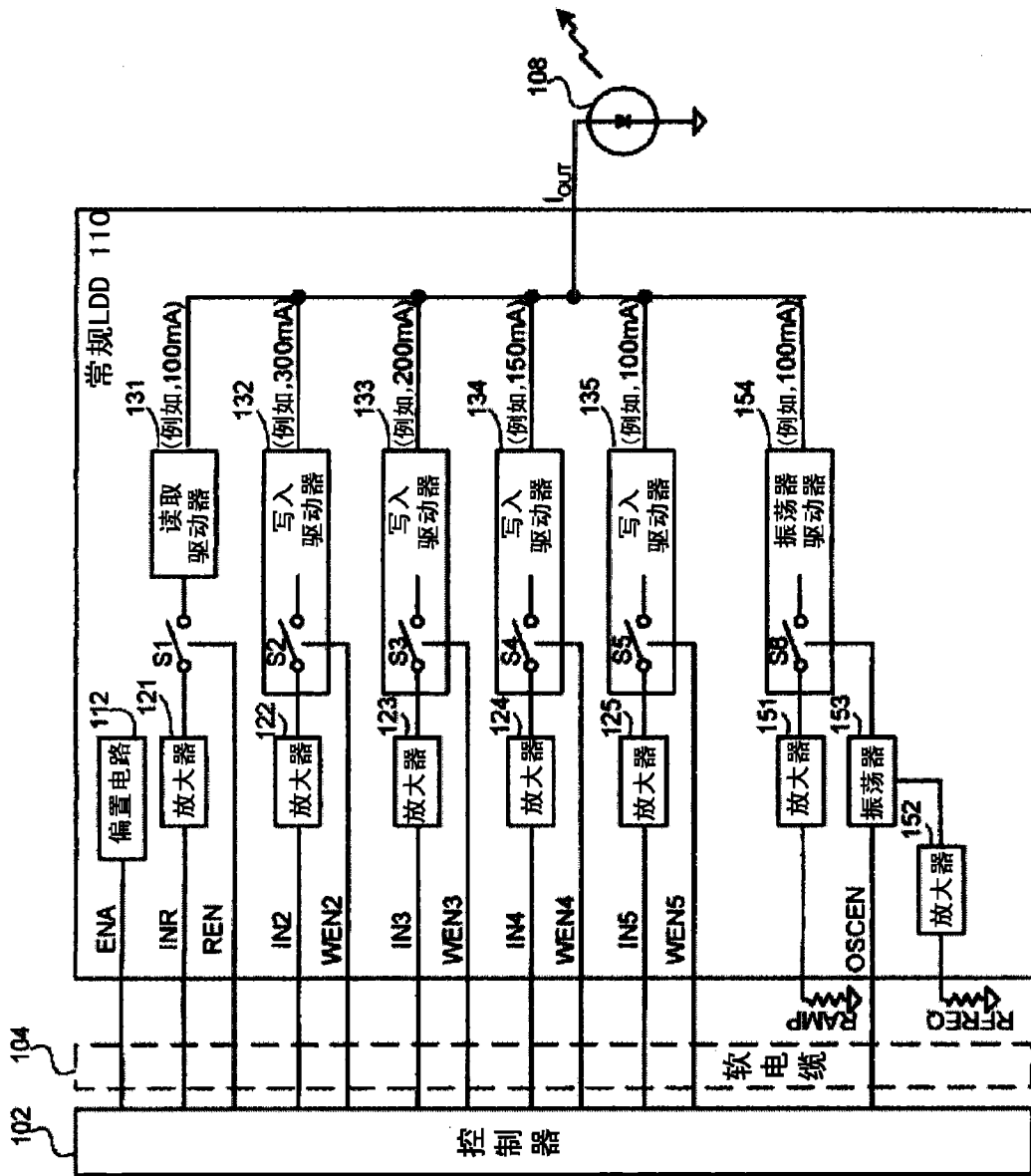


图 1

常规LDD的时序

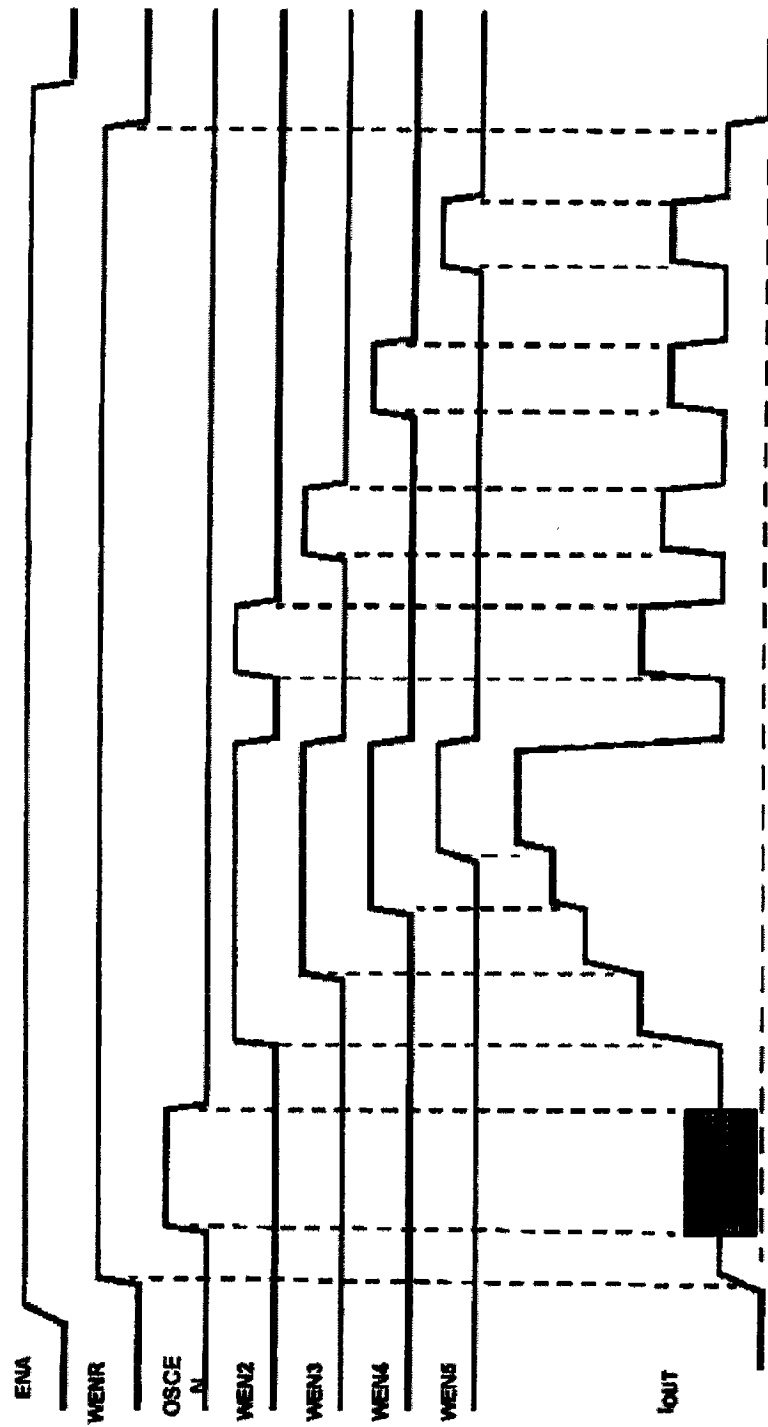


图 2



WSG LDD的时序

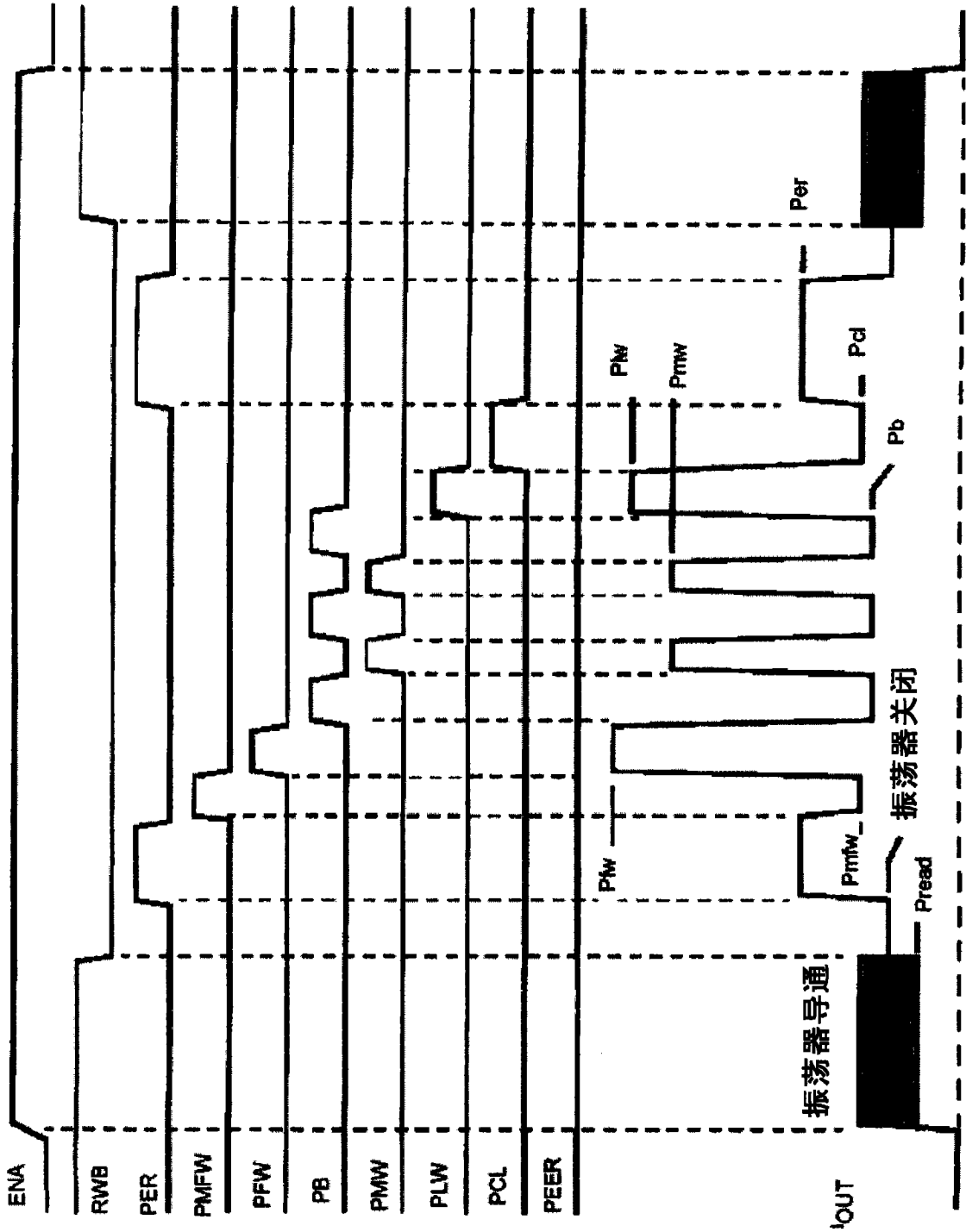


图 4

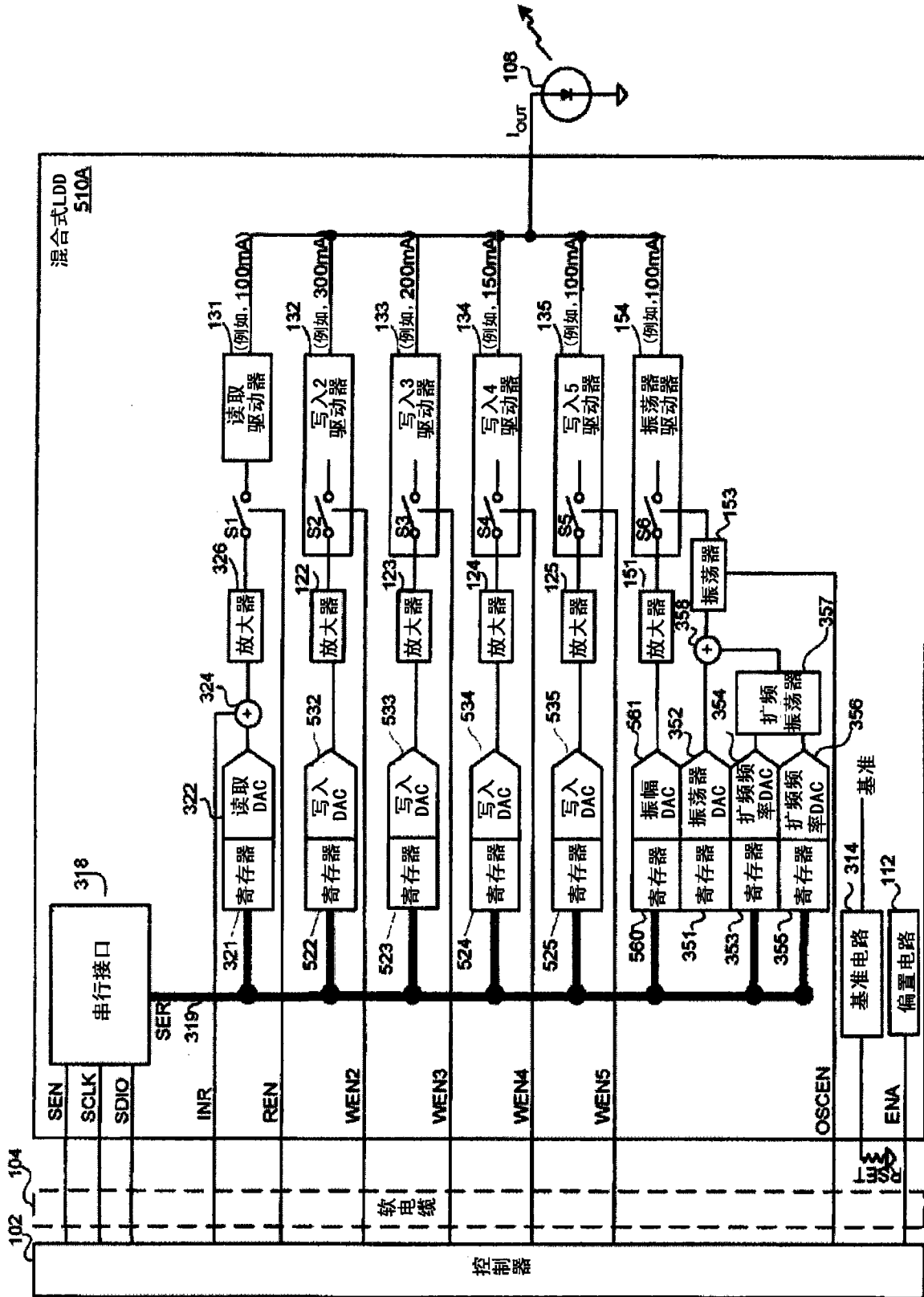


图 5A

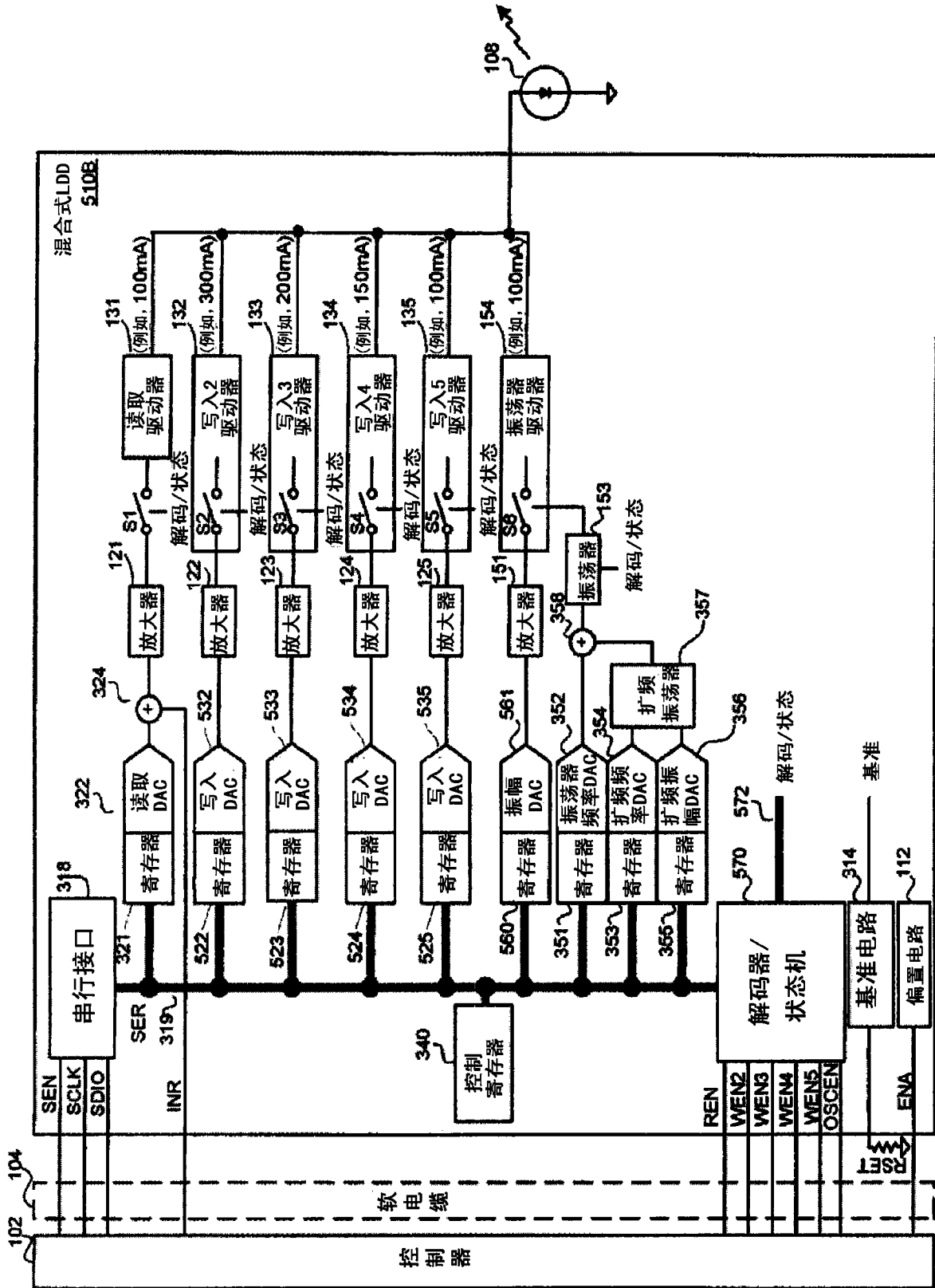


图 5B

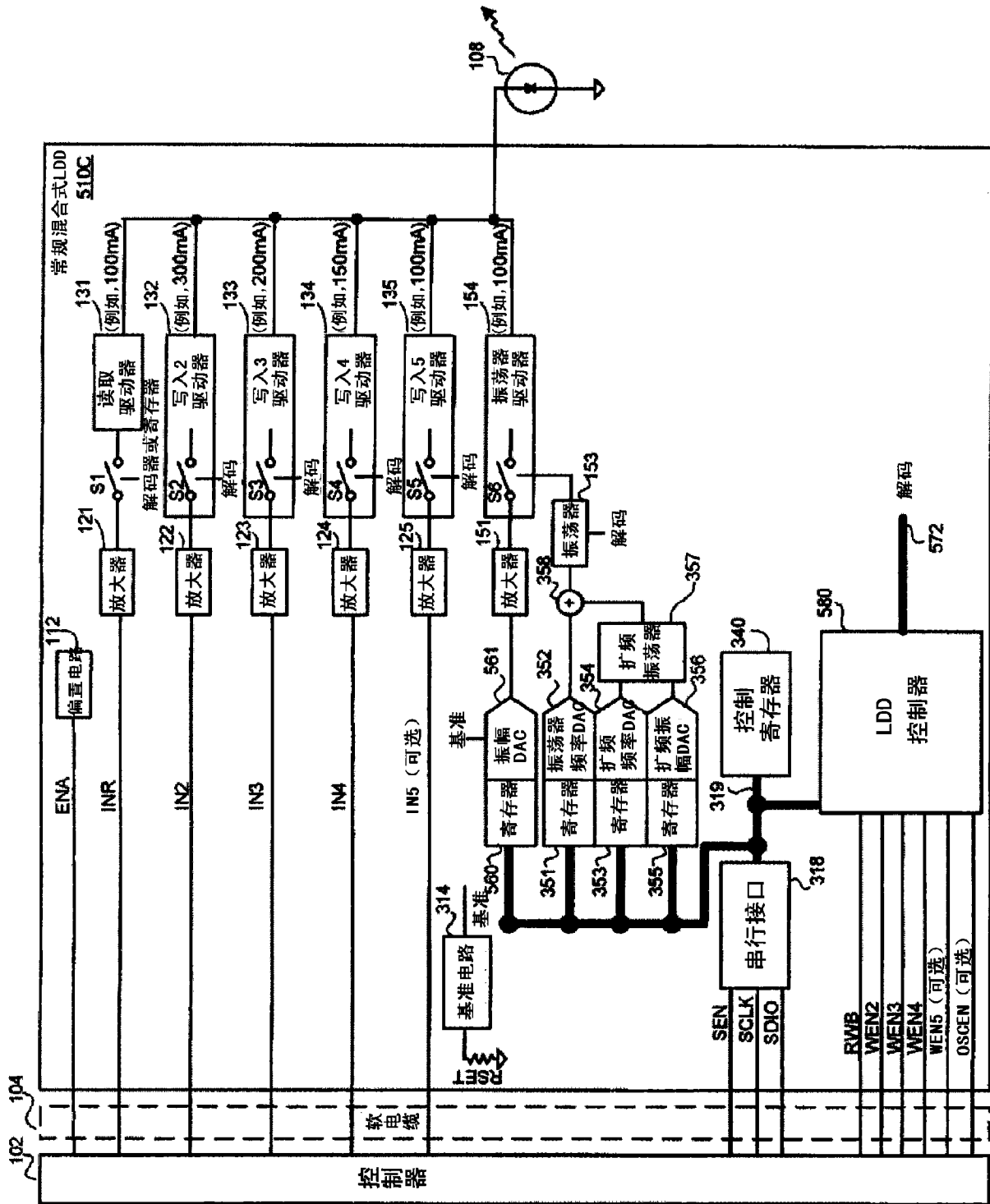


图 5C

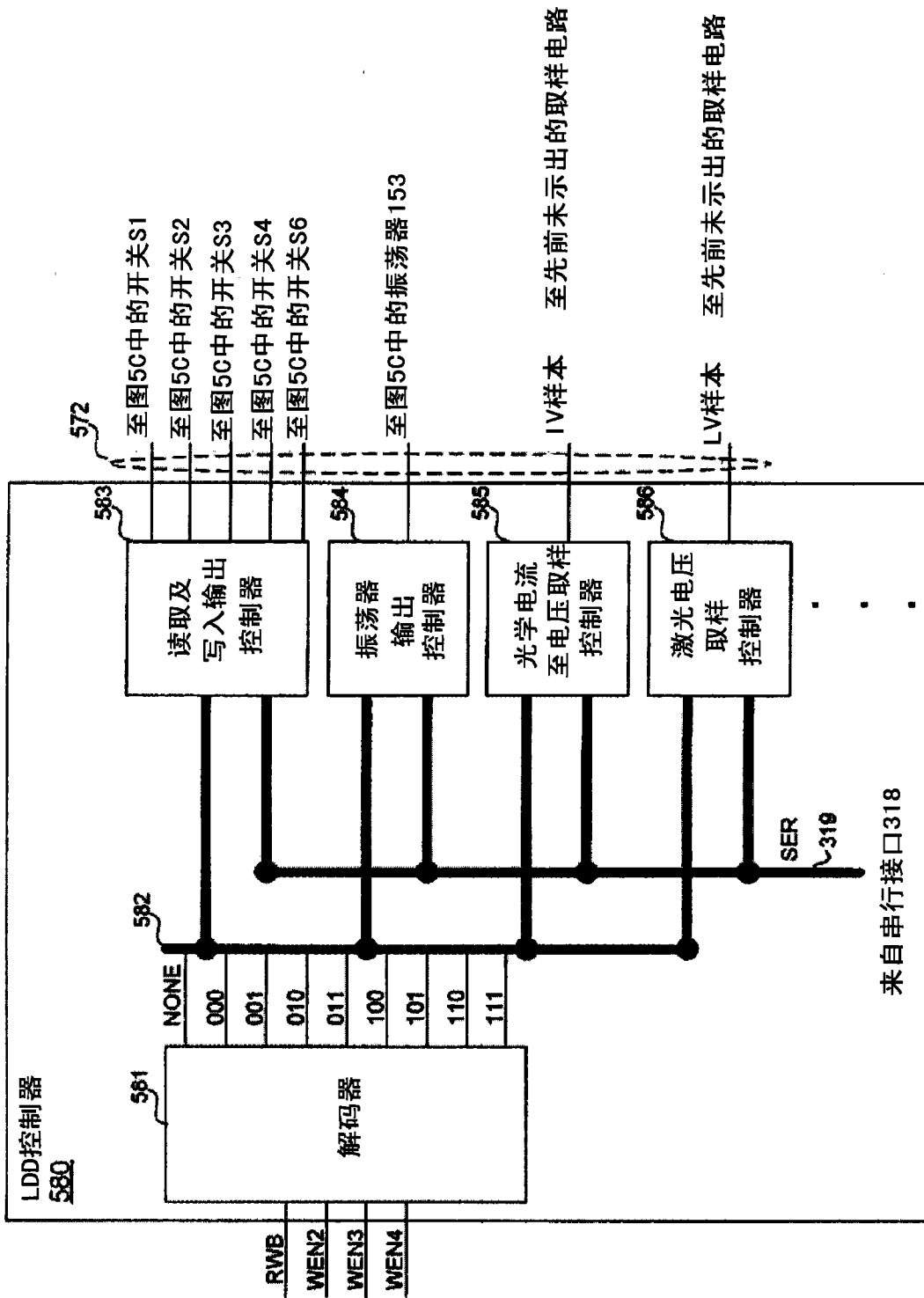


图 5D

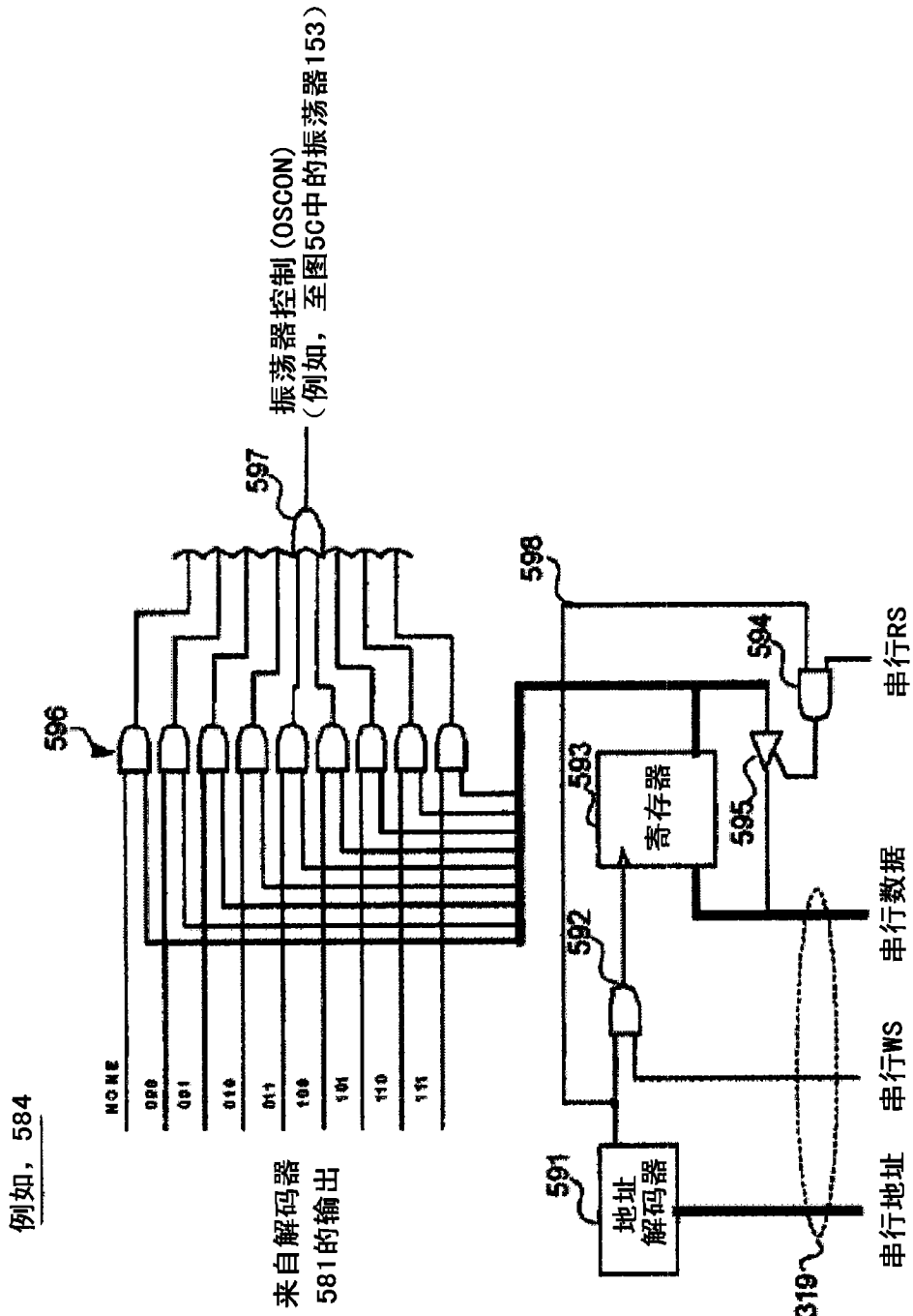


图 5E





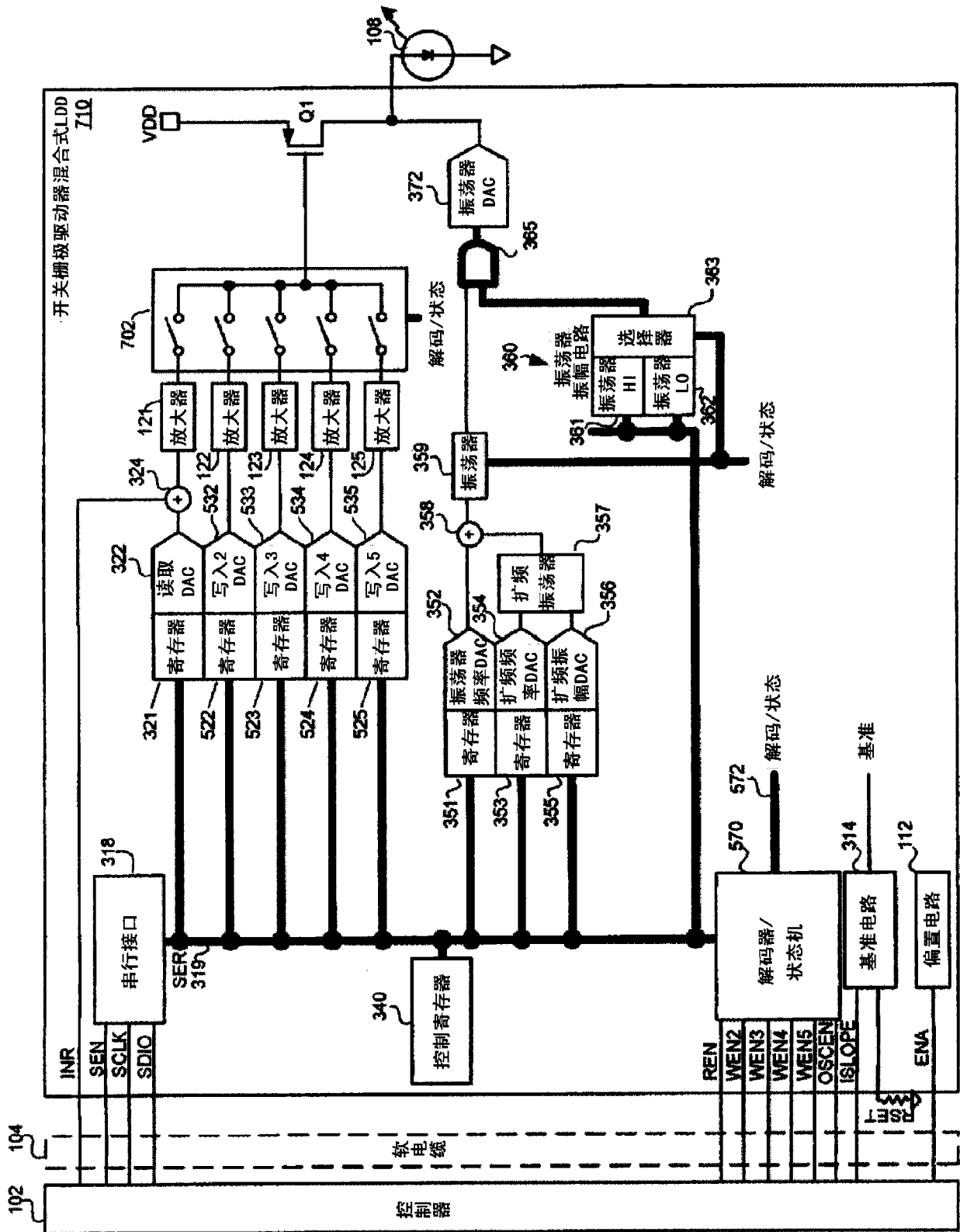


图 7

写入策略示例 (R型介质):

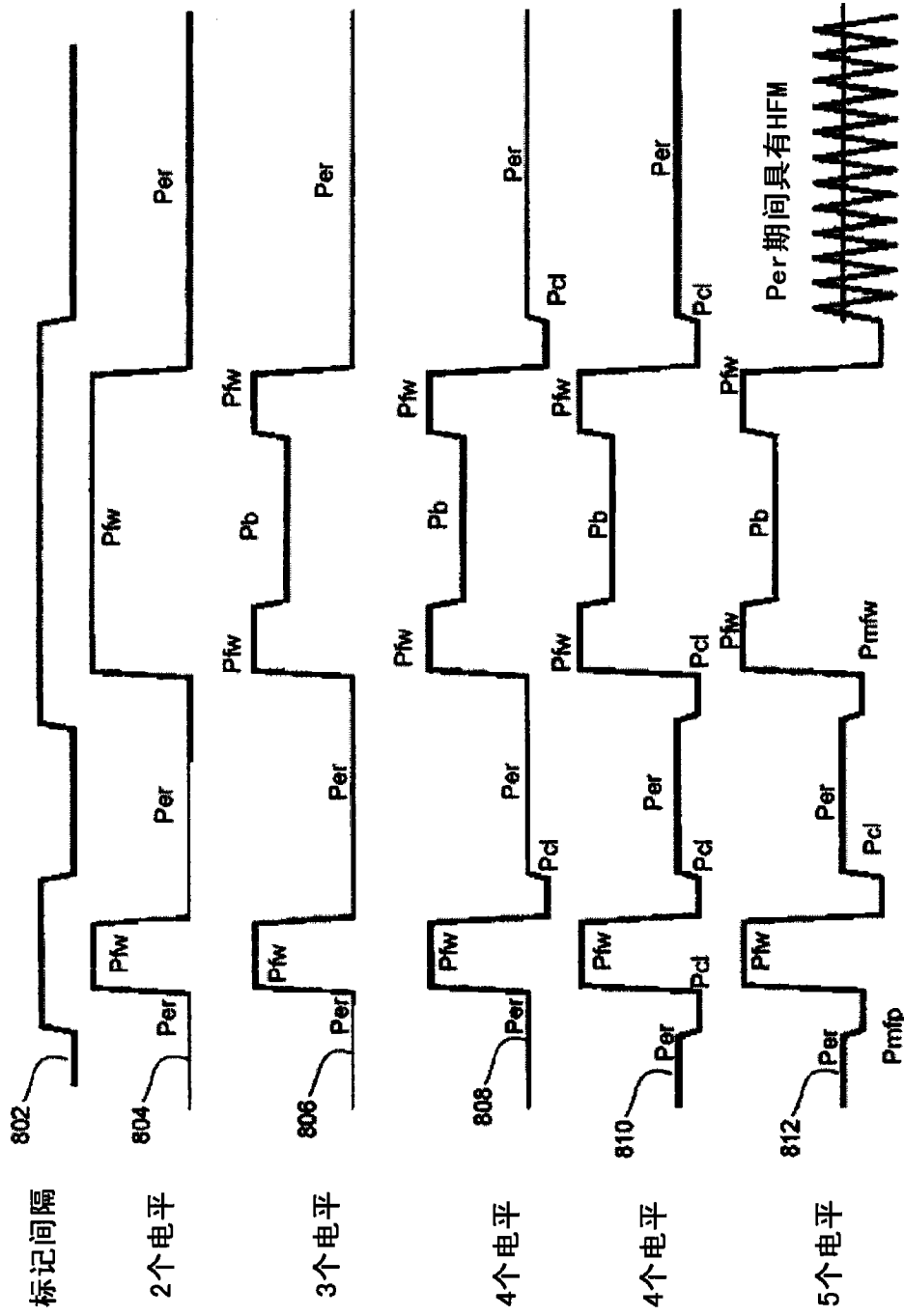


图 8

写入策略示例 (RW型介质) :

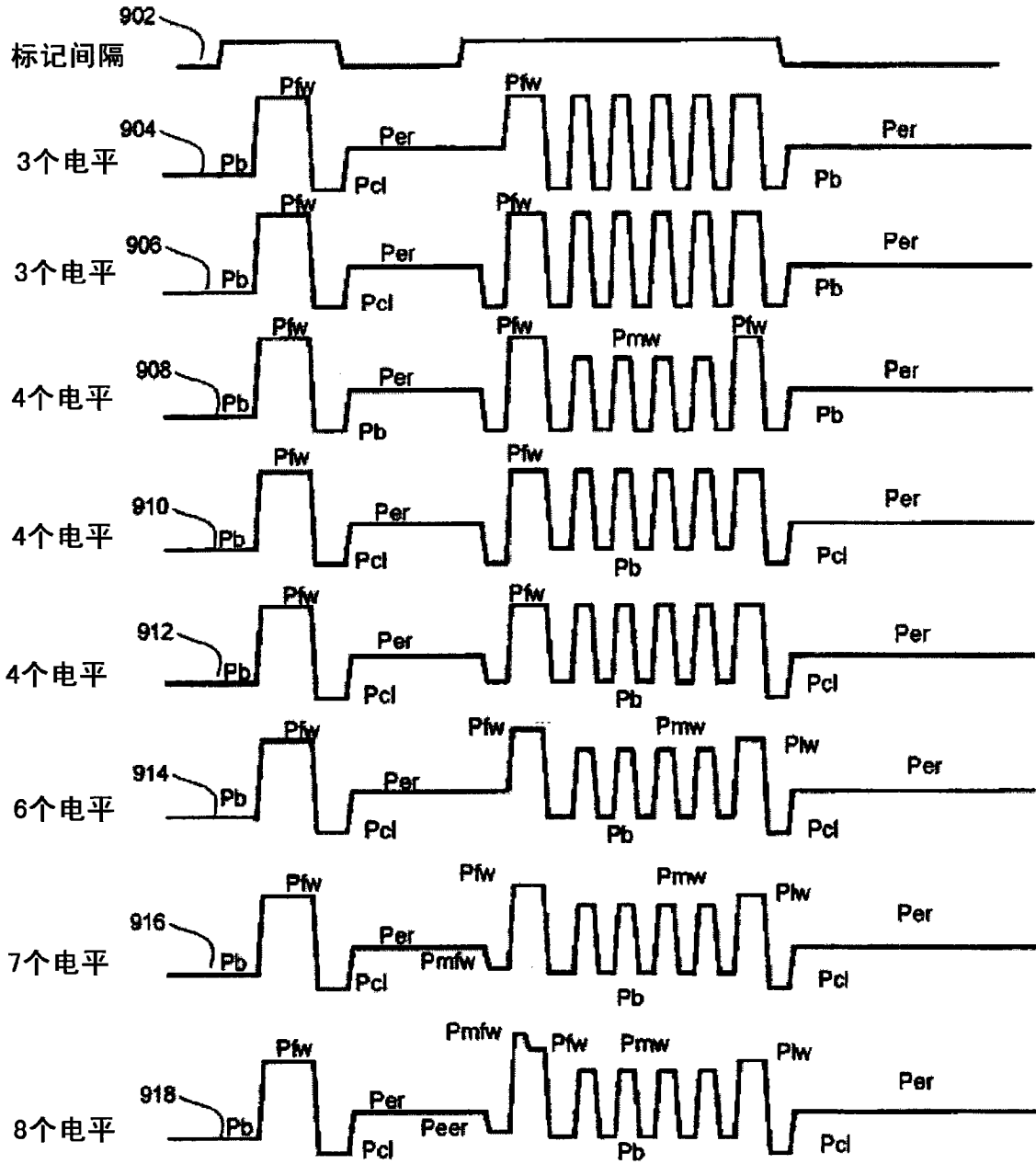


图 9

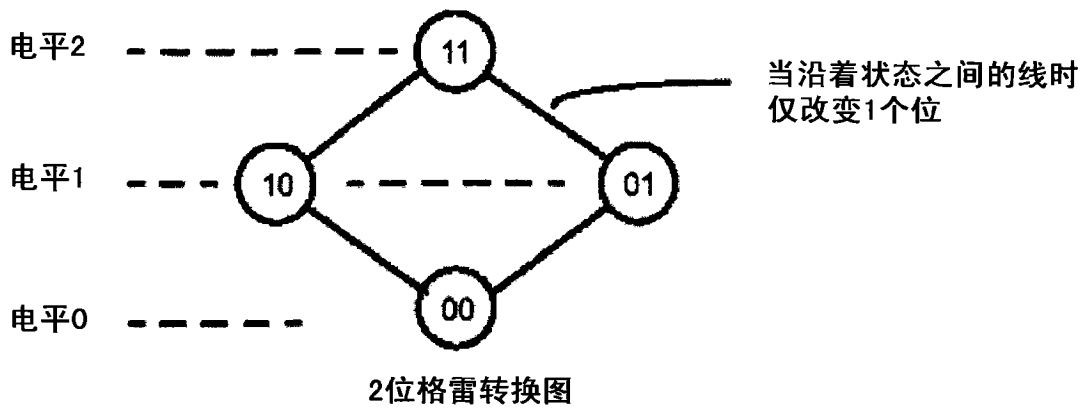


图 10A

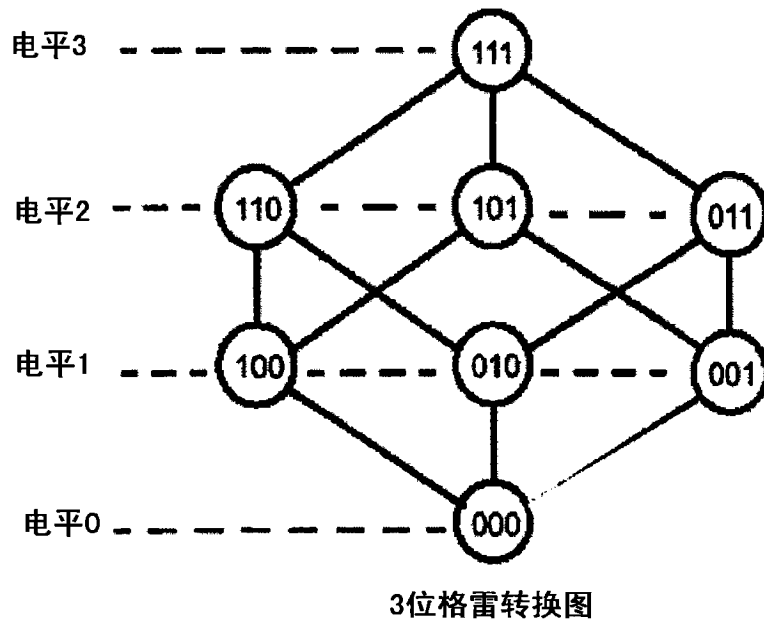
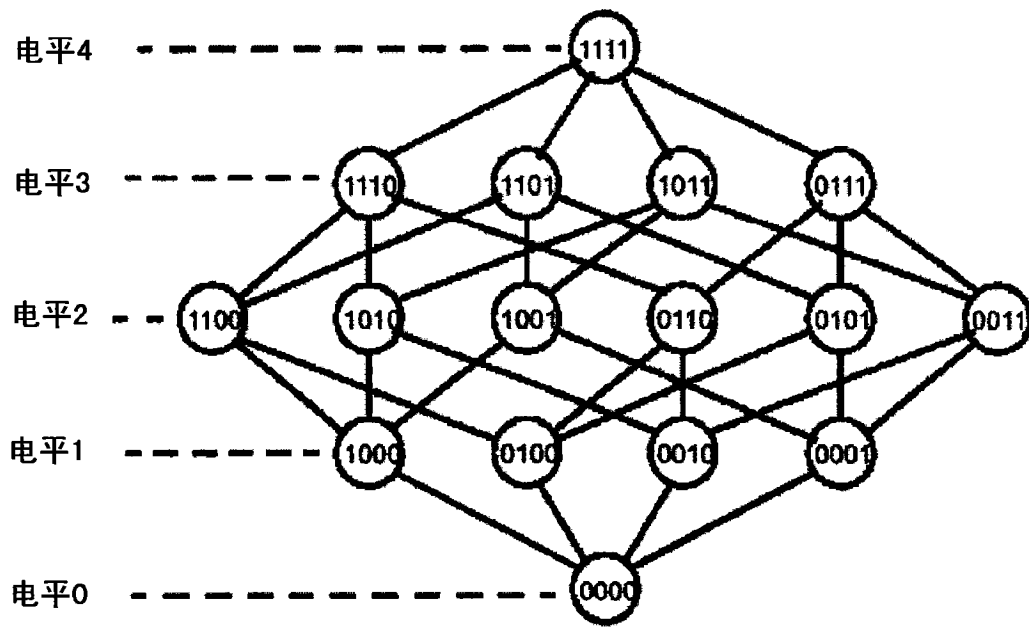


图 10B



4位格雷转换图

图 10C

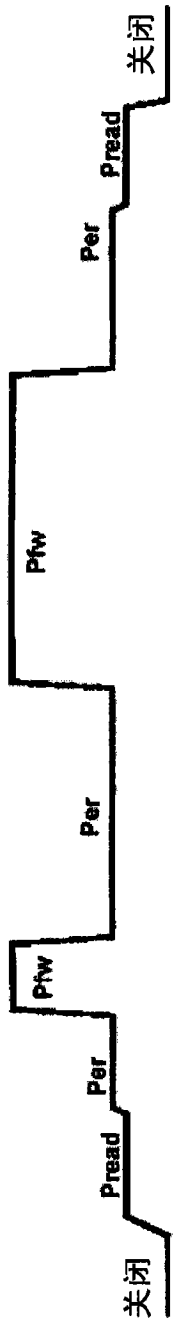


图 11A

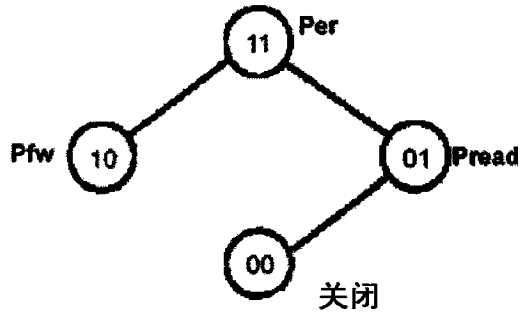


图 11B

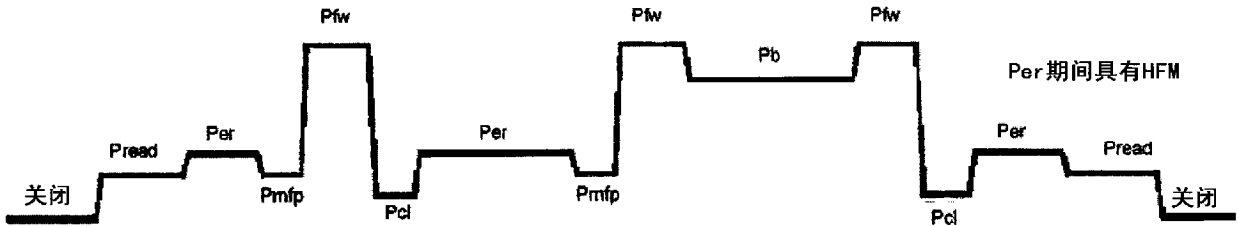


图 12A

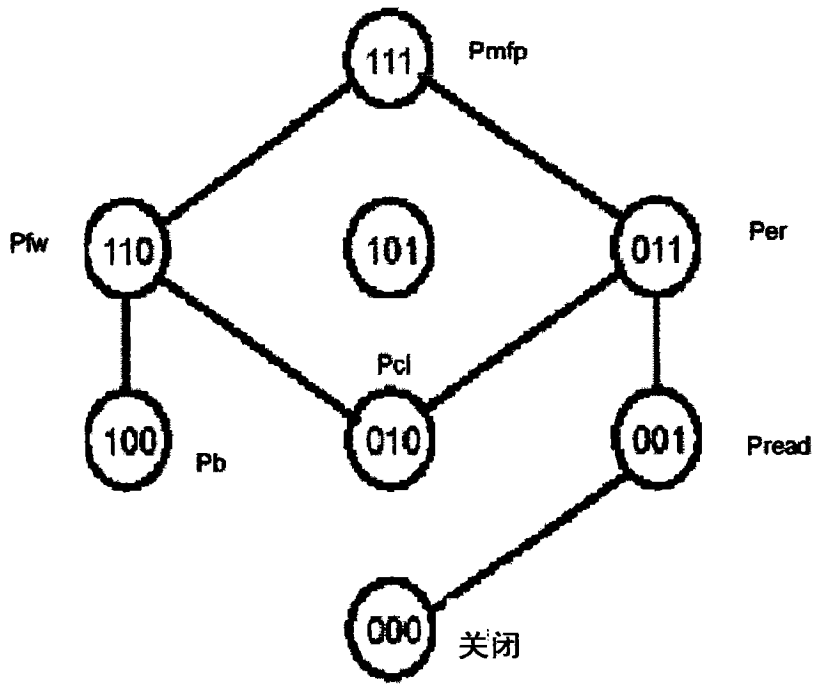


图 12B

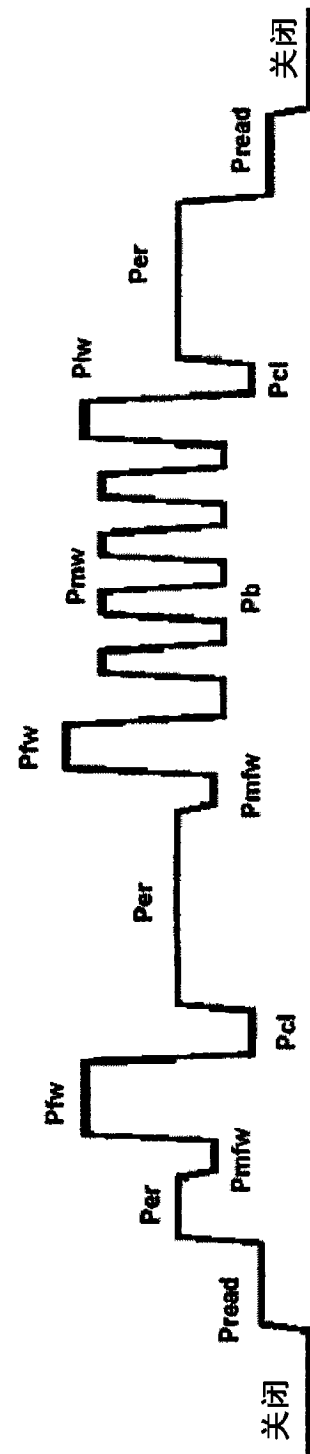


图 13A

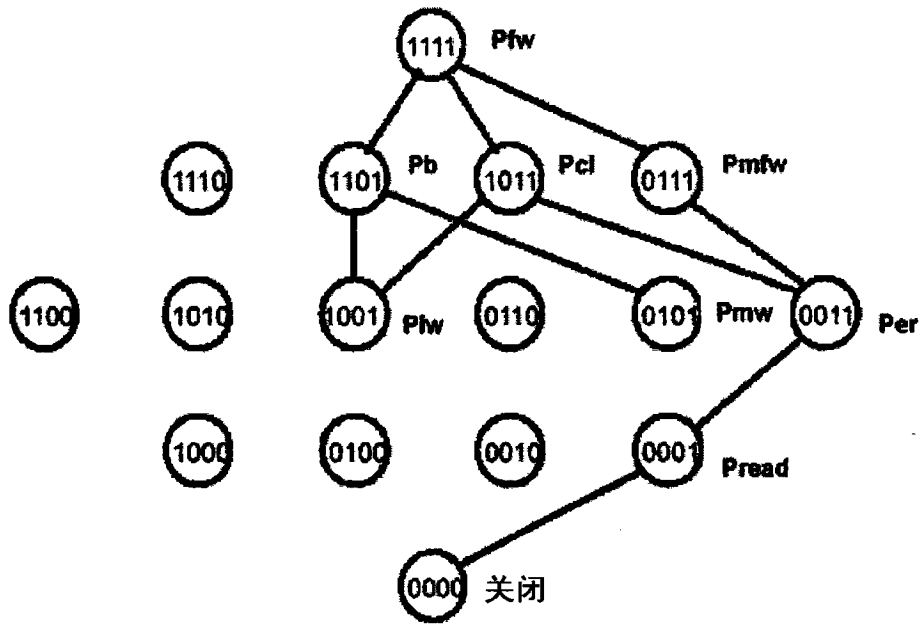


图 13B

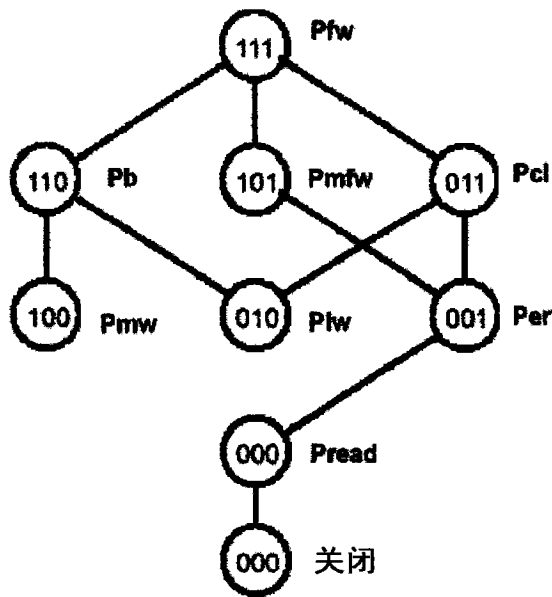


图 13C

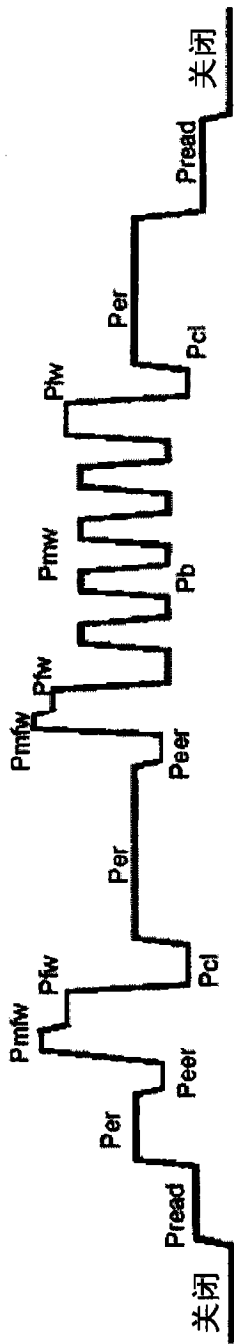


图 14A

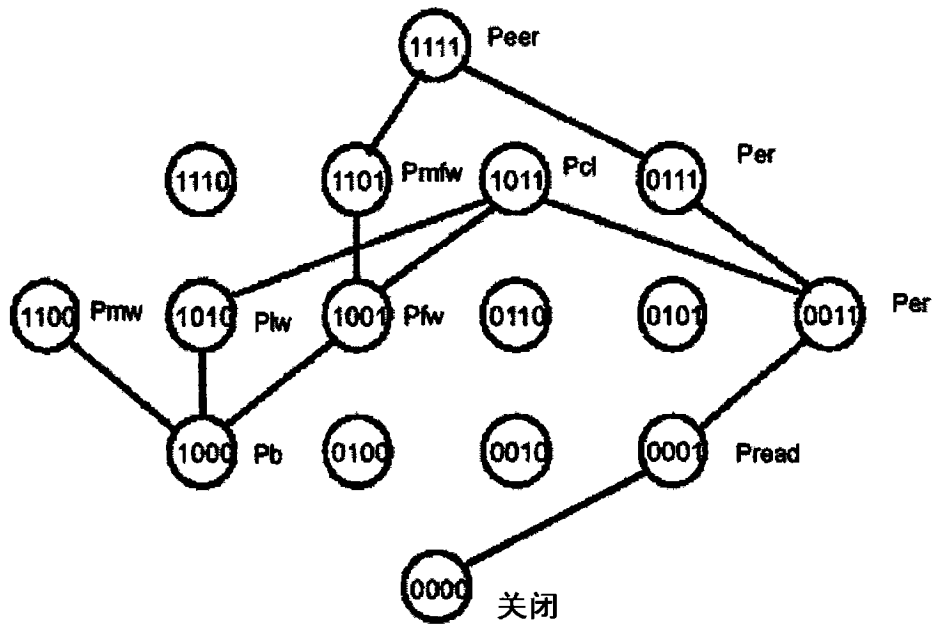


图 14B

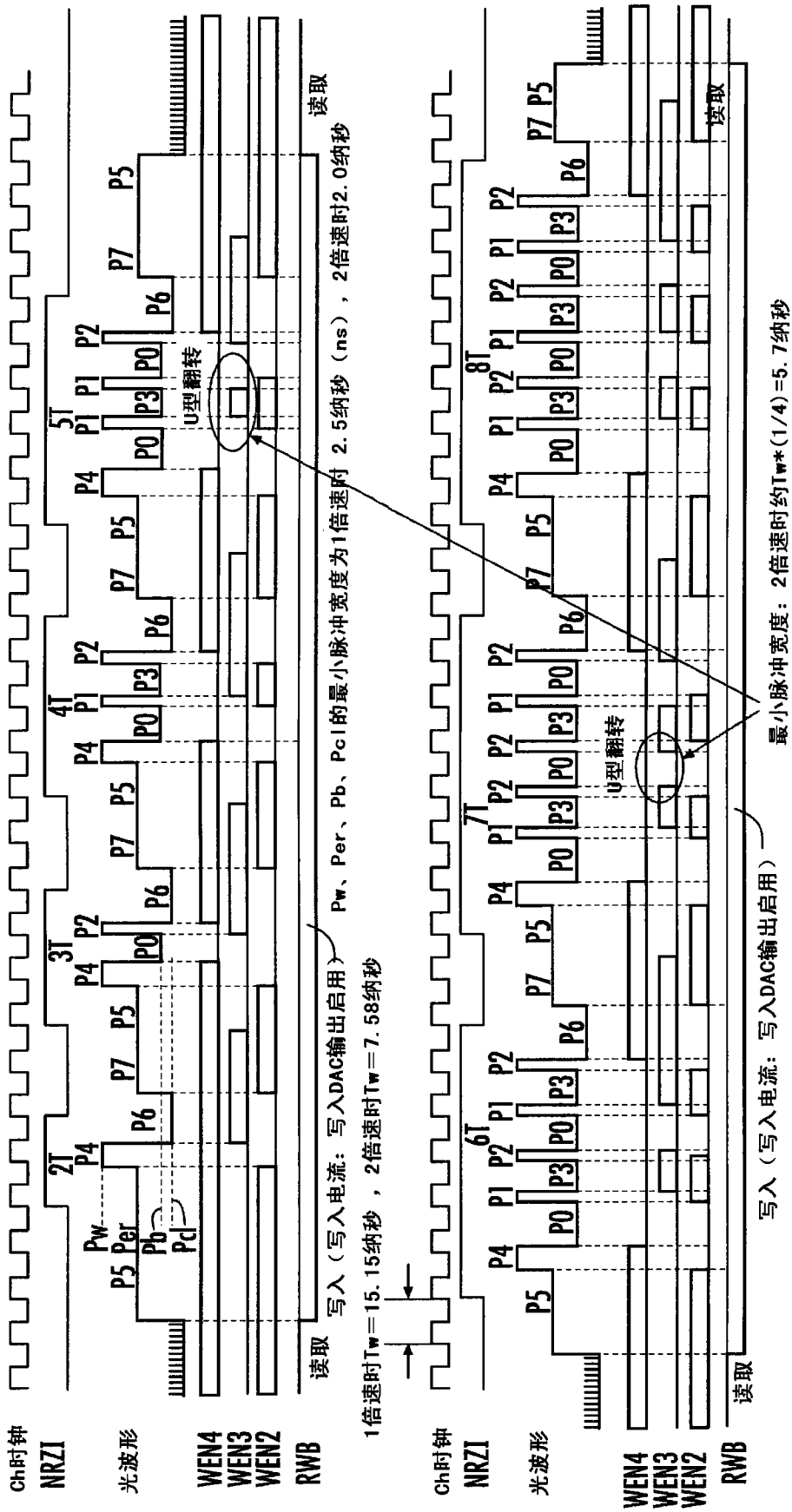


图 15A

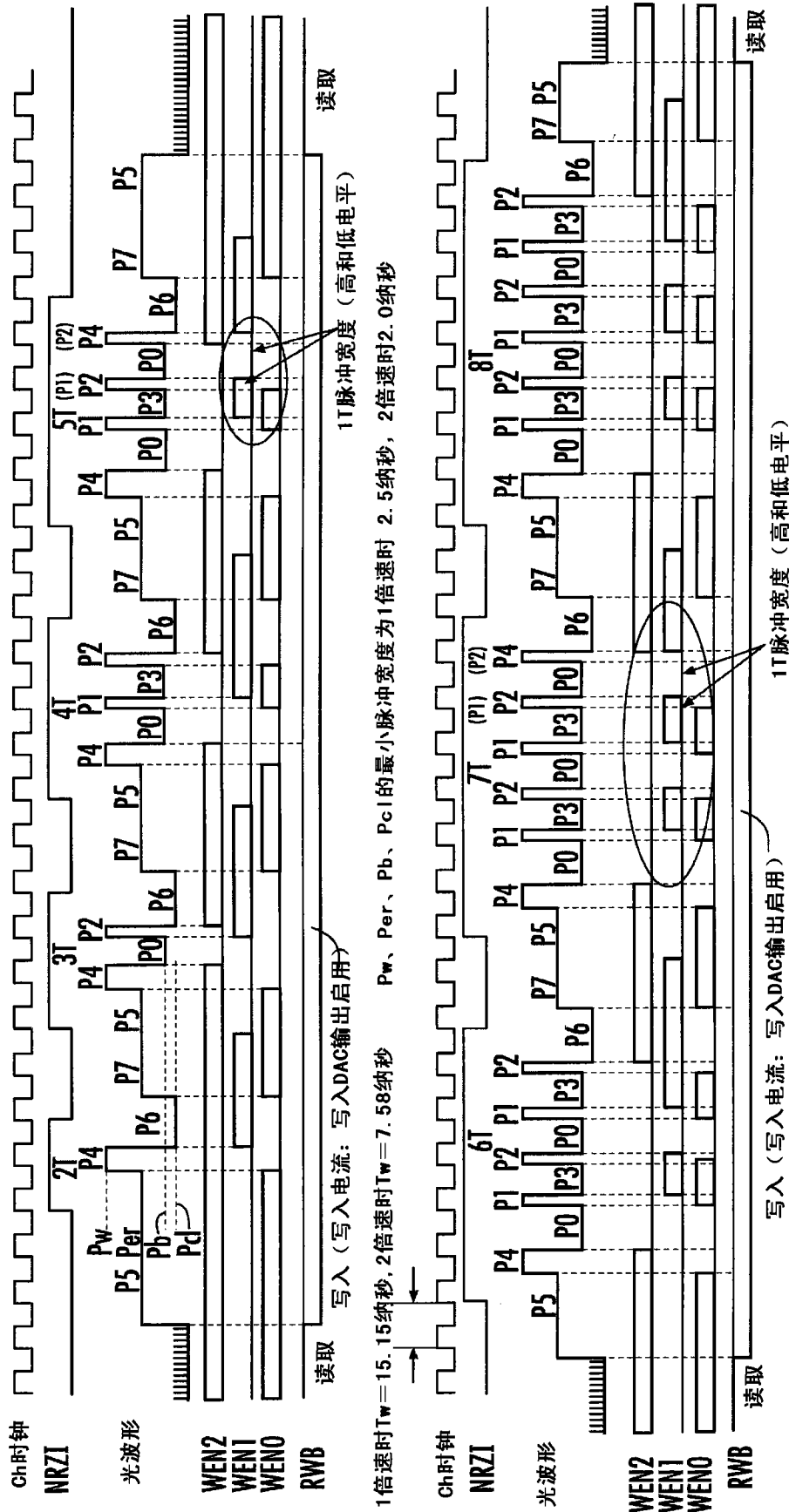


图 15B

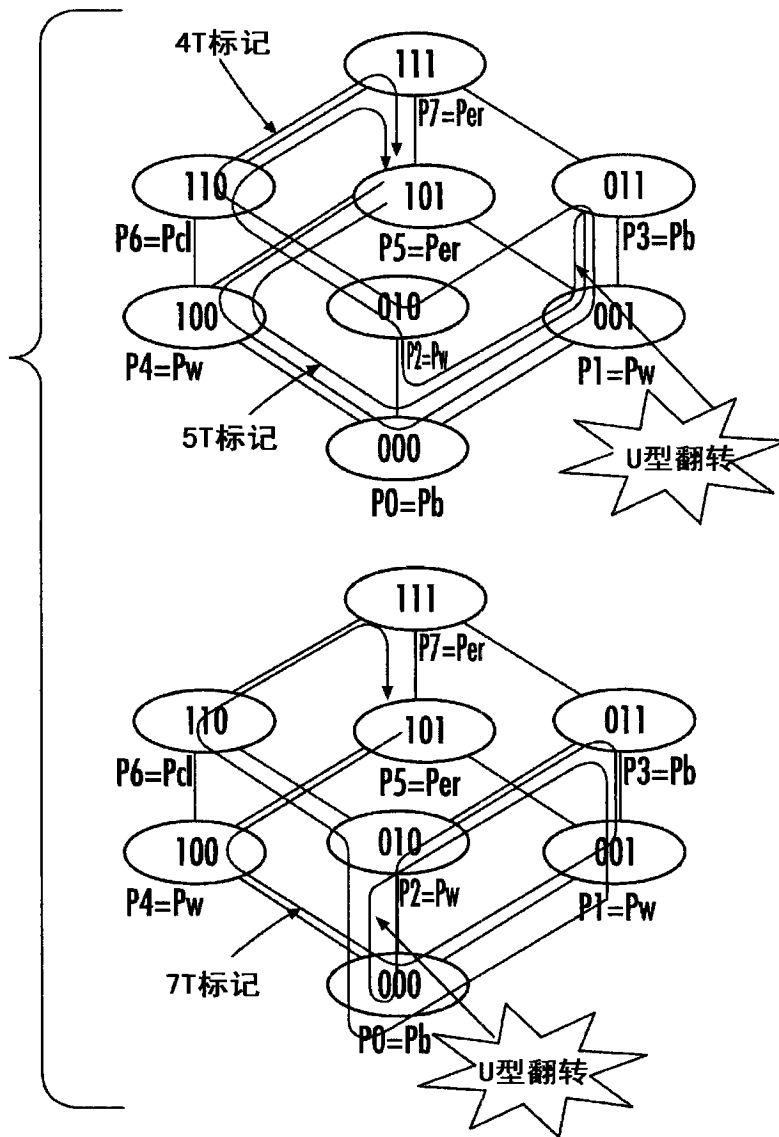


图 15C

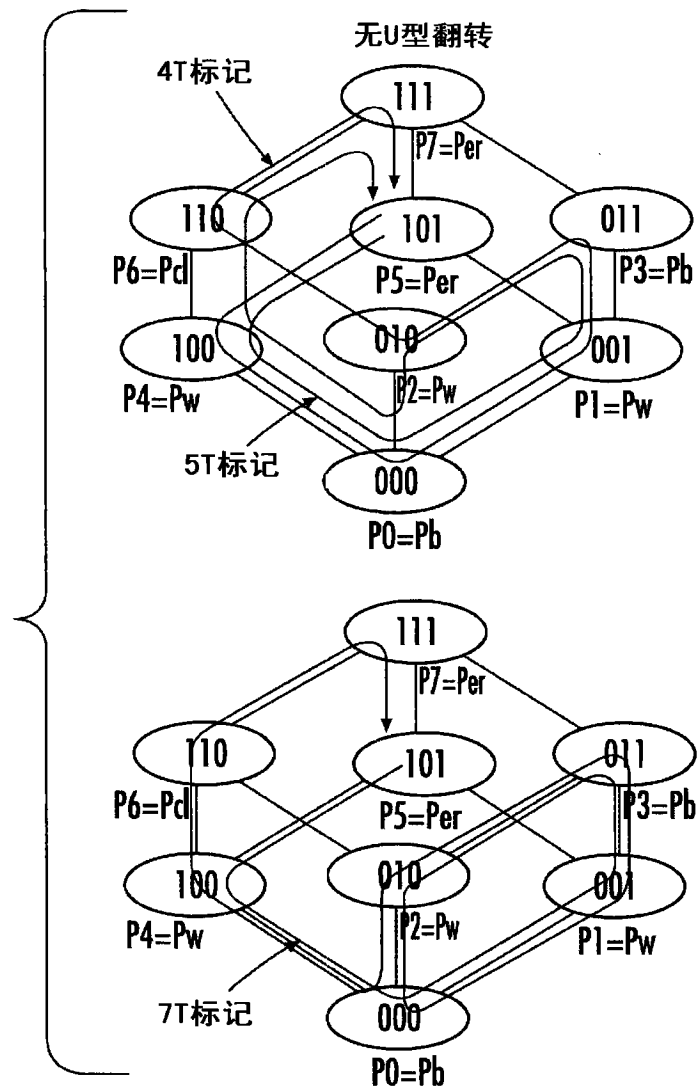


图 15D

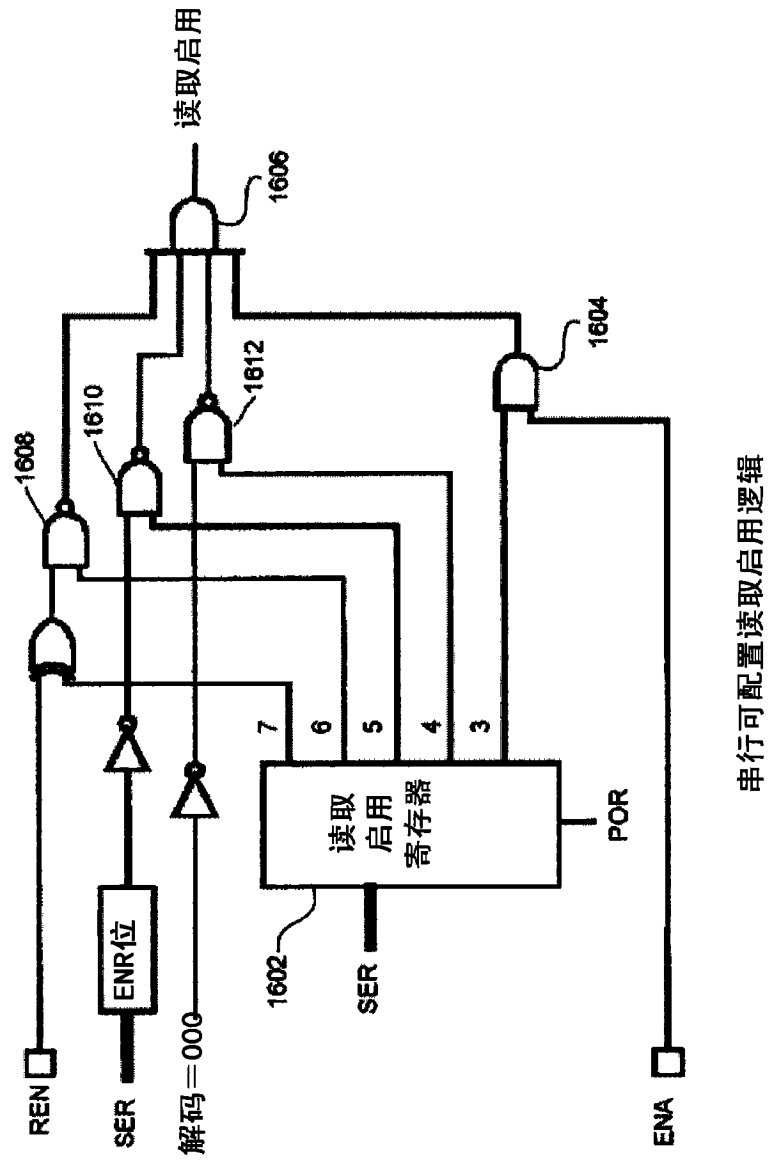


图 16A

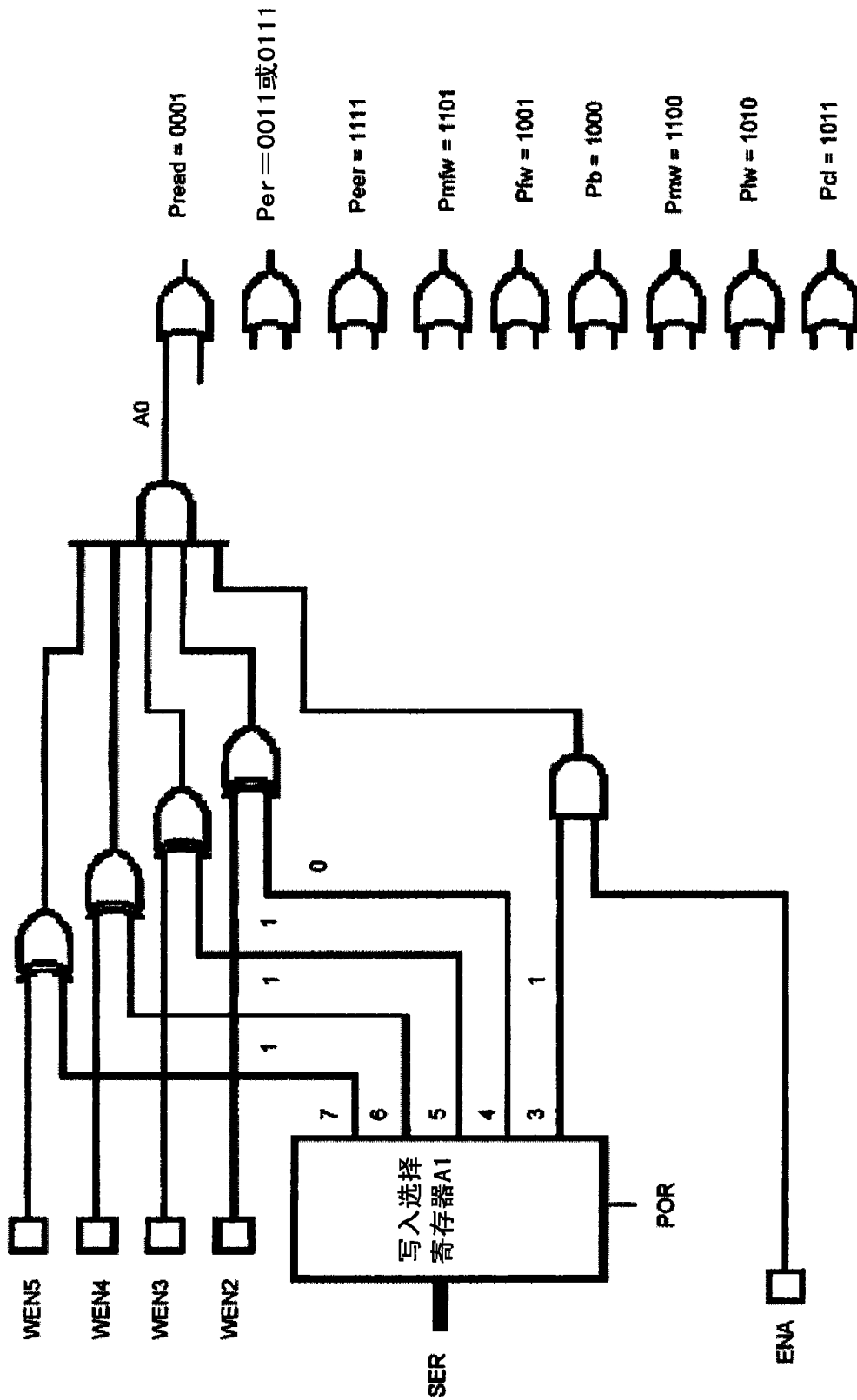


图 16B

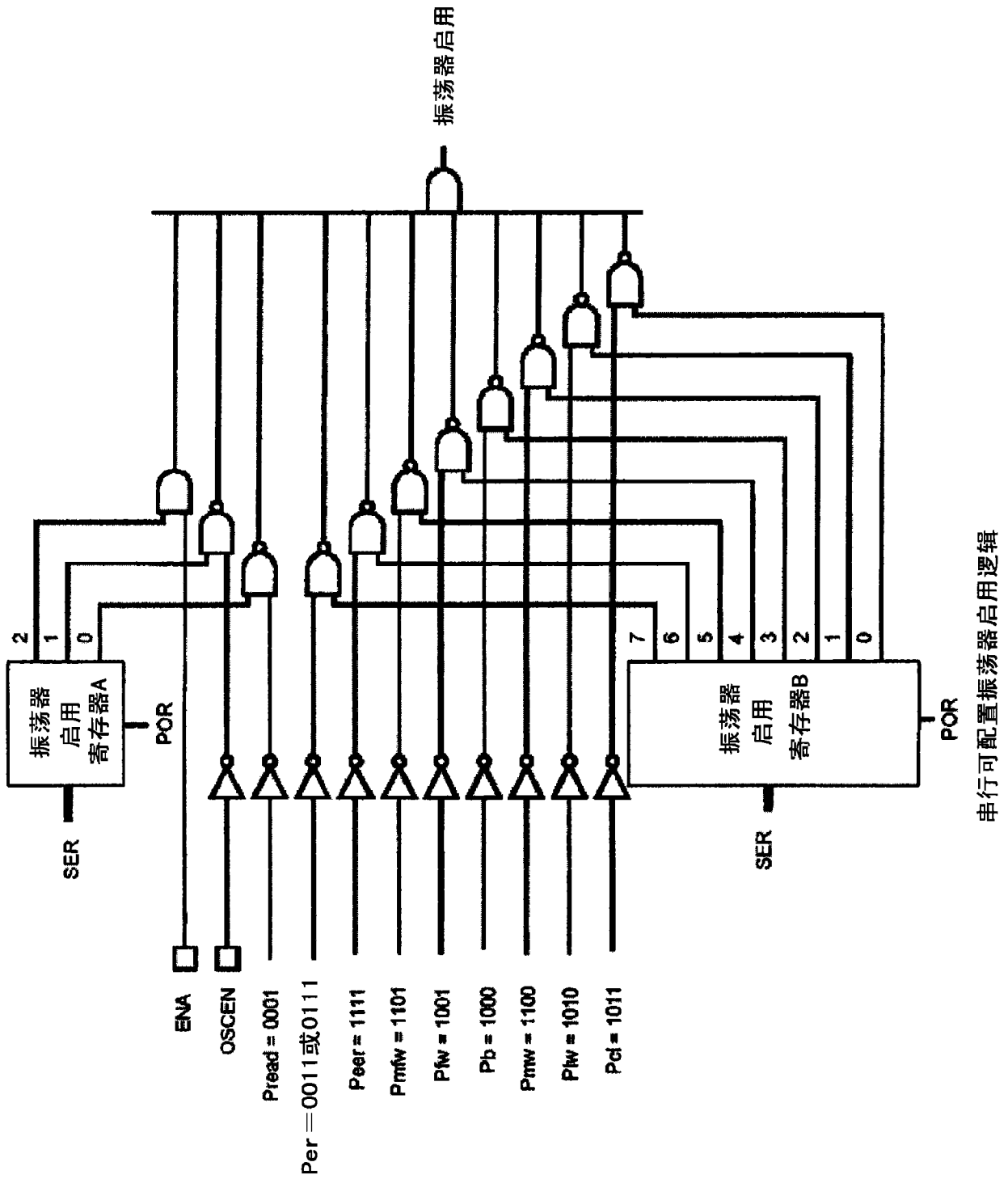


图 17

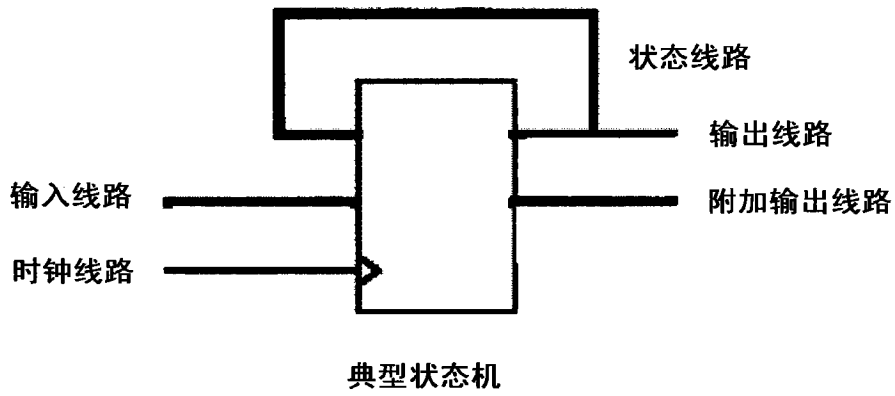


图 18A

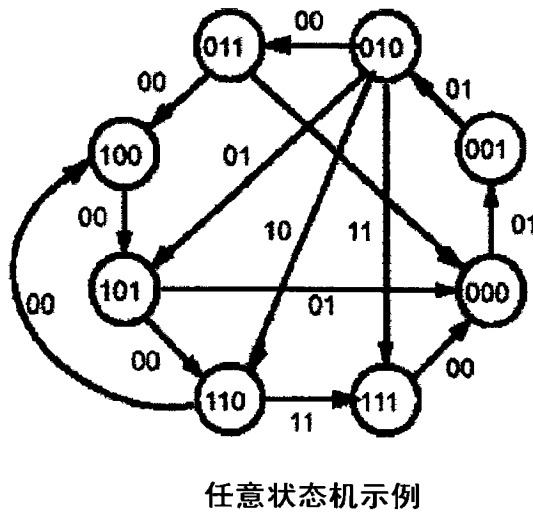


图 18B



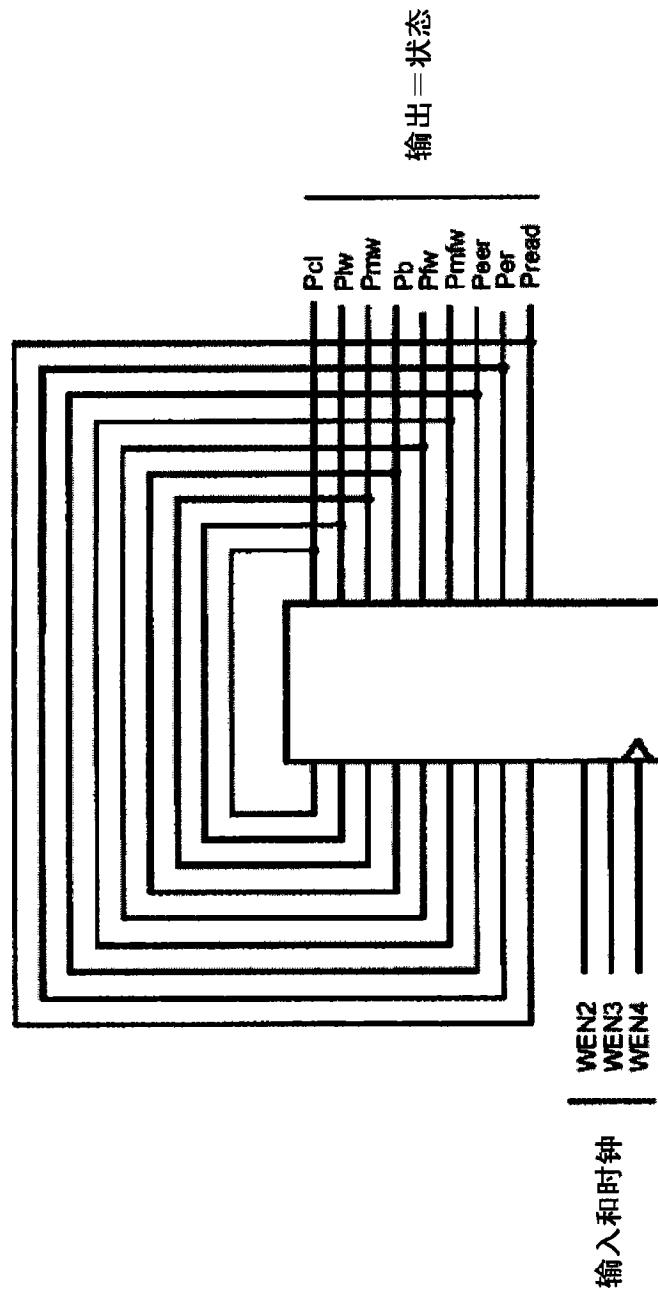


图 19C

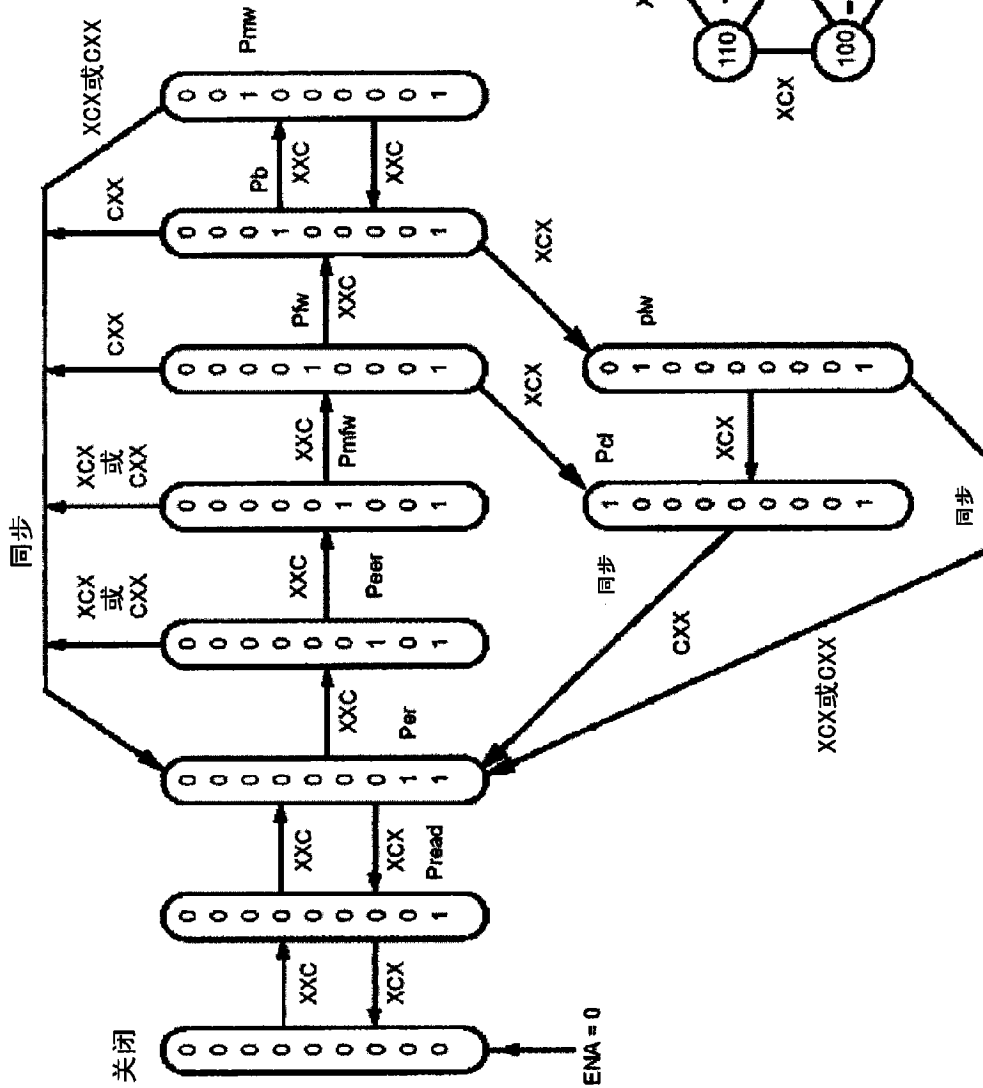


图 20

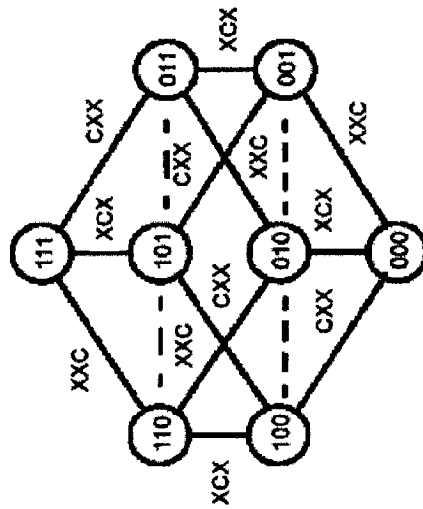


图 21

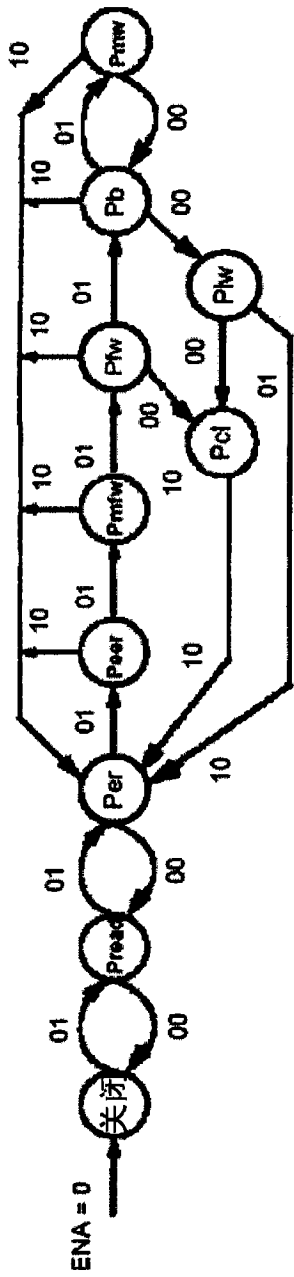


图 22

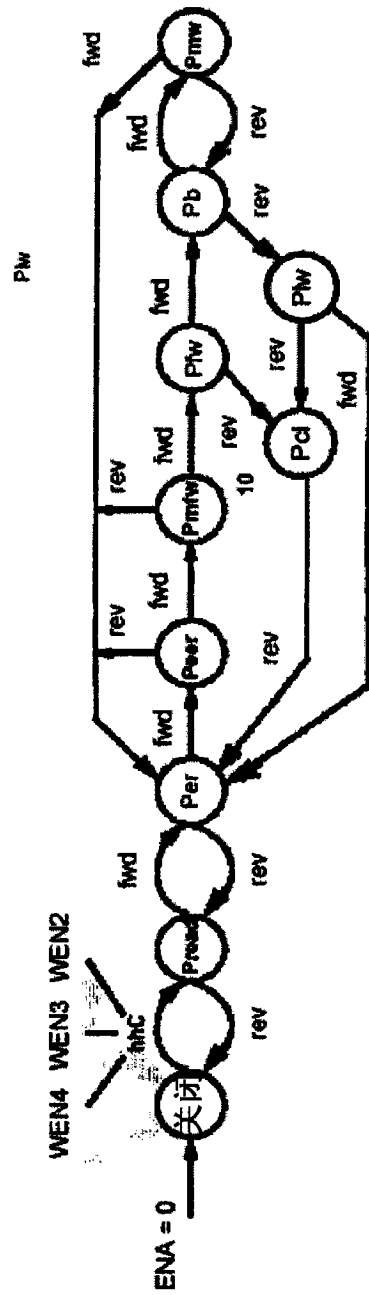


图 23

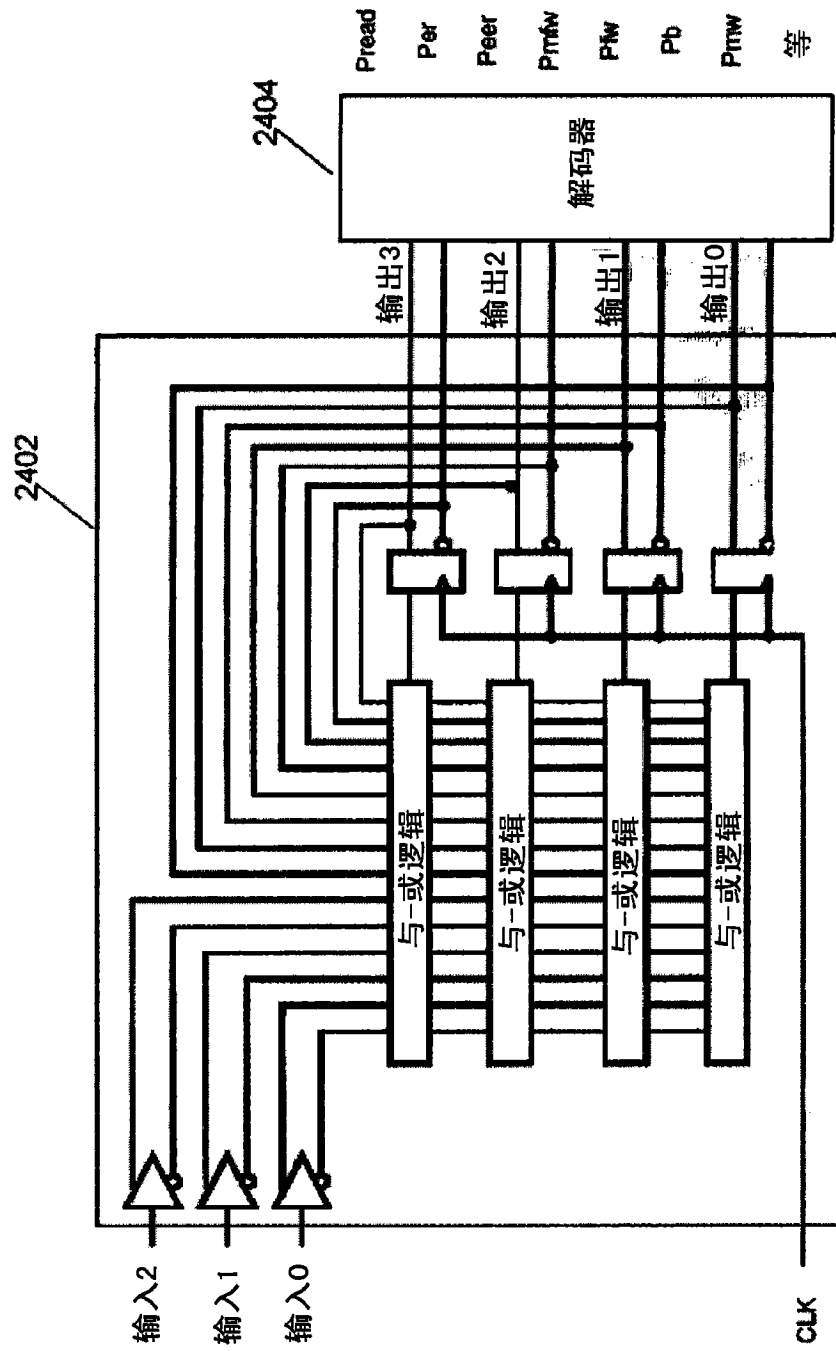


图 24

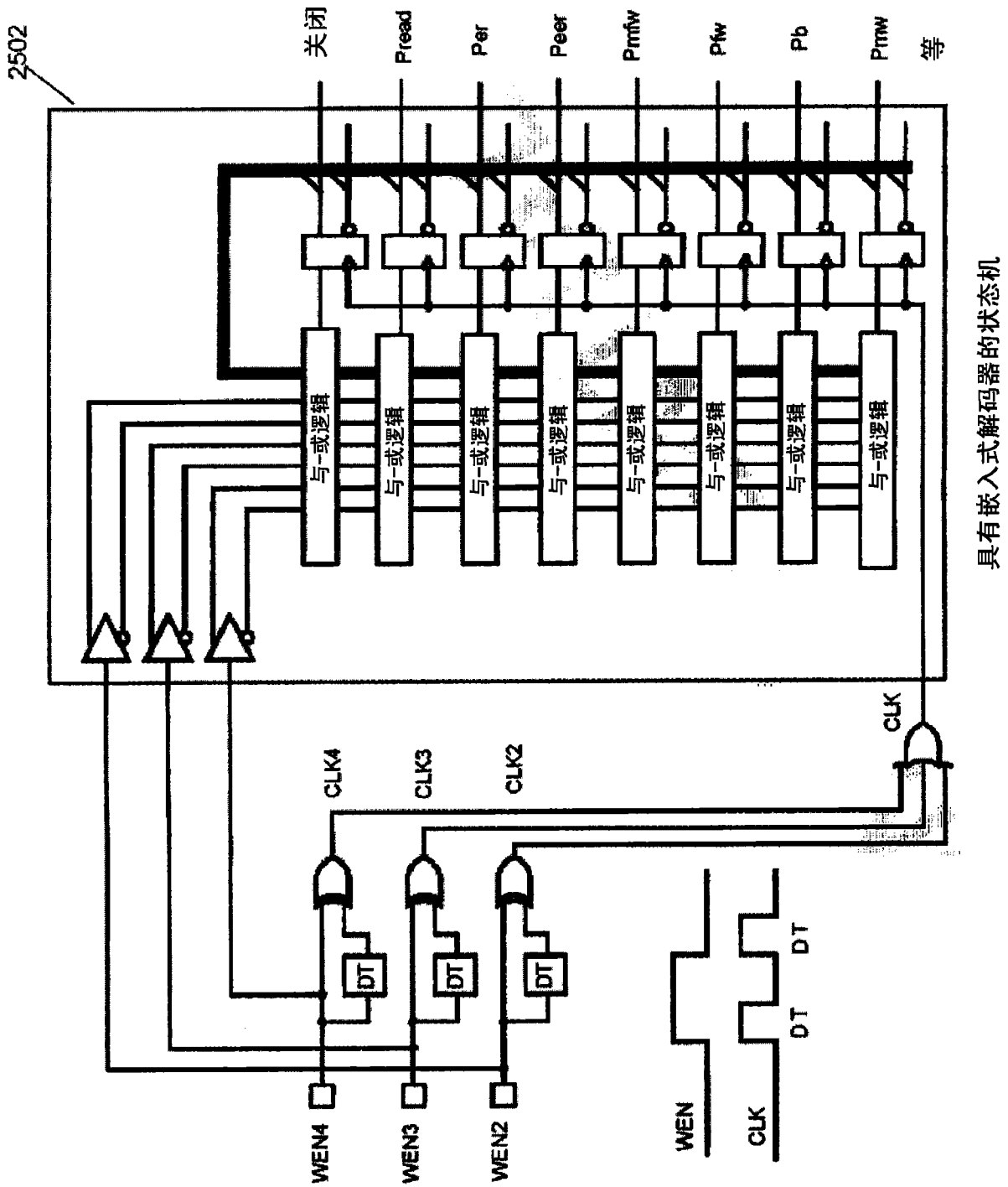
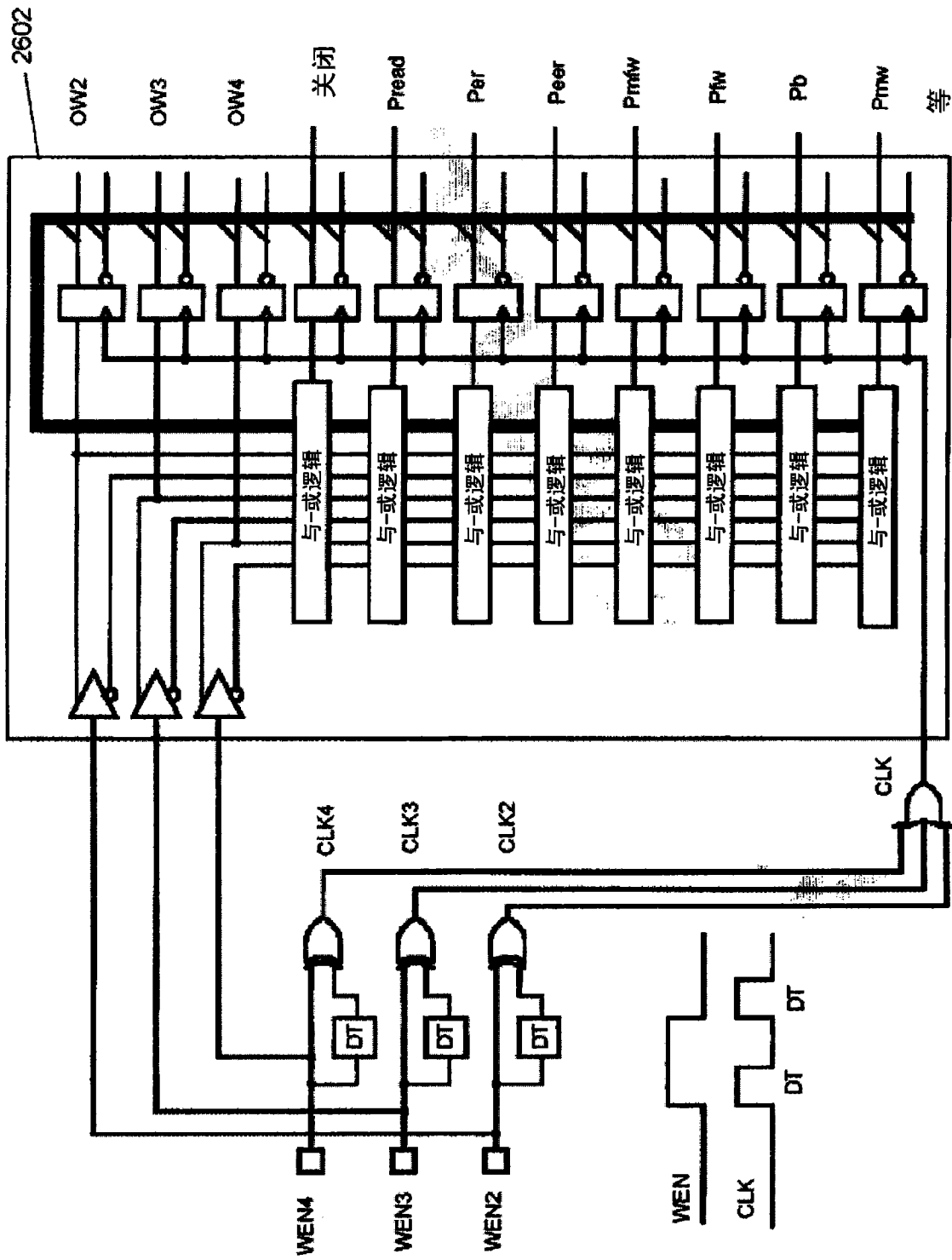


图 25



具有嵌入式解码器和输入存储器的状态机

图 26