



(12) 发明专利申请

(10) 申请公布号 CN 101718931 A

(43) 申请公布日 2010.06.02

(21) 申请号 200910252933.9

(22) 申请日 2009.12.04

(71) 申请人 友达光电股份有限公司
地址 中国台湾新竹

(72) 发明人 江博仁 刘晋炜

(74) 专利代理机构 北京律诚同业知识产权代理
有限公司 11006

代理人 梁挥 祁建国

(51) Int. Cl.

G02F 1/1362 (2006.01)

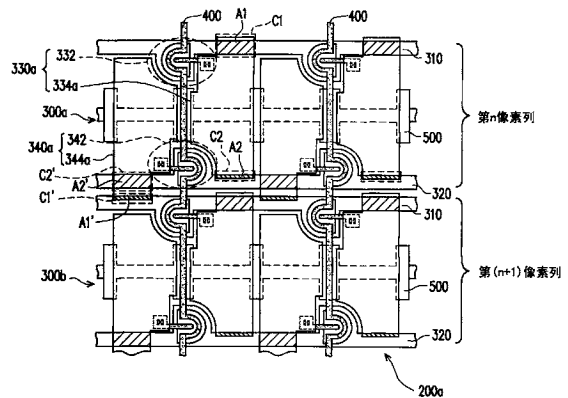
权利要求书 2 页 说明书 8 页 附图 8 页

(54) 发明名称

像素阵列

(57) 摘要

一种像素阵列,包括多个像素列及多条数据线。每一像素列包括一第一扫描线、一第二扫描线、多个第一子像素以及多个第二子像素。第一与第二子像素交替排列于第一与第二扫描线之间。数据线与第一及第二扫描线交错,其中与同一条数据线电性连接的部分第一子像素以及部分第二子像素分别位于该条数据线的两对侧。在第 n 像素列中,每一第一子像素与第一扫描线的耦合电容为 C1。每一第一子像素与第二扫描线的耦合电容为 C2。每一第二子像素与第二扫描线的耦合电容为 C2'。每一第二子像素与第 (n+1) 像素列中的第一扫描线的耦合电容为 C1',且 (C1+C2) 实质上等于 (C1'+C2')。



1. 一种像素阵列,其特征在于,包括:

多个像素列,各该像素列包括:

一第一扫描线;

一第二扫描线;

多个第一子像素;以及

多个第二子像素,该些第一子像素与该些第二子像素交替排列于该第一扫描线与该第二扫描线之间,该些第一子像素与该第一扫描线电性连接,该些第二子像素与该第二扫描线电性连接;以及

多条数据线,与该些第一扫描线以及该些第二扫描线交错,其中与同一条数据线电性连接的部分该些第一子像素以及部分该些第二子像素分别位于该条数据线的两对侧;其中

在第 n 像素列中,各该第一子像素与该第一扫描线的耦合电容为 C_1 ,各该第一子像素与该第二扫描线的耦合电容为 C_2 ,各该第二子像素与该第二扫描线的耦合电容为 C_2' ,各该第二子像素与第 $(n+1)$ 像素列中的该第一扫描线的耦合电容为 C_1' ,且 (C_1+C_2) 等于 $(C_1'+C_2')$ 。

2. 根据权利要求 1 所述的像素阵列,其特征在于,该些像素列中的该些第一扫描线以及该些第二扫描线交替地排列。

3. 根据权利要求 1 所述的像素阵列,其特征在于,各该第一子像素包括一第一主动元件以及一与该第一主动元件电性连接的第一像素电极,各该第二子像素包括一第二主动元件以及一与该第二主动元件电性连接的第二像素电极。

4. 根据权利要求 3 所述的像素阵列,其特征在于,在该第 n 像素列中,该耦合电容 C_1 由各该第一像素电极与该第一扫描线所形成,该耦合电容 C_2 由各该第一像素电极与该第二扫描线所形成,该耦合电容 C_2' 由各该第二像素电极与该第二扫描线所形成,该耦合电容 C_1' 由各该第二像素电极与该第 $(n+1)$ 像素列中的该第一扫描线所形成。

5. 根据权利要求 3 所述的像素阵列,其特征在于,在该第 n 像素列中,各该第一像素电极与该第一扫描线的耦合面积为 A_1 ,各该第一像素电极与该第二扫描线的耦合面积为 A_2 ,各该第二像素电极与该第二扫描线的耦合面积为 A_2' ,各该第二像素电极与该第 $(n+1)$ 像素列中的该第一扫描线的耦合面积为 A_1' ,且 (A_1+A_2) 等于 $(A_1'+A_2')$ 。

6. 根据权利要求 5 所述的像素阵列,其特征在于,在该第 n 像素列中,其中 A_1' 为 0, (A_1+A_2) 等于 A_2' 。

7. 根据权利要求 1 所述的像素阵列,其特征在于,各该第一子像素包括一第一主动元件、一与该第一主动元件电性连接的第一像素电极以及一与该第一像素电极电性连接的第一耦合电极,各该第二子像素包括一第二主动元件、一与该第二主动元件电性连接的第二像素电极以及一与该第二像素电极电性连接的第二耦合电极。

8. 根据权利要求 7 所述的像素阵列,其特征在于,在该第 n 像素列中,该耦合电容 C_1 由各该第一耦合电极与该第一扫描线所形成,该耦合电容 C_2 由各该第一像素电极与该第二扫描线所形成,该耦合电容 C_2' 由各该第二耦合电极与该第二扫描线所形成,该耦合电容 C_1' 由各该第二耦合电极与第 $(n+1)$ 像素列中的该第一扫描线所形成。

9. 根据权利要求 7 所述的像素阵列,其特征在于,在该第 n 像素列中,各该第一耦合电极与该第一扫描线的耦合面积为 A_1 ,各该第一像素电极与该第二扫描线的耦合面积为 A_2 ,

各该第二耦合电极与该第二扫描线的耦合面积为 $A2'$ ，各该第二耦合电极与该第 $(n+1)$ 像素列中的该第一扫描线的耦合面积为 $A1'$ ，且 $(A1+A2)$ 等于 $(A1'+A2')$ 。

10. 根据权利要求 7 所述的像素阵列，其特征在于，在该第 n 像素列中，该耦合电容 $C1$ 由各该第一耦合电极与该第一扫描线所形成，该耦合电容 $C2$ 由各该第一耦合电极与该第二扫描线所形成，该耦合电容 $C2'$ 由各该第二耦合电极与该第二扫描线所形成，该耦合电容为 $C1'$ 由各该第二耦合电极与第 $(n+1)$ 像素列中的该第一扫描线所形成，其中该第一耦合电极延伸于该第一像素电极的下方。

11. 根据权利要求 1 所述的像素阵列，其特征在于，该与同一条数据线电性连接的第一子像素在行方向上彼此对齐，与同一条数据线电性连接的第二子像素在行方向上彼此对齐。

12. 一种像素阵列，其特征在于，包括：

多个像素列，各该像素列包括：

一第一扫描线；

一第二扫描线；

多个第一子像素；以及

多个第二子像素，该些第一子像素与该些第二子像素交替排列于该第一扫描线与该第二扫描线之间，该些第一子像素与该第一扫描线电性连接，该些第二子像素与该第二扫描线电性连接；以及

多条数据线，与该些第一扫描线以及该些第二扫描线交错，其中与同一条数据线电性连接的部分该些第一子像素以部分该些第二子像素分别位于该条数据线的两对侧；其中

在第 n 像素列中，各该第一子像素与该第一扫描线以及该第二扫描线重迭，各该第二子像素与该第二扫描线重迭，其中该第 n 像素列中的各该第二子像素更与第 $(n+1)$ 像素列中的该第一扫描线重迭。

像素阵列

技术领域

[0001] 本发明涉及一种像素阵列,且尤其涉及一种数据驱动芯片减半(HalfSource Driver, HSD)架构的像素阵列。

背景技术

[0002] 一般而言,平面显示器中主要是由一显示面板以及多个驱动芯片(DriverIC)所构成,其中显示面板具有像素阵列,而像素阵列的像素是通过对应的扫描线以及对应的数据线所驱动。为了使得平面显示器更为普及,业者都如火如荼地进行降低成本作业,近年来一种数据驱动芯片减半(Half Source Driver, HSD)的架构设计被提出,其主要是利用像素阵列上的布局来降低数据驱动芯片的使用量。详细来说, HSD 架构的像素阵列中,两相邻的子像素(sub-pixel)是共享同一条数据线,因而得以使数据线的总数目减半,但扫描线的总数目则增加一倍。由于 HSD 架构可以使得数据线的总数目减半,因此,所需的源极驱动器(source drivers)的数量也减半,但所需的栅极驱动器(gate drivers)的数量则增加一倍。由于栅极驱动器的造价低于源极驱动器的造价,因此,整体而言,平面显示器的制造成本仍可有效地被降低。在 HSD 的设计中,由于扫描线的总数目会增加一倍,因此,每个像素的充电时间减半,致使数据写入的时间不足,进而导致平面显示器的显示质量下降。为了改善前述的问题,对扫描线进行预充(pre-charge)是目前现有技术常会采用的作法,然而,此作法仍然面临了诸多问题,兹详述如下。

[0003] 图 1A 为现有的像素阵列的示意图,而图 1B 为用以驱动图 1A 中的像素阵列的信号时序图。请先参考图 1A,现有的像素阵列 100 包括多个像素列 100a、100b 以及多条数据线 110。每一像素列 100a(或像素列 100b)包括一第一扫描线 120a、一第二扫描线 120b、多个第一子像素 130a 以及多个第二子像素 130b。其中,数据线 110 与第一扫描线 120a 以及第二扫描线 120b 交错,与同一条数据线 110 电性连接的部分第一子像素 130a 位于数据线 110 的右侧,而与同一条数据线 110 电性连接的部分第二子像素 130b 位于数据线 110 的左侧。此外,第一子像素 130a 与第二子像素 130b 交替排列于第一扫描线 120a 与第二扫描线 120b 之间,且第一子像素 130a 与第一扫描线 120a 电性连接,而第二子像素 130b 与第二扫描线 120b 电性连接。

[0004] 如图 1B 所示, G1 为输入至像素列 100a 的第一扫描线 120a 的扫描信号, G2 为输入至像素列 100a 的第二扫描线 120b 的扫描信号, G3 为输入至像素列 100b 的第一扫描线 120a 的扫描信号,而 D 为输入至数据线 110 的数据信号, P1 为输入至子像素 130a 的影像信号, P2 为输入至子像素 130b 的影像信号。当对像素阵列 100 的第一扫描线 120a 以及第二扫描线 120b 采用预充(pre-charge)的驱动方式时,第一子像素 130a 的电压会受到第一扫描线 120a 以及第二扫描线 120b 在关闭时所导致的馈通电压(feed through voltage)效应的影响,而产生一 $(2 \times \Delta H)$ 的压降,请参考图 1B 中的影像信号 P1。第二子像素 130b 的电压却只会受到第二扫描线 120b 在关闭时所导致的馈通电压效应的影响,而产生一 ΔH 的压降,请参考图 1B 中的影像信号 P2。其中, $(2 \times \Delta H)$ 的压降明显不等于 ΔH 的压降。如此

一来,第一子像素 130a 与第二子像素 130b 在显示时则会出现亮暗线交替的显示缺陷,进而影响平面显示器的显示质量。

发明内容

[0005] 本发明所要解决的技术问题在于提供一种像素阵列,以大幅改善显示画面中亮暗线的显示缺陷。

[0006] 本发明提出一种像素阵列,其包括多个像素列与多条数据线。每一像素列包括一第一扫描线、一第二扫描线、多个第一子像素以及多个第二子像素。第一子像素与第二子像素交替排列于第一扫描线与第二扫描线之间。第一子像素与第一扫描线电性连接,而第二子像素与第二扫描线电性连接。数据线与第一扫描线以及第二扫描线交错,其中与同一条数据线电性连接的部分第一子像素以及部分第二子像素分别位于该条数据线的两对侧。在第 n 像素列中,每一第一子像素与第一扫描线的耦合电容为 $C1$ 。每一第一子像素与第二扫描线的耦合电容为 $C2$ 。每一第二子像素与第二扫描线的耦合电容为 $C2'$ 。每一第二子像素与第 $(n+1)$ 像素列中的第一扫描线的耦合电容为 $C1'$,且 $(C1+C2)$ 实质上等于 $(C1'+C2')$ 。

[0007] 在本发明的一实施例中,上述的像素列中的第一扫描线以及第二扫描线交替地排列。

[0008] 在本发明的一实施例中,上述的每一第一子像素包括一第一主动元件以及一与第一主动元件电性连接的第一像素电极。每一第二子像素包括一第二主动元件以及一与第二主动元件电性连接的第二像素电极。

[0009] 在本发明的一实施例中,上述在第 n 像素列中,耦合电容 $C1$ 由每一第一像素电极与第一扫描线所形成。耦合电容 $C2$ 由每一第一像素电极与第二扫描线所形成。耦合电容 $C2'$ 由每一第二像素电极与第二扫描线所形成。耦合电容 $C1'$ 由每一第二像素电极与第 $(n+1)$ 像素列中的第一扫描线所形成。

[0010] 在本发明的一实施例中,上述在第 n 像素列中,每一第一像素电极与第一扫描线的耦合面积为 $A1$ 。每一第一像素电极与第二扫描线的耦合面积为 $A2$ 。每一第二像素电极与第二扫描线的耦合面积为 $A2'$ 。每一第二像素电极与第 $(n+1)$ 像素列中的第一扫描线的耦合面积为 $A1'$,且 $(A1+A2)$ 实质上等于 $(A1'+A2')$ 。

[0011] 在本发明的一实施例中,上述在第 n 像素列中,其中 $A1'$ 为 0,而 $(A1+A2)$ 实质上等于 $A2'$ 。

[0012] 在本发明的一实施例中,上述的每一第一子像素包括一第一主动元件、一与第一主动元件电性连接的第一像素电极以及一与第一像素电极电性连接的第一耦合电极。每一第二子像素包括一第二主动元件、一与第二主动元件电性连接的第二像素电极以及一与第二像素电极电性连接的第二耦合电极。

[0013] 在本发明的一实施例中,上述在第 n 像素列中,耦合电容 $C1$ 由每一第一耦合电极与第一扫描线所形成。耦合电容 $C2$ 由每一第一像素电极与第二扫描线所形成。耦合电容 $C2'$ 由每一第二耦合电极与第二扫描线所形成。耦合电容 $C1'$ 由每一第二耦合电极与第 $(n+1)$ 像素列中的第一扫描线所形成。

[0014] 在本发明的一实施例中,上述在第 n 像素列中,每一第一耦合电极与第一扫描线的耦合面积为 $A1$ 。每一第一像素电极与第二扫描线的耦合面积为 $A2$ 。每一第二耦合电极

与第二扫描线的耦合面积为 $A2'$ 。每一第二耦合电极与第 $(n+1)$ 像素列中的第一扫描线的耦合面积为 $A1'$ ，且 $(A1+A2)$ 实质上等于 $(A1'+A2')$ 。

[0015] 在本发明的一实施例中，上述在第 n 像素列中，耦合电容 $C1$ 由每一第一耦合电极与第一扫描线所形成。耦合电容 $C2$ 由每一第一耦合电极与第二扫描线所形成。耦合电容 $C2'$ 由每一第二耦合电极与第二扫描线所形成。耦合电容为 $C1'$ 由每一第二耦合电极与第 $(n+1)$ 像素列中的第一扫描线所形成。

[0016] 在本发明的一实施例中，上述的第一耦合电极延伸于第一像素电极的下方。

[0017] 在本发明的一实施例中，上述与同一条数据线电性连接的第一子像素在行方向上彼此对齐，而与同一条数据线电性连接的第二子像素在行方向上彼此对齐。

[0018] 在本发明的一实施例中，上述的像素阵列还包括多条共通线。每一共通线分别配置于每一像素列中的第一扫描线以及第二扫描线之间。

[0019] 本发明还提出一种像素阵列，其包括多个像素列以及多个数据线。每一像素列包括一第一扫描线、一第二扫描线、多个第一子像素以及多个第二子像素。第一子像素与第二子像素交替排列于第一扫描线与第二扫描线之间。第一子像素与第一扫描线电性连接，而第二子像素与第二扫描线电性连接。数据线与第一扫描线以及第二扫描线交错，其中与同一条数据线电性连接的部分第一子像素以部分第二子像素分别位于条数据线的两对侧。在第 n 像素列中，每一第一子像素与第一扫描线以及第二扫描线重迭 (overlapped)，每一第二子像素与第二扫描线重迭。

[0020] 在本发明的一实施例中，上述第 n 像素列中的每一第二子像素更与第 $(n+1)$ 像素列中的第一扫描线重迭。

[0021] 基于上述，本发明的像素阵列的设计在于使第 n 像素列中，第一子像素与第一扫描线以及第二扫描线的耦合电容实质上等于第二子像素与第二扫描线以及第 $(n+1)$ 像素列中的第一扫描线的耦合电容。如此，当对扫描线采用预充的驱动方式时，第一子像素的电压与第二子像素的电压在受到的馈通电压效应的影响下所产生的压降实质上是相同的，因此可有效改善现有的亮暗线的显示缺陷。因此，当本发明的像素阵列应用于显示器时，有助于提高显示器的显示质量。

[0022] 为了让本发明的上述特征和优点能更明显易懂，下文特举实施例，并配合所附图式作详细说明如下。

附图说明

[0023] 图 1A 为现有的像素阵列的示意图；

[0024] 图 1B 为用以驱动图 1A 中的像素阵列的信号时序图；

[0025] 图 2A 为本发明的第一实施例的一种像素阵列的示意图；

[0026] 图 2B 为用以驱动图 2A 中的像素阵列的信号时序图；

[0027] 图 3A 为本发明的第二实施例的一种像素阵列的示意图；

[0028] 图 3B 为用以驱动图 3A 中的像素阵列的信号时序图；

[0029] 图 4 为本发明的第三实施例的一种像素阵列的示意图；

[0030] 图 5 为本发明的第四实施例的一种像素阵列的示意图。

[0031] 其中，附图标记：

- [0032] 100 :像素阵列
- [0033] 100a、100b :像素列
- [0034] 110 :数据线
- [0035] 120a、120b :扫描线
- [0036] 130a、130b :子像素
- [0037] 200a ~ 200d :像素阵列
- [0038] 300a、300b :第一像素列
- [0039] 310 :第一扫描线
- [0040] 320 :第二扫描线
- [0041] 330a ~ 300d :第一子像素
- [0042] 332 :第一主动元件
- [0043] 334a ~ 334d :第一像素电极
- [0044] 336c、336d :第一耦合电极
- [0045] 340a ~ 340d :第二子像素
- [0046] 342 :第二主动元件
- [0047] 344a ~ 344d :第二像素电极
- [0048] 346c、346d :第二耦合电极
- [0049] 400 :数据线
- [0050] 500 :共通线
- [0051] C1、C1'、C2、C2' :耦合电容
- [0052] A1、A1'、A2、A2' :耦合面积
- [0053] G1、G1'、G2、G2'、G3、G3' :扫描信号
- [0054] D、D' :数据信号
- [0055] P1、P1'、P1''、P2、P2'、P2'' :影像信号

具体实施方式

[0056] 图 2A 为本发明的第一实施例的一种像素阵列的示意图。请先参考图 2A, 像素阵列 200a 包括多个像素列 300a、300b 与多条数据线 400。详细来说, 像素列 300a (或像素列 300b) 包括一第一扫描线 310、一第二扫描线 320、多个第一子像素 330a 以及多个第二子像素 340a。其中, 像素列 330a 中的第一扫描线 310 以及第二扫描线 320 与像素列 330b 中的第一扫描线 310 以及第二扫描线 320 呈现交替地排列。第一子像素 330a 与第二子像素 340a 交替排列于第一扫描线 310 与第二扫描线 320 之间, 其中第一子像素 330a 与第一扫描线 310 电性连接, 而第二子像素 340a 与第二扫描线 320 电性连接。

[0057] 数据线 400 与第一扫描线 310 以及第二扫描线 320 交错, 其中与同一条数据线 400 电性连接的部分第一子像素 330a 以及部分第二子像素 340a 分别位于该条数据线 400 的两对侧。特别是, 与数据线 400 电性连接的第一子像素 330a 在行方向上彼此对齐, 而与此条数据线 400 电性连接的第二子像素 340a 在行方向上彼此对齐。从图 2A 可知, 与同一条数据线 400 电性连接的部分第一子像素 330a 位于数据线 400 的右侧, 而与同一条数据线 400 电性连接的部分第二子像素 340a 则位于数据线 400 的左侧。此外, 本实施例的像素阵列

200a 还包括多条共通线 500, 其中共通线 500 分别配置于像素列 300a (或像素列 300b) 中的第一扫描线 310 以及第二扫描线 320 之间, 举例而言, 多条共通线 500 大体与第一扫描线 310 或第二扫描线 320 平行。

[0058] 如图 2A 所示, 在第 n 像素列中, 每一第一子像素 330a 与第一扫描线 310 以及第二扫描线 320 重迭, 而每一第二子像素 340a 与第二扫描线 320 以及第 $(n+1)$ 像素列中的第一扫描线 310 重迭。详细来说, 在第 n 像素列中, 每一第一子像素 330a 与第一扫描线 310 的耦合电容为 $C1$, 每一第一子像素 330a 与第二扫描线 320 的耦合电容为 $C2$, 每一第二子像素 340a 与第二扫描线 320 的耦合电容为 $C2'$, 而每一第二子像素 340a 与第 $(n+1)$ 像素列中之第一扫描线 310 的耦合电容为 $C1'$, 较佳地, 则 $(C1+C2)$ 实质上等于 $(C1'+C2')$ 。

[0059] 具体来说, 第一子像素 330a 包括一第一主动元件 332 以及一与第一主动元件 332 电性连接的第一像素电极 334a。第二子像素 340a 包括一第二主动元件 342 以及一与第二主动元件 342 电性连接的第二像素电极 344a。在第 n 像素列中, 例如是像素列 300a 中, 第一像素电极 334a 与第一扫描线 310 的耦合面积为 $A1$, 第一像素电极 334a 与第二扫描线 320 的耦合面积为 $A2$, 第二像素电极 344a 与第二扫描线 320 的耦合面积为 $A2'$, 而第二像素电极 344a 与像素列 300b 中的第一扫描线 310 的耦合面积为 $A1'$ 。当第一像素电极 334a 与第一扫描线 310 之间的介电层厚度 (未绘示)、第一像素电极 334a 与第二扫描线 320 之间的介电层厚度 (未绘示)、第二像素电极 344a 与第二扫描线 320 之间的介电层厚度 (未绘示) 以及第二像素电极 344a 与像素列 300b 中的第一扫描线 310 之间的介电层厚度 (未绘示) 维持一定值时, 较佳地, 则 $(A1+A2)$ 实质上等于 $(A1'+A2')$ 。

[0060] 另一方面, 在像素列 300a 中, 耦合电容 $C1$ 是由第一像素电极 334a 与第一扫描线 310 所形成。耦合电容 $C2$ 是由第一像素电极 334a 与第二扫描线 320 所形成。耦合电容 $C2'$ 是由第二像素电极 344a 与第二扫描线 320 所形成。耦合电容 $C1'$ 是由第二像素电极 320 与像素列 300b 中之第一扫描线 310 所形成。由于 $(C1+C2)$ 实质上等于 $(C1'+C2')$, 意即第一子像素 330a 与第二子像素 340a 栅极-漏极寄生电容实质上相同, 因此, 有助于改善现有显示画面中所产生的亮暗线的显示缺陷, 使应用像素阵列 200a 的平面显示器具有较佳的显示质量。

[0061] 更进一步而言, 图 2B 为用以驱动图 2A 的像素阵列的信号时序图, 请同时参考图 2A 与图 2B。在本实施例中, $G1'$ 为输入至像素列 300a 中的第一扫描线 310 的扫描信号, $G2'$ 为输入至像素列 300a 中的第二扫描线 320 的扫描信号, $G3'$ 为输入至像素列 300b 中的第一扫描线 310 的扫描信号, D' 为输入至数据线 400 的数据信号, $P1'$ 为输入至像素列 300a 中的第一子像素 330a 的影像信号, 而 $P2'$ 为输入至像素列 300a 中的第二子像素 340a 的影像信号。当对像素阵列 200a 的第一扫描线 310 与第二扫描线 320 采用预充 (pre-charge) 的驱动方式时, 请参考图 2B 中的影像信号 $P1'$ 与影像信号 $P2'$, 第一子像素 330a 的电压会受到像素列 300a 中的第一扫描线 310 以及第二扫描线 320 在关闭时所导致的馈通电压 (feed through voltage) 效应的影响, 而产生一 $(2 \times \Delta H)$ 的压降。第二子像素 340a 的电压会受到像素列 300a 中的第二扫描线 320 以及像素列 300b 中的第一扫描线 310 在关闭时所导致的馈通电压效应的影响, 而产生一 $(2 \times \Delta H)$ 的压降, 其中第一子像素 330a 与第二子像素 340a 所受到的压降实质上相同。也就是说, 第一子像素 330a 的电压与第二子像素 340a 的电压都受到等量值的馈通电压效应的影响, 因而于同一共享电压下, 第一子像素 330a 与第

二子像素 340a 具有相同的偏压。如此一来,第一子像素 330a 与第二子像素 340a 于画面显示时便不会呈现亮暗线的显示缺陷。换言之,本实施例的像素阵列 200a 的设计,可以有效改善现有的亮暗线的显示缺陷。因此,当本实施例的像素阵列 200a 应用于显示器(未绘示)时,有助于提高显示器的显示质量。

[0062] 以下将以多个不同实施例来说明像素阵列 200b ~ 200d 的设计。在此必须说明的是,下述实施例沿用前述实施例的元件标号与部分内容,其中采用相同的标号来表示相同或近似的元件,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施例,下述实施例不再重复赘述。

[0063] 图 3A 为本发明的第二实施例的一种像素阵列的示意图,图 3B 为用以驱动图 3A 中的像素阵列的信号时序图。请先同时参考图 2A 与图 3A,本实施例的像素阵列 200b 与图 2A 的像素阵列 200a 相似,故部分沿用图 2A 与图 2B 的标号,但二者主要差异之处在于:在第 n 像素列中,第二子像素 340b 与第 (n+1) 像素列中的第一扫描线 310 并未重迭,意即 $A1' = 0$,因此, $(A1+A2)$ 实质上等于 $A2'$ 。

[0064] 如图 3A 与图 3B 所示,在本实施例中, $G1'$ 为输入至像素列 300a 中的第一扫描线 310 的扫描信号, $G2'$ 为输入至像素列 300a 中的第二扫描线 320 的扫描信号, $G3'$ 为输入至像素列 300b 中的第一扫描线 310 的扫描信号, D' 为输入至数据线 400 的数据信号, $P1''$ 为输入至像素列 300a 中的第一子像素 330b 的影像信号,而 $P2''$ 输入至为像素列 300a 中的第二子像素 340b 的影像信号。当对像素阵列 200b 的第一扫描线 310 与第二扫描线 320 采用预充的驱动方式时,请参考图 3B 中的影像信号 $P1''$ 与影像信号 $P2''$,第一子像素 330b 的电压会受到像素列 300a 中的第一扫描线 310 以及第二扫描线 320 在关闭时所导致的馈通电压效应的影响,而产生一 $(2 \times \Delta H)$ 的压降。第二子像素 340b 的电压会受到像素列 300a 中的第二扫描线 320 在关闭时所导致的馈通电压效应的影响,而产生一 $\Delta H'$ 的压降,其中 $(2 \times \Delta H)$ 的压降实质上明显等于 $\Delta H'$ 的压降。也就是说,第一子像素 330b 的电压与第二子像素 340b 电压虽受到不同馈通电压效应的影响,但实质上所产生的压降是相等的,因而于同一共享电压下,第一子像素 330b 与第二子像素 340b 仍具有相同的偏压。如此一来,第一子像素 330b 与第二子像素 340b 于显示时便不会呈现亮暗线的显示缺陷。换言之,本实施例的像素阵列 200b 的设计,也可以有效改善现有的亮暗线的显示缺陷,且应用于显示器(未绘示)时,有助于提高显示器的显示质量。

[0065] 图 4 为本发明的第三实施例的一种像素阵列的示意图。请先同时参考图 2A 与图 4,本实施例的像素阵列 200c 与图 2A 的像素阵列 200a 相似,故部分沿用图 2A 的标号,两者的差异在于:第一子像素 330c 还包括一第一耦合电极 336c,而第二子像素 340c 还包括一第二耦合电极 346c。详细而言,在本实施例的像素阵列 200c 中,第一子像素 330c 包括第一主动元件 332、与第一主动元件 332 电性连接的第一像素电极 334c 以及与第一像素电极 334c 电性连接的第一耦合电极 336c。第二子像素 340c 包括第二主动元件 342、与第二主动元件 342 电性连接的第二像素电极 344c 以及与第二像素电极 344c 电性连接的第二耦合电极 346c。

[0066] 如图 4 所示,在像素列 300a 中,耦合电容 $C1$ 是由第一耦合电极 336c 与第一扫描线 310 所形成,耦合电容 $C2$ 是由第一像素电极 334c 与第二扫描线 320 所形成,耦合电容 $C2'$ 是由第二耦合电极 346c 与第二扫描线 320 所形成,而耦合电容 $C1'$ 是由第二耦合电极 346c

与像素列 300b 中的第一扫描线 310 所形成, 较佳地, 则 $(C1+C2)$ 实质上等于 $(C1'+C2')$ 。由于 $(C1+C2)$ 实质上等于 $(C1'+C2')$, 意即第一子像素 330c 与第二子像素 340c 的栅极-漏极寄生电容相同, 因此, 可有助于改善现有的亮暗线的显示缺陷, 使像素阵列 200c 在显示过程中具有较佳的显示质量。

[0067] 另一方面, 在像素列 300a 中, 第一耦合电极 336c 与第一扫描线 310 的耦合面积为 $A1$, 第一像素电极 334c 与第二扫描线 320 的耦合面积为 $A2$, 第二耦合电极 346c 与第二扫描线 320 的耦合面积为 $A2'$, 而第二耦合电极 346c 与像素列 300b 中的第一扫描线 310 的耦合面积为 $A1'$ 。当第一耦合电极 336c 与第一扫描线 310 之间的介电层厚度 (未绘示)、第一像素电极 334c 与第二扫描线 320 之间的介电层厚度 (未绘示)、第二耦合电极 346c 与第二扫描线 320 之间的介电层厚度 (未绘示) 以及第二耦合电极 346c 与像素列 300b 中的第一扫描线 310 之间的介电层厚度 (未绘示) 维持一定值时, 较佳地, 则 $(A1+A2)$ 实质上等于 $(A1'+A2')$ 。

[0068] 在本实施例中, 第一耦合电极 336c 与第一像素电极 334c 可以由不同膜层形成, 第一耦合电极 336c 举例可以与第一主动元件 332 的漏极以相同的膜层形成, 但由于第一耦合电极 336c 与第一像素电极 334c 电性连接, 意即第一耦合电极 336c 与第一像素电极 334c 等电位, 因此可将第一耦合电极 336c 视为第一像素电极 334c 的一部份。同理, 虽然第二耦合电极 346c 与第二像素电极 344c 可以由不同膜层形成, 第二耦合电极 346c 举例可以与第二主动元件 342 的漏极以相同的膜层形成, 但由于第二耦合电极 346c 与第二像素电极 344c 电性连接, 意即第二耦合电极 346c 与第二像素电极 344c 等电位, 因此, 可将第二耦合电极 346c 视为第二像素电极 344c 的一部份。故, 当对像素阵列 200c 的第一扫描线 310 与第二扫描线 320 采用预充的驱动方式时, 第一子像素 330c 的电压会受到像素列 300a 中的第一扫描线 310 以及第二扫描线 320 在关闭时所导致的馈通电压效应的影响, 而第二子像素 340c 的电压会受到像素列 300a 中的第二扫描线 320 以及像素列 300b 中的第一扫描线 310 在关闭时所导致的馈通电压效应的影响。其中, 第一子像素 330c 的电压与第二子像素 340c 的电压都所受到等量值的馈通电压效应的影响, 因而于同一共享电压下, 第一子像素 330c 与第二子像素 340c 具有相同的偏压, 可以有效改善现有的亮暗线的显示缺陷。

[0069] 图 5 为本发明的第四实施一种像素阵列的示意图。请先同时参考图 4 与图 5, 本实施例的像素阵列 200d 与图 4 的像素阵列 200c 相似, 故部分沿用图 4 的标号, 两者的差异在于: 耦合电容 $C2$ 是由第一耦合电极 336d 与像素列 300a 的第二扫描线 320 所形成, 且第一耦合电极 336d 延伸于第一像素电极 334d 的下方, 第一耦合电极 336d 举例可以与第一主动元件 332 的漏极以相同的膜层形成。详细来说, 在像素列 300a 中, 第一耦合电极 336d 与第一扫描线 310 的耦合面积为 $A1$, 第一耦合电极 336d 与第二扫描线 320 的耦合面积为 $A2$, 第二耦合电极 346d 与第二扫描线 320 的耦合面积为 $A2'$, 而第二耦合电极 346d 与像素列 300b 中的第一扫描线 310 的耦合面积为 $A1'$, 较佳地, 则 $(A1+A2)$ 实质上等于 $(A1'+A2')$ 。也就是说, 第一耦合电极 336d 与第一扫描线 310 以及第二扫描线 320 的耦合面积实质上等于第二耦合电极 346d 与第二扫描线 320 以及下一列像素列中的第一扫描线 310 的耦合面积。

[0070] 当然, 上述所述的多种像素阵列 200a ~ 200d 仅是作为举例说明的用, 本领域的技术人员可参考上述实施例的说明, 依据实际需求选用前述构件而自行变化, 以达到所需的

技术效果。譬如若上述介电层厚度不均一时,本领域的技术人员可依据本发明的精神适当的调整各个元件的相对位置或面积大小等等。只要是在第 n 像素列中,第一子像素与第一扫描线以及第二扫描线的耦合电容实质上等于第二子像素与第二扫描线以及第 $(n+1)$ 像素列中的第一扫描线的耦合电容,都属于本发明可采用的技术方案,不脱离本发明所欲保护的范

[0071] 综上所述,本发明的像素阵列的设计在于当对扫描线采用预充的驱动方式时,第一子像素的电压与第二子像素的电压在受到的馈通电压效应的影响下所产生的偏压是相同,因而在同一共享电压下,第一子像素与第二子像素的偏压相同。如此一来,可以有效改善现有的亮暗线的显示缺陷。因此,当本发明的像素阵列应用于显示器时,有助于提高显示器的显示质量。

[0072] 当然,本发明还可有其它多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

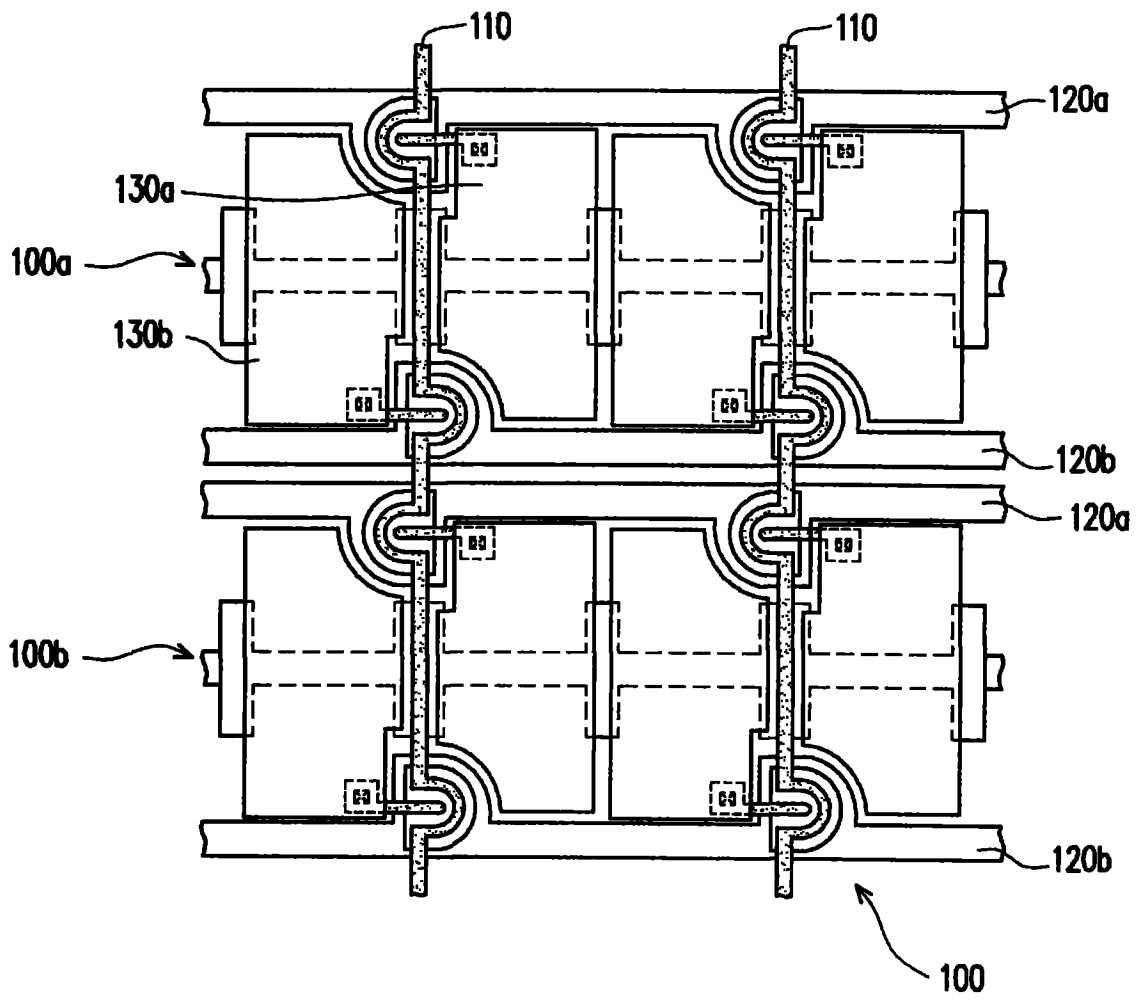


图 1A

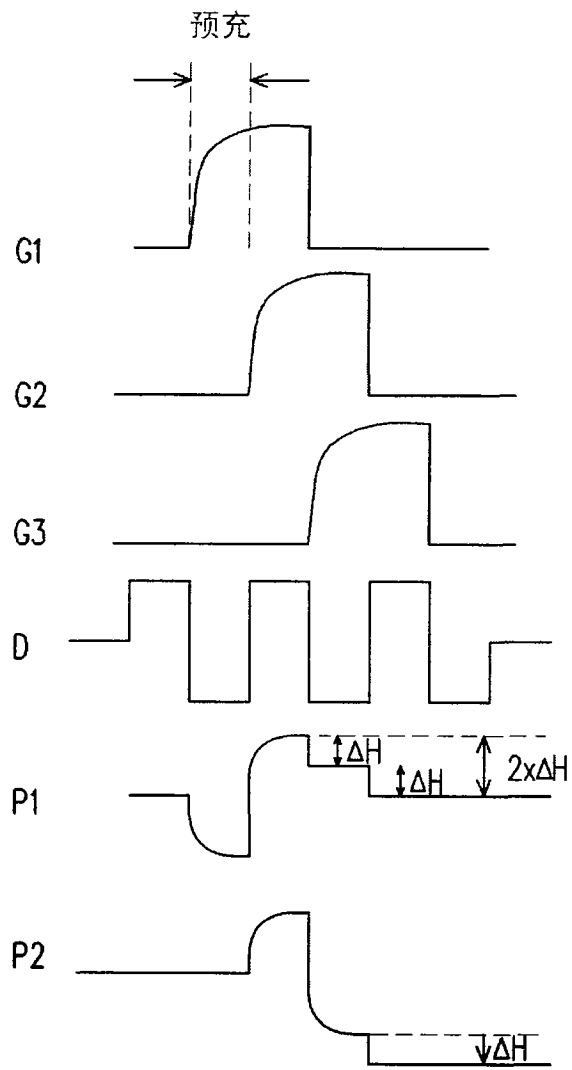


图 1B

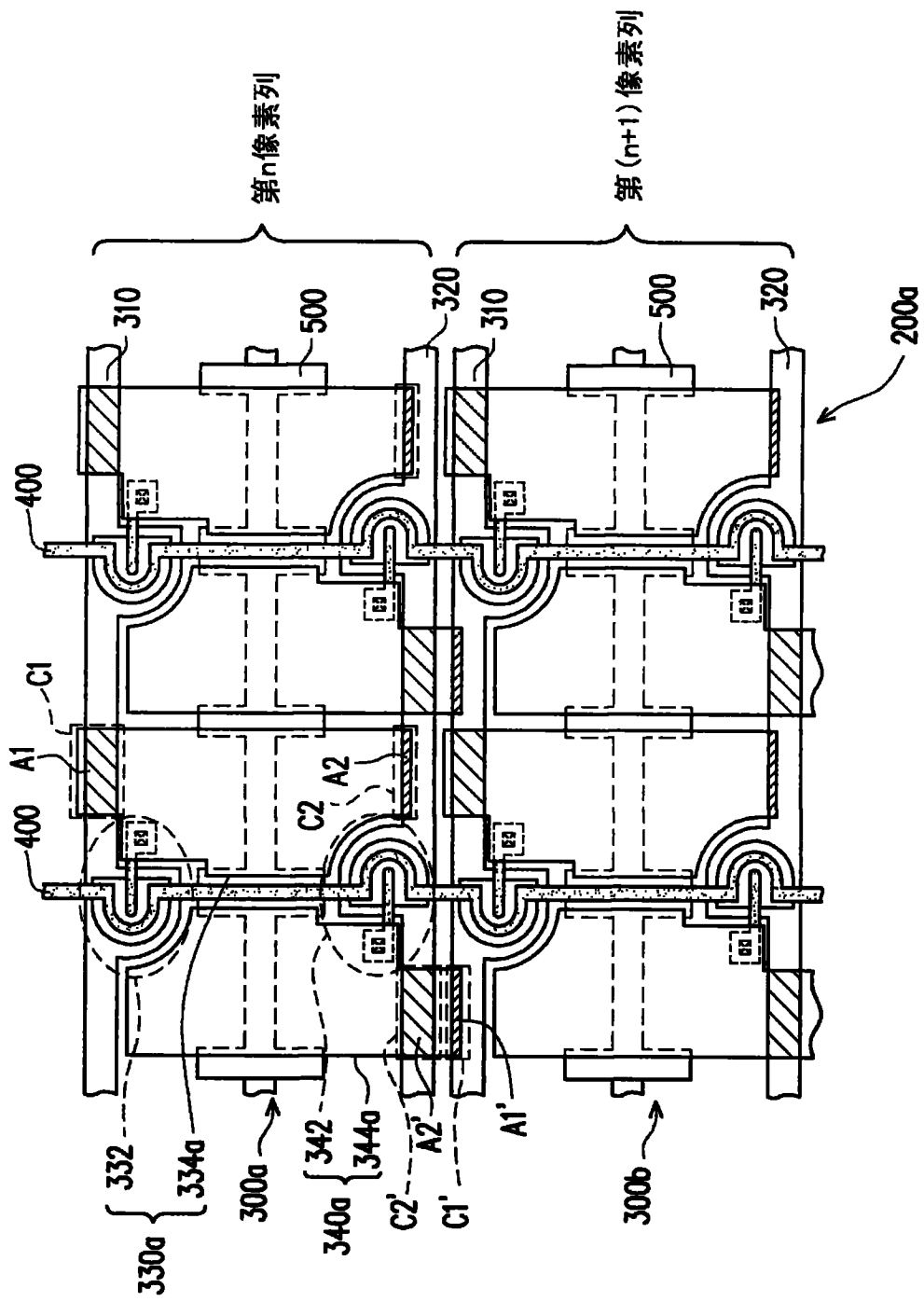


图 2A

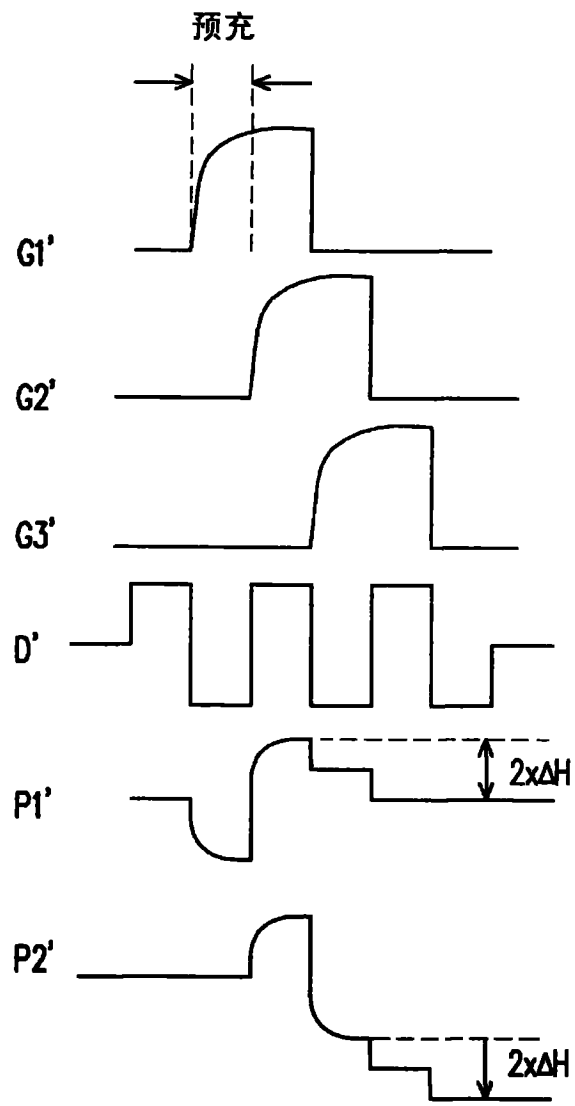


图 2B

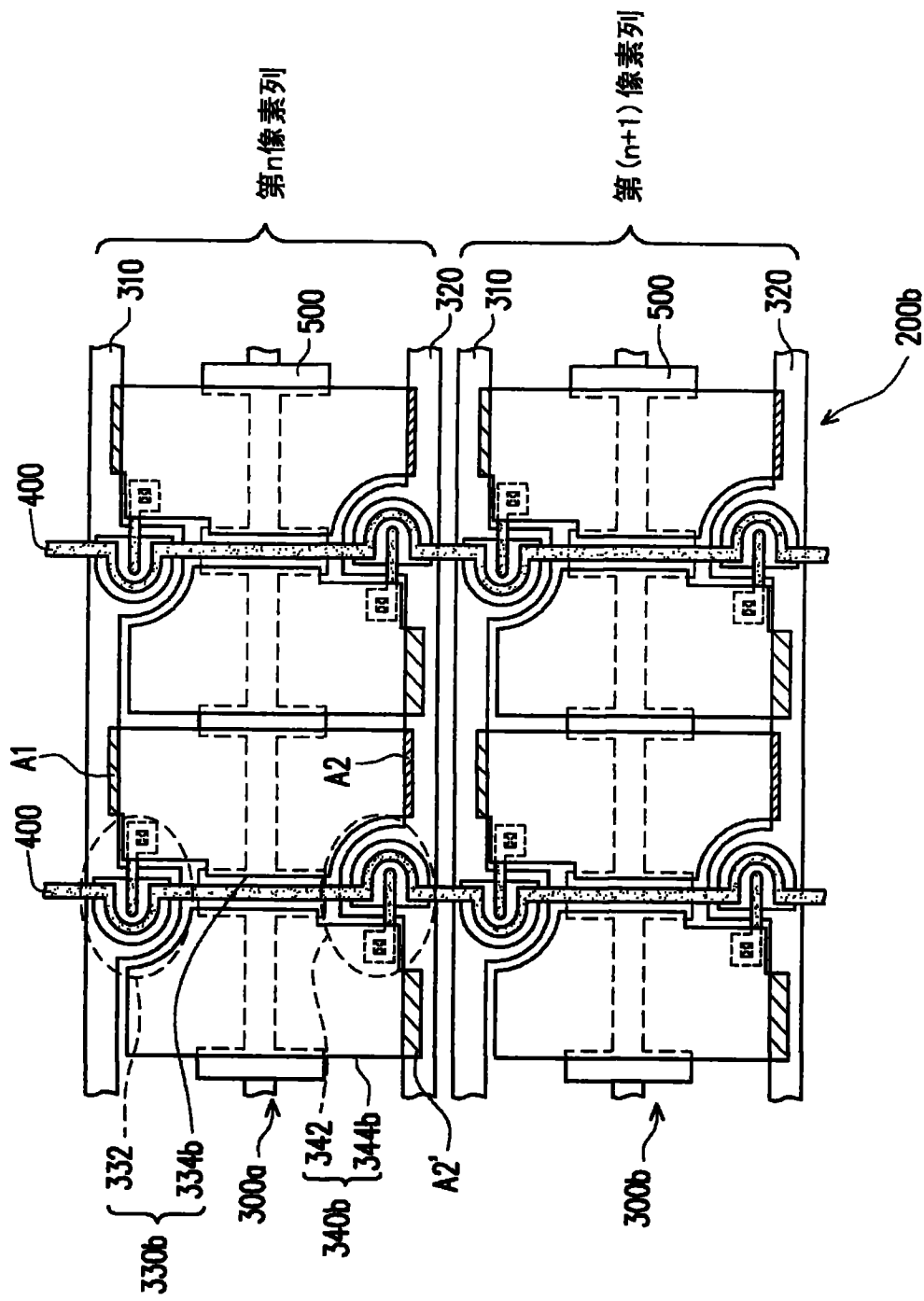


图 3A

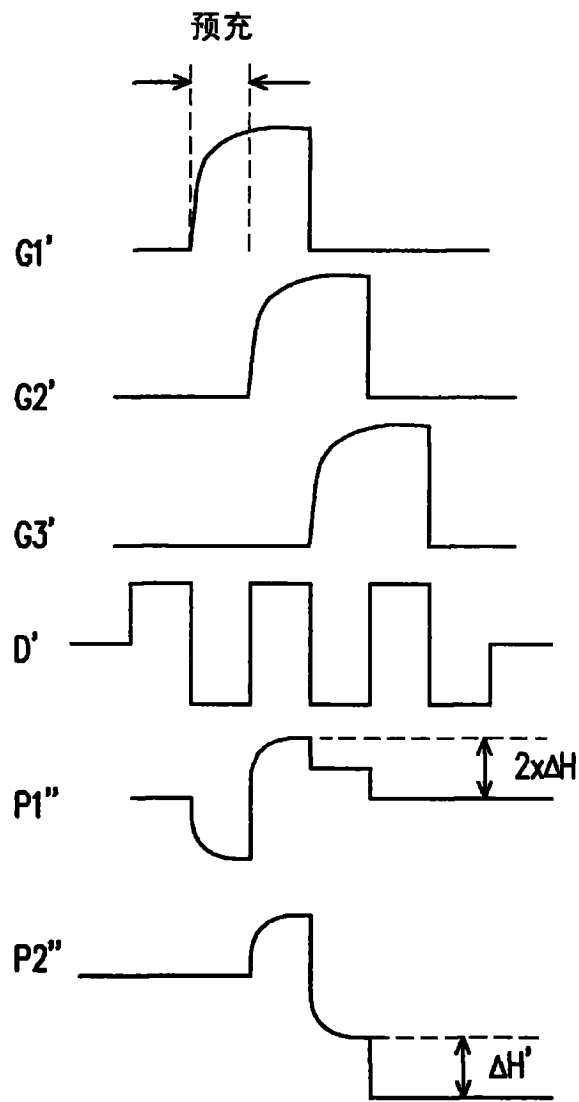


图 3B

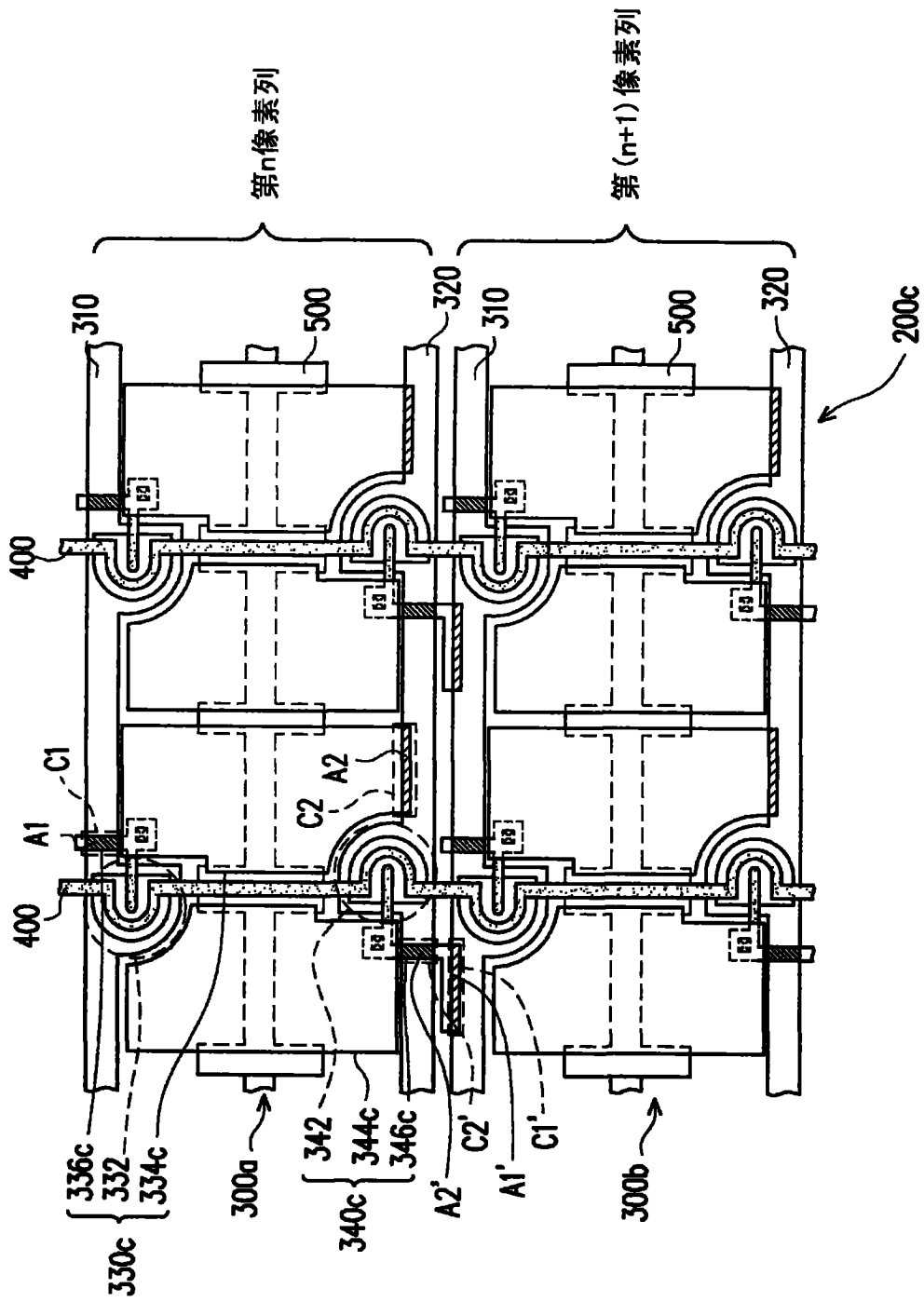


图 4

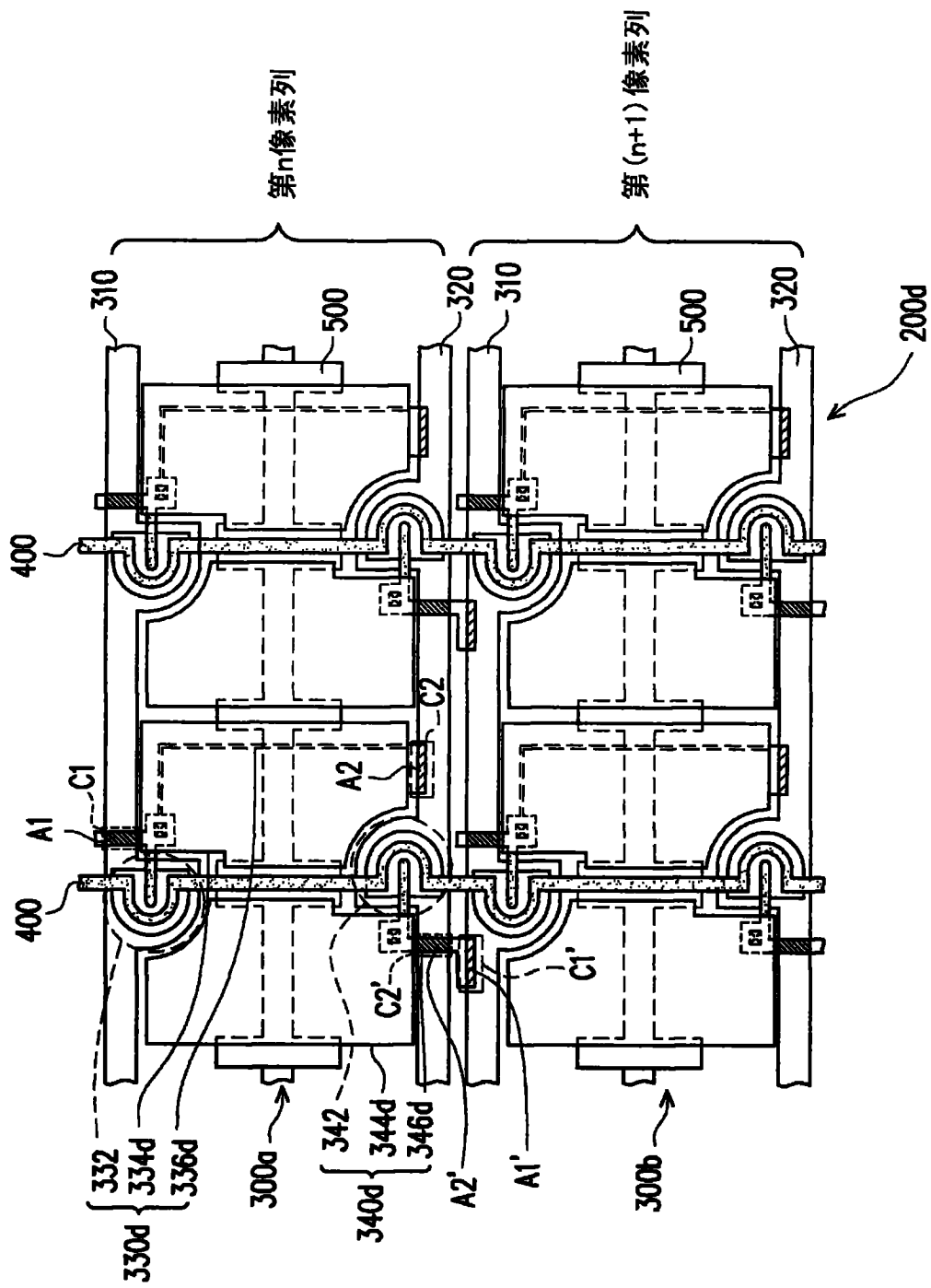


图 5