

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5606090号
(P5606090)

(45) 発行日 平成26年10月15日(2014.10.15)

(24) 登録日 平成26年9月5日(2014.9.5)

(51) Int.Cl.

F 1

H03K 19/094 (2006.01)
H03K 19/173 (2006.01)H03K 19/094 D
H03K 19/173 101

請求項の数 3 外国語出願 (全 12 頁)

(21) 出願番号 特願2010-27440 (P2010-27440)
 (22) 出願日 平成22年2月10日 (2010.2.10)
 (65) 公開番号 特開2010-200318 (P2010-200318A)
 (43) 公開日 平成22年9月9日 (2010.9.9)
 審査請求日 平成25年2月7日 (2013.2.7)
 (31) 優先権主張番号 12/390,792
 (32) 優先日 平成21年2月23日 (2009.2.23)
 (33) 優先権主張国 米国(US)

(73) 特許権者 500575824
 ハネウェル・インターナショナル・インコ
 ーポレーテッド
 アメリカ合衆国ニュージャージー州079
 62-2245, モーリスタウン, コロン
 ピア・ロード 101, ピー・オー・ボッ
 クス 2245
 (74) 代理人 100140109
 弁理士 小野 新次郎
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】混成信号回路のデジタル式プログラム可能な最適化のための方法

(57) 【特許請求の範囲】

【請求項 1】

混成信号回路のデジタル式プログラム可能な最適化のための方法において、
 前記混成信号回路の1つ又は複数のトランジスタ素子を、第1のトランジスタ区分と第2のトランジスタ区分を含む複数のトランジスタ区分に、それぞれのトランジスタ区分がボディタイパイアス端子を含むようにして、且つ、それぞれのトランジスタ区分が同一の電圧ソースバス、同一の電圧ドレインバス、及び同一の電圧ゲートバスと直接連結されるようにして、分割するステップと、

前記第1のトランジスタ区分の第1のボディタイパイアス端子を第1の電圧バイアスに連結するステップであって、

前記第1のボディタイパイアス端子を前記混成信号回路の第1のバイアスノードと信号連通させるステップ、又は、

前記第1のボディタイパイアス端子を前記混成信号回路の第1の非精密バイアス電圧ソースと信号連通させるステップを含む、ステップと、

前記第2のトランジスタ区分の第2のボディタイパイアス端子を第2の電圧バイアスに連結するステップであって、

前記第2のボディタイパイアス端子を前記混成信号回路の前記第1のバイアスノードと異なる第2のバイアスノードと信号連通させるステップ、又は、

前記第2のボディタイパイアス端子を前記混成信号回路の前記第1の非精密バイアス電圧ソースと異なる第2の非精密バイアス電圧ソースと信号連通させるステップを含む、

10

20

ステップと、

それぞれのボディタイバイアス端子を、1つ又は複数のデジタル式プログラム可能な記憶要素の別々の1つと連結されるように配置するステップと、を含む方法。

【請求項2】

デジタル式プログラム可能な混成信号回路において、

第1のトランジスタ区分と第2のトランジスタ区分を含む複数のトランジスタ区分を備えているトランジスタ素子であって、前記トランジスタ区分のそれぞれは、ボディタイバイアス端子を含み、同一の電圧ソースバス、同一の電圧ドレインバス、及び同一の電圧ゲートバスと連結されている、トランジスタ素子と、

第1の電圧バイアスと連結している、前記第1のトランジスタ区分の第1のボディタイバイアス端子であって、前記第1の電圧バイアスは、

前記混成信号回路の第1のバイアスノードからの第1のバイアス電圧、又は

前記混成信号回路の第1の非精密バイアス電圧ソースによって生成された第1の非精密バイアス電圧、を含む、第1のボディタイバイアス端子と、

第2の電圧バイアスと連結している、前記第2のトランジスタ区分の第2のボディタイバイアス端子であって、前記第2の電圧バイアスは、

前記混成信号回路の前記第1のバイアスノードと異なる第2のバイアスノードからの第2のバイアス電圧、又は

前記混成信号回路の前記第1の非精密バイアス電圧ソースと異なる第2の非精密バイアス電圧ソースによって生成された第2の非精密バイアス電圧、を含む、第2のボディタイバイアス端子と、

それぞれが、前記1つ又は複数のボディタイバイアス端子の別々の1つと連結している、1つ又は複数のデジタル式プログラム可能な記憶要素と、を備えている混成信号回路。

【請求項3】

前記ボディタイバイアス端子のそれと前記デジタル式プログラム可能な記憶要素の間に差し挟まれ且つ連結されている1つ又はそれ以上のインターフェーストランジスタ対を更に備えており、前記インターフェーストランジスタ対の各対は、各自のデジタル式プログラム可能な記憶要素によって制御されている、請求項2に記載の混成信号回路。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、混成信号回路のデジタル式プログラム可能な最適化のための方法に関する。

【背景技術】**【0002】**

混成信号回路は、トランジスタの不整合に敏感である。よく知られているPelgromモデルでは、同じダイ上の2つの素子の間のランダム不整合に起因するばらつきは、素子面積の平方根に反比例することが実証されている。トランジスタの不整合効果は、トランジスタの小型化に伴い更に悪化するので、高速混成信号回路設計では、不整合効果が歩留まり及び性能の有力な制限要因になっている。このような不整合効果のせいで、アナログ及び無線周波数(RF)回路は、それぞれの新しいプロセス技術ノードで利用可能なトランジスタ尺度化から恩恵を受けることが益々難しくなっている。不整合効果に対処するために幾つかの手法が開発されてきたが、それらは全て様々な制限に悩まされている。

【0003】

例えば、デジタル回路動作には、ダイ間及びダイ内のばらつきについてポストプロセス調整を提供するために、アダプティブ・ボディ・バイアス(ABB)技法が適用されている。とはいえ、開発努力の殆どは、必要なボディバイアス調整を施すために精密なアナログ電圧を作り出す1つ又はそれ以上の複合的なアナログ式ボディバイアス発生器の実装と調整に向けられてきた。類似の技法を混成信号回路に適用することもできるかもしれないが、アナログ式ボディバイアス発生器の追加は、それらをそれぞれの臨界サブ回路ノードのボディ端子まで通さねばならないため、複数の面積が食いつぶされることを犠牲にしな

40

50

ければならないと推測される。

【0004】

或いは、アナログ回路については、並列に接続された複数の差動対の物理的実装と所望の整合レベルを実現するサブセットの選択を伴う技法が提案されている。この手法では、余分なシリコン面積とゲートキャパシタンスの増大が重大な制限事項になっている。

【発明の概要】

【0005】

本発明は、混成信号回路のデジタル式プログラム可能な最適化のための方法に関する。この方法は、混成信号回路の1つ又はそれ以上のトランジスタ素子を、1つ又はそれ以上のトランジスタ区分に、それぞれのトランジスタ区分がボディタイバイアス端子を含むようにして、分割することを含んでいる。それぞれのボディタイバイアス端子は、少なくとも1つの電圧バイアスに、それぞれのボディタイバイアス端子を混成信号回路の1つ又はそれ以上のバイアスノードと信号連通させるか、又はそれぞれのボディタイバイアス端子を非精密バイアス電圧ソースと信号連通させるかの何れかによって、連結される。各々のボディタイ端子は、更に、1つ又はそれ以上のデジタル式プログラム可能な記憶要素の別々の1つと信号連通するように配置される。

【0006】

当業者には、図面を参照しながら以下の説明を読んで頂ければ、本発明の特徴が明らかになるであろう。図面は本発明の代表的な実施形態を描いているに過ぎず、従って、本発明の範囲に限定を課すものと考えられるべきではないことが理解された上で、添付図面を用いながら本発明を更に明確に詳しく説明してゆく。

【図面の簡単な説明】

【0007】

【図1】本発明の1つの実施形態による、デジタル制御式混成信号トランジスタ素子の回路図である。

【図2】本発明のもう1つの実施形態による、デジタル制御式混成信号トランジスタ素子の回路図である。

【図3】本発明の別の実施形態による、デジタル制御式混成信号トランジスタ素子の回路図である。

【図4】本発明の1つの手法による、位相固定ループ回路で使用される電圧制御式発振器の形態をしている混成信号回路の回路図である。

【図5】図5Aと図5Bは、異なるバイアス電圧がボディタイ端子に印加されたときの、測定されたトランジスタ不整合特性とモデル化されたトランジスタ不整合特性を素子の長さの関数として比較した図である。

【発明を実施するための形態】

【0008】

以下の詳細な説明では、各実施形態は、当業者が本発明を実践することができるよう十分に詳細に説明されている。なお、本発明の範囲を逸脱することなく、他の実施形態を利用することもできるものと理解頂きたい。従って、以下の詳細な説明は、制限を課すという意味で捉えられるべきではない。

【0009】

本発明は、歩留まりを改善し、性能を向上させ、パワー消費量を削減する、混成信号回路のデジタル式プログラム可能な最適化のためのシステム及び方法に関する。本発明の技法は、概略的には、個々のトランジスタをより小さい区分に分割することと、それぞれの区分のボディを、既に利用可能になっているバイアスノード又は単純な非精密バイアス電圧に個別に接続することを含んでいる。これにより、複合的なトランジスタ特性を、要求される精度に調整することができるようになり、臨界ノード毎の複数の精密バイアス発生器の必要がなくなる。それら臨界回路ノードにおけるトランジスタ特性をプロセス後に調整できることによって、最適回路動作に必要な整合が実現される。

【0010】

10

20

30

40

50

本手法は、トランジスタとプロセスが引き起こすトランジスタ不整合に付随する、混成信号の歩留まり及び性能に限界を生じさせる業界規模の尺度化に課せられた制限の問題解決に対処している。それらの問題は、相補型金属酸化膜半導体（C M O S）の新しい技術ノードが導入されるたびに悪化する。本技法は、トランジスタ密度を改善し、不整合に起因する尺度化制限に対する実行可能な解決策を提供している。例えば、本発明の方法では、150 nm、90 nm、及びより先進的な技術で、プロセスとトランジスタの不整合特性をプロセス後に補正することができるようになる。

【0011】

本手法は、混成信号回路構成のみならず、デジタル回路構成においても使用することができる。そのような回路構成は、既知の技法によって耐放射線性を持たせることもできる。本手法は、歩留まりの最大化、及びアナログ用とデジタル用の両方の自己修復回路の作製に非常に有用である。本技法では、臨界ノードトランジスタのゲート面積を削減することができ、回路動作に必要な速度とパワーの両方を向上させることができる。10

【0012】

本回路設計技法では、混成信号回路で普通に利用できるバイアス電圧を使用して、トランジスタボディ端子を単純なトランジスタスイッチを介して接続させることができるので、個々のトランジスタは、プロセスによるダイ間のばらつきと個々の素子の不整合の両方について調整を施すために、異なるバイアスに接続することができるようになる。最適な回路機能のための所望の整合解決策を実現するために、トランジスタは、平均トランジスタ特性が設計ウインドウ内に収まるように調整するのに必要なバイアスノードに切り替えることができる各自個別のボディバイアス端子をそれぞれが備えているn個の区分に分割される。20

【0013】

デジタル回路制御論理と混成信号回路構成の間の物理的インターフェースは、ボディタイ端子を通して達成することができる。標準的なシリコン・オン・インシュレータ（S O I）回路設計技法は、ボディタイ端子のこと、それをソース又は電源の何れかに接続することを無視している。更に、商業的に最も利用可能なS O I C M O Sプロセスでは、ボディの接続には、ゲートキャパシタンスの増大という多大なオーバーヘッドの不利益を被ることが伴う。これらの問題は、個々のボディタイ接続をゲートキャパシタンスを著しく増大させることなく効率的に実装するよう設計された、本手法のS O I C M O Sプロセスへの実装によって解決が図られている。個々のボディタイ接続を作製する場合のこのS O Iプロセスの効率の良さにより、バルクC M O Sを同じように構成しようとした場合に必要になるトリプルウェルのような追加のプロセス工程を導入することなしに、面積への影響を最小限に抑えることができる。30

【0014】

回路のスイッチは、デジタル式フリップフロップのようなデジタル式プログラム可能な記憶要素を用いて制御することができ、同要素は、幾つかの実施形態では、デジタル式リアルタイム性能最適化制御システムへのインターフェースを提供することができる。本技法は、単純な非精密バイアス発生器を関心対象のサブ回路に局所的に追加すれば、デジタル回路に適用することができる。非精密バイアス発生器は、必要に応じ、アナログ回路に追加することもできる。40

【0015】

本方法を使用して、最大SerDes（シリアルライザ／デシリアルライザ）周波数を、3.125 G H zから、次に高い作動周波数ノードの4.25 G H z、そして恐らくは6 G H zまで上げることができる。

【0016】

本発明のシステム及び方法の更なる詳細を、図面を参照しながら以下に説明する。

トランジスタボディタイ

本手法は、トリプルウェルバルクプロセス及び非ボディタイ型S O I技術で実装するともできるが、面積効率の高いボディタイ型S O I技術で実装するのが最も有利である。50

本技法を実装するのに使用されるSOI技術の固有特性は、「ボディタイ」と呼ばれる、接続部のトランジスタのボディへの面積効率の高い集積化である。ボディタイは、ヒステリシスと、混成信号設計を非常に難しくする他のフローティングボディ効果を排除する。ボディタイ接続は、ゲートキャパシタンスを増大させないので、周波数応答を、高速混成信号回路設計に対応できるように最大化することができる。

【0017】

ボディタイ端子が利用可能になったことで、各個別のトランジスタの性能特性に対する追加的な入力が提供されることになり、これを利用すれば、普通のプロセスばらつきとトランジスタの不整合を補償することによって性能設計の限界が広がるように臨界性能ノードを調整することができるようになる。更に、ボディタイ端子がSOIプロセスで利用可能になったことで、混成信号回路をシステム修復アーキテクチャに組み込めば、歩留まりと性能の両方を修復する実用的なやり方を提供することができる。10

混成信号回路実施形態

図1は、本発明の1つの実施形態によるn状態デジタル制御式混成信号トランジスタ素子100の回路図である。トランジスタ素子100は、様々な幅の複数のトランジスタ区分T1、T2、…Tnに分割されており、各トランジスタ区分は、個別に制御されるボディバイアスを有している。トランジスタ区分の数は、アプリケーションの詳細に従い、面積と必要な制御の精密度の間の費用／利益分析を使って求められる。

【0018】

それぞれのトランジスタ区分のソース領域は、電圧ソース(Vソース)バス112に連結され、ドレイン領域は、電圧ドレイン(Vドレイン)バス114に連結されている。トランジスタ区分のゲートは、電圧ゲート(Vゲート)バス116に連結されている。実際の閾値電圧は、各トランジスタ区分の閾値の加重平均である。20

【0019】

トランジスタ区分T1からTnのそれぞれは、一対の最小サイズのインターフェーストランジスタN1及びN2を通して電圧V1又はV2に接続されている独立したボディタイバイアス端子118-1から118-nを有している。インターフェーストランジスタN1、N2はといえば、トランジスタN1、N2のゲートG1、G2で、各自のn制御フリップフロップ(CFF)122-1から122-nに連結されている。これにより、トランジスタ素子100の正味特性がCFFの状態によって決まるようになることができる。電圧V1及びV2は、Vソースを含んでいる混成信号回路で利用可能な何れのバイアスであってもよい。区分T1からTnまでのトランジスタ幅は、トランジスタ素子の有効閾値と電流を規定のウィンドウ内に収まるように修正するのに必要な一定程度の調整が許容されるように選択される。得られたトランジスタ平均閾値電圧は、V1、V2及びnフリップフロップの状態に応じて2^n値に制御されることになる。30

【0020】

アプリケーションの詳細に応じ、回路設計者は、本手法を、プロセス及び温度ばらつき並びに不整合について調整するのに使用してもよい。多くの用途では、単一のフリップフロップで十分であり、設計者にはトランジスタ幅の全部を制御するか又は一部だけを制御するかの選択肢がある。40

【0021】

図2は、本発明のもう1つの実施形態によるn状態デジタル制御式混成信号トランジスタ素子200の回路図である。トランジスタ素子200は、トランジスタ区分T1からTnに分割されており、それぞれのトランジスタ区分は個別に制御されるボディバイアスを有している。それぞれのトランジスタ区分のソース領域は、Vソースバス212に連結され、ドレイン領域はVドレインバス214に連結されている。トランジスタ区分のゲートはVゲートバス216に連結されている。

【0022】

トランジスタ区分のそれぞれは、最小サイズのインターフェーストランジスタN1を通して電圧V1に、そして最小サイズのインターフェーストランジスタP2を通して電圧V50

2に接続されている、独立したボディタイバイアス端子218-1から218-nを有している。各トランジスタ区分のインターフェーストランジスタN1とP2のそれぞれは、単一の制御ライン230-1から230-nを使用して、各自のn制御フリップフロップ222-1から222-nに接続されている。

【0023】

このトランジスタ素子200の構成は、電圧V2がVソースより大きいときに有用である。これは、1つの制御ラインを制御フリップフロップから両インターフェーストランジスタN1とP2へ配線できるようにする。1つの実施形態では、V2がVソースより約0.6V大きいとき、トランジスタP2とボディタイバイアス端子218の間に電流制限抵抗器232を差し挟むこともできる。電圧V2は、正の供給電圧(Vdd)に接続されている1つ又はそれ以上のダイオード(図示せず)を用いて局所的に発生させることができる。例えば、Vdd=1.8Vのとき、直列につながれた3つのダイオードなら、約 $1.8 / 4 = 0.45V$ のボディバイアスを発生させることになる。同じダイオードを使用して、同時に複数の区分でV2を発生させることもできる。

10

【0024】

図1と図2のインターフェーストランジスタN1、N2、及びP2は、それらのボディがソース端子に接続されているものとして示されている。多くの用途では、この構成は必須ではなく、フローティングにしておけば、物理的実装に必要なレイアウト面積を縮小することができる。

20

【0025】

図3は、本発明の別の実施形態によるn状態デジタル制御式混成信号トランジスタ素子300の回路図である。トランジスタ素子300は、トランジスタ区分T1からTnに分割されており、それぞれのトランジスタ区分は、個別に制御されるボディバイアスを有している。それぞれのトランジスタ区分のソース領域は、Vソースバス312に接続され、ドレイン領域は、Vドレインバス314に接続されている。トランジスタ区分のゲートはVゲートバス316に接続されている。トランジスタ区分のそれぞれは、何らのインターフェーストランジスタも差し挟まずに、単一の制御ライン330-1から330-nと抵抗器332-1から332-nを使用して各自のn制御フリップフロップ322-1から322-nに接続されている、独立したボディタイバイアス端子318-1から318-nを有している。

30

【0026】

このトランジスタ素子300の構成は、電圧V1とV2が、それぞれ、Vss(負の供給電圧)とVddであるときに有用である。その場合、それぞれのトランジスタ区分のボディタイは、抵抗器を通してフリップフロップに直接接続することができるので、面積への影響が最小限になる。

【0027】

図2と図3のトランジスタ素子を回路で使用する場合の特定の使用法に応じて、トランジスタ区分の制御フリップフロップの厳密な効果を巧みに操作するのに、トランジスタ、ダイオード、及び抵抗要素の様々な組合せを採用することもできる。

40

PLL実装

図4は、本発明の技法により修正された位相固定ループ(PLL)で使用される電圧制御式発振器(VCO)回路の形態をしている混成信号回路400の回路図である。このような混成信号回路では、バイアス電圧V1、V2についての代わりの選択肢が既に利用可能になっており、追加のパワー発生回路構成は不要である。回路400は、トランジスタの差動対TRとTLを含んでいる。それぞれのトランジスタ用のボディタイ端子410-1、410-2は、ソース又はグランドの何れかに接続することができる。

【0028】

代表的な1.8V回路設計では、トランジスタの差動対のソース電圧とグランドの差は約0.3Vであり、閾値電圧(Vt)が約40-50mV調整されることになる。約40-50mVのVt不整合を取り除くことができる性能により、最小ゲート長さのトランジ

50

スタを使用することができるようになり、必要なゲート面積が大幅に削減される。

【0029】

V_t に約40mV増分の調整を施すことができる性能により、それぞれのトランジスタ用の単一のフリップフロップに、 $+/-20\text{mV}$ の整合を実現させることができる。20mVを凌ぐ整合が必要とされる回路設計では、図4のトランジスタ T_R と T_L は、図1に関連して上で説明したようにn個の区分に分割することができる。トランジスタを幅の等しい2つの区分に分割すると、整合能力は2倍分向上する。更に、2つの区分の内の1つを2分割すると、整合能力は更に2倍分向上する。分割毎に、トランジスタの新しい区分を制御するための追加のフリップフロップが必要になる。

【0030】

図4に示すように、例えば、トランジスタ T_R と T_L 用のボディタイ端子410-1と410-2のそれぞれは、一対のインターフェーストランジスタN1、N2を通して V_s に接続されている。それぞれのインターフェーストランジスタN1、N2は、トランジスタの差動対 T_R と T_L のボディをどの電圧ノードに接続するかを確定するデジタルラッチ又はフリップフロップの出力 Q_L 及び Q_R に連結されている。

【0031】

このように、必要な整合の仕様と必要な制御ビットの数の間に存在する関係は単純である。しかしながら、この臨界トランジスタのn個の区分への分割は、これに伴う追加の寄生キャパシタンスが小さいために、速度及びパワーに関する多大な不利益を伴わない。実際、所与の必要な整合精度については、本手法は常に最良の速度／パワー比を生み出すことができ、というのも標準的な方法を使用した場合は、整合はトランジスタのゲート面積の自乗に比例して向上するが、同様に速度は下がりパワーは上がるという結果しかもたらさないからである。

【0032】

本手法を使用したPLL実装を分析したところ、最小サイズのインターフェーススイッチトランジスタの追加が伴っても、混成信号回路トランジスタ面積の15-30%削減を実現することができ、同時に高速回路のゲート面積の40-80%削減、ACパワーの減少又は最大速度の増加を実現できることが示唆された。局部記憶フリップフロップと制御回路構成の引き換え加算分に費やされる面積は、所望される速度と高度化と制御インターフェースノードの数の関数であるが、合理的な推定値は、正味増分ゼロと総トランジスタ面積倍化が総PLL面積の約10%未満に納まる間のどこかになるであろう。

システム実装と動作

或る例示的なシステム実装では、前述の混成信号回路ノードのデジタル制御式トランジスタは、動作時、環境又は速度／パワー要件の変化を勘案するように、回路に集積されているシステムレベル又は局所の制御エンジンで動的にプログラムすることができる。例えば、1つの実施形態では、フリップフロップにデジタルコントローラを接続することができる。そのような構成が図1に示されており、同構成では、コントローラ130は、制御フリップフロップ1221から122-nとインターフェースさせることができる。コントローラは、混成信号回路とオンチップ集積化することもできるし、オフチップにすることもできる。フリップフロップは、コントローラによって読み込まれるように連続走査モードで接続することもできる。

【0033】

コントローラは、当業者に知られているように、ソフトウェア、ファームウェア、ハードウェア、又はそれらの何らかの適切な組合せを使用して実装することができる。一例として、ハードウェア構成要素には、1つ又はそれ以上のマイクロプロセッサ、メモリ要素、デジタル信号処理(DSP)要素、インターフェースカード、及び当技術で既知の他の標準的な構成要素を挙げることができる。前記は何れも、1つ又はそれ以上の特別に設計された特定用途向け集積回路(ASIC)又はフィールド・プログラマブル・ゲート・アレイ(FPGA)によって補完されていてもよいし、又はそれに組み込まれていてもよい。

10

20

30

40

50

【 0 0 3 4 】

コントローラは、プロセス及び不整合によって引き起こされるばらつき効果を補償するよう、混成信号回路の機能性を調整する働きをする。これにより、システムは自己を「修復」できるようになり、混成信号回路トランジスタを普通のプロセスばらつきウィンドウ一杯に対応できるように特大化する必要がなくなるため、歩留まりと性能が改善する。コントローラが混成信号回路の機能性及び周囲温度を監視することができる性能を追加すれば、システムが自身を標準的な回路設計で可能とされるよりも狭いウィンドウ内に維持することができるようになるフィードバックループを作成することができる。

【 0 0 3 5 】

回路が温度又は放射線の変化について調整できるよう同回路にリアルタイム修正を施すために、直列フリップフロップとインターフェーストランジスタの間に簡単なラッチを設置することができる。これは、情報が直列スリップフロップを通して所望の場所へ読み取られる際に、インターフェーストランジスタが状態を変えることを阻止する。データをフリップフロップからラッチへ動かす大域制御転送信号を使用して、変化を同時に、中間的な非機能的状態を一切経ずに、新しい状態へ実装することができるようになる。この構成では、回路は、常時、仕様内で機能し続けることになる。こうして、システムコントローラによって監視される温度及び放射線センサー情報の漸進的变化を使用して、回路応答を、より複雑なアナログ / 混成信号回路設計が温度効果を補償するのに行う場合と同様のリアルタイムベースで修正することができるようになる。

【 0 0 3 6 】

P L L 実装用のシステムレベルでは、リング発振器構造は、ゲート及びM I M (金属 - 絶縁体 - 金属) キャパシタンス、閾値電圧、及びボディバイアス効果を含めたトランジスタドライブ強度のような、臨界ダイレベルパラメータ類のオンチップ分析が可能になるように実装することができる。これらの構造は、修復手続き中にチップ制御アルゴリズムが公称ダイ間レベルプロセス及び周辺温度と放射線について調整できるよう、チップ制御システムによって問い合わせが行われるようにしてよい。

【 0 0 3 7 】

混成信号回路の臨界ノード素子特性をデジタル式に調整することができるポストプロセス性能は、トランジスタのゲート面積の削減をもたらし、パワー及び性能メトリック並びに歩留りを改善する。

【 0 0 3 8 】

混成信号回路歩留まりを改善することだけが求められる場合には、フリップフロップ又は制御インターフェーストランジスタゲート電圧の状態は、初期試験時に標準的なレーザー補修技法を使用して永久的にプログラムしてもよい。例えば、ワンタイム・プログラマビリティの場合は、初期素子試験時に、スタティック・ランダム・アクセス・メモリ (S R A M) 歩留まり増進技法と同様のレーザーヒューズを採用することができる。これにより、回路感知と制御回路構成が通常の動作時の実地でのリアルタイム調整に必要でない場合には、それらに必要なチップ面積オーバーヘッド全てを無くすことができる。

回路試験モデル化

図 5 A と図 5 B は、異なるバイアス電圧をボディタイ端子 (V ボディ) に印加したときの、測定されたトランジスタ閾値電圧と S P I C E (Simulation Program with Integrated Circuit Emphasis : スパイクス) モデル化されたトランジスタ閾値電圧をゲート長 (L d e s) の関数として比較した図である。具体的には、図 5 A は、V ボディ = 0 から 1 . 8 V (0 . 0 . 45 、 0 . 9 、 1 . 35 、及び 1 . 8 V を含む) における P チャネル線形 V t 対 L d e s の図を示している。図 5 B は、V ボディ = 0 から - 1 . 8 V (0 . - 0 . 45 、 - 0 . 9 、 - 1 . 35 、及び - 1 . 8 V を含む) における N チャネル線形 V t 対 L d e s の図を描いている。

【 0 0 3 9 】

図 5 A と図 5 B は、ボディタイ端子に印加されるバイアスを調整することにより、デバイス閾値を 2 0 0 m V より大きな変化量で変化させることができる性能を実証している。

10

20

30

40

50

これをS P I C E モデルで正確にモデル化し、標準的な回路設計環境が、混成信号回路を臨界回路ノードのデジタル制御論理路とインターフェースさせるための数多くの設計オプションをシミュレートできるようにした。デジタル制御論理によって切り替えられる小型最小サイズのトランジスタを使用して、臨界ノードトランジスタのボディタイ端子を、トランジスタのシステム上及びランダムなばらつきが回路性能要件に狙いを定めて補償されるように、回路内の異なる電圧ノードに接続することができる。

【0040】

本発明のシステム及び方法の動作に使用される、様々なプロセスタスク、計算、及び、信号及び他のデータの生成を実行するための命令は、ソフトウェア、ファームウェア、又は他のコンピュータ可読命令として実装することができる。それらの命令は、通常、コンピュータ可読命令又はデータ構造を記憶するのに使用される何らかの適切なコンピュータ可読媒体に記憶されている。そのようなコンピュータ可読媒体は、汎用又は特殊用途のコンピュータ又はプロセッサによってアクセスできるどのような利用可能な媒体であってもよいし、又はどのようなプログラム可能な論理素子であってもよい。

10

【0041】

適したコンピュータ可読媒体は、例えば、E P R O M、E E P R O M、又はフラッシュメモリ素子のような半導体メモリ素子を含む不揮発性メモリ素子；内部ハードディスク又はリムーバブルディスクのような磁気ディスク；光磁気ディスク；C D、D V D、又は他の光学記憶ディスク；不揮発性R O M、R A M、及び他の同様の媒体；又はコンピュータ実行可能命令又はデータ構造の形態をしている所望のプログラムコード手段を持ち運ぶ又は記憶するのに使用することができるその他の媒体を備えていてもよい。情報が、ネットワーク又は別の通信接続（配線、無線、又は配線又は無線の組合せ、の何れか）によりコンピュータに転送されると、コンピュータは、適正に、この接続をコンピュータ可読媒体と見なす。従って、そのような接続は何れの接続も、適正に、コンピュータ可読媒体と呼ばれる。上記の組合せも、コンピュータ可読媒体の範囲内に含められる。

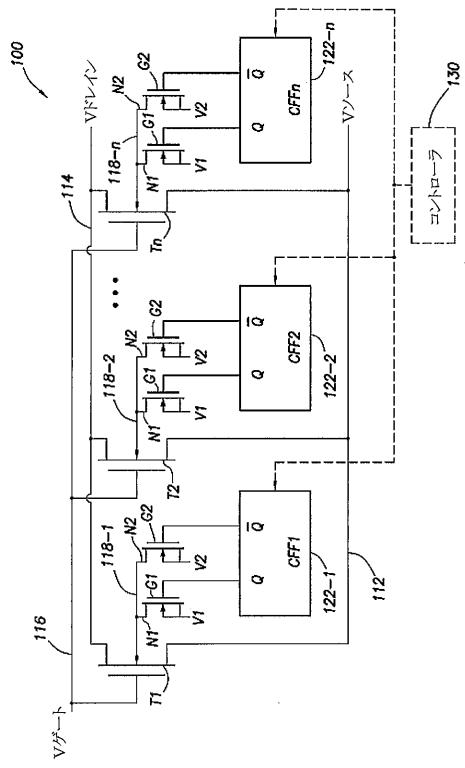
20

【符号の説明】

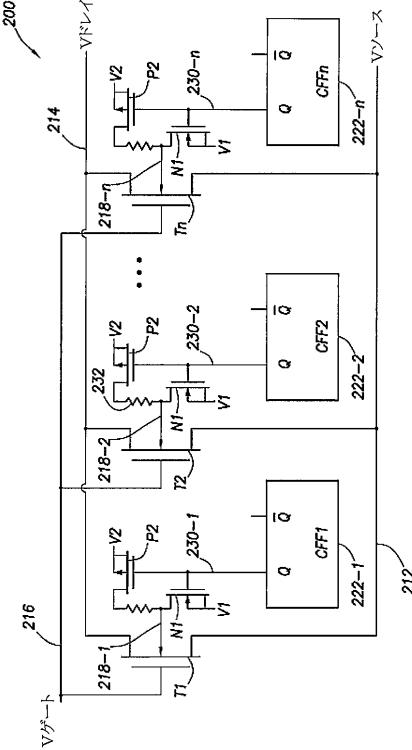
【0042】

1 0 0、 2 0 0、 3 0 0	n 状態デジタル制御式混成信号トランジスタ素子	
1 1 2、 2 1 2、 3 1 2	電圧ソース（Vソース）バス	
1 1 4、 2 1 4、 3 1 4	電圧ドレイン（Vドレイン）バス	30
1 1 5、 2 1 6、 3 1 6	電圧ゲート（Vゲート）バス	
1 1 8 - 1 から 1 1 8 - n、 2 1 8 - 1 から 2 1 8 - n、 3 1 8 - 1 から 3 1 8 - n		
ボディタイバイアス端子		
1 2 2 - 1 から 1 2 2 - n、 2 2 2 - 1 から 1 2 2 - n、 3 2 2 - 1 から 1 2 2 - n		
n 制御フリップフロップ（C F F）		
1 3 0	コントローラ	
2 3 0 - 1 から 2 3 0 - n、 3 3 0 - 1 から 3 3 0 - n	制御ライン	
4 0 0	混成信号回路	
4 1 0 - 1、 4 1 0 - 2	ボディタイ端子	
G 1、 G 2	ゲート	40
N 1、 N 2、 P 2	インターフェーストランジスタ	
Q L、 Q R	出力	
T 1 から T n	トランジスタ区分	
T R、 T L	トランジスタ差動対	
V 1、 V 2	電圧	
V t	閾値電圧	

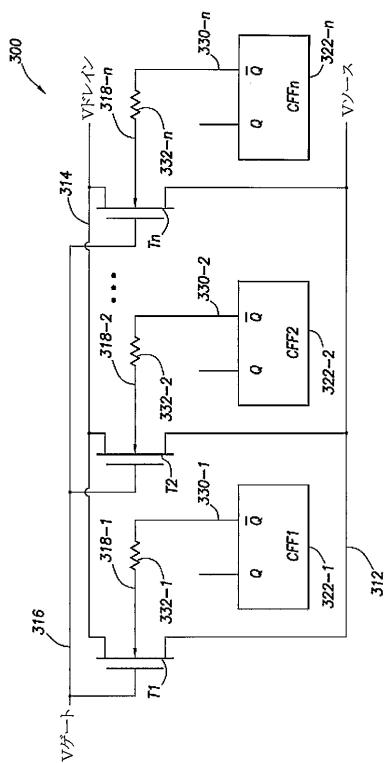
【図1】



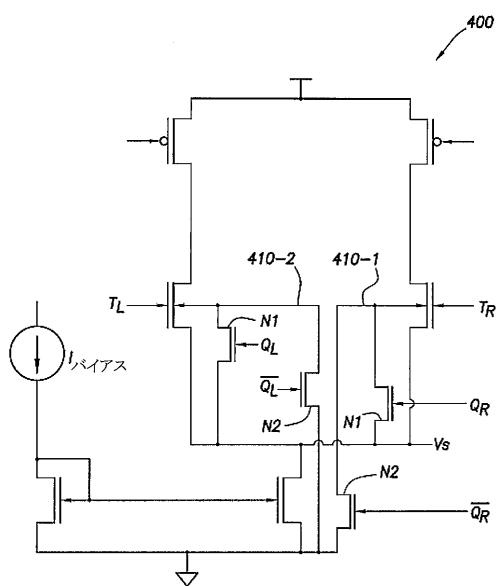
【図2】



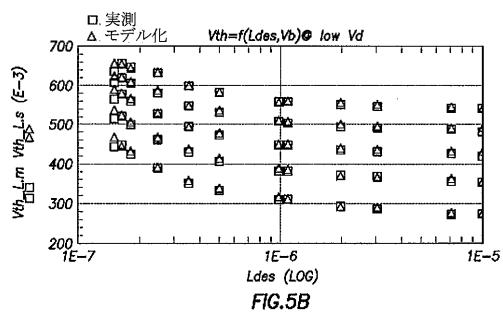
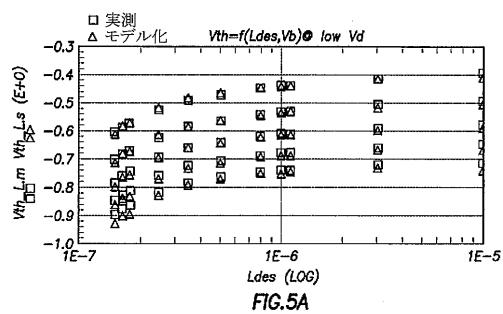
【図3】



【図4】



【図5】



フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100147681

弁理士 夫馬 直樹

(72)発明者 ポール・エス・フェチナー

アメリカ合衆国ニュージャージー州 07962-2245, モーリスタウン, コロンビア・ロード
101, ピー・オー・ボックス 2245, ハネウェル・インターナショナル・インコーポレー
テッド, パテント・サービス エム/エス エイビー/2ピー

審査官 柳下 勝幸

(56)参考文献 米国特許出願公開第 2008/0315950 (US, A1)

(58)調査した分野(Int.Cl., DB名)

H03K 19/094

H03K 19/173