公告本

申請日期	87 年 9 月 30 日
案號	87116267
類別	H01L 21/16

（以上各欄由本局填註）

A4
C4

427036 6

發明 新型 專利說明書

一、發明 新型 名稱	中文	光電轉換設備以及影像感測器
	英文	Photoelectric conversion apparatus and image sensor
二、發明 創作 人	姓名	(1) 小塚開
	國籍	(1) 日本
	住、居所	(1) 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內
三、申請人	姓名（名稱）	(1) 佳能股份有限公司 キャノン株式会社
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都大田區下丸子三丁目三〇番二號
	代表人姓名	(1) 御手洗冨士夫

裝 訂 線

經濟部中央標準局員工消費合作社印製

A7 7036

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本	1997 年 10 月 6 日	9-272577	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（　）

發明背景

發明領域

本發明係有關於一種光電轉換設備以及影像感測器，此光電轉換設備具有一光接收元件，形成於一半導體基片上。

相關背景技藝

近年來，於線性光電轉換器領域，使用一縮微光學系統之ＣＣＯＳ與安裝複數半導體光電晶片之等放大影像感測器（equae-mapnifiration image sensors）業已大規模開發。

此光電轉換設備中的光接收元件通常包括一由半導體之ｐｎ結形成的光電二極體。例如，如日本早期公開特許申請案第５５－１５４７８４號所揭露，亦建議一種構造，其中一具有相同於基片之導電型與高於基片之雜質濃度之區域形成於一未形成有ｐｎ結之基片表面上。俾減少基片表面上所產生的暗電流。另一方面，就用於線性光電轉換設備之光接收元件而言，經建議者有諸如日本早期公開特許申請案第６１－２６４７５８號所揭露用來減少ｐｎ結所形成結電容之構造，以及日本早期公開特許申請案第１－３０３７５２號所揭露用來減少刻劃晶片邊緣所造成暗電流之構造等種種構造。一般而言，ｐｎ結所形成之光電二極體業已周知。

惟，此種光接收元件座用於一蓄積光電載流子於ｐｎ

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（　）

結並使用電荷－電壓轉換裝置讀出一信號電壓之放大器型光電轉換設備時，卻無法獲得高靈敏度。

於放大器型光電轉換設備情形下，光輸出得出如下：

$$Vp = Qp / Cs \qquad (1)$$

其中Ｑｐ爲ｐｎ結上所蓄積的電荷量，Ｃｓ爲光電轉換部份的電容。

於例如一包括有一光電二極體、ＭＯＳ源極輸出器（source-follower）電路與復位ＭＯＳ電路之放大器型光電轉換設備情形下，光電轉換部份的Ｃｓ電容得出如下：

$$Cs = Cpd + Ca \qquad (2)$$

其中Ｃｐｄ爲ｐｎ二極體之ｐｎ結電容，而Ｃａ爲連接於光電轉換部份的另一電容，此電容包含形成ＭＯＳ源極輸出器電路之－ＭＯＳ電晶體之一柵極電容，源極／阱結電容、源極／柵極重疊電容，接線電容，以及形成復位ＭＯＳ電晶體之－ＭＯＳ電晶體者。

因此，爲了實現高靈敏度，光電載流子必須有效蓄積，且供光電載流子蓄積之光電轉換部份之電容必須縮小。

惟，在使用一光電二極體之一接觸影像感測器且此光電二極體藉由形成一導電型與半導體基片相反之區域於半導體基片中來製得情形下，由於例如３００ｄｐｉ解析度

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（　）

之像素間距爲８４．７微米，故一面積幾等於開口之ｐｎ結須有效讀出光電載流子，然而，此時等式（２）中光電二極體之ｐｎ結電容Ｃｐｄ會增加。

另一方面，在ｐｎ結面積減少以減少光電二極體部份之ｐｎ結電容Ｃｐｄ時，ｐｎ結區上所蓄積之光電載流子減少。

日本早期公開特許申請案第６１－２６４７５８號揭露一種技術，其形成一具有環形或部份切除環形之蓄積部份以減少蓄積區之結電容。

惟，一導電型相同於基片且雜質濃度高於基片之區域形成於基片表面上以抑制基片表面上所產生暗電流時，如日本早期公開特許申請案第５５－１５４７８４號所揭露，耗盡層繞結窄化，且如日本早期公開特許申請案第５５－１５４７８４之第２圖所示，ｐｎ結電容之周長依存度增加。

由於ｐｎ結面積固然減少惟周長增加以致於ｐｎ結之電容值無法充份減少，故日本早期公開特許申請案第６１－２６４７５８號所揭露之構造幾乎無法獲得高靈敏度。

另一方面，隨著最近半導體元件微型化技術發展，一般使用以Ｔｉ、ＴｉＮ等作爲阻擋金屬，亦即接觸半導體擴散層之接線材料之技術。

因此，爲了獲得與一ｐ型擴散層接觸的理想電壓接觸，半導體擴散層的雜質濃度必須高於以Ａｌ作爲接線材料時的雜質濃度。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（4）

惟，在習知技術中，光電二極體之一p型區之雜質濃度增加時，暗電流會增加，且會變化至一極大程度。

p型層之雜質濃度在爲了抑制半導體／氧化物層介面之暗電流而形成之p－與n－型區間之接面中增加，所造成耗盡層中晶體缺點之增加，或接面附近局部產生之高電場，均可能產生此種暗電流。

減少p型區之雜質濃度以抑制暗電流時，p型區中之接觸電阻即增加，其變化亦變大，徒而造成光電轉換設備的更大特性變化。

亦即，使用一般微型技術於習知技術時，會發生暗電流增加與暗電流變化的問題。

發明概要

本發明之一目的在於提供一具有一高靈敏度光接收部之光電轉換設備，以及一影像感測器。

本發明另一目的在於提供一可減少暗電流之光電轉換設備，以及一影像感測器。

爲達到上述目的，根據本發明提供一光電轉換設備，其包括一光接收元件，具有一第一導電型之半導體基片；一第二導電型之第一半導體區，形成於半導體基片之一表面上；一透明絕緣層，形成於半導體基片上；以及一光屏蔽層，形成於絕緣層上，並具有一面積大於第一半導體區之開口；其中光接收元件於單一開口中具有複數個相當於該第一半導體區之第一半導體區，且單一開口中之複數第

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

一半導體區彼此電連接。

又，根據本發明提供一影像感測器，藉由安裝複數光電轉換設備於一印刷電路板上來形成，其中各個光電轉換設備包含一光接收元件，具有一第一導電型半導體基片；一第二導電型第一半導體區，形成於半導體基片之一表面上；一透明絕緣層，形成於半導體基片上；以及一光屏蔽層，形成於絕緣層上，並具有一面積大於第一半導體區之開口；其中光接收元件於單一開口中具有複數個相當於該一半導體區之第一半導體區，且單一開口中之複數第一半導體區彼此電連接。

又，根據本發明提供一光電轉換設備，其包括一光接收元件，具有一第一導電型第一半導體區；一第二導電型第二半導體區，形成於第一半導體區之一表面上；一第二導電型第三半導體區，形成於第二半導體區中，並具有較第二半導體區高的濃度；一電連接於第三半導體區之第一導電材料；一透明絕緣層，形成於第一導電材料上；以及一光屏蔽層，形成於絕緣層上，並具有一面積大於第二半導體區之開口。

復根據本發明提供一影像感測器，藉由複數光電轉換設備安裝於一電路板上來形成，其中各個光電轉換設備包含一光接收元件，具有一第一導電型第一半導體區；一第第二導電型第二半導體區，形成於第一半導體區之一表面上，一第二導電型第三半導體區，形成於第二半導體區中，並具有較第二半導體區高的雜質濃度；一電連接於第三

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（6）

半導體區之第一導電材料；一透明絕緣層，形成於第一導電材料上；以及一光屏蔽層，形成於絕緣層上，並具有一面積大於第二半導體區之開口。

藉由上述配置即可獲得一高質影像。

圖式之簡單說明

第1圖係一示意平面圖，顯示本發明第一實施例之一光電轉換設備之一光接收部構造；

第2圖係一示意剖視圖，顯示沿第1圖中2－2線所取構造；

第3圖係一示意剖視圖，顯示沿第1圖中3－3線所取構造；

第4圖係一顯示一開口中感光度分佈之視圖；

第5圖係一平面圖，顯示本發明第二實施例之一像素構造；

第6圖係一部視圖，顯示本發明沿第5圖中6－6線所取構造；

第7係本發明第二實施例之一像素之等效電路圖；

第8係一平面圖，顯示本發明第三實施例之像素構造；

第9圖係一剖視圖，顯示沿第8圖中9－9線所取構造；

第10圖係本發明第三實施例之一像素之一等效電路圖；

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（　）

第１１圖係一平面，顯示本發明第四實施例之一像素構造；

第１２圖係一剖視圖，顯示本發明沿第１１圖中１２－１２線所取構造；

第１３圖係一平面圖，顯示本發明第五實施例之一光電轉換設備之一光接收部構造；

第１４圖係一剖視圖，顯示本發明沿第１３圖中１４－１４線所取構造；

第１５圖係一平面圖，顯示本發明第六實施例之一像素構造；以及

第１６圖係一剖視圖，顯示本發明沿第１５圖中１６－１６線所取構造。

主要元件對照

1,1′,1″	p型區
2	互接部
3	光屏蔽層
4,4′,4″	開口
5	n型半導體基底
6	透明絕緣層
7	透明絕緣層
8	n型半導體區
9	保護層
10,10′,10″	電荷－電壓轉換機構

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（8）

11	n型半導體基底
12,12′,12″	第一p型區
13,13′,13″	第二p型區
14	第一n型區
15,15′,15″	接觸孔
16	TN層（金屬互接區）
17	透明絕緣層
18	透明絕緣層
19	光屏蔽層
20,20′,20″	開口
21	虛線
22	保護層
23	n型埋置層
24	第二n型區
25	n型晶膜層
26	Al層
30	光電二極體
31	復位NMOS電晶體
32	PMOS源極輸出器電晶體
40	光電二極體
43	復位PMOS電晶體
44	NMOS源極輸出器電晶體
101	n型區
105	p型半導體基片

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

108 p型區

較佳實施例之說明

第1圖係一示意平面圖，顯示本發明第一實施例之一光電轉換設備之一光接收部構造，第2圖係一示意剖視圖，顯示沿第1圖中2－2線所取構造，且第3圖係一示意剖視圖，顯示沿第1圖中3－3線所取構造。

以下第一n型半導體基片爲例說明本發明一實施例。惟，本發明並不限於n型半導體基片，即使使用p型半導體基片仍可獲得相同效果。

參考第1圖，開口4，4′與4″形成於一光屏蔽層3中以形成一光接收元件陣列。於開口4，4′與4″內，各有二個的p型區1，1′與1″分別形成於一n型半導體基片5上以形成一與n型半導體基片相接的pn結。複數p型區形成於單一開口內，並經由一互接部2相互連接。

電荷－電壓轉換裝置10，10′與10″分別根據產生於n型半導體基片5中且蓄積於p型區1，1′與1″中的光電載流子將電荷信號轉換成電壓信號。例如，適當使用一運用MOS電晶體之MOS放大器或MOS源極－輸出器電路，並經由此等電路將光電載流子轉換成電壓信號。

參考第2與3圖，一具有較基片高之濃度之n型半導體區8形成於n型半導體基片5之表面上，且透明絕緣層

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(10)

6與7形成於n型半導體基片5與互接部2之間，以及互接部2與光屏蔽層3之間。

於本發明中可使用一具有約10^{14}至$10^{17}cm^{-3}$（公分$^{-3}$）雜質濃度之n型半導體基片5。較佳地，基片5具有約10^{-4}至$10^{-6}cm^{-3}$的雜質濃度。

較佳地，各p型區1具有約10^{-18}至$10^{22}cm^{-3}$之雜質濃度。於第1、2與3圖中，各p型區作爲較互接區寬，惟可作成較互接區小。於第1、2與3圖中，各p型區作成矩形。替代地，爲減少周長，各p型區可作成圓形，或可形成具有不同形狀與大小之區域。

n型區8形成於n型半導體基片5之表面上，以減少基片5與絕緣層6間之介面附近所產生之暗電流，且於其表面部份僅需約10^{-16}至$10^{-18}cm^{-3}$之雜質濃度。n型區可形成一不直接接觸各p型區之偏置部（offset），或可在其雜質濃度低於p型區之雜質濃度時，形成於整個表面上而無任何偏置部。

至於透明絕緣層6與7以及互接部2，可使用一般矽製程所用材料於本發明。

光屏蔽層3可由亦用來作爲互接部的金屬製成，或可由其他有機材料或無機材料製成。藉由部份去除此光屏蔽所形成之各開口4在接觸影像感測器具有300dpi或相當於此數值之光學解析度情形下具有一區約80×50μm（微米）的大小。

以下參考第4圖解說本發明效。第4圖顯示以狹縫光

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（11）

束照射第４圖中Ｉ－ＩＩ部份並沿水平方向掃描開口４所獲得的輸出值，亦值沿水平方向的開口４內感光度分佈。由第４圖可知，本發明於ｐｎ結之耗盡層部份中所產生的光電載流子有效蓄積在各ｐ型區上，惟於基片之中性區內所產生之光電載流子最後部散射並重組，以致於隨著增加與ｐ型區相隔距離減少光輸出。如此，由於開口４中二ｐ型區１之光輸出極高，故形成複數ｐ型區時，可確保高光輸出位準。

由於複數ｐ型區形成於各開口４，故ｐ型區的總周長可減至最小，且開口中所產生的光電載流子可有效蓄積。

第５圖係一平面圖，顯示本發明第二實施例中一像素構造，第６圖係一剖視圖，顯示沿第５圖中６－６線所取構造，且第７圖係第５圖中一像素之等效電路圖。

於此實施例中，四ｐｎ結形成於各開口４中。具有２８０Ω薄片電阻之四ｐ型區形成於一具有１Ω・ｃｍ電阻率之ｎ型半導體基片表面上，俾分別形成四ｐｎ結。一ｎ型區８形成於基片５表面上，俾具有一偏離各ｐ型區之偏置部。此ｎ型區８之表面濃度約爲$5\times16cm^{-3}$。互接部２與光屏蔽層３由Ａｌ形成。透明絕緣層６具有SiO_2與ＢＰＳＧ（磷硼矽酸鹽玻璃含硼與磷之矽玻璃）之雙層構造，且透明絕緣層７使用一ＳｉＯ層。形成一ＳｉＮ層於光屏蔽層３上俾用來作爲一保護層９。

參考第７圖，於本實施例中，每一像素形成四個各用來作爲光接收元件之光電二極體３０。一光電二極體３０

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

對應於第6圖中一ｐｎ結。光電二極體３０之ｐ型區１連接於一復位ＮＭＯＳ電晶體３１與一ＰＭＯＳ源極輸出器電晶體３２之輸入結點，並將其輸出電荷一電壓轉換以獲得一輸出信號Ｖｏｕｔ。

各具有８４．７μｍ像素間距之十一個感測器晶片以及各具有上述配置之２３４像素安裝於一玻璃環氧基片上以形成一２１．８ｃｍ寬，Ａ４大小的接觸影像感測器。須知，藉由複數晶片排成一行形成一接觸影像感測器時，相鄰結距可藉由減少各開口大小至小於影像讀出解析度間距而使其幾乎等於像素間距。甚而，３００ｄｐｉ之像素間距設定爲約片８２．５μｍ，且開口間距設定爲約５０．０μｍ。藉此構造，甚至可在結處獲得相同於晶片之解析度。相同配置用於以下實施例。

就本實施例與藉由ｐ型區配置成環狀以增進靈敏度至最大程度的習知技術比較其靈敏度，顯示本實施例的靈敏度約爲習知技術的１．３倍。

於上述第一或第二實施例中，一濃度較基片高的ｎ型半導體區８形成於ｎ型半導體基片５上，惟，並非恒須如此。藉由形成ｎ型半導體區８可減少暗電流。

第８圖係一平面圖，顯示本發明第三實施例之一像素構造，第９圖係一剖視圖，顯示沿第８中９－９線所取構造，且第１０圖係一像素之等效電路圖。

於本實施例中，各開口４包含七個不同大小的圓形ｐｎ結。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

七個n型區101形成於一電阻率爲10Ω·cm的p型半導體基片105表面上，以形成pn結。除n型區101外，一p型區108亦形成於基片105的整個表面上。此p型區之表面濃度約爲$1\times10^{17}cm^{-3}$。

互接部2與光屏蔽層3由Al製成。透明絕緣層6具有SiO_2與BPSG之雙層構造，且透明絕緣層7使用一SiO層。一SiN層形成於光屏蔽層3上，俾用來作爲一保護層9。

參考第10圖，於本實施例中，每一像素形成七個光電二極體40，用來作爲光接收元件。一光電二極體40對應於第8圖中之一pn結。光電二極體40之n型區連接於一復位PMOS電晶體43與一NMOS源極輸出器電晶體44之輸入結點。導通PMOS電晶體43，使光電二極體40上的任何剩餘電荷復位，此後則蓄積對應於影像光量的光電荷一段預定期間。接著導通NMOS電晶體44，進行電荷－電壓轉換，藉此獲得一輸出信號V_{out}，使用一恒定電路換算成NMOS電晶體44的負載。

各具有127μm像素間距的十一個感測器晶片以及各具有上述配置的158像素安裝在一玻璃環氧基片上以形成22cm寬，A4大小的接觸影像感測器。

於上述第三實施例中，一濃度高於基片之p型半導體區108形成於p型半導體基片105上，惟並非恒須如此口可藉由形成p型半導體區108來減少暗電流。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (14)

第１１圖係一平面圖，顯示本發明第四實施例之一像素構造，且第１２圖係一剖視圖，顯示沿第１１圖中１２－１２線所取構造。

本實施例採用四個ｐ型結形成於各開口中以增進光電載流子聚集效率之像素配置。

具有約１，０００Ω薄片電阻的第一ｐ型區１２形成於一具有８Ω·ｃｍ電阻率的ｎ型半導體基片１１表面上，俾形成一ｐｎ結於ｎ型半導體基片１１與第一ｐ型區１２之間。

一具有約７０Ω薄片電阻之第二ｐ型區１３亦形成於第一ｐ型區１２中。

一第一ｎ型區１４進一步形成於基片１１表面上。此ｎ型區１４之表面濃度約爲$8\times10^{10}cm^{-3}$。

一連接於第二ｐ型區之金屬互接部具有ＴｉＮ層與Ａｌ層，並電連接像素中所形成的四個島狀ｐｎ結區。

一透明絕緣層１７具有SiO_2與ＢＰＳＧ之雙層構造，且一透明絕緣層１８使用一ＳｉＯ層。一光屏蔽層１９由Ａｌ製成。一ＳｉＮ層形成於光屏蔽層１９上以作一保護層２２。

於本實施例中，爲增進基片之中性區內所產生以及異向同性散射的光電載流子的聚集效率，複數個小ｐｎ結形成於像素中。

各具有８４．７μｍ像素間距的十一個感測器晶片以及各具有上述配置的２３４像素安裝在一玻璃環氧基片上

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (15)

以形成一構成一Ａ４大小接觸影像感測器之光電轉換設備。

就暗電流比較本實施例與不具有本發明於本實施例所具特徵的第一ｐ型區１２的習知技術，顯示本發明的暗電流約爲習知技術的１／１０。

於上述實施例中例示光電轉換像素。

於一平面內以一高效率像素獲得的光電載流子藉例如一具有一ＭＯＳ構造之源極輸出器電路予以電荷－電壓轉換以讀出一電壓於一輸出線路，並計算輸出電壓與暗電流之間的差異。差異信號經過墨斑校正（ shoding correction ），伽馬校正等，並輸出校正信號以作爲影像信號。

於第四實施例中，一濃度高於基片之ｎ型半導體區１４形成於ｎ型半導體基片１１上，惟並非恒須如此。可藉由形成ｎ型半導體區１４來減少暗電流。

第１３圖係一示意平面圖，顯示本發明第五實施例之光電轉換設備之一光接收部構造，且第１４圖係一示意剖視圖，顯示沿第１３圖中１４－１４線所取構造。

於第１３與１４圖中，形成第一ｐ型區１２，１２′與１２″於用來作爲第一半導體的ｎ型半導體基片１１表面上以作爲第二半導體區，俾形成光接收元件，以其作爲與ｎ型半導體基片１１相接之ｐｎ結。

雜質濃度高於第一ｐ型區之第二ｐ型區１３，１３′與１３″形成於第一ｐ型區１２，１２′與１２″中以作爲第三半導體區，並經由電阻接觸（接觸孔）１５，

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（16）

15′與15″電連接於金屬互接區16，16′與16″上。

雜質濃度高於n型半導體基片11之第一n型區14形成於n型半導體基片11上。

另一方面，一第一透明絕緣層17經由第一n型區14形成於n型半導體基片11上，且金屬互接區16，16′與16″經由小於第二p型區13，13′與13″的接觸孔15，15′與15″連接於第二p型區13，13′與13″。

甚而，一第二透明絕緣層18形成於第一絕緣層17與金屬互接區16，16′與16″上，且一具有大於第一p型區12，12′與12″的開口20，20′與20″的光屏蔽層19形成於第二絕緣層18上。

於本發明配置中，第14圖之虛線21顯示使用一反向偏置易結時之耗盡情形。

於本發明中，n型半導體基片可使用一生長於n型半導體基片上之晶膜層或一在n型半導體基片11與晶膜層之間具有一高濃度埋置層之構造來作爲第一半導體區。爲獲得藉由擴大pn結之耗盡層來增進載流子聚集效率與減少結電容之功效，第一半導體11表面附近的雜質濃度宜約爲10^{14}至$10^{17}cm^{-3}$，且較佳地，約爲10^{14}至$10^{16}cm^{-3}$。

各第一p型區12形成一pn結於n型半導體基片11與第一n型區14之間。較佳地，形成第一p型區12

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(17)

，俾將ｐｎ結的耗盡層的缺點減至最小，並避免過多電場。尤其，第一ｐ型區１２之雜質濃度設定爲約10^{17}至$10^{19}cm^{-3}$，並於一可充份激活雜質之熱製程中形成。

形成各第二ｐ型區１３，係其相對濃度高達約10^{19}至$10^{20}cm^{-3}$，俾獲得一與用來讀出光電載流子之金屬互接區１６接觸之理想電阻接觸。須知，第二ｐ型區１３形成於第一ｐ型區１２內，俾防止耗盡層伸延至第二ｐ型區，以抑制暗電流。

形成第一ｎ型區１４以抑制ｎ型半導體基片１１與第一絕緣層１７間之介面所產生之暗電流，較佳地，其具有可防止此區於介面附近耗盡並可減少與第一ｐ型區１２相接之結點缺點之雜質濃度，特別是，此雜質濃度約爲10^{16}至$10^{18}c^{-3}$。

第一ｎ型區１４可形成一偏置部，俾不與第一ｐ型區１２直接接觸。惟，此區１４雜質濃度遠較第一ｐ型區１２低時，此區１４最好形成於整個表面上而無任何偏置部，以提高減少半導體基片１１與第一絕緣層１７間之介面所產生之暗流之功效。

金屬互接區１６可使用一般矽製程中用來作爲阻擋金屬之材料：尤其是諸如Ｔｉ、Ｗ、Ｐｔ、Ｍｏ、Ｈｆ、Ｃｏ等高熔點金屬與以其作爲主成份之混合物。於第１１與１２圖中，一金屬互接區具有一單層構造，惟可爲阻擋金屬與Ａｌ之雙層接線構造，或含有至少三層之多層接線構造。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(18)

如透明絕緣層１７與１８，習知矽製程所用ＳｉＯ₂，ＳｉＯ，ＳｉＮ等可用於本發明。

藉由使用金屬或使用其他有機金屬或無機金屬，光屏蔽層１９亦可作爲互接部。在影像感測器具有３００ｄｐｉ或相當於此數值之光學解析度情形下，去除部份光屏蔽層１９所形成之各開口２０具有約８０×５０μｍ的大小。

在導電型與本實施例的ｐ型半導體基片情形下，本發明可獲得相同功效。惟，有鑑於其在一般矽製程中的適用情形，第一半導體區具有ｎ導電型時所獲得功率較顯著。

第１５圖係一平面圖，顯示本發明第六實施例之一像素構造，且第１６圖係一剖視圖，顯示沿第１５圖中１６－１６線所取構造。

於本實施例中，一ｎ型埋置層２３與ｎ型晶膜層２５形成於一ｎ型半導體基片１１上。ｎ型半導體基片１１之雜質濃度約爲$10^{16}cm^{-3}$，ｎ型區埋置層２３之雜質濃度最大約爲$10^{18}cm^{-3}$，且晶膜層之雜質濃度約爲$10^{15}cm^{-3}$。

第一ｐ型區１２，１２′，１２″，第二ｐ型區１３，１３′，１３″與第一ｎ型區１４形成於晶膜層２５之表面部份。其雜質濃度分別爲：於第一ｐ型區表面附近約$2\times10^{18}cm^{-3}$，於第二ｐ型區表面附近約$10^{20}cm^{-3}$，且於第三ｎ型區１４表面附近約$5\times10^{16}cm^{-3}$。第一ｐ型區１２之結深度約０．５μｍ，且第二

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(19)

p型區13之結深度約0.3μm。

於本實施例中，藉由一離子植入一像素之整個表面中，形成第一n型區14。

於本實施例中，大量摻雜之第二n型區24形成於各開口20邊緣附近。第二n型區24之雜質濃度於表面附近約爲$2\times10^{19}cm^{-3}$，且在與n型埋層23相接之結點附近之雜質濃度約爲$3\times10^{17}cm^{-3}$。

因此，於本實施例中，由於像素中的晶膜層25與雜質濃度高於晶膜層25的區域界接，故晶膜層2之中性區內所產生的光電載流子可有效蓄積在第二p型區13上。因此，形成各第二p型區13，俾具有較小尺寸，並減少結電容，以提供適用於高靈敏度之構造。

一接觸第二p型區13之金屬互接區16使用具有一TiN層16與Al層26之雙層構造。

經由第一n型區14或第一暨第二p型區12、13形成於晶膜層25上之透明絕緣層17具有SiO_2與BPSG之雙層結構，且透明絕緣層18使用一SiO層。且一光屏蔽層19使用Al，一SiN層形成於光屏蔽層19以作爲一保護層22。於本實施例中，每一像素之開口20之大小爲80μm×50μm。

形成半導體84.7μm之像素間距之感測器晶片以及各具有上述配置之234像素，且十一個感測器晶片安裝在一玻璃環氧基片以形成一用來戶爲A4大小之接觸影像感測器之光電轉換設備。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（20）

就暗電流比較本實施例與不具有本發明特徵之第一ｐ型區１２之情形，顯示本發明所計得暗電流約爲習知技術之１／１０。

於第五與第六實施例中，一濃度高於基片之ｎ型半導體區１４形成於ｎ型半導體基片１１上，惟並非恒須如此。可藉由形成ｎ型半導體區１４減少暗電流。

再申言之，根據第一至第四實施例，由於複數ｐｎ結形成於各開口且彼此電連接，故光電載流子有效蓄積，且可減少蓄積部份之電容。因此，相較於習知技術，可增進光電轉換設備之靈敏度，並可獲得極顯著功效。

根據第五與第六實施例，即使使用一阻擋金屬之一般矽製程應用於光電轉換設備，亦可實現能減少暗電流之高性能光電轉換設備，繼而發揮極大功效。

在不悖離本發明精神與範疇下，本發明可作爲請多不同實施例。須知，本發明除了如後附申請專利範圍界定外，並不限於說明書所舉特定實施例。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：　光電轉換設備以及影像感測器　）

本發明提供一光電轉換設備與一使用此設備之影像感測器，此光電轉換設備包括一含有一第一導電型半導體基片之光接收元件；一第二導電型第一半導體區，形成於半導體基片表面上；一透明絕緣層，形成於半導體基片上；以及一光屏蔽層，形成於絕緣層上，並具有一面積大於第一半導電區之開口；且其中光接收元件於單一開口中含有複數第一半導體區，單一開口中的第一半導體區彼此電連接。

英文發明摘要（發明之名稱：　）

PHOTOELECTRIC CONVERSION APPARATUS AND IMAGE SENSOR

There are provided a photoelectric conversion apparatus which comprises a light-receiving element including a semiconductor substrate of a first conductivity type, a first semiconductor region of a second conductivity type formed on the surface of the semiconductor substrate, a transparent insulating layer formed on the semiconductor substrate, and a light-shielding layer formed on the insulating layer and having an opening with an area larger than the first semiconductor region, and in which the light-receiving element includes a plurality of first semiconductor regions in a single opening, and the first semiconductor regions in the single opening are electrically connected to each other, and an image sensor using the apparatus.

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

經濟部中央標準局員工消費合作社印製

A8
B8
C8
D8

六、申請專利範圍

1．一種光電轉換設備，包括：

一光接收元件，含有一第一導電型半導體基片；

一第二導電型第一半導體區，形成於該半導體基片之一表面上；

一透明絕緣層，形成於該半導體基片上；以及

一光屏蔽層，形成於該絕緣層上，並具有一面積大於該第一半導體區之開口；

其中該光接收元件於單一開口中含有複數個相當於該第一半導體區之第一半導體區，且單一開口中之該複數第一半導體區彼此電連接。

2．如申請專利範圍第1項之設備，其中進一步包括：

一第一導電型第二半導體區，形成於該半導體基片之表面上，並具有較該半導體基片高之雜質濃度。

3．如申請專利範圍第1項之設備，其中該第一半導體區具有一島形。

4．如申請專利範圍第1項之設備，其中該第一半導體區連接於電荷電壓轉換機構。

5．如申請專利範圍第1項之設備，其中該第一半導體區電連接於一ＭＯＳ電晶體之一柵極。

6．如申請專利範圍第1項之設備，其中形成複數個相當於該光接收元件之光接收元件。

7．如申請專利範圍第2項之設備，其中形成複數個相當於該光接收元件之光接收元件。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

8．一種影像感測器，藉由安裝複數個如申請專利範圍第6項之光電轉換設備於一電路板上來形成。

9．一種影像感測器，藉由安裝複數個如申請專利範圍第7項之光電轉換設備於一電路板上來形成。

10．如申請專利範圍第8項之感測器，其中該第一半導體區具有一島形。

11．如申請專利範圍第8項之感測器，其中該第一半導體區電連接於一電荷電壓轉換機構。

12．如申請專利範圍第8項之感測器，其中該第一半導體區電連接於一MOS電晶體之一柵極。

13．一種光電轉換設備，包括：

一光接收元件，包含一第一導電型第一半導體區；

一第二導電型第二半導體區，形成於該第一半導體區之一表面上；

一第二導電型第三半導體區，形成於該第二半導體區中，並具有較該第二半導體區高的雜質濃度；

一第一導電材料，電連接於該第三半導體區；

一透明絕緣層，形成於該第一導電型材料上；以及

一光屏蔽層，形成於該絕緣層上，並具有一面積大於該第二半導體區之開口。

14．如申請專利範圍第13項之設備，其中進一步包括：

一第一導電型第四半導體區，形成於該第一半導體區之表面上，並具有較該第一半導體區之雜質濃度。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

15．如申請專利範圍第13項之設備，其中該絕緣層包含：

一第一透明絕緣層，形成於該第一半導體區上，並具有一小於該第三半導體區之接觸孔；以及

一第二透明絕緣層，形成於該第一絕緣層與該第一導電材料上；

且該第一導電材料經由該接觸孔電連接於該第三半導體區。

16．如申請專利範圍第14項之設備，其中該絕緣層包含：

一第一透明絕緣層，形成於該第一半導體區上，並具有一小於該第三半導體區之接觸孔；以及

一第二透明絕緣層，形成於該第一絕緣層與該第一導電材料上；

且該第一導電材料經由接觸孔電連接於該第三半導體區。

17．如申請專利範圍第13項之設備，其中第一導電型爲n導電型，第二導電型爲p導電型，且該第一導電材料包含一選自鈦、鎢、鉑、鉬、銥與鈷之群組之材料。

18．如申請專利範圍第13項之設備，其中該第三與第一半導體區間之結深度大於該第二與第一半導體區間之結深度。

19．如申請專利範圍第13項之設備，其中該第一半導體區之雜質濃度約爲10^{14}至10^{16} cm^{-3}；

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

接近該第二半導體區之一表面處之雜質濃度約爲10^{17}至$10^{19}c^{-3}$；

接近該第三半導體區之一表面處之雜質濃度約爲10^{19}至$10^{21}cm^{-3}$；

且接近該第二半導體區之一表面處之雜質濃度約爲10^{16}至$10^{18}cm^{-3}$。

20．如申請專利範圍第13項之設備，其中形成複數個相當於該光接收元件之光接收元件。

21．如申請專利範圍第14項之設備，其中形成複數個相當於該光接收元件之光接收元件。

22．如申請專利範圍第15項之設備，其中形成複數個相當該光接收元件之光接收元件。

23．一種影像感測器，藉由安裝複數個如申請專利範圍第20項之光電轉換設備於一電路板上來形成。

24．如申請專利範圍第23項之感測器，其中第一導電型爲n導電型，第二導電型爲p導電型，且該第一導電材料包含選自鈦、鎢、鉑、鉬、鉿與鈷之群組之材料。

25．如申請專利範圍第23項之感測器，其中該第三與第一半導體區間之結深度大於該第二與第一半導體區間之結深度。

26．如申請專利範圍第23項之感測器，其中該第一半導體區之雜質濃度約爲10^{14}至$10^{16}cm^{-3}$；

接近該第二半導體區之一表面處之雜質濃度約爲10^{17}至$10^{19}cm^{-3}$；

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

接近該第三半導體區之一表面處之雜質濃度約爲10^{19}至$10^{21}cm^{-3}$；

且接近第二半導體區之一表面處之雜質濃度約爲10^{16}至$10^{18}cm^{-3}$。

（請先閱讀背面之注意事項再填寫本頁）

訂

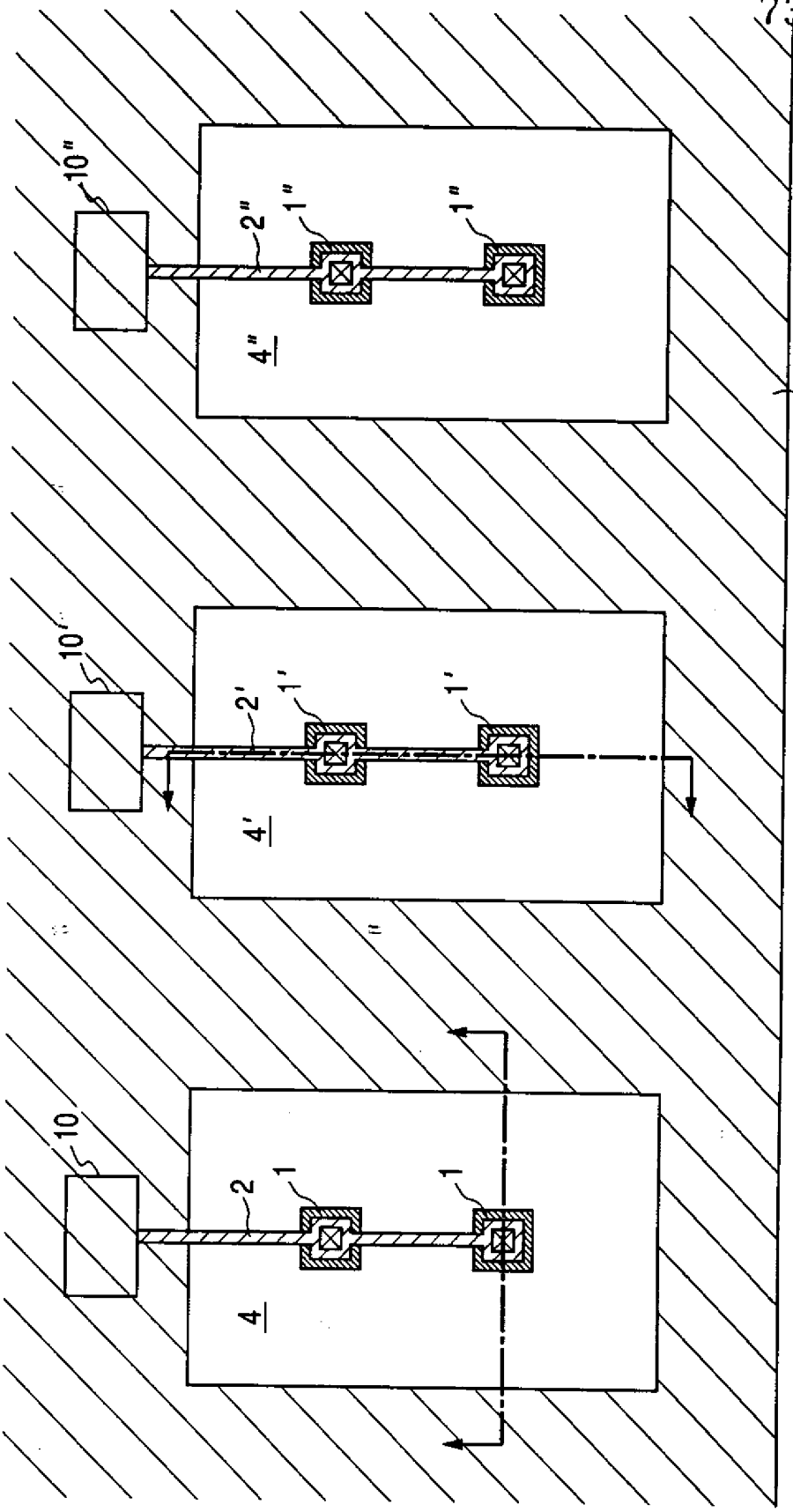
線

經濟部中央標準局員工消費合作社印製

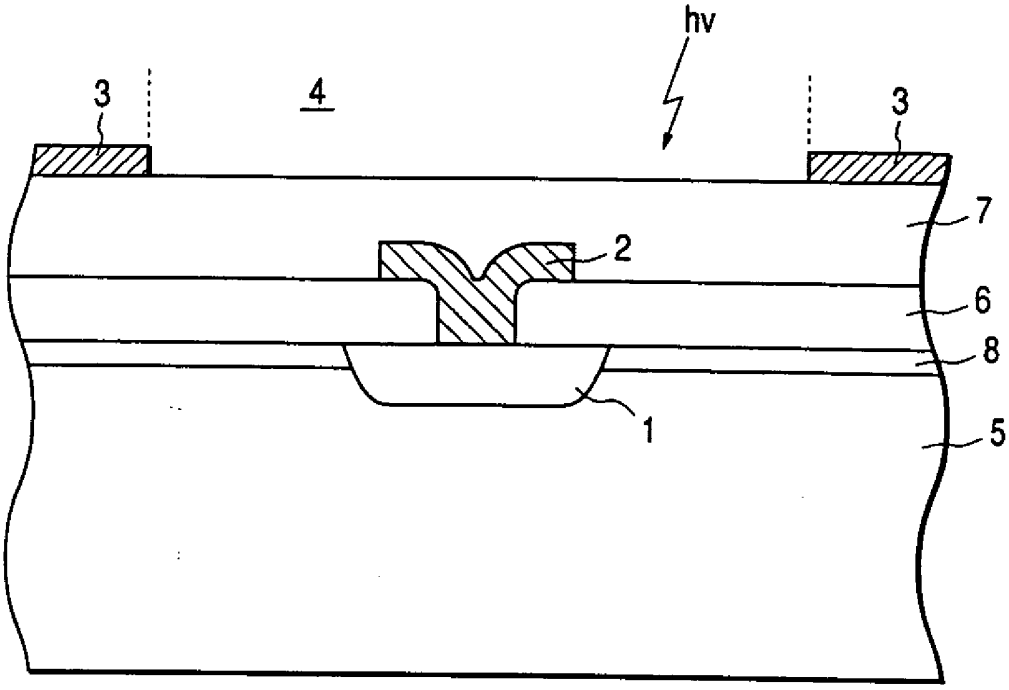
427036

871167

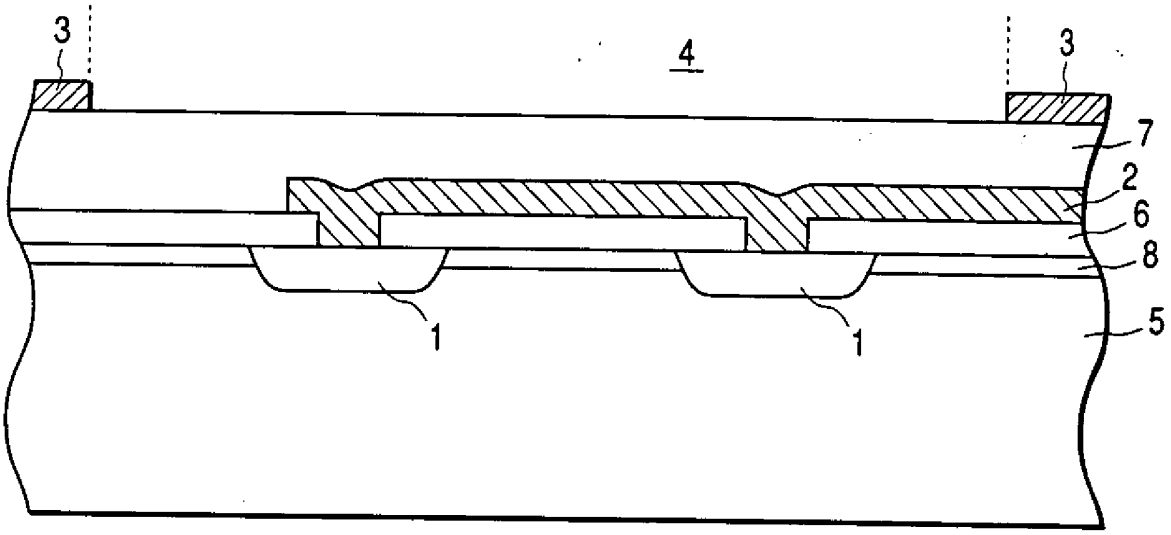
732395



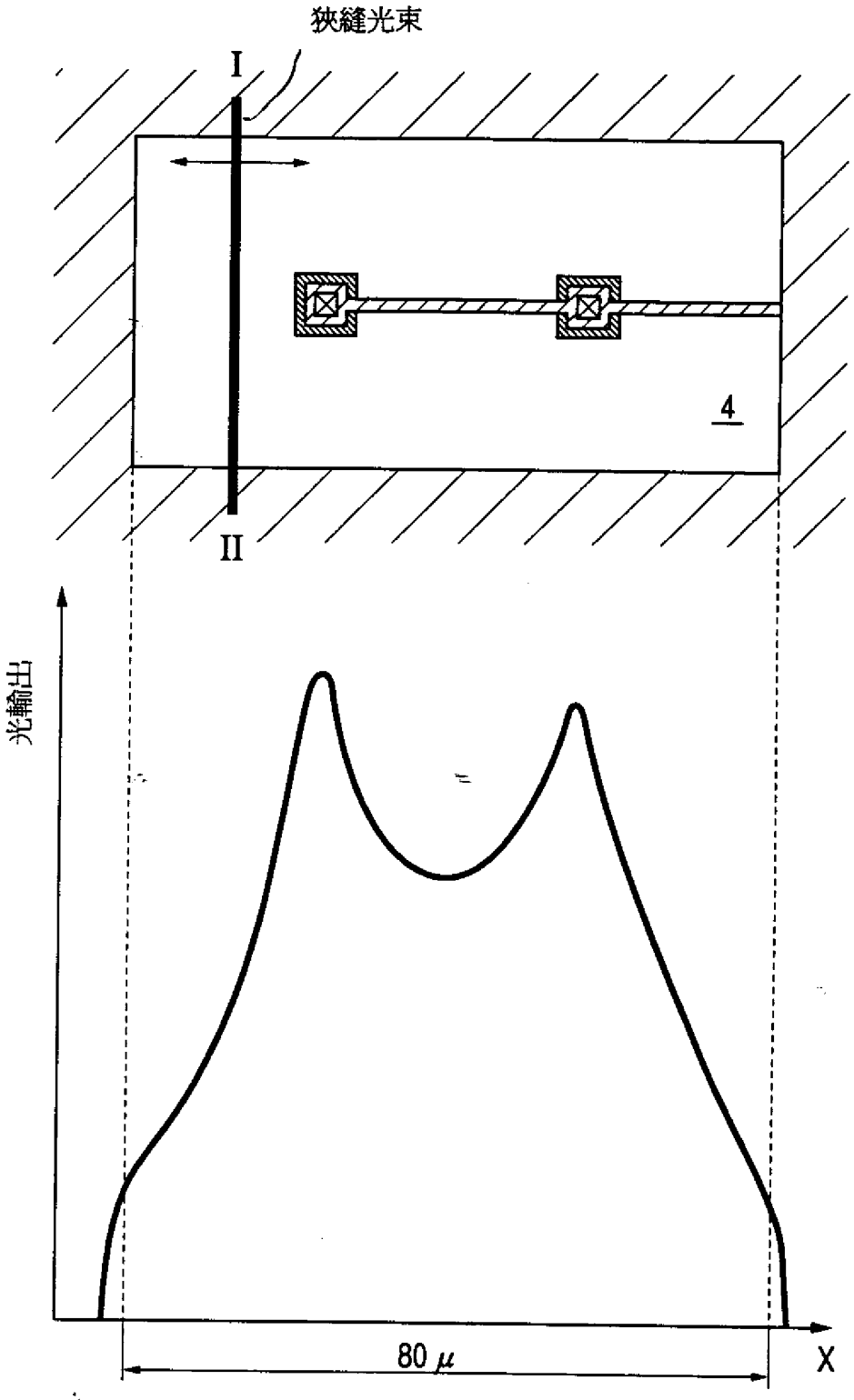
第1圖



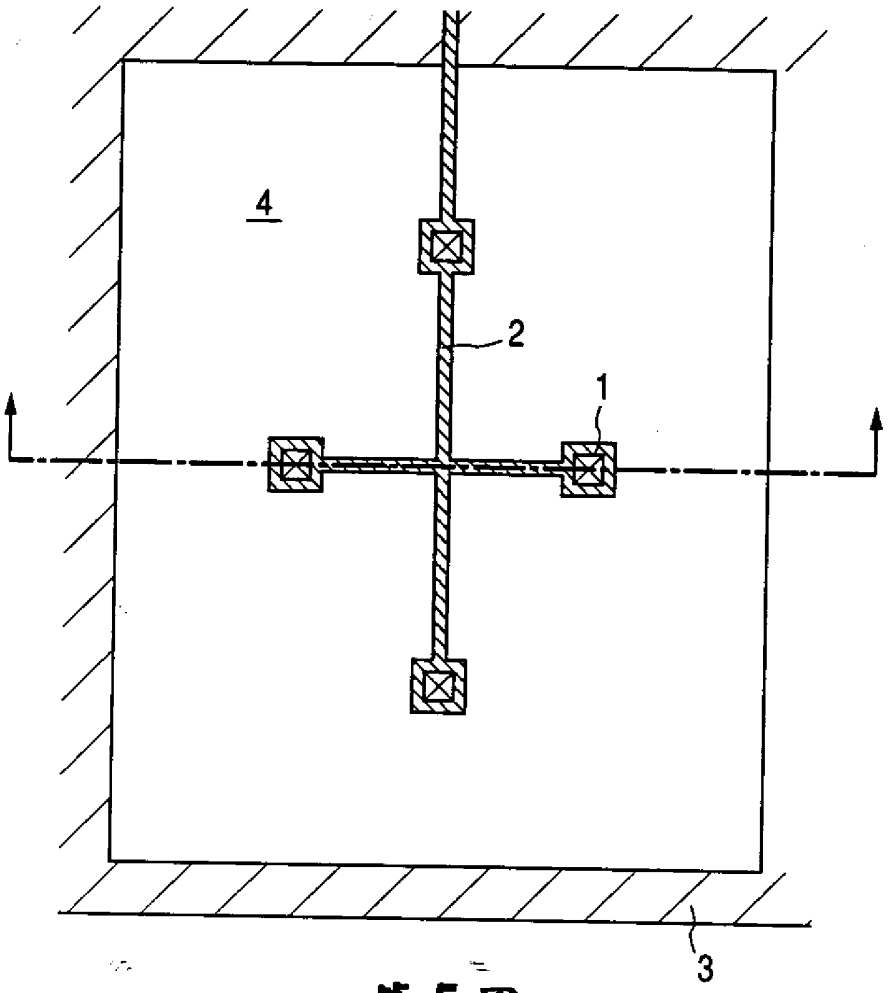
第 2 圖



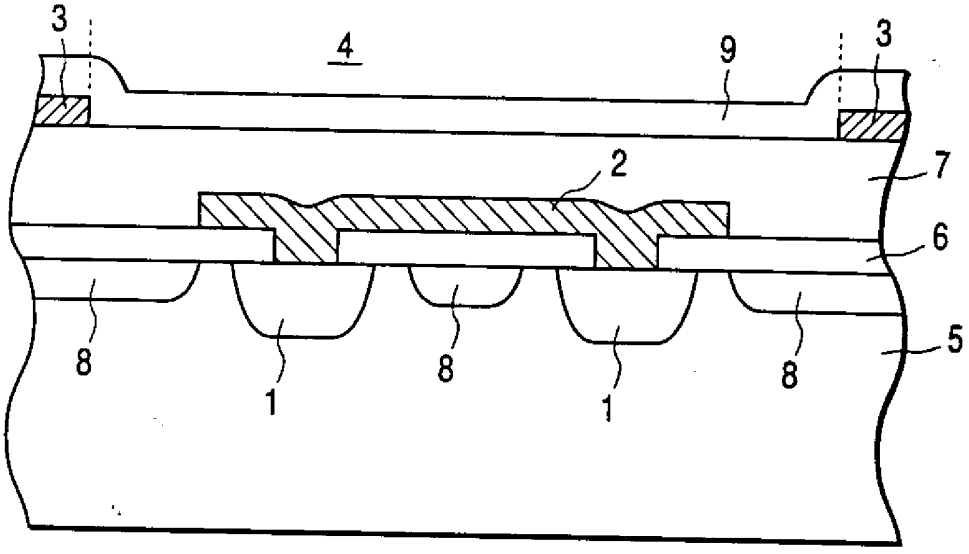
第 3 圖



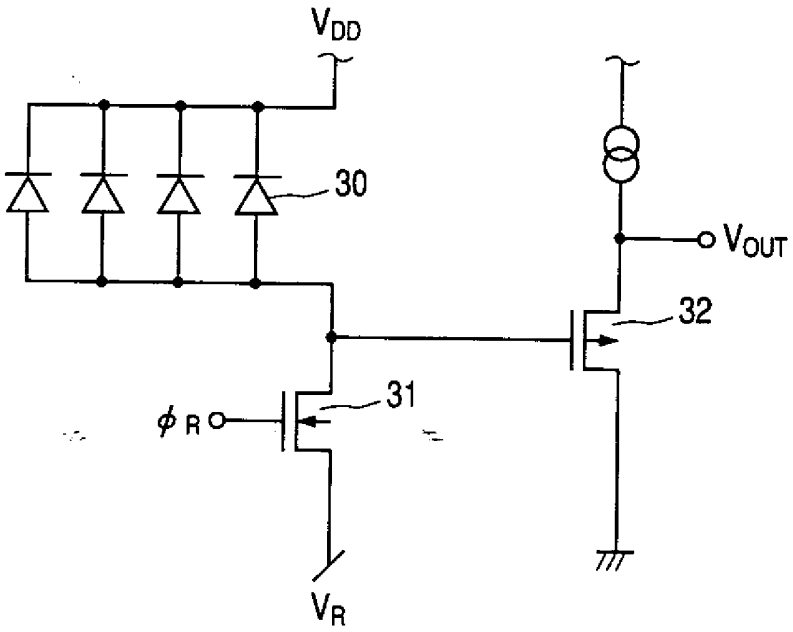
第 4 圖



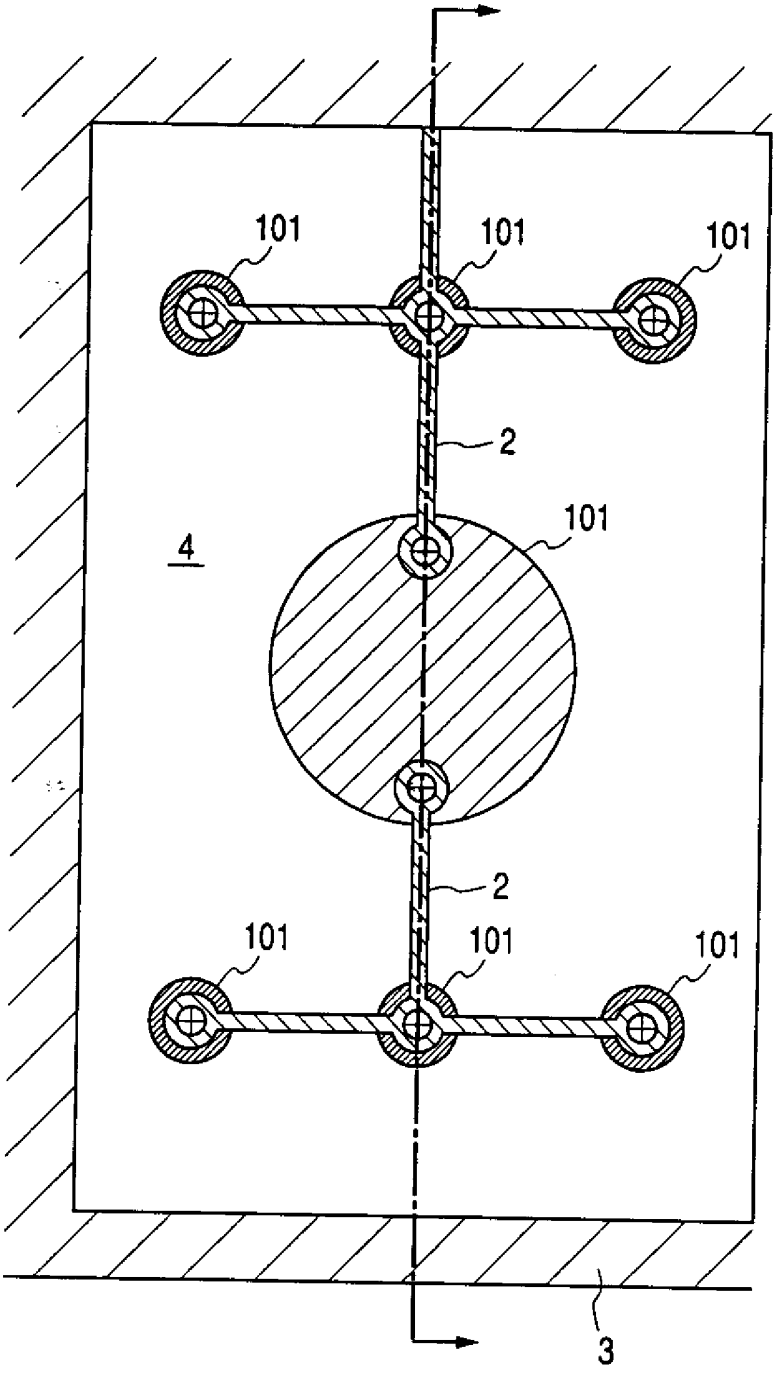
第 5 圖



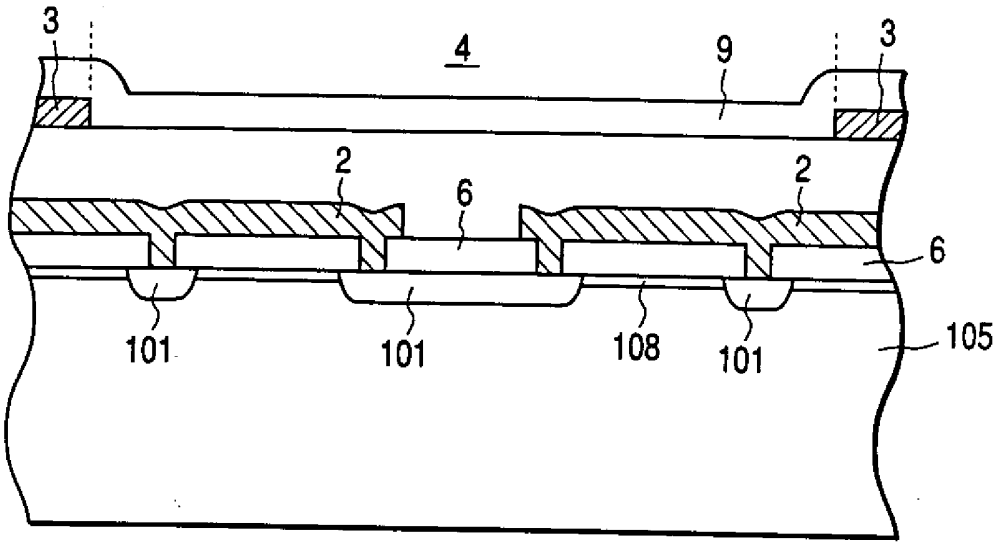
第 6 圖



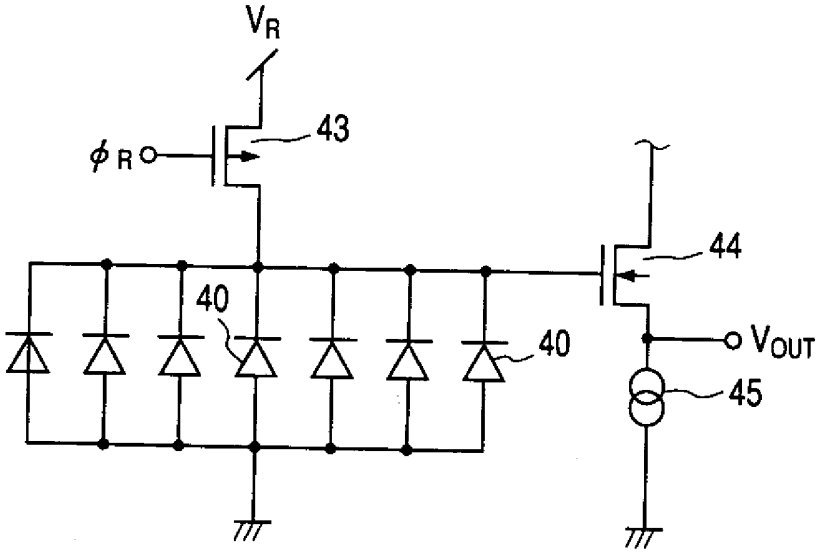
第 7 圖



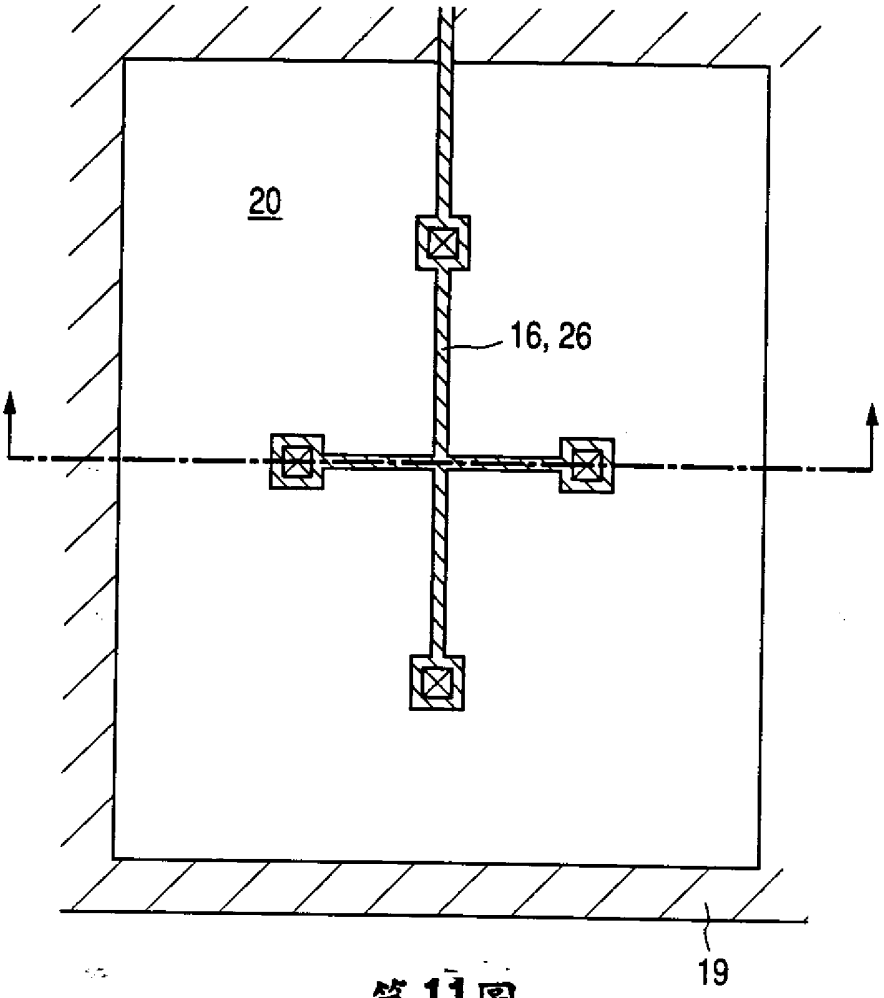
第 8 圖



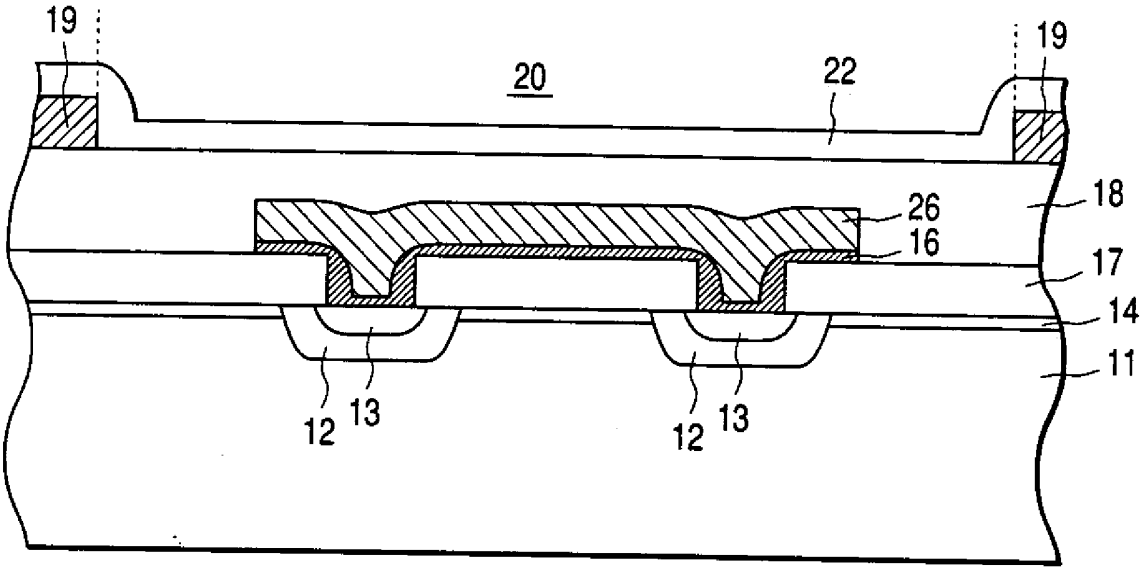
第 9 圖



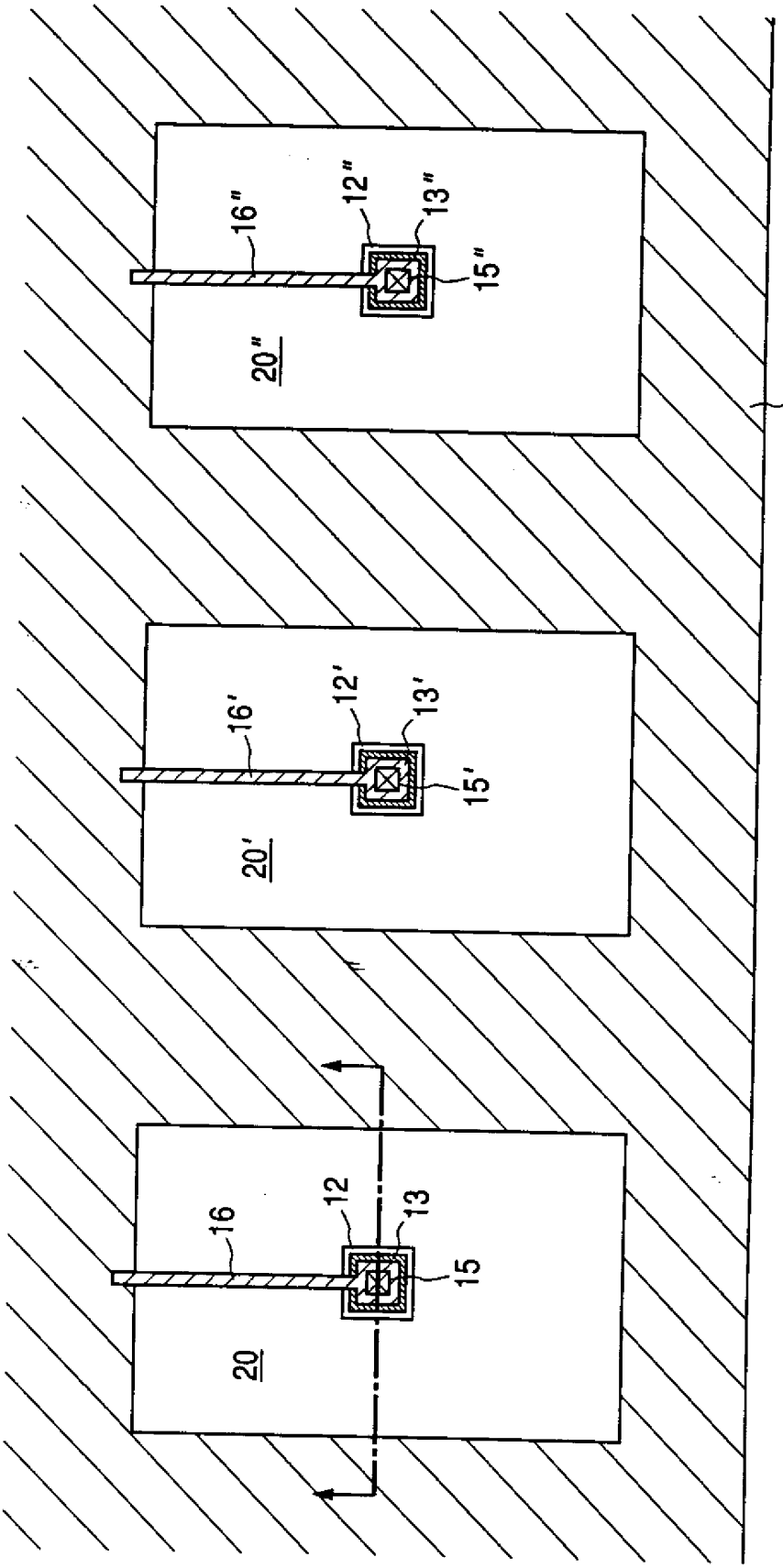
第10圖



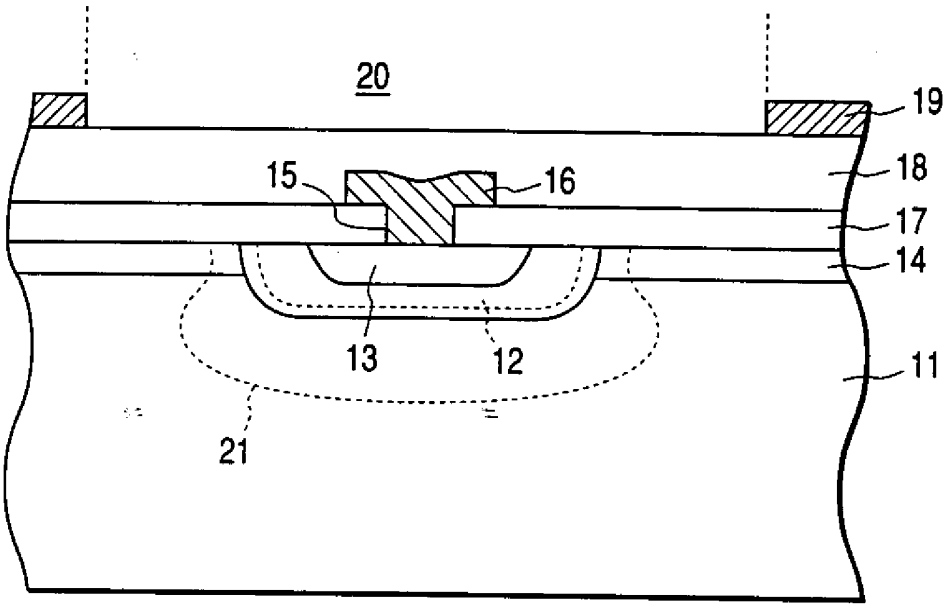
第11圖



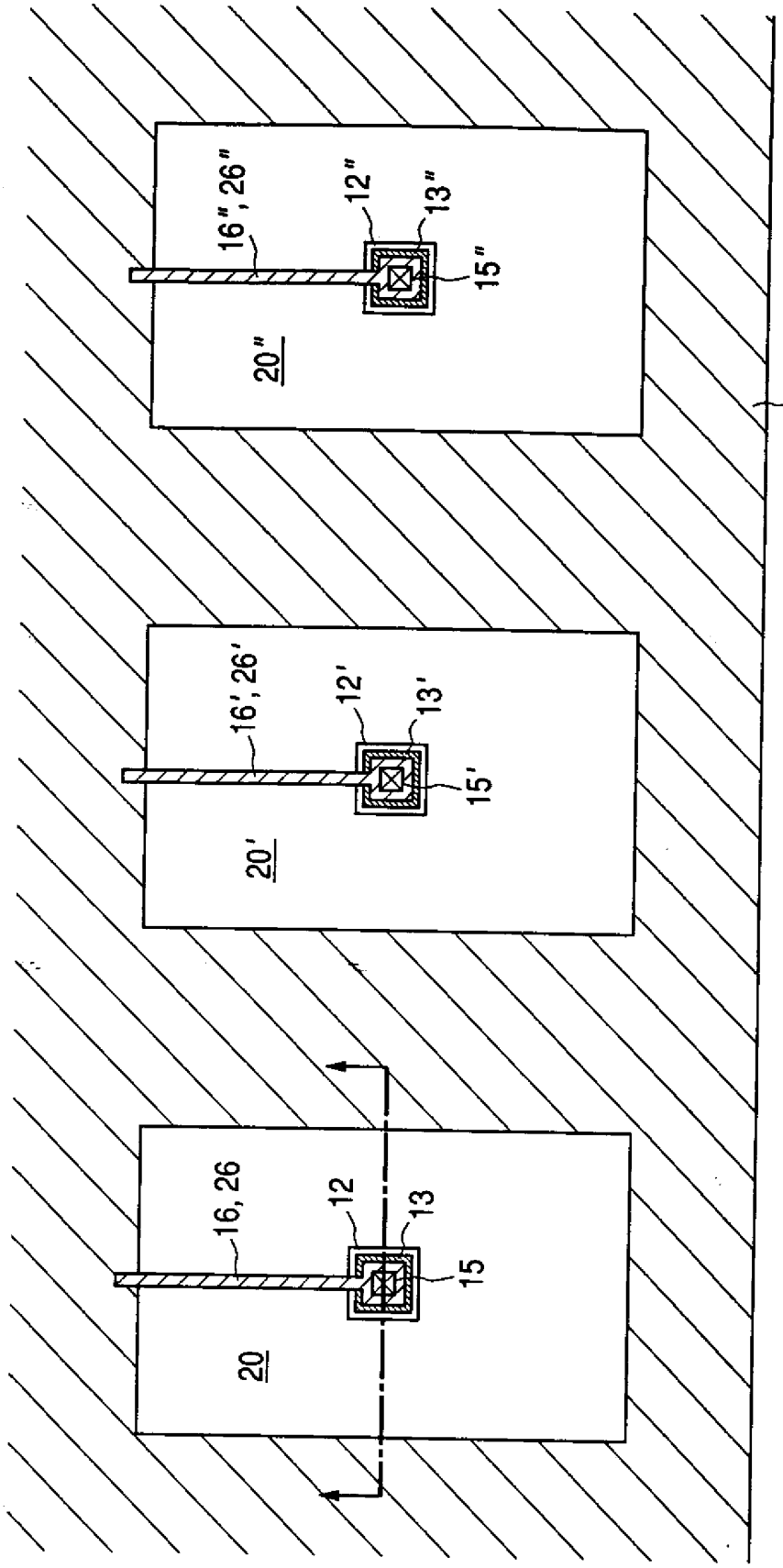
第12圖



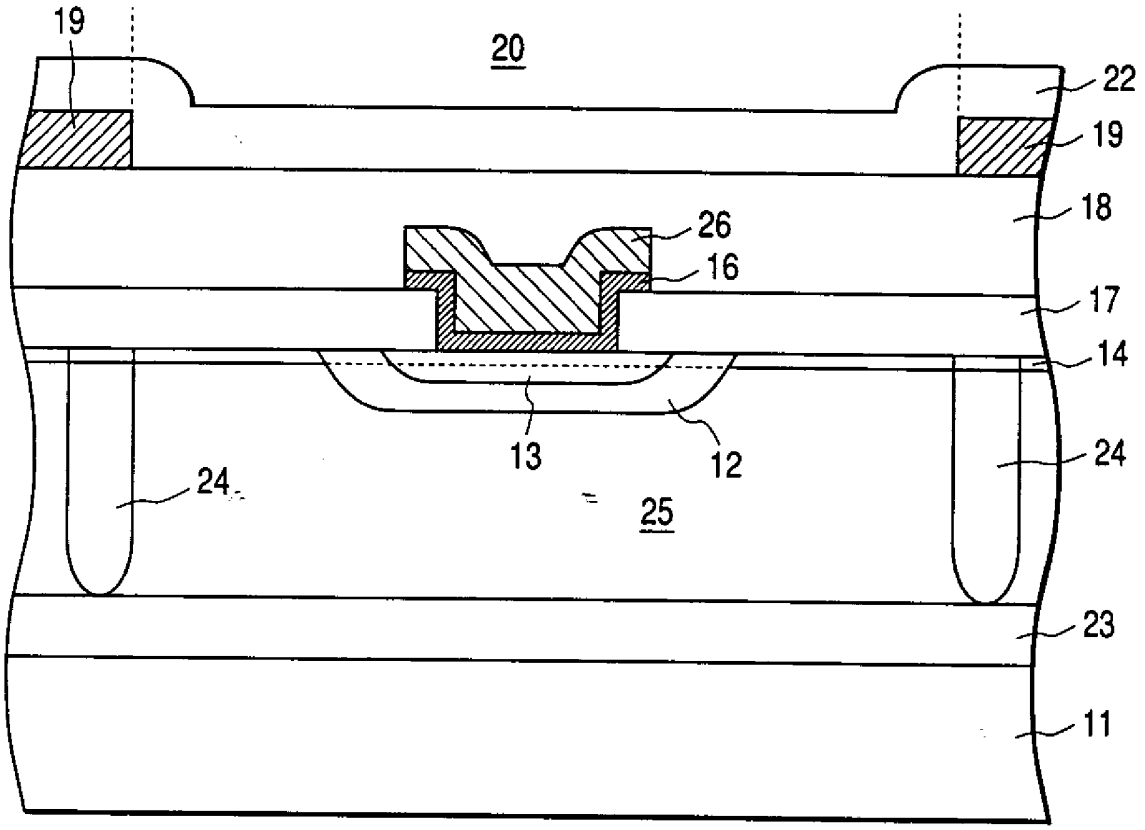
第13圖



第14圖



第15圖



第16圖

427036

87年12月28日 修正 補充

第 87116267 號專利申請案

英文說明書修正頁　　民國 87 年 12 月　修正

The major elements & reference numerals:

1,1',1"	p-type region
2	interconnect
3	Light-shielding layer
4,4',4"	opening
5	n-type semiconductor substrate
6	transparent insulating layer
7	transparent insulating layer
8	n-type semiconductor region
9	protection layer
10,10',10"	charge-voltage conversion means
11	n-type semiconductor substrate
12,12',12'	first p-type region
13,13',13"	second p-type region
14	first n-type region
15,15',15"	contact hole
16	Tin layer (metal interconnect region)
17	transparent insulating layer
18	transparent insulating layer
19	light-shielding layer
20,20',20"	opening
21	dotted line
22	protection layer
23	n-type region
24	second n-type region
25	n-type epitaxial layer
26	Al layer
30	photodiode

煩請委員明示，本案改請新型後是否變更原實質內容

31	reset NMOS transistor
32	PMOS source-follower transistor
40	photodiode
43	reset PNOS transistor
44	NMOS source-follower transistor
101	n-type region
105	p-type semiconductor substrate
108	p-type region

427036

87年12月28日 修正 補充

第 87116267 號專利申請案

英文說明書修正頁　　民國 87 年 12 月　修正

The major elements & reference numerals:

1,1',1"	p-type region
2	interconnect
3	Light-shielding layer
4,4',4"	opening
5	n-type semiconductor substrate
6	transparent insulating layer
7	transparent insulating layer
8	n-type semiconductor region
9	protection layer
10,10',10"	charge-voltage conversion means
11	n-type semiconductor substrate
12,12',12'	first p-type region
13,13',13"	second p-type region
14	first n-type region
15,15',15"	contact hole
16	Tin layer (metal interconnect region)
17	transparent insulating layer
18	transparent insulating layer
19	light-shielding layer
20,20',20"	opening
21	dotted line
22	protection layer
23	n-type region
24	second n-type region
25	n-type epitaxial layer
26	Al layer
30	photodiode

煩請委員明示，本案改請新型後是否變更原實質內容