(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
(51) Int. Cl.[6]
H01L 21/31
H01L 21/04

(45) 공고일자 1997년06월19일
(11) 공고번호 97-009976

(21) 출원번호(21) 출원번호	특1992-0014891	(65) 공개번호	특1993-0005134
(22) 출원일자(22) 출원일자	1992년08월19일	(43) 공개일자	1993년03월23일
(86) 국제출원번호		(87) 국제공개번호	
(86) 국제출원일자		(87) 국제공개일자	

(30) 우선권주장 749,765 1991년08월26일 미국(US)
(71) 출원인 아메리칸 텔리폰 앤드 텔레그라프 캄파니 제임스 에이취.폭스
미합중국, 뉴욕 10013-2412, 뉴욕, 애비뉴 오브 디 아메리카즈 32

(72) 발명자 죠셉 루돌프 라도세비치
미합중국, 펜실베니아 18017, 베들레헴, 타운쉽 라인 로드 3681
프래딥 쿠마 로이
미합중국, 펜실베니아 18103, 알렌타운, 리버밴드 로드 2102

(74) 대리인 이병호, 최달용

심사관 : 박형식 (책자공보 제5073호)

(54) 증착된 반도체상에 형성된 개선된 유전체

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

증착된 반도체상에 형성된 개선된 유전체

[도면의 간단한 설명]

제1도는 증착된 반도체층으로 형성된 종래기술의 캐패시터를 도시하는 도면.

제2도는 시간 함수로서의 폴리 실리콘 증착속도의 주기변화의 일례를 도시하는 도면.

제3도는 증착된 반도체 서브층 및 그 위의 유전층을 도시하는 도면.

제4도는 예1에 대한 폴리실리폰 증착속도에서의 변화를 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

101 : 기판 102 : 유전체층

103 : 제1 전도충 104 : 캐패시터 유전체

105 : 제2전도층 31,32,33,34 : 폴시실리콘 서브 층

35 : 산화물층

[발명의 상세한 설명]

본 발명은 증착된 반도체 층상에 개선된 양질의 유전체 형성을 포함하는 반도체 장치를 제조하는 기술에 관한 것이다.

반도체 장치의 생산에 있어서,종종 유전체 재료로 이루어진 층이 증착된 실리콘층상에 형성된다. 예를 들면, 제1도에 도시한 바와 같이, 제1 캐패시터판은 그 인에 유전충(102)을 갖는 기관(101)상에

도핑된 폴리신리콘의 제1 전도층(103)을 증착하여 형성될 수 있다. 다음, 제1폴리실리콘충의 상부 표면을 산화하여 캐패시터 유전체(104)를 형성한다. 그 다음에, 금속 또는 도핑된 폴리실리콘인 제2 전도충(105)을 증착시켜 제2패캐시터판을 형성한다. 고품질의 캐패시터 유전체(104)는 높은 항복전압과 낮은 누설전류에 의해 표시된다. 다른 장치 응용에서는, 증착된 플리실리콘충의 표면은 산화되어 전기적으로 소거 가능한 프로그램 가능 판독 전용 메모리(EEPROM)의 플로팅 게이트(floating gate)상의 얇은 터널 산화물로서 동작한다. 이 경우, 유전체의 품질은 메모리를 소거하면서, 또는 그외 시간에는 저장된 전하의 손실을 막으면서 플로팅 게이트로부터 전자를 터널링시킬 수 있는 능력에 의하여 측정된다.

또 다른 장치 응용에서는, 전계 효과 트랜지스터가 증착된 실리콘충에 형성될 수 있다. 다음, 증착된 실리콘층의 최상부 표면을 산화시켜 게이트 유전체를 형성시킨다. 이 게이트 유전체의 품질은 양호한 장치 특성을 위해 얇은 유전체를 유지하면서 낮은 누설전류와 낮은 전하포획의 관점에서 측정된다.이 유전체의 품질은 폴리실리폰의 최상부 표면의 부분적 구조(응력상태, 고레인구조 및 홈결상태)에 의존한다. 또다른 장치 응용이 존재하므로, 고품질의 유전체에 대한 각종 요건이 각 경우에 규정될 수 있다. 위에서 서술한 바와 같이, 증착된 실리곤층은 전형적으로 다결정실리곤(폴리실리콘)이다. 그러나, 증착된 비결정 실리콘의 사용도 또한 종래 기술에 공지되어 있다. 형성된 유전체에는 실리콘 이산화물층에 더하여 또는 그 대신에 실리콘 질화물충을 포함할 수도 있다. 유전체충을 형성하는 통상의 방법은(산화물형성을 위한)산소, (질화물 형성을 위한)질소, 또는 (산질화물을 형성하기 위한)두 가지 모두를 포함한 분위기에서 가열하는 것이다. 대기압 또는 대기압 이상으로 가중된 압력에서 건조한 또는 증기 분위기 중 어느 것이 산화물 형성을 위해 종종 이용된다. 가열단계는 한 시간 이상의 시간에 걸쳐 대류오븐내에서 행해 질 수 있다. 그러나, 최근에는 금속열 산파(RTO)의 사용이 연구되어져서 상기 유전체가 몇 분 또는 심지어 몇초 동안에 형성된다. 예를 들면, 본 발명과 함께 출원된(co-assigned) 미합중국 특허 제4,814,291호의 서술을 참조하라. 비록 여러면에서 성공적이기는 하지만, 종래 기술의 유전체 형성 기술은 어떤 경우에서는 실제적인 한계에 봉착하게 된다. 상기 291호의 경우는 특히 서브-미크론의 최소 특징 크기(minimum feature size)를 생산하는 집적회로 기술에서 상기한 바와 같이 한계에 도달하게 된다.

우리는 유전체층이 증착시킨 반도체충의 노출된 표면상에 형성되는 고체 디바이스(solid state derice)의 제조기술을 발명했다. 이 반도체층은 서브층을 얻기 위해 각종 조건하에서 증착된다. 특히, 전형적인 경우, 이 다층(multilayered)반도체를 산소 또는 질소를 포함한 분위기와 반응시켜 유전체층을 그 반도체층상에 형성한다. 다충 반도체는 증착된 상태에서 전형적인 경우 다결정이지만, 하나 이상의 비결정 서브충을 포함할 수 있다. 형성된 유전체의 특성은 증착된 반도체에 대하여 층 형성순서를 적당히선택하므로써 특정 디바이스에 대하여 선택될 수 있다.

이하의 상세한 기술은 예시된 예에서는 실리콘인 증차시킨 반도체층상에 유전체를 형성하는 개선된 방법에 관한 것이다. 본 발명에 있어서, 실리콘층을 증착시키기 위해 이용되는 공정조건은 실리콘층의 서브층이 형성되도륵 변화된다.

제2도를 참조하면, 폴리 실리콘층의 증착속도가 시간의 함수로서 변하고 있다.

이 예시된 예에서, 2주기가 도시되어 있고. 증착된 폴리실리콘의 4개의 서브층이 생성되어 있다. 그러나, 주기의 수와 이로 따른 서브층의 갯수는 임의의 희망된 수로서 변화될 수 있다. 증착공정은 전형적인 경우 낮은 증착속도(D_L)부터 시작하여 다음에 높은 증착속도(D_H)가 이어져 제1주기를 구성한다. 이 공정은 주기가 부가되어 계속 이어져 갈 수도 있다. 비록 각 주기의 낮은 증착속도 부분은 제2도에서는 동일하지만, 이들 값은 실제로는 주기마다 변할 수 있다. 유사하게, 높은 증착속도 부분도 주기마다 변할 수 있다. 이와는 달리 증착속도의 변화는 제4도에 도시되어 이하에서 예1 및 예2에서 논의되는 바와 같이 주기적일 필요는 없다.

증착속도의 차는 전형적인 경우, 증착공정동안, 반도체 전조 가스(precursor gas)의 부분압력이나 가스유량 또는 양자를 변화시켜서 얻어진다. 그러나, 반도체 증착공정동안에, 도펀트 가스 또는 불활성 캐리어 가스(inert carrier gas)가 존재한다면, 이러한 가스의 부분압력 또는 유량의 어느 하나 또는 양자가 증착속도에 영향을 주어, 층형성 제어 이용될 수 있다. 온도를 포함한 다른 요인도 증착속도에 영향을 주긴 하지만 전형적으로 가스의 파라미터보다 정도가 작다. 이 증착 공정은 플라즈마 분위기에서 일어날 수 있음을 주지해야 할 것이며, 이 분위기는 본 명세서에서 가스로 고려된다.

증착동안에 발생한 이러한 변화의 결과는 증착된 실리콘의 서브층 형성이고, 본 명세서에서는 다층 구조형성(multi-layering)이라 한다. 이 경우, 근접한 서브층사이에 계면이 발생한다. 이 서브층형성은 경우에 따라 폴리실리콘층내에 ·응력을 발생시켜 개선된 유전체 형성을 가능하게 한다. 그외 다른 유익한 효과가 발생할 수 있으며, 폴리실리콘충을 통하여 이온 주입된 종(species)의 채널링이 감소되는 것을 들 수 있다. 응력발생이라는 점에서의 최대의 잇점과 이에 따라서 증착된 폴리 실리콘상에 형성된 산화물의 최량의 품질(oxide quality)을 얻기 위해서는 서브층의 갯수를 최대로 하는 것이 바람직하다. 우리는 적어도 4개의 서브충의 이용을 추천한다.

부가 공정으로서는, 유전체층이 증착된 폴리실리콘층상에 형성된다. 이것은 표준적인 대기압에서 또는 더 빠른 반응을 위하여 이보다 가중된 압력에서 반응성 분위기내에서 가열하므로써 실현될 수 있다. 또한 이 반응은 종래 기술에 공지된 급속가열처리에 의해 가속화될 수 있다. 반응은 또한, 전형적인 경우에, 대기압이하의 플라즈마에 의해 보조될 수 있다. 천연 반도체 재료를 포함하는 유전체를 생산하기위해, 반응성 분위기는 전형적으로 산화물 유전체가 필요하다면 산소를 포함하고, 또는 예를 들어 질화물을 형성시키기 위해서는 질소를 포함한다. 이와는 달리, 유전체충은 전조 가스를 분해하는 것과 갈이, 증착 기술에 의해 형성될 수 있다. 예를 들면, 종래 기술에서는 공지된 원리에 따라 이산화 실리콘을증착시키기 위해 테트라에틴오르소실란(tetrethylorthosilane : TEOS), 또는 실란(silane : SiH_4)을 이용할수 있다.

사실상, 성장/증착/성장의 공정으로 형성된 천연재료와 증착시킨 반도체 재료를 포함하는개량된 유

전체를 형성하는 것이 가능하다(예를 들면, 이와 함께 공동 출원된 미국 특허 제4,851,370호를 참조). 상기 결과의 구조가 제3도에 도식적으로 도시되어 있으며. 제1 내지 게4의 폴리실리콘 서브층(31····34)이 유전체충(30)상에 증착된 것으로서 도시되어 있다. 유전체층(35)은 최상부에 도시되어 있다. 계면은 인접한 서브층간에 선(36,37 및 38)으로 도시되어 있음을 주지하라. 이들 계면은 상이한 흠결상태, 형태(texture) 또는 위상천이를 갖는 서브충간의 경계를 형성하고 있다. 예를 들면, 인접한 서브층은 정도가 상이한 결정성(crystallinity), 도핑, 그레인구조(그레인 크기와 방향에 있어서 차이를 포함한다), 형태, 응력을 가질 수 있거나 또는 서브층 사이에서 위상천이가 발생할 수 있다. 폴리실리폰 특성의 이러한 변화는 당업자에게는 종종 서브구조충형성(sub-structural layering)이라 일컬어 진다.

본 기술의 한 가지 장점은 유전체는 전형적인 경우 단결성 실리콘인 실리콘 기판상에 유전체(예를들면, 게이트 산화물)를 형성함과 동시에 증착시킨 폴리실리콘상에 형성될 수 있다는 사실이다. 이러한 유전체 동시 형성은, 예를 들면, EEPROM의 생산에 이용되며, 종래 기술에서는 공지된 것이다. 이 경우, 유전체는 인접한 MOS디바이스용으로 실리콘 기판상에 게이트 유전체를 형성함과 동시에 폴리실리콘 플로팅 게이트의 최상부 표면상에 형성된다. 상이한 재료상에 동시에 유전체를 형성하는 또 다른예가 종래기술에는 공지되어 있다. 그러나, 동시에 형성하는 것은 두 개의 상이한 재료에 대한 공정의 최적화에 대하여 유연성을 제한한다. 예를 들면, 실리콘 기판상에 원하는 두께의 게이트 산화물을 형성하기에 적당한 시간 및 온도는 인접한 폰리실리콘층상에 형성된 산화물의 원하는 두께 또는 특성을 만들지 못할 수 있다. 그러므로, 본 기술은 다른 재료상에 동시에 형성되는 산화물의 특성과는 독립적으로 증착시킨 재료상에 성장시킨 산화물의 품질(예를 들면, 두께, 항복전압, 적합성, 터널링 특성 등)에 영향을 미칠 수 있다.

상기 공정은 이하의 예에 의하여 보다 충분히 설명된다.

예1

저압 화학 기상 증착(LPCVD)기술을 이용하여 실리콘 기판상의 이산화 실리콘 게이트 유전체층상에 폴리실리콘을 증착시킨다. 이 증착은 실란(SiH4)의 열분해에 의해서 행해진다. 증착의 일부에서는 실란분위기에서 질소 캐리어 가스에 의해 희석된 PH3가스클 부가하므로써 그 위치에서 폰리실리콘을 도핑한다. 증착온도, 용기압력 및 유량은 제4도에서 도시한 바와 같이 증착공정을 변화(modulate)시키기 위해 조정된다. 최초의 두충(31,32)은 도시된 온도에서 280(mTorr)의 압력으로 증착된다. 그러나, 증착속도의 주 변화는 층(31)에 대하여 165(sccm)의 실란 유량에서 충(32)에 대해 65(sccm)의 실란 유량까지 감소되므로써 발생하게 된다. 제3충(33)에 대해서는 압력을 350(mTorr)로 증가시키는 것과 동시에 온도를 증가시킨다. 그러나, 실란의 유량을 그 충에 대하여 240(sccm)으로 증가시켜도 도펀트 가스(포스핀 : phosphine)의 함유로 인해, 제4도에 도시한 바와 같이, 충(33)에 대한 증착속도는 감소하게된다. 실란의 유량을 260(sccm)으로 증가시켜도 포스핀의 유량을 26(sccm)으로 증가시키기 위하여 마지막 층(34)의 증착속도는 감소한다. 제4도에서 도시된 바와 같이, 전부 4개의 증착공정에 대하여 증착속도는 1분당 5나노미터(50옹스트름)의 저속에서 1분당 9나노미터(90웅스트롬)의 고속으로까지 변하한다. 전체적으로 악 200나노미터(2000옹스트롬)의 폴리실리콘 두께가 얻어진다. 이 테스트 샘플은 여기에서는 톱도핑(top-doped) 샘플이라 한다.

기준용으로, 동일한 두께(200나노미터)를 얻기 위하여, 0.75중량 퍼센트의 인과 함께 1분당 5나노미터(50옹스트롬)의 일정속도에서 폴리실리콘을 증착시킨다. 이 기준 샘플은 유전체충을 형성할 때 그 최상부 표면이 동일하도록 톱-도핑 샐플의 마지막 주기(34)에 대한 조건과 동일한 조건하에서 증착시킨다.

톱-도핑 샘플과 기준용 샐풋상에 900℃에서 80분 동안의 건조한 O_2 내에서 산화에 의해 최상부 산화물충(35)이 형성된다. 이것에 의해 톱-도핑 샐플상에 42나노미터(420옹스트롬) 두께의 산화물층(42)이, 또는 기준용 샘플상에는 58.5나노비터(585옹스트롱) 두께의 산화물충(42)이 형성된다. 비록 톱도핑 샘플 및 기준 샘플의 최상부 폴리실리콘 표면이 동일한 증착조건하에처 형성되었을지라도 폴리실리콘의 전체 도핑농도에는 차이가 있다. 이 도핑 레벨의 정미파이(net difference)는 폴리실리콘상에 성장시킨 산화물의 두께에 반영된다. 기준샘플에 대한 톱-도핑 샘플의 산화물 성장 속도의 비는 0.72이다. 두 샘플의 항복전계는 최상부 산화물층상에 도핑된 폴리실리콘층을 추가 증착시켜 종래기술에는 공지된 기술에 따라 그 사이에 전계를 인가하므로써 결정된다. 두 개의 중첩한 폴리실리콘층으로 구성된 테스트 샘플상에서 기준샘플의 항복전계는 4.1(MV/cm)인 반면에 톱-도핑 샘플의 경우에는 5.0(MV/cm)이다. 그러므로, 본 발명의 기술에 의해, 항복전계는 상당히 증가한다. 비록 보다 얇은 산화물은 증가된 높은 전계에서 항복되는 것으로 알려져 있지만, 상기 자료들은 톱-도핑 다충구조에서 추가적으로 개선이 이루어지는 것을 보여주고 있다.

예2

층의 증착순서가 반전되는 것을 제외하고는 테스트 샘플과 기준 샘플에 대하여 예1에서와 동일한 증착 및 산화공정이 이루어진다. 따라서, 테스트 샘플은 0.7중량 퍼센트 인의 하부층(제3의(31)) 도핑을 갖고, 다음 충(32)든 0.5중량 퍼센트의 인 도핑을 가지고 있다. 상부의 2개 층(33,34)은 도핑되어 있지 않다. 이 샘플을 여기에서는 바텀-도핑(bottom-doped)이라고 칭한다. 바텀-도핑된 샘플과 기준용 샘플상에 예1에서와 같이 최상부 산화물층(35)을 형성한다. 이에 의해 바텀-도핑된 샘플상에서는 35나노미터(350옹스트롬) 두께의 산화물이, 또는 기준용샘플상에는 585옹스트름 두깨의 산화물충(35)이 생성되고, 반면 저농도 도핑된 단결정 실리콘 표면상에는 25.5나노미터(255옹스트름)이 생성된다. 그러므로, 기준용 샘플에 대한 바텀-도핑의 산화물 성장 속도의 비는 0.60이다. 또한, 두 샘플의 항복 전계를 예1에서와 같이 결정한다. 기준용 샘플의 항복전계는 4.IMV/cm(상기한 바와 같음)인 반면, 바텀-도핑된 샘플의 경우 5.6MV/cm이다. 따라서, 본 발명의 기술에 의해 항복전계는 상당히 증가한다.

파울러 -노르다임 터널링 (Fowler-Nordheim Tunneling).

비록 고품질의 유전체가 종종 목표이기는 하지만, 잘 제어된 전도성을 갖는 얇은 산화물을 필요로 하는 용도도 있다. 어떤 종류의 EEPROM 설계는 전하를 유전적으로 분리된 플로팅 게이트에서 전달시키기 위해 기하학적으로 강조한 파울러-노르다임 터널링을 발생시키기 위한 목적으로 적절히 구조화한 폴리실리콘 표면상에 의존한다. 여기에서 애스페러티(asperity)의 불규칙한 표면, 그레인경계(grainboudary) 또는 폴리실리콘 플로팅 게이트의 규정된 단부(defined edge)가 산화과정동안 강조되어 방사용 음극을 형성할 수 있다. 이 효과는 그레인크기(grain size)와 분고에 기인한 표면의 왜곡(오목하고 볼록한 형태), 각 그레인의 결정방향 및 도펀트 종류(dopant species), 농도 및 분포에 의한 산화물의 성장속도 차(differential growth rate)로부터 발생한다. 특정 디바이스의 요구에 적합시키기 위하여, 이들 방사표면과 그들의 산화물 형태 및 분포는 제어되어야만 한다. 폰리실리콘 증착과 그 뒤의 산화 및 열처리의 목적은 적절한 형태로 형성된 음극 및 필요한 디바이스 특성을 이룰 수 있는 유전체를 실현하는 것이다. 측정할 때의 전기적 파라미터에는 항복전압 이외에 터널링 전압, 트랩-업 속도(trap-uprate) 및 항복까지의 전하(QBD)간 포함되어 있다. 이들 측정은 유전체에 일정한 전류를 주입하므로써 응력을 부가하는 것에 의해 실행된다. 10초후에 유전체간에 형성된 전압은 터널링 전압으로 정의되고, 트랩-업 속도는 동일한 10초 간격으로 시간을 10배로 한 때에 발생된 유전체간의 전압 변화로서 정의된다. 다음에 주입된 전류 밀도를 100배로 증가시키고 항복이 시작되는 전가지 유전체를 통해 주입된 전체 전하가 계산된다.

톱-도핑 구조(예1)에 대한 터널링 전압은 12.2V이고 기준샘플에 대해서는 15.7V이고 트랩-업 속도는 톰-도핑 구조에서는 1.06(V/decade)이고 기준샘플에 대해서는 1.71V이다. 이들 테스트에서는, 더 낮은 값이 바람직하여 따라서 틉-도핑된 층구조에서는 명백한 잇점이 얻어진다. 기준샘플에 대한 충전-항복측정은 0.14(쿨롱/cm2)으로 톱-도핑 구조에 대해서는 0.79(쿨룽/cm2)이다. 더 낮은 트랩-업 속도및 더 높은 QBD는 EEPROM에 대해서 보다 지속성이 있는 것을 보여주고 있다. 바텀-도핑 샘플(예2)의 경우, 터널링 전압은 12.3V이고 트랩-업 속도는 0.91(V/decade)이다(상술한 기준샘플과 동일하다). 기준샘플에 대한 충전-항복 측정은 0.14(쿨롱/cm2)으로 톱-도핑 구조에 대해서는 0.42(쿨롱/cm2)이다. 톱-도핑 샘플과 유사하게, 바텀-도핑 샘플도 EEPROM 지속특성에 관련한 우수한 성질을 나타낸다.

본 발명의 기술에 의매 제조된 폴리실리콘충의 응력특성과 종래 기술(단결정실리콘)을 비교하기 위해, X선 회절 실험을 실행하였다. Si(220)와 Si(311)선의 피크 프로필(peak profile)을 결정한다. 본 발명의 층구조의 폴리실리콘 박박은(110) 결정면의 방향으로 억제되어 이중으로 감소된 폴리실리콘 미결정을 발생시키고, 그레인크기는 30퍼센트 감소한다. 이것은 본 발명의 구조가 종래의 층보다 등방적인 형상의 결정 그레인을 포함하고 있다는 것을 의미한다. 또한 본 발명의 구조는 종래의 폰리 실리콘과단결정 실리콘 사이에 중간적인(intermediate) 회절피크를 가지고 있다는 것도 발견된다. 그러므로 본 발명의 구조에 있어 응력은 종래 폴리 실리콘의 것보다 상당히 적다. 본 발명의 충형성 기술(layering technique)에 의해 제공되는 응력발생은 계속하여 형성되는 유전층상의 국부응력완화(localized stress-relief)(약한곳)영역을 감소시킨다. 게다가, 응력발생은 구조적으로 개선된 폴리실리콘/유전체 계면을 제조하는 경향이 있다. 이것은 본 발명의 기술에 따라 형성된 여러 형태의 유전층에 대하여 다른 구조와 응력에 관련된 유익한 효과를 갖는다.

비록 본 발명의 증착된 실리콘은 폴리 실리콘으로 위에서 기술하고 있지만, 서브충의 전부 또는 어느 것은 비결정 실리콘의 형태로 증착될 수 있다. 비결정 실리콘의 이용은 폴리실리과 비교할 때 비교적 평탄(smooth)한 표면을 생성하는 별도의 공지된 장점을 가지고 있다. 그러나, 증착공정에 계속 이어지는 통상의 IC 생산공정의 일부인 가열공정은 실리콘 그레인 핵형성(nucleation) 및 성장을 야기하여 이것에 의해 비결정 실리콘은 폴리 실리콘으로 변한다. 대안적으로 또는 추가로 증착된 몇개의 층은 다른층과 비교할 때 다른 실리콘 그레인 크기를 갖는 폴리실리콘 일 수 있다. 예를 들면, 개선된 유전체형성을 위해 더 평탄한 최상부 표면을 얻기 위한 목적으로 최초에 증착시킨(하부의)서브층과 비교할 때, 나중에 증착된(상부의)서브층은 더작은 그레인 경계면과 더 큰 그레인을 갖는 폴리실러콘을 증착시키는 것이 바람직할 수 있다. 종래기술에서는 공지된 바와같이, 실리콘 그레인의 크기는 일반적으로 낮은 증착 온도에서 감소하고, 증착된 실리콘은 약 570℃ 이하의 증착온도에서는 비결정이 된다.

또한, 반도체(예를 들면, 실리콘)는 상기 예의 테스트 샘플에서는 그 위치에서(in-situ) 도핑되었지만, 유사한 경향은 다른 위치에서(ex-situ) 인으로 도핑된 샘플에서도 관찰된다. 이러한 도핑은 공지된 다른 기술중에서 PBr3를 이용하는 이온주입 또는 기상확인(gasphasedi「fusion)을 이용하여 실현될 수 있다. 게다가, 상기 도시한 실시예는 반도체 물질로서 실리콘이, 유전체로서 실리콘 산화물이 주져걱 있지만 다른 물질도 가능하다. 예를 들면, 실리콘 질화물 또는 실리콘 산소질화물(oxynitride)이 여러 실리콘 공정에서 유전체로서 사용될 수 있다. 다른 예에서는 게르마늄 또는 III- V족 물질이 반도체로서 사용될 수 있고, 게르마늄 산화물 또는 III- V속 산화물(예틀 들면, 갈륨 산파물 또는 인듐 산화물)이 유전체로서 사용될 수 있다. 상술한 잇점은 이 경우에도 얻을 수 있을 것으로 기대되지만, 그 정도는 상술한 예의 경우와 다를 가능성이 있다.

(57) 청구의 범위

청구항 1

증착 가스로부터 반도체층을 증착하는 공정과, 전도성을 향상시키는 도펀트를 포함시키는 공정과, 상기 반도체충에 전기접촉을 제공하는 공정과, 상기 반도체충의 노출된 표면상에 유전체(35)을 형성하는 공정을 포함하는 반도체 장치를 제조하는 방법에 있어서, 상기 반도체층(31,32,33,34) 증착 단계는 반도체의 증착 속도를 변화시키면서 이루어지며, 상기 증착속도의 변화는 증착 가스의 부분압력과 유량으로 이루어진 그룹에서 선택된 요인들중 적어도 하나를 변화시키므로써 이루어지고, 이에 따라 상기 반도체충은 적어도 4개의 서브층으로 형성되는 것을 특징으로 하는 반도체 장치 제조방법.

청구항 2

제1항에 있어서, 적어도 하나의 다른 서브층에 비해 적어도 하나의 서브층내의 상기 도펀트의 농도를 변화시키는 공정을 더 포함하고 있는 반도체 장치 제조방법.

청구항 3

제1항에 있어서, 상기 반도체는 실리콘인 반도체 장치 제조방법.

청구항 4

제3항에 있어서, 상기 유전체는 이산화 실리콘인 반도체 장치 제조방법.

청구항 5

제1항에 있어서, 상기 증착된 반도체층상의 유전체 형성은 상기 증착된 반도체층 아래에 놓이는 단결정 실리콘상의 유전체 형성과 동시에 이루어지는 반도체 장치 제조방법.

청구항 6

제5항에 있어서, 상기 단결정 실리콘상에 형성된 유전체는 게이트 유전체인 반도체 장치 제조방법.

청구항 7

제1항에 있어서, 상기 서브층의 맨 윗층은 그 아래에 놓이는 서브층보다 낮게 도핑되는 반도체장치 제조방법.

청구항 8

제1항에 있어서, 상기 서브층의 맨 아랫층은 그 위에 놓이는 서브층보다 낮게 도핑되는 반도체장치 제조방법.

청구항 9

제1항에 있어서, 상기 증착과정 동안에 상기 반도체의 온도를 변화시키는 공정을 더 포함하는 반도체 장치 제조방법.

청구항 10

실리콘이 포함된 반응가스의 압력에 의해 실리콘층을 증착하는 공정과, 상기 실리콘층에 전도성을 향상시키는 도펀트를 포함시키는 공정과, 상기 실리콘층에 전기 접촉을 제공하는 공정과, 상기 실리콘의 노출표면에 유전체를 형성하는 공정을 포함하는 반도체 장치 제조 방법에 있어서, 상기 실리콘층증착 단계는 실리콘의 증착 속도를 변화시키면서 이루어지며, 상기 변화는 실리콘을 포함하는 반응 가스의 부분압력과 실리콘을 포함하는 반응가스의 유량으로 이루어지는 그룹으로부터 선택된 요인들중 적어도 하나를 변화시키므로써 이루어지며, 이에 따라 적어도 상기 실리콘층은 4개의 서브층으로 형성되며, 적어도 하나의 다른 서브층에 비해 적어도 하나의 서브층내의 상기 도펀트의 농도를 변화시키는공정을 더 포함하는 것을 특징으로 하는 반도체 장치 제조방법.

청구항 11

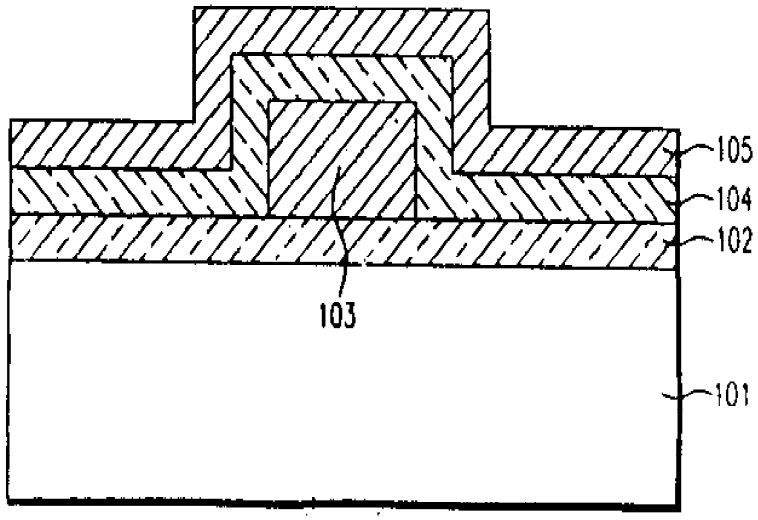
제10항에 있어서, 상기 유전체는 이산화 실리콘인 반도체 장치 제조방법.

청구항 12

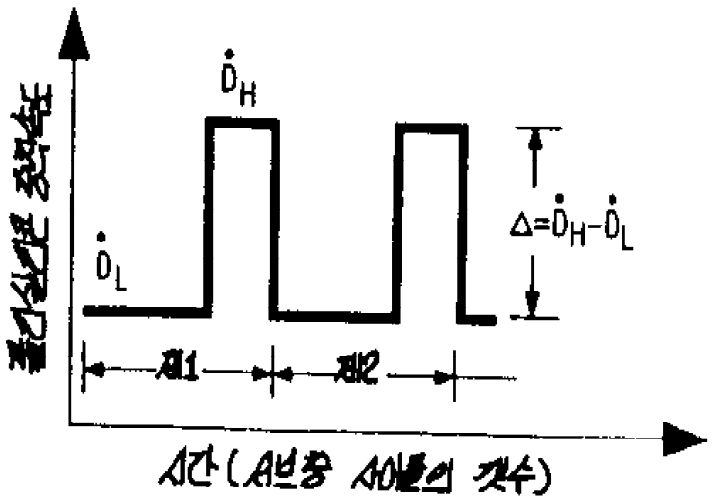
제10항에 있어서, 상기 도펀트는 인(phosphorus)인 반도체 장치 제조방법.

도면

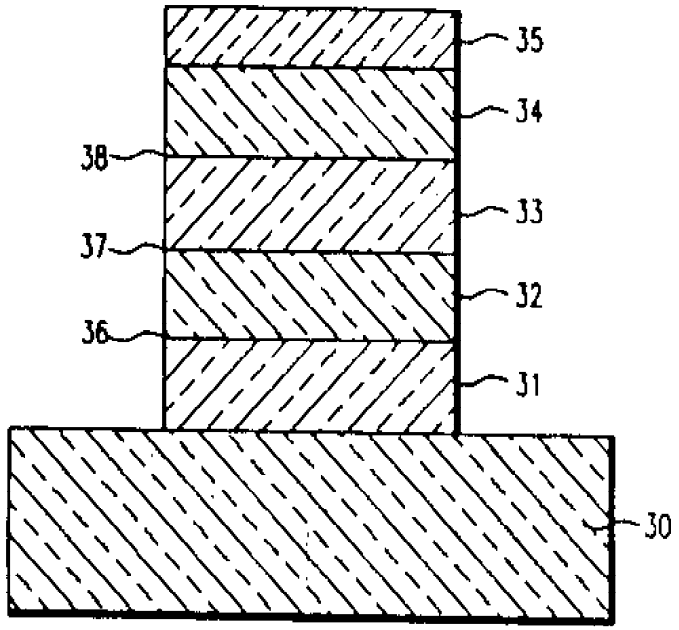
도면1


105
104
102
103
101

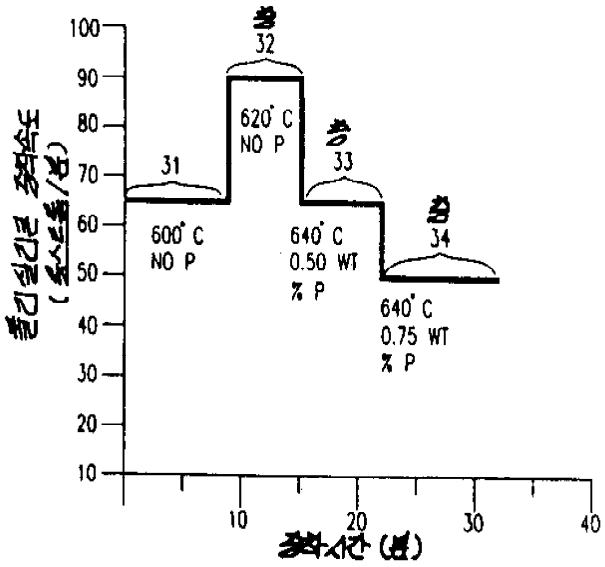
도면2


$\dot{D}_H$
$\dot{D}_L$
$\Delta=\dot{D}_H-\dot{D}_L$
시간 (시분할 심볼의 갯수)

도면3


35
34
38
33
37
32
36
31
30

도면4


100
90
80
70
60
50
40
30
20
10
32
620° C
NO P
31
33
600° C
NO P
640° C
0.50 WT
% P
34
640° C
0.75 WT
% P
10
20
30
40