(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0084554
(43) 공개일자 2019년07월17일

(51) 국제특허분류(Int. Cl.)
H03L 7/093 (2006.01)
(52) CPC특허분류
H03L 7/093 (2013.01)
H03L 2207/50 (2013.01)
(21) 출원번호 10-2018-0002448
(22) 출원일자 2018년01월08일
심사청구일자 없음

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호
이충환
경기도 수원시 영통구 봉영로1744번길 11, 222동 402호
(뒷면에 계속)
(74) 대리인
심경식, 홍성욱

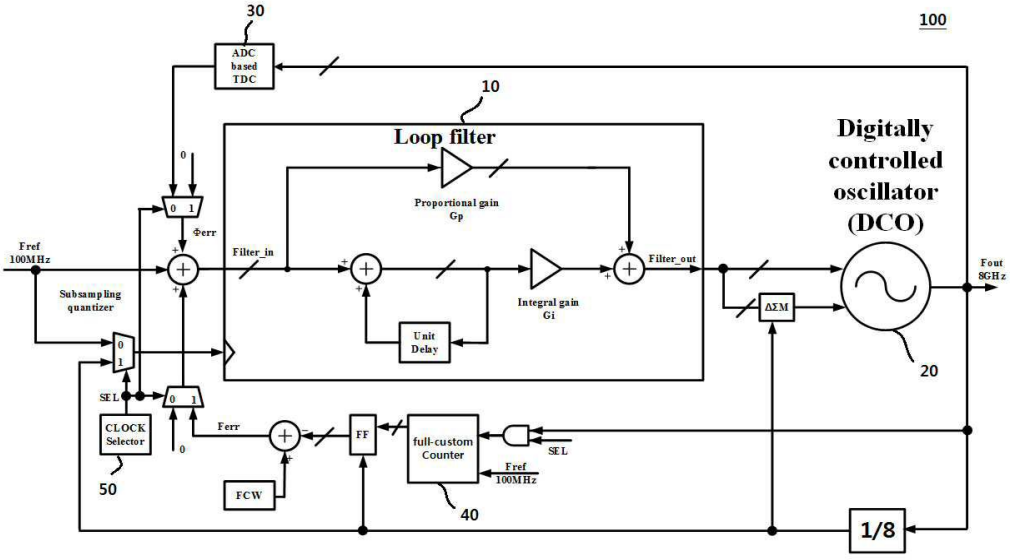
전체 청구항 수 : 총 1 항

(54) 발명의 명칭 **디지털 위상 고정 루프 및 위상 고정 방법**

(57) 요 약

본 발명은 디지털 위상 고정 루프 및 위상 고정 방법에 관한 것이다. 본 발명에 따른 디지털 위상 고정 루프는 기준 주파수를 제공하는 노드, 출력 주파수를 발생시키는 DCO(Digitally Controlled Oscillator), 상기 기준 주파수와 상기 DCO의 출력 주파수의 차이값을 입력받아 주파수와 위상을 고정하는 출력 주파수를 생성하는 루프 필터, 및 상기 DCO에서 주파수 고정을 시작하면, 제1 주파수를 제2 주파수로 증가시켜 상기 루프 필터를 작동시키고, 카운터를 통해 주파수 에러를 체크하여 상기 주파수 에러가 0이 되면, 상기 제2 주파수를 상기 제1 주파수로 다운시켜 상기 루프 필터를 작동시키도록 적어도 하나의 먹스를 제어하는 제어부를 포함한다. 본 발명에 의하면, 적분 이득 증가로 인해 발생하는 루프 필터의 오버슈트(overshoot)를 줄일 수 있고, 안정적이고 빠르게 주파수 및 위상을 고정할 수 있다.

대 표 도 - 도1



(72) 발명자

박현수

서울특별시 동대문구 제기로2길 28, 301호

심진철

서울특별시 성북구 인촌로30길 7-9. 305호

이 발명을 지원한 국가연구개발사업

과제고유번호 G01201606010328

부처명 고려대학교

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업핵심기술개발사업

연구과제명 [RCMS]스마트 센서 SoC용 초저전압 회로 및 IP 설계 기술 개발

기 여 율 1/1

주관기관 연세대학교(참여기관 : 고려대학교)

연구기간 2017.06.01 ~ 2018.03.31

명 세 서

청구범위

청구항 1

기준 주파수를 제공하는 노드;

출력 주파수를 발생시키는 DCO(Digitally Controlled Oscillator);

상기 기준 주파수와 상기 DCO의 출력 주파수의 차이값을 입력받아 주파수와 위상을 고정하는 출력 주파수를 생성하는 루프 필터; 및

상기 DCO에서 주파수 고정을 시작하면, 제1 주파수를 제2 주파수로 증가시켜 상기 루프 필터를 작동시키고, 카운터를 통해 주파수 에러를 체크하여 상기 주파수 에러가 0이 되면, 상기 제2 주파수를 상기 제1 주파수로 다운시켜 상기 루프 필터를 작동시키도록 적어도 하나의 먹스를 제어하는 제어부;

를 포함하는 디지털 위상 고정 루프.

발명의 설명

기 술 분 야

[0001] 본 발명은 디지털 제어 발진기를 포함하는 위상 고정 루프 및 위상 고정 방법에 관한 것이다.

배 경 기 술

[0002] 위상 고정 루프(PLL: Phase Locked Loop)는 송수신기(transceiver)의 클럭 발생기에 주로 사용되는 회로이며, 데이터 송수신 시 내부 회로들을 동기화시키는 클럭(기준점)을 만들기 위해 필요하다. 특히, 위상 고정 루프(PLL)에서 특정 주파수의 클럭을 만들어 내기 위해 전압 제어 발진기(VCO: Voltage Controlled Oscillator) 또는 디지털로 제어되는 발진기(DCO: Digitally Controlled Oscillator)를 사용하게 되는데, 이러한 발진기는 반도체 공정, 칩 동작 전압 및 온도 변화에 따라서 다른 주파수를 만들어 내게 되고 이를 원하는 주파수로 맞출 수 있도록 해야 한다. 즉, 주파수를 고정할 수 있어야 한다. 이를 위해, 주파수 고정 루프(FLL: Frequency Locked Loop) 필터가 사용되고, 일정한 위상 차이를 가질 수 있도록 하기 위해 위상 고정 루프가 사용된다.

[0003] 한편, 주파수의 고정시간(Locking time)은 시스템의 성능을 결정하므로, 빠른 주파수 고정을 위해 디지털 고정 루프 필터의 적분 이득을 증가시키는 방법이 있다. 그러나, 고정 루프 필터의 적분 이득을 특정값 이상 증가시킬 경우, 고정 루프가 불안정해지기 때문에 오히려 고정시간이 증가하거나 위상 고정이 되지 않는 문제점이 있다.

[0004] 또한, 적분 이득을 증가시키면서 루프의 안정성을 해하지 않으려면 비례 이득을 증가시켜야 하지만 비례 이득이 증가하면 위상 고정 루프의 지터(jitter) 특성이 더 나빠지는 문제점이 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국등록특허 제10-1754728호(2017.07.10.), 발명의 명칭: 고속 위상 고정을 위한 장치와 방법,

(특허문헌 0002) 한국등록특허 제10-1710450(2017.02.28.), 발명의 명칭: 위상 고정 루프 및 그의 위상 고정 방법

발명의 내용

해결하려는 과제

[0006] 본 발명은 회로를 추가하지 않고 동적 주파수 스케일링 시스템에 사용되는 루프 필터의 동작 주파수만 변화시켜 빠르게 주파수 및 위상을 고정할 수 있는 디지털 위상 고정 루프 및 위상 고정 방법을 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0007] 상기의 목적을 달성하기 위해 본 발명의 일 실시예에 따른 디지털 위상 고정 루프는 기준 주파수를 제공하는 노드, 출력 주파수를 발생시키는 DCO(Digitally Controlled Oscillator), 상기 기준 주파수와 상기 DCO의 출력 주파수의 차이값을 입력받아 주파수와 위상을 고정하는 출력 주파수를 생성하는 루프 필터, 및 상기 DCO에서 주파수 고정을 시작하면, 제1 주파수를 제2 주파수로 증가시켜 상기 루프 필터를 작동시키고, 카운터를 통해 주파수 에러를 체크하고 상기 주파수 에러가 0이 되면, 상기 제2 주파수를 상기 제1 주파수로 다운시켜 상기 루프 필터를 작동시키도록 적어도 하나의 먹스를 제어하는 제어부를 포함한다.

발명의 효과

[0008] 본 발명에 의하면, 적분 이득 증가로 인해 발생하는 루프 필터의 오버슈트(overshoot)를 줄일 수 있고, 안정적이고 빠르게 주파수 및 위상을 고정할 수 있는 효과가 있다.

[0009] 또한, 본 발명에 의하면, 추가적인 회로를 부가하지 않고 동적 주파수 스케일링 시스템에 사용되는 위상 고정 루프의 루프 필터의 동작 주파수만 변화시켜 빠르게 주파수 및 위상을 고정할 수 있으므로 실장 면적을 늘리지 않고 효율적으로 동적 주파수 스케일링 시스템을 구성할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 일 실시예에 따른 서브 샘플링 기법을 사용한 디지털 위상 고정 루프의 구성도이다.

도 2는 본 발명의 일 실시예에 따른 디지털 위상 고정 루프에 포함된 루프 필터의 구조도이다.

도 3은 본 발명의 일 실시예에 따른 디지털 위상 고정 루프에 포함된 시간 디지털 변환기(TDC)의 회로도이다.

도 4는 본 발명의 일 실시예에 따른 디지털 위상 고정 루프에 포함된 시간 디지털 변환기의 동작원리를 나타낸 파형이다.

도 5는 종래의 디지털 위상 고정 루프와 본 발명의 일 실시예에 따른 디지털 위상 고정 루프를 사용한 경우, 각각의 루프 안정성 결과를 시뮬레이션한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면을 참조하여 상세하게 설명하도록 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0012] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재 항목들의 조합 또는 복수의 관련된 기재 항목들 중의 어느 항목을 포함한다.

[0013] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급될 때에는 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0014] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부

품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0015] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0016] 명세서 및 청구범위 전체에서, 어떤 부분이 어떤 구성 요소를 포함한다고 할때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있다는 것을 의미한다.

[0018] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0019] 도 1은 본 발명의 일 실시예에 따른 서브 샘플링 기법을 사용한 디지털 위상 고정 루프의 구성도이다.

[0020] 도 1을 참조하면, 본 발명의 일 실시예에 따른 서브 샘플링 기법을 사용한 디지털 위상 고정 루프(100)는 주파수 고정과 위상 고정을 구분하여 수행할 수 있다. 즉, 본 발명의 일 실시예에 따른 서브 샘플링 기법을 사용한 디지털 위상 고정 루프(100)는 주파수 고정 회로와 위상 고정 회로로 분리하여, 각각의 경우에 계수기(Counter)(40) 또는 시간 디지털 변환기(TDC: Time-to-Digital Converter)(30)로 연결할 수 있다.

[0021] 본 발명의 일 실시예에 따른 디지털 위상 고정 루프(100)는 기준 주파수를 제공하는 노드(Fref), 출력 주파수를 발생시키는 디지털 제어 발진기(DCO: Digitally Controlled Oscillator)(20), 루프 필터(10), 및 제어부(미도시)를 포함하여 구성될 수 있다.

[0022] 제어부는 디지털 제어 발진기(DCO)(20)에서 주파수 고정을 시작하면, 루프 필터(10)의 동작 주파수를 제1 주파수에서 제2 주파수로 증가시키도록 클럭 셀렉터(Clock Selector)(50)를 동기화시킬 수 있다. 또한, 제어부는 카운터(40)를 통해 주파수 에러를 체크하고, 주파수 에러가 '0'에 수렴하면, 즉, 주파수 고정이 끝나면 제2 주파수를 다시 제1 주파수로 다운시켜 루프 필터를 작동시키도록 적어도 하나의 먹스(MUX)를 제어할 수 있다. 제어부는 타이밍 컨트롤러를 제어하여 디지털 위상 고정 루프(100)를 구성하는 각 구성요소들의 동작 시점을 제어할 수 있다. 제어부는 프로세서, AP 등이 될 수 있다.

[0023] 위상 고정 회로는 루프 필터(10), 디지털 제어 발진기(20), 시간 디지털 변환기(TDC)(30)를 포함하여 구성될 수 있다. 위상 고정 회로는 디지털 제어 발진기(20)에서 출력되는 높은 주파수의 신호를 레퍼런스 클럭(F_{REF}) 주기로 서브 샘플링하여 위상을 고정시키는 역할을 한다. 이를 위해 디지털 제어 발진기(20)에서 출력되는 높은 주파수의 신호와 반전 신호를 레퍼런스 신호 주기로 서브 샘플링하고 디지털 제어 발진기(20)에서 출력되는 높은 주파수의 신호와 반전 신호를 레퍼런스 신호의 위상 차이를 각각 직류값으로 산출할 수 있다.

[0024] 시간 디지털 변환기(TDC)(30)는 빠른 고정 시간을 위해서 위상에 대한 정보를 샘플링하는 샘플 앤 홀드 스위치, 삼상 인버터, 및 아날로그 신호를 디지털로 변환하는 플래시 아날로그 디지털 변환기(Flash ADC: Flash Analog-to-Digital Converter)를 포함하여 구성될 수 있다. 시간 디지털 변환기(TDC)(30)는 도 3에서 구체적으로 설명하도록 한다.

[0025] 위상 고정 루프(100)는 디지털 제어 발진기(DCO)(20)에서 출력하는 주파수를 받아서 타겟 주파수와 비교한 후 차이값(Filter_in)을 루프 필터(10)로 전달하여 주파수를 고정시킬 수 있다.

[0026] 주파수 고정 회로는 디지털 제어 발진기(20)에서 출력 신호의 주파수를 레퍼런스 클럭(F_{REF})의 주파수로 고정시킨다. 주파수 고정 회로는 위상 고정 회로보다 우선 동작하고, 주파수가 고정될 때까지 특정 시간 동안만 동작한다. 레퍼런스 클럭(F_{REF})의 주파수와 출력 신호(Fout)를 비교하여 주파수 에러가 '0'이 될때까지 루프 필터를 통과시켜 주파수를 고정시킬 수 있다.

[0027] 주파수 고정을 시작하고 나서, 카운터(40)에서 주파수 에러를 체크하면서 주파수 에러가 '0'에 수렴하는 경우, 카운터(40)는 클락 셀렉터(Clock Selector)를 동기화시킬 수 있다.

[0028] 클락 셀렉터는 동기화신호를 수신하면, 3개의 먹스(MUX)를 제어하여 주파수 고정시에는 100MHz의 주파수(클럭)를 1GHz로 증가시켜 루프 필터를 작동시키고, 주파수 고정이 끝나면 1GHz의 주파수(클럭)을 다시 100MHz로 다운시켜 루프 필터가 작동되도록 제어할 수 있다.

[0029] 이때, 시간 디지털 변환기(TDC)(30)의 삼각파 발생기는 넓은 범위의 디지털 제어 발진기에 따라 알맞은 전류를 흘려주어야하기 때문에 전류와 주파수에 관계를 [수학식 1]과 같이 나타낼 수 있다.

수학식 1

$$i = -C \times \frac{dV}{dt} = -C \cdot \frac{d}{dt}\left(e^{-\frac{t}{\tau}}\right)$$
$$= C \cdot \frac{1}{\tau} \cdot e^{-\frac{t}{\tau}} = C \cdot f \cdot e^{-\frac{t}{\tau}}$$
$$\therefore i \propto f$$

[0030]

[0031] 또한, 주파수 값과 캐패시터 값에 따른 정확한 전류 값을 [수학식 2]와 같이 나타낼 수 있다.

수학식 2

$$i = C \times \frac{dV}{dt}$$
$$= C \times \frac{1V}{\Delta t} = C \cdot \frac{1V}{0.5/f}$$
$$= C \times 2N \times 10^8$$

[0032]

[0033] 또한, 종래의 위상 고정 루프의 전달 함수는 [수학식 3]과 같다. [수학식 3]에서 시간 디지털 변환기와 디지털 제어 발진기 등의 이득을 제거하여 루프 필터의 전달 함수를 [수학식 4]와 같이 나타낼 수 있다.

수학식 3

$$H(s) = \frac{\phi_{out}(s)}{\phi_{in}(s)} = \frac{NG(s)}{G(s)+1} = \frac{N \cdot K' \beta}{s^2 + \alpha\beta s/T_R + K'\beta} \text{ where } K' = \frac{2\pi \cdot K_{TDC} \cdot K_{DCO}}{N \cdot T_R}$$

[0034]

[0035] 여기서, α는 종래의 루프 필터의 비례 이득, β는 종래의 루프 필터의 적분 이득, T_S과 T_R은 위상 고정 루프의 클럭 주기, K_{TDC}는 시간 디지털 변환기의 이득값, K_{DCO}는 디지털 제어 발진기의 이득값, N은 입력 주파수와 출력 주파수의 비율을 나타낸다.

수학식 4

$$H_{LF}(z) = \frac{\beta}{\alpha\beta + (1 - z^{-1})}$$

[0036]

[0037] 종래의 루프 필터의 전달함수와 본 발명에 따른 루프 필터의 전달함수를 비교하여, 비례 이득 상에서 적분 이득의 관계는 [수학식 5]로 나타낼 수 있다.

수학식 5

$$H_{LF,conv}(z) = \frac{\beta}{\alpha\beta + \frac{sT_R}{1+sT_R}} = \frac{\beta'}{\alpha'\beta' + \frac{\frac{1}{10}sT_R}{1+\frac{1}{10}sT_R}} = H_{LF,prop}(z) \qquad (z = e^{sT_R} \approx 1 + sT_R)$$

$$\frac{\beta+\beta sT_R}{\alpha\beta+sT_R} = \frac{\beta' + \frac{1}{10}\beta' sT_R}{\alpha\beta' + \frac{1}{10}sT_R}$$

$$\alpha\beta\beta' + \frac{1}{10}\beta = \beta' + \frac{1}{10}\alpha\beta\beta'$$

$$\beta = \frac{10\beta'}{1-9\alpha\beta'}$$

[0038]

[0039] 여기서, α는 본 발명의 비례 이득, β는 본 발명의 적분 이득을 나타낸다.

[0040] [수학식 5]에서 알수 있듯이, 본 발명에 따른 루프 필터의 적분 이득은 종래의 루프 필터의 적분 이득과 비교할 때, 대략 1/10 정도 감소하는 효과를 얻을 수 있어 빠른 고정 시간을 제공하면서 필터의 안정성을 유지할 수 있다.

[0041] 본 실시예에서는 DCO, TDC, Counter, 루프 필터를 구비한 디지털 위상 고정 루프를 설명하였으나, 다른 구성을 포함하는 위상과 주파수를 분리하여 고정할 수 있는 위상 고정 루프에도 적용이 가능하다.

[0043] 도 2는 본 발명의 일 실시예에 따른 디지털 위상 고정 루프에 포함된 루프 필터의 구조도이다.

[0044] 도 2를 참조하면, 본 발명의 일 실시예에 따른 디지털 위상 고정 루프에 포함된 루프 필터(10)는 적분 경로와 비교 경로로 구성되고, 각각의 이득 값을 통하여 루프의 특성이 달라진다.

[0045] 종래에는 빠른 위상 고정 시간을 위해 적분 이득(Gi)을 증가시켰지만, 본 발명에 따르면 작동 주파수를 100MHz에서 1GHz로 증가시켜 주파수 및 위상 고정 시간을 빠르게 하였다.

[0046] 본 발명에 따라, 작동 주파수를 100MHz에서 1GHz로 증가시키면, 클럭 발생 주기가 빨라지기 때문에 루프 필터로 입력되는 Filter_in의 주입 주기가 더 빨라져서 위상 고정 시간을 단축할 수 있다.

[0048] 도 3은 본 발명의 일 실시예에 따른 디지털 위상 고정 루프에 포함된 시간 디지털 변환기(TDC)의 회로도이다.

[0049] 도 3을 참조하면, 본 발명의 일 실시예에 따른 디지털 위상 고정 루프에 포함된 시간 디지털 변환기(TDC)(30)는 삼각파 발생기, 삼상 인버터, 및 비교기/플래시 아날로그 디지털 변환기를 포함하여 구성될 수 있다.

[0050] 먼저, 디지털 제어 발진기(DCO)에서 생성되는 클럭을 삼각파 발생기에서 받아 삼각 펄스를 만들어 낸다. 기준 클럭을 통해 삼각 펄스의 값을 샘플링 하고 이 값을 플래시 아날로그 디지털 변환기를 통해 디지털 값을 도출하게 된다.

[0052] 도 4는 본 발명의 일 실시예에 따른 디지털 위상 고정 루프에 포함된 시간 디지털 변환기의 동작원리를 나타낸 파형이다.

[0053] 도 4를 참조하면, 본 발명의 일 실시예에 따른 디지털 위상 고정 루프에 포함된 시간 디지털 변환기는 디지털 제어 발진기에서 생성되는 클럭을 삼각파 발생기에서 받아 삼각 펄스를 만들어 낸다.

[0054] 또한, 기준 클럭을 통해 삼각 펄스의 값을 샘플링 하고 이 값을 플래시 아날로그 디지털 변환기를 통해 디지털 값을 도출하게 된다.

[0056] 도 5는 종래의 디지털 위상 고정 루프와 본 발명의 일 실시예에 따른 디지털 위상 고정 루프를 사용한 경우, 각각의 루프 안정성 결과를 시뮬레이션한 도면이다.

[0057] 도 5를 참조하면, 'Black Line'은 종래의 적분 이득을 증가시키는 방법을 사용한 경우의 루프 안정성 결과이고, 'Red Line'은 본 발명에 따른 루프 필터의 작동 주파수를 증가시키는 방법을 사용한 경우의 루프 안정성 결과를 나타낸 것이다.

[0058] 종래의 적분 이득을 증가시키면, 적분 이득이 1/128인 경우와 1/16인 경우 같은 형태의 전달 함수 그래프를 보이는 반면 1/8과 1/2인 경우에는 종래의 루프 필터 전달 함수는 불안정해 지는 것을 확인할 수 있다.

[0059] 반면, 본 발명에 따라 루프 필터의 작동 주파수를 증가시키면 종래의 1/8과 1/2의 적분 이득인 경우와 유사한 고정 시간을 확보하면서 오버슈트가 발생하지 않고 안정적으로 출력 파형을 얻을 수 있다.

[0061] 앞서, 본 발명의 일 실시예에 따른 디지털 위상 고정 루프는 루프 필터의 동작 주파수를 증가시키는 방법만 설명하였지만, 적분 이득을 설정된 값까지 증가시킨 후 루프 필터의 동작 주파수를 증가시키거나 또는 양자를 동시에/정해진 순서에 따라 증가시키는 방법으로 빠르게 주파수 및 위상을 고정할 수도 있다.

[0063] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 사람이라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

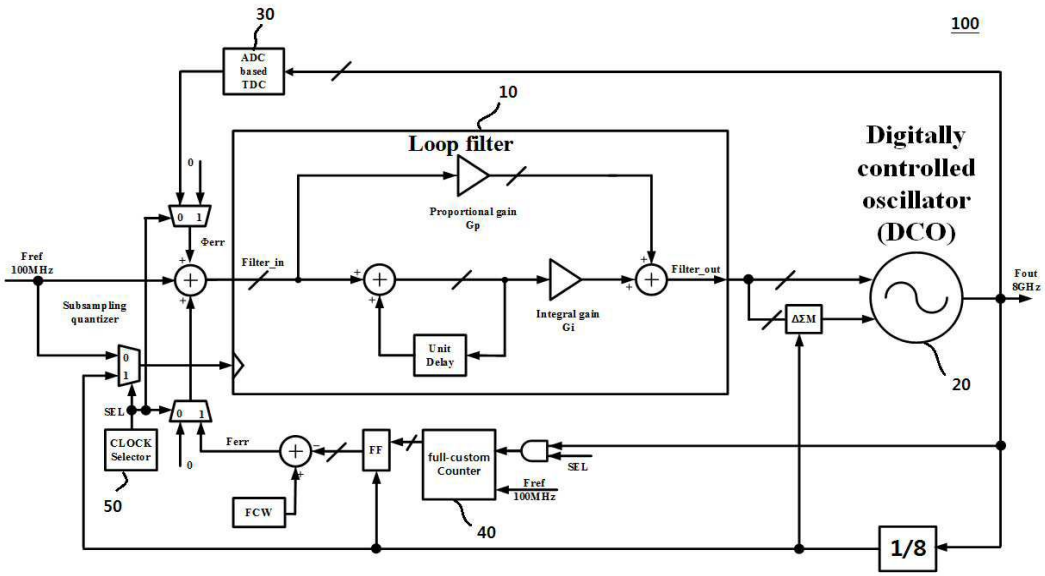
[0064] 100: 디지털 위상 고정 루프

10: 루프 필터 20: 디지털 제어 발진기

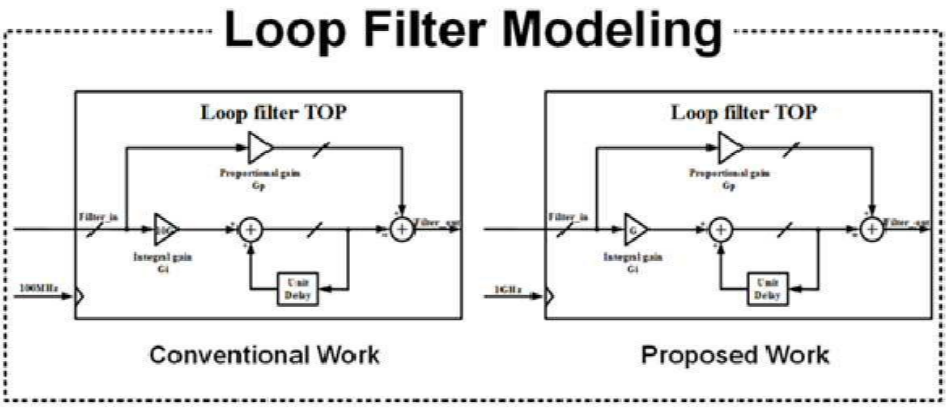
30: 시간 디지털 변환기 40: 카운터

도면

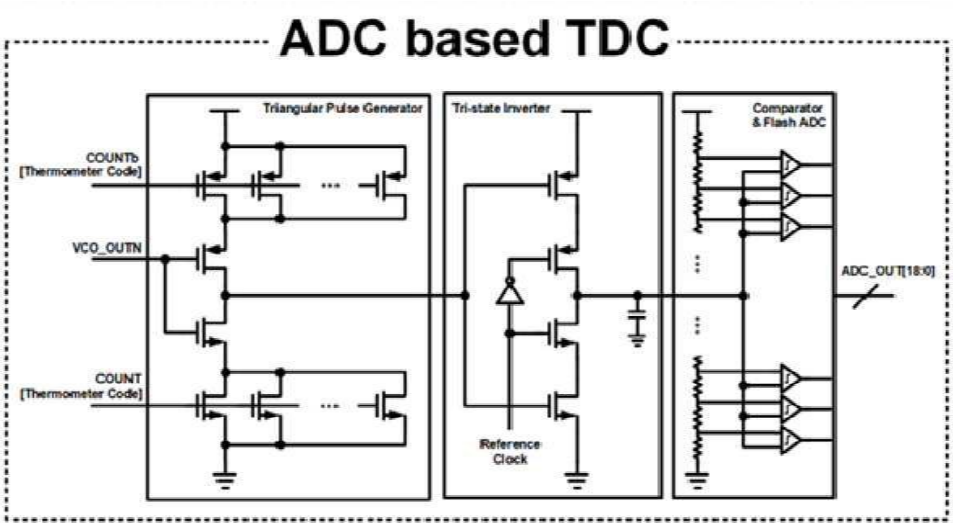
도면1



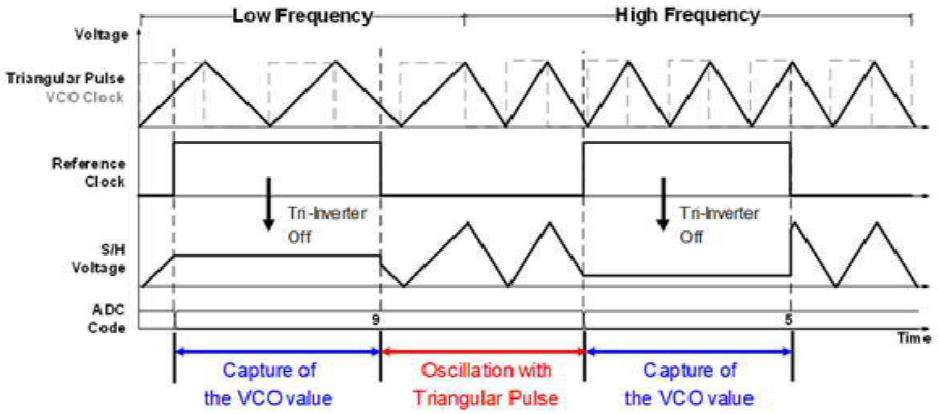
도면2


Loop Filter Modeling
Loop filter TOP
Proportional gain
Gp
Filter_in
Integral gain
Gi
Unit
Delay
Filter_out
100MHz
Conventional Work
Loop filter TOP
Proportional gain
Gp
Filter_in
Integral gain
Gi
Unit
Delay
Filter_out
1GHz
Proposed Work

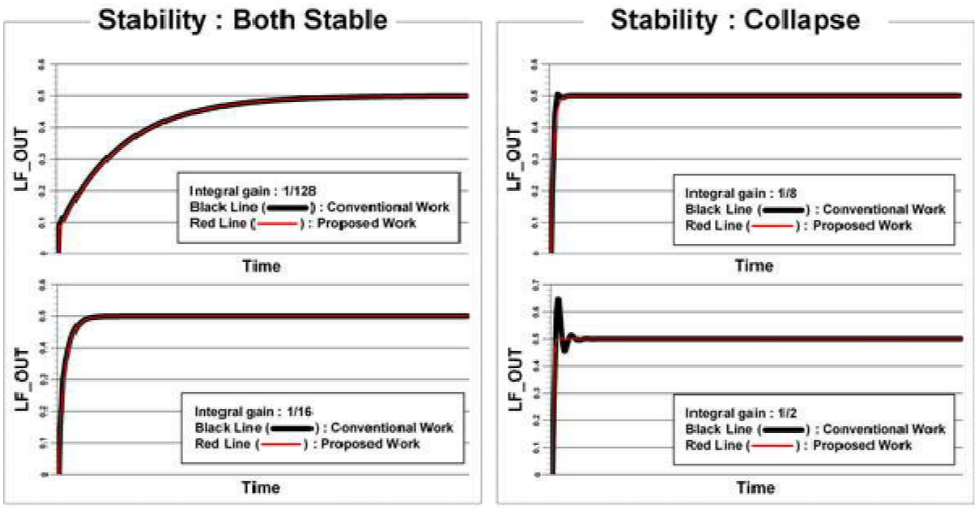
도면3


ADC based TDC
Triangular Pulse Generator
Tri-state Inverter
Comparator
& Flash ADC
COUNTb
[Thermometer Code]
VCO_OUTN
COUNT
[Thermometer Code]
Reference
Clock
ADC_OUT[18:0]

도면4


Low Frequency
High Frequency
Voltage
Triangular Pulse
VCO Clock
Reference
Clock
Tri-Inverter
Off
Tri-Inverter
Off
S/H
Voltage
ADC
Code
9
5
Time
Capture of
the VCO value
Oscillation with
Triangular Pulse
Capture of
the VCO value

도면5


Stability : Both Stable
LF_OUT
Integral gain : 1/128
Black Line (——) : Conventional Work
Red Line (——) : Proposed Work
Time
LF_OUT
Integral gain : 1/16
Black Line (——) : Conventional Work
Red Line (——) : Proposed Work
Time
Stability : Collapse
LF_OUT
Integral gain : 1/8
Black Line (——) : Conventional Work
Red Line (——) : Proposed Work
Time
LF_OUT
Integral gain : 1/2
Black Line (——) : Conventional Work
Red Line (——) : Proposed Work
Time