



(12)发明专利

(10)授权公告号 CN 105247681 B

(45)授权公告日 2020.06.09

(21)申请号 201480022037.2

(22)申请日 2014.03.12

(65)同一申请的已公布的文献号
申请公布号 CN 105247681 A

(43)申请公布日 2016.01.13

(30)优先权数据
13/799,989 2013.03.13 US

(85)PCT国际申请进入国家阶段日
2015.10.13

(86)PCT国际申请的申请数据
PCT/US2014/024191 2014.03.12

(87)PCT国际申请的公布数据
W02014/165034 EN 2014.10.09

(73)专利权人 创世舫电子有限公司
地址 美国加利福尼亚州

(72)发明人 拉柯许·K·拉尔

(74)专利代理机构 中原信达知识产权代理有限
责任公司 11219
代理人 穆森 戚传江

(51)Int.Cl.
H01L 29/778(2006.01)
H01L 29/78(2006.01)

(56)对比文件
US 2012/0126287 A1, 2012.05.24, 说明书
第0001-0063段及附图1-13.

US 2008/0251837 A1, 2008.10.16, 说明书
第0002-0135段及附图1-9F.

US 2013/0020614 A1, 2013.01.24, 说明书
第0001-0035段及附图1A-6.

审查员 靳苹苹

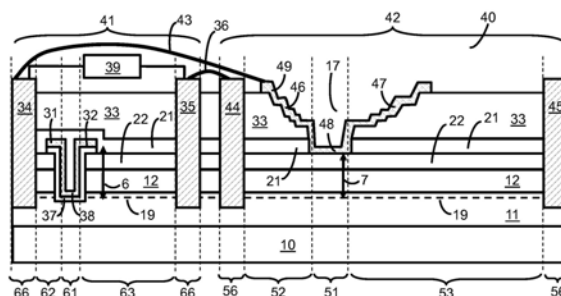
权利要求书4页 说明书18页 附图29页

(54)发明名称

增强型III-氮化物器件

(57)摘要

一种III-N增强型晶体管包括具有导电沟道的III-N结构、源极接触和漏极接触,以及在源极接触和漏极接触之间的栅电极。绝缘体层在III-N结构的上方,在晶体管的栅极区中形成穿过绝缘体层的凹部,栅电极至少部分地在该凹部中。该晶体管进一步包括场板,该场板具有在栅电极和漏极接触之间的部分,该场板电连接到源极接触。该栅电极包括延伸部分,该延伸部分在凹部外侧并向漏极接触延伸。导电沟道和栅电极的延伸部分之间的间隔大于导电沟道和场板在栅电极和漏极接触之间的部分之间的间隔。



1. 一种III-N器件,包括:

III-N增强型晶体管,所述III-N增强型晶体管包括源极接触和第一栅极,所述第一栅极在栅极绝缘体上,

III-N耗尽型晶体管,所述III-N耗尽型晶体管包括漏极接触;

III-N结构,所述III-N结构包括导电沟道,其中,所述导电沟道的第一部分充当所述III-N增强型晶体管的器件沟道,所述导电沟道的第二部分充当所述III-N耗尽型晶体管的器件沟道,所述导电沟道在所述第一部分和所述第二部分之间连续;

绝缘体层,所述绝缘体层在所述III-N结构上,其中,第一凹部在所述III-N增强型晶体管的栅极区中形成穿过所述绝缘体层,并且所述栅极绝缘体和所述第一栅极至少部分地在所述凹部中;

电极限定层,所述电极限定层具有厚度,所述电极限定层在所述绝缘体层的上方,其中,第二凹部在所述III-N耗尽型晶体管的栅极区中形成在所述电极限定层中,所述第二凹部包括邻近所述漏极接触的侧壁;和

电极,所述电极至少部分地在所述第二凹部中,所述电极包括第一部分、所述III-N耗尽型晶体管的第二栅极和延伸部分,所述第二栅极在所述III-N耗尽型晶体管的栅极区中,所述电极的所述第一部分在所述III-N增强型晶体管的所述源极接触与所述第一栅极之间,并且所述电极的所述延伸部分至少部分地在所述第二凹部的所述侧壁上;其中

所述电极电连接到所述源极接触。

2. 根据权利要求1所述的器件,其中,所述第二凹部在所述III-N结构远端的部分具有第一宽度,所述第二凹部邻近所述III-N结构的部分具有第二宽度,所述第一宽度大于所述第二宽度。

3. 根据权利要求1所述的器件,其中,所述III-N耗尽型晶体管的击穿电压至少是所述III-N增强型晶体管的击穿电压的3倍。

4. 根据权利要求3所述的器件,其中,所述器件被配置为用作增强型晶体管,具有是所述III-N增强型晶体管的击穿电压的至少3倍的击穿电压。

5. 根据权利要求1所述的器件,其中,所述电极限定层在所述III-N增强型晶体管的器件沟道和所述III-N耗尽型晶体管的器件沟道两者的上方。

6. 根据权利要求1所述的器件,其中,所述第一栅极包括在所述第一凹部的外侧并向所述漏极接触延伸的延伸部分。

7. 根据权利要求6所述的器件,其中,所述导电沟道和所述第一栅极的延伸部分之间的间隔大于所述导电沟道和所述第二栅极之间的间隔。

8. 根据权利要求7所述的器件,其中,所述第一凹部延伸到所述III-N结构中。

9. 根据权利要求8所述的器件,其中,所述第一凹部穿过所述导电沟道延伸。

10. 根据权利要求1所述的器件,其中,所述III-N结构包括第一III-N层和第二III-N层,其中,所述导电沟道是由于所述第一III-N层和所述第二III-N层之间的成分差异而在邻近所述第二III-N层的所述第一III-N层中引起的2DEG沟道。

11. 根据权利要求1所述的器件,其中,所述第二凹部完全穿过所述电极限定层的厚度延伸。

12. 根据权利要求1所述的器件,其中,所述电极限定层包括SiN_x。

13. 根据权利要求12所述的器件, 进一步包括在所述绝缘体层和所述电极限定层之间的附加介电层。

14. 根据权利要求13所述的器件, 其中, 所述附加介电层包括AlN, 所述绝缘体层包括SiN。

15. 根据权利要求1所述的器件, 其中, 所述侧壁包括多个台阶。

16. 根据权利要求1所述的器件, 进一步包括在所述第一栅极和所述第二栅极之间的附加接触, 所述附加接触接触所述导电沟道。

17. 根据权利要求16所述的器件, 进一步包括载流部件, 其中, 所述载流部件的第一侧电连接到所述源极接触, 所述载流部件的第二侧电连接到所述附加接触。

18. 根据权利要求17所述的器件, 其中, 所述载流部件包括二极管, 所述载流部件的所述第一侧为阳极, 所述载流部件的所述第二侧为阴极。

19. 根据权利要求17所述的器件, 其中, 所述载流部件包括电阻器。

20. 根据权利要求1所述的器件, 其中, 所述III-N增强型晶体管没有漏极接触, 所述III-N耗尽型晶体管没有源极接触, 所述III-N增强型晶体管和所述III-N耗尽型晶体管共用在所述第一栅极和所述第二栅极之间的公共漂移区。

21. 一种增强型晶体管, 包括:

半导体材料结构, 在所述半导体材料结构中包括导电沟道;

源极接触和漏极接触, 所述源极接触和所述漏极接触电接触所述导电沟道;

栅电极, 所述栅电极位于所述源极接触和所述漏极接触之间;

绝缘体层, 所述绝缘体层在所述半导体材料上, 其中, 凹部在所述增强型晶体管的栅极区中形成穿过所述绝缘体层, 并且所述栅电极至少部分地在所述凹部中; 和

栅极绝缘体层, 所述栅极绝缘体层至少部分地在所述凹部中, 所述栅极绝缘体层在所述栅电极和所述半导体材料之间;

场板, 所述场板具有在所述栅电极和所述漏极接触之间的第一部分以及在所述栅电极和所述源极接触之间的第二部分, 所述场板电连接到所述源极接触; 和

在所述栅电极和所述漏极接触之间的附加接触; 和

二极管; 其中

所述二极管的第一侧电连接到所述场板, 并且所述二极管的第二侧电连接到所述附加接触。

22. 根据权利要求21所述的晶体管, 其中, 所述半导体材料结构包括一个或多个III-氮化物层, 所述导电沟道在所述一个或多个III-氮化物层中。

23. 根据权利要求21所述的晶体管, 其中, 所述附加接触电接触所述导电沟道。

24. 根据权利要求21所述的晶体管, 其中, 所述二极管的所述第一侧是阳极, 所述二极管的所述第二侧是阴极。

25. 根据权利要求21所述的晶体管, 其中, 所述栅电极包括主栅极部分和延伸部分, 所述延伸部分从所述主栅极部分向所述漏极接触延伸, 所述场板包括在所述延伸部分和所述漏极接触之间的部分, 并且所述导电沟道和所述栅电极的所述延伸部分之间的间隔大于所述导电沟道和所述场板在所述延伸部分和所述漏极接触之间的部分之间的间隔。

26. 一种半桥, 包括:

III-N结构,在所述III-N结构中包含导电沟道;

第一栅电极和第二栅电极,所述第一栅电极和所述第二栅电极在所述III-N结构上;

第一源极接触和漏极接触,所述第一源极接触和所述漏极接触电接触所述导电沟道,其中,所述第一栅电极和所述第二栅电极都在所述第一源极接触和所述漏极接触之间;和

第二源极接触,所述第二源极接触包括电接触所述导电沟道的第一部分,其中,所述第二源极接触的所述第一部分在所述第一栅电极和所述第二栅电极之间;和

绝缘体层,所述绝缘体层在所述III-N结构上,其中,凹部在所述半桥的第一栅极区中形成成为穿过所述绝缘体层和所述导电沟道,并且所述第一栅电极至少部分地在所述凹部中;和

第一栅极绝缘体层,所述第一栅极绝缘体层至少部分地在所述凹部中,所述第一栅极绝缘体层在所述第一栅电极和所述III-N结构之间;其中

所述第一源极接触是第一电极的一部分,所述第二源极接触是第二电极的一部分,所述第一电极包括在所述第一栅电极和所述第二源极接触之间的第一部分以及在所述第一栅电极和所述第一源极接触之间的第二部分,并且所述第二电极包括在所述第二栅电极和所述漏极接触之间的第三部分以及在所述第二栅电极和所述第二源极接触之间的第四部分。

27. 根据权利要求26所述的半桥,进一步包括:

附加接触,所述附加接触在所述第一栅电极与所述漏极接触之间;和

二极管,所述二极管具有阳极和阴极;其中

所述阳极电连接到所述第一电极或所述第二电极,所述阴极电连接到所述附加接触。

28. 根据权利要求27所述的半桥,其中,所述附加接触电接触所述导电沟道。

29. 根据权利要求26所述的半桥,所述第一栅电极是第一III-N开关的一部分,所述第二栅电极是第二III-N开关的一部分。

30. 根据权利要求29所述的半桥,进一步包括:

附加接触,所述附加接触在所述第一栅电极和所述第二源极接触之间;和

二极管,所述二极管具有阳极和阴极;其中

所述阳极电连接到所述第一电极,所述阴极电连接到所述附加接触。

31. 根据权利要求30所述的半桥,其中,所述二极管的反向偏置击穿电压小于所述第一III-N开关的击穿电压。

32. 根据权利要求31所述的半桥,其中,所述二极管的反向击穿电压小于所述第一III-N开关的击穿电压的0.5倍。

33. 根据权利要求29所述的半桥,其中,所述第二电极可被配置为作为所述第一III-N开关的漏极操作。

34. 根据权利要求26所述的半桥,所述第一栅电极包括主栅极部分和延伸部分,所述延伸部分从所述主栅极部分向所述漏极接触延伸,其中,所述导电沟道和所述第一栅电极的所述延伸部分之间的间隔大于所述导电沟道和所述第一电极在所述第一栅电极和所述第二源极接触之间的部分之间的间隔。

35. 根据权利要求26所述的半桥,进一步包括在所述III-N结构上方的绝缘材料,所述绝缘材料包括第一凹部和第二凹部,其中,所述第一电极在所述第一栅电极和所述第二源

极接触之间的部分在所述第一凹部中,所述第二电极在所述第二栅电极和所述漏极接触之间的部分在所述第二凹部中。

36.一种双向开关,包括:

III-N结构,在所述III-N结构中包括导电沟道;

第一栅电极和第二栅电极,所述第一栅电极和所述第二栅电极在所述III-N结构上;和

第一源极接触和第二源极接触,所述第一源极接触和所述第二源极接触电接触所述导电沟道,其中,所述第一栅电极和所述第二栅电极每一个在所述第一源极接触和所述第二源极接触之间;和

绝缘体层,所述绝缘体层在所述III-N结构上,其中,凹部在所述开关的第一栅极区中形成成为穿过所述绝缘体层和所述导电沟道,并且所述第一栅电极至少部分地在所述凹部中;和

第一栅极绝缘体层,所述第一栅极绝缘体层至少部分地在所述凹部中,所述第一栅极绝缘体层在所述第一栅电极和所述III-N结构之间;其中

所述第一源极接触是第一电极的一部分,并且所述第二源极接触是第二电极的一部分,所述第一电极包括在所述第一栅电极和所述第二栅电极之间的第一部分以及在所述第一源极接触和所述第一栅电极之间的第二部分,并且所述第二电极包括在所述第一栅电极和所述第二栅电极之间的第三部分以及在所述第二源极接触和所述第二栅电极之间的第四部分。

37.根据权利要求36所述的双向开关,进一步包括:

第一附加接触,所述第一附加接触在所述第一栅电极和所述第二栅电极之间;和

第一二极管,所述第一二极管具有第一阳极和第一阴极;其中

所述第一阳极电连接到所述第一电极,并且所述第一阴极电连接到所述第一附加接触。

38.根据权利要求37所述的双向开关,其中,所述附加接触电接触所述导电沟道。

39.根据权利要求37所述的双向开关,进一步包括在所述第一栅极和所述第二栅电极之间的第二附加接触,和具有第二阳极和第二阴极的第二二极管,其中,所述第二阳极电连接到所述第二电极,并且所述第二阴极电连接到所述第二附加接触。

40.根据权利要求37所述的双向开关,其中,所述二极管的反向偏置击穿电压小于所述双向开关的击穿电压。

41.根据权利要求40所述的双向开关,其中,所述二极管的反向偏置击穿电压小于所述双向开关的击穿电压的0.3倍。

42.根据权利要求36所述的双向开关,所述第一栅电极包括主栅极部分和延伸部分,所述延伸部分从所述主栅极部分向所述第二栅电极延伸,其中,所述导电沟道和所述第一栅电极的所述延伸部分之间的间隔大于所述导电沟道和所述第一电极的所述第一部分之间的间隔。

43.根据权利要求36所述的双向开关,进一步包括在所述III-N结构上方的绝缘材料,所述绝缘材料包括第一凹部和第二凹部,其中,所述第一电极的所述第一部分在所述第一凹部中,并且所述第二电极的所述第三部分在所述第二凹部中。

增强型III-氮化物器件

技术领域

[0001] 本发明涉及半导体电子器件,具体地,涉及具有连接到场板的电极的器件。

背景技术

[0002] 大多数功率半导体器件,诸如高压P-I-N二极管,以及功率晶体管,诸如功率MOSFET和绝缘栅双极晶体管(IGBT),通常用硅(Si)半导体材料制造。近来,由于其优异的性能,已经使用了碳化硅(SiC)功率器件。III-氮化物(III-N)半导体器件现在正在成为一种有吸引力的候选物,以载送大电流和支持高电压,并提供非常低的导通电阻、高电压器件操作和快速的开关时间。如本文所使用的,术语III-N或III-氮化物材料、层、器件等,指的是根据化学计量公式 $B_wAl_xIn_yGa_zN$,其中 $w+x+y+z$ 约为1,由化合物半导体材料构成的材料或器件。

[0003] 在图1和图2中示出了现有技术的III-N高电子迁移率晶体管(HEMT)的实例。图1的III-N HEMT包括衬底10、在衬底顶部上的III-N沟道层11诸如GaN层,和在沟道层顶部上的III-N阻挡层12诸如 $Al_xGa_{1-x}N$ 层。在沟道层11和阻挡层12之间的界面附近的沟道层11中引起二维电子气(2DEG)沟道19。源极接触14和漏极接触15分别与2DEG沟道形成欧姆接触。栅极接触16调节栅极区中的2DEG的部分,即,直接在栅极接触16下面的部分。

[0004] 场板通常用在III-N器件中,以便以降低峰值电场和提高器件击穿电压的方式,形成器件的高电场区域中的电场,从而允许更高的电压操作。在图2中示出了现有技术的有场板的III-N HEMT的实例。除了包括在图1的器件中的层以外,图2中的器件还包括连接到栅极16的场板18,和在场板18和III-N阻挡层12之间的绝缘层13,诸如SiN层。场板18可包括或与栅极16相同的材料形成。绝缘层13可充当在邻近绝缘层13的III-N材料的表面防止或抑制电压波动的表面钝化层。

[0005] 在降低峰值电场和提高III-N器件的击穿电压的方面,斜场板已被证明是特别有效的。图3中示出了与图2的III-N器件类似的现有技术的III-N器件,但有斜场板24。在该器件中,栅极16(即,在垂直虚线之间的电极29的部分)和斜场板24由单个电极29形成。电极限定层23是一种绝缘层,诸如SiN,其包含至少部分限定电极29的形状的凹部。电极限定层23还可以充当在邻近电极限定层23的III-N材料的表面防止或抑制电压波动的表面钝化层。通过在III-N阻挡层12的整个表面上首先沉积电极限定层23,然后在包含栅极16的区域中蚀刻穿过电极限定层23的凹部,该凹部包括倾斜的侧壁25,最后至少在凹部中和倾斜侧壁25的上方沉积电极29,可形成该器件中的栅极16和斜场板24。

[0006] 斜场板,诸如图3中的场板24,与常规场板诸如不包括倾斜部分的图2中的场板18相比,往往会在器件中以更大的体积传播电场。因此,斜场板往往会更有效地降低下层器件中的峰值电场,从而允许更大的操作和击穿电压。

[0007] 图1-3中示出的III-N HEMT是耗尽型(即,D-型)或常导通状态的器件。也就是,当相对于源极向栅极施加0V电压并相对于源极向漏极施加正电压时,它们处于导通(导电)状态。为了使器件转换为截止,使得它们处于非导通状态,相对于源极向栅极必须施加足够的

负电压。在许多应用中,需要利用增强型(或E-型)器件,即,具有正的阈值电压的器件,这样可简化通过器件的栅极驱动电路所施加的信号的形式,并且可以在器件或电路故障的情况下防止器件的意外导通。

[0008] 迄今为止已经证明,可靠地加工并制造高压III-N E型器件是非常困难的。单一高压III-N E型器件可替代的一种现有技术,是在图4的配置中组合高压III-N D型器件与低压硅基E型器件以形成混合器件,该混合器件在许多情况下实现与单一高压E型器件相同或相似的输出特性。图4的混合器件包括高压III-N D-型晶体管5和低压硅基E型晶体管4。节点1充当混合器件的源极,节点2充当混合器件的栅极,节点3充当混合器件的漏极。低压E-型晶体管4的源极和高压D-型晶体管5的栅极都电连接到源极节点1。低压E-型晶体管4的栅电极电连接到栅极节点2。高压D-型晶体管5的漏电极电连接到漏极节点3。高压D-型晶体管5的源电极电连接到低压E型晶体管4的漏电极。当相对于源极节点1以高于E-型晶体管4的阈值电压的电压使栅极节点2偏置时,混合器件处于导通状态,且当相对于源极节点1向漏极节点3施加正电压时,分别在源极和漏极节点1和3之间传导电流。当相对于源极节点1以零伏电压或低于E-型晶体管4的阈值电压的另一电压使栅极节点2偏置时,该混合器件处于截止状态。在截止状态时,当相对于源极节点1向漏极节点3施加正电压时,混合器件基本上不在源极和漏极节点1和3之间传导电流。在这种状态下,混合器件能够支持小于或等于高压D-型晶体管5的击穿电压的任何漏极-源极电压。

发明内容

[0009] 在第一方面,描述了一种III-N器件。该III-N器件包括III-N增强型晶体管,其包括源极接触和第一栅极,第一栅极在栅极绝缘体上,和包括漏极接触的III-N耗尽型晶体管。该III-N器件还包括III-N结构,其包括导电沟道,其中导电沟道的第一部分充当III-N增强型晶体管的器件沟道,导电沟道的第二部分充当III-N耗尽型晶体管的器件沟道。该III-N器件进一步包括在III-N结构上方的绝缘体层,其中在III-N增强型晶体管的栅极区中形成穿过绝缘体层的第一凹部,且栅极绝缘体和第一栅极至少部分地在该凹部中。该III-N器件还包括具有一厚度的电极限定层,该电极限定层在绝缘体层的上方,第二凹部在III-N耗尽型晶体管的栅极区中形成在电极限定层中,第二凹部包括邻近漏极接触的侧壁。该III-N器件进一步包括在第二凹部中的电极,该电极包括III-N耗尽型晶体管的第二栅极和延伸部分,该第二栅极在III-N耗尽型晶体管的栅极区中,延伸部分至少部分地在侧壁的上方。此外,该电极电连接到源极接触。

[0010] 在第二方面,描述了一种III-N增强型晶体管。该晶体管包括其中包括导电沟道的III-N结构、源极接触和漏极接触,源极接触和漏极接触电接触导电沟道,以及位于源极接触和漏极接触之间的栅电极。该晶体管还包括在III-N结构上方的绝缘体层,其中在III-N增强型晶体管的栅极区中形成穿过绝缘体层的凹部,且栅电极至少部分地在该凹部中。该晶体管进一步包括具有在栅电极和漏极接触之间的部分的场板,该场板电连接到源极接触。该栅电极包括在凹部外侧并向漏极接触延伸的延伸部分,且导电沟道和栅电极的延伸部分之间的间隔大于导电沟道和场板在栅电极和漏极接触之间的部分之间的间隔。

[0011] 在第三方面,描述了另一种增强型晶体管。该晶体管包括其中包括导电沟道的半导体材料结构,以及源极接触和漏极接触,源极接触和漏极接触电接触导电沟道。该晶体管

还包括位于源极接触和漏极接触之间的栅电极,电连接到源极接触的场板,和二极管,该二极管的第一侧电连接到该场板。

[0012] 在第四方面,描述了一种半桥。该半桥包括其中包括导电沟道的III-N结构,以及第一栅电极和第二栅电极,第一栅电极和第二栅电极在III-N结构上。该半桥还包括第一源极接触和漏极接触,第一源极接触和漏极接触电接触导电沟道,第一栅电极和第二栅电极都在第一源极接触和漏极接触之间。该半桥进一步包括第二源极接触,该第二源极接触包括电接触导电沟道的第一部分,其中第二源极接触的第一部分在第一栅电极和第二栅电极之间。另外,第一源极接触是第一电极的一部分,第二源极接触是第二电极的一部分,第一电极包括在第一栅电极和第二源极接触之间的部分,第二电极包括在第二栅电极和漏极接触之间的部分。

[0013] 在第五方面,描述了一种双向开关。该双向开关包括其中包括导电沟道的III-N结构,以及第一栅电极和第二栅电极,第一栅电极和第二栅电极在III-N结构上。该双向开关还包括第一源极接触和第二源极接触,该第一源极接触和第二源极接触电接触导电沟道,其中第一栅电极和第二栅电极每一个在第一源极接触和第二源极接触之间。此外,第一源极接触是第一电极的一部分,第二源极接触是第二电极的一部分,第一电极包括在第一栅电极和第二栅电极之间的第一部分,第二电极包括在第一栅电极和第二栅电极之间的第二部分。

[0014] 本文所描述的器件、晶体管、半桥和双向开关中的每一种,都可包括下列特性中的一种或多种。第二凹部在III-N结构远端的部分可具有第一宽度,第二凹部邻近III-N结构的部分可具有第二宽度,第一宽度大于第二宽度。III-N耗尽型晶体管的击穿电压可以至少是III-N增强型晶体管的击穿电压的3倍。该器件可被配置为用作击穿电压至少是III-N增强型晶体管的击穿电压的3倍的增强型晶体管。该电极限定层可以在III-N增强型晶体管的器件沟道和III-N耗尽型晶体管的器件沟道两者的上方。第一栅极可包括延伸部分,该延伸部分在第一凹部的外侧并向漏极接触延伸。导电沟道和第一栅极的延伸部分之间的间隔大于导电沟道和第二栅极之间的间隔。第一凹部可延伸到III-N结构中。第一凹部可穿过导电沟道延伸。

[0015] III-N结构可包括第一III-N层和第二III-N层,其中导电沟道是由第一III-N层和第二III-N层之间的成分差异而在邻近第二III-N层的第一III-N层中引起的2DEG沟道。第二凹部可完全穿过电极限定层的厚度延伸。该电极限定层可包括SiN_x。该器件可进一步包括在绝缘体层和电极限定层之间的附加介电层。附加介电层可包括AlN,绝缘体层可包括SiN。该侧壁可以包括多个台阶。该器件可进一步包括在第一栅极和第二栅极之间的附加接触,该附加接触接触导电沟道。该器件可进一步包括载流部件,其中载流部件的第一侧电连接到源极接触,载流部件的第二侧电连接到附加接触。载流部件可包括二极管,该载流部件的第一侧为阳极,该载流部件的第二侧为阴极。该载流部件可包括电阻器。III-N增强型晶体管没有漏极接触,III-N耗尽型晶体管可没有源极接触,III-N增强型晶体管和III-N耗尽型晶体管可共用在第一栅极和第二栅极之间的公共漂移区。

[0016] 该器件可进一步包括在栅电极与漏电极之间的附加接触。附加接触可电接触导电沟道。该器件可进一步包括二极管,其中二极管的第一侧电连接到该场板,二极管的第二侧电连接到附加接触。二极管的第一侧可以是阳极,二极管的第二侧可以是阴极。该半导体材

料结构可包括一个或多个III-氮化物层,导电沟道在一个或多个III-氮化物层中。该器件可进一步包括在栅电极和漏电极之间的附加接触。该附加接触可电接触导电沟道。二极管的第二侧可电连接到附加接触。该栅电极可包括主栅极部分和延伸部分,该延伸部分从主栅极部分向漏极接触延伸,该场板可包括在延伸部分和漏极接触之间的部分,且导电沟道和栅电极的延伸部分之间的间隔可大于导电沟道和场板在延伸部分和漏极接触之间的部分之间的间隔。

[0017] 该器件或半桥可进一步包括在第一栅电极与漏极接触之间的附加接触,以及具有阳极和阴极的二极管,其中该阳极电连接到第一电极或第二电极,阴极电连接到附加接触。该附加接触可电接触导电沟道。第一栅极可以是第一III-N开关的一部分,第二栅极可以是第二III-N开关的一部分。该半桥或器件可进一步包括在第一栅电极和第二源极接触之间的附加接触,以及具有阳极和阴极的二极管,其中阳极电连接到第一电极,阴极电连接到附加接触。二极管的反向偏置击穿电压可以小于第一III-N开关的击穿电压。二极管的反向击穿电压可以小于第一III-N开关的击穿电压的0.5倍。第二电极可被配置为作为第一III-N开关的漏极操作。

[0018] 第一栅电极可包括主栅极部分和延伸部分,延伸部分可从主栅极部分向漏极接触延伸,且导电沟道和第一栅电极的延伸部分之间的间隔可大于导电沟道和第一电极在第一栅电极和第二源极接触之间的部分之间的间隔。该半桥可进一步包括在III-N结构上方的绝缘材料,该绝缘材料包括第一凹部和第二凹部,其中第一电极在第一栅电极和第二源极接触之间的部分在第一凹部中,第二电极在第二栅电极和漏极接触之间的部分在第二凹部中。

[0019] 该双向开关或器件可进一步包括在第一栅电极和第二栅电极之间的第一附加接触,以及具有第一阳极和第一阴极的第一二极管,其中第一阳极电连接到第一电极,第一阴极电连接到第一附加接触。该附加接触可电接触导电沟道。该双向开关或器件可进一步包括在第一栅极和第二栅电极之间的第二附加接触,和具有第二阳极和第二阴极的第二二极管,其中第二阳极电连接到第二电极,第二阴极电连接到第二附加接触。二极管的反向偏置击穿电压可小于器件或双向开关的击穿电压。二极管的反向偏置击穿电压可以小于器件或双向开关的击穿电压的0.3倍。

[0020] 第一栅电极可包括主栅极部分和延伸部分,该延伸部分从主栅极部分向第二栅电极延伸,其中导电沟道和第一栅电极的延伸部分之间的间隔大于导电沟道和第一电极的第一部分之间的间隔。该双向开关或器件可进一步包括在III-N结构上方的绝缘材料,该绝缘材料包括第一凹部和第二凹部,其中第一电极的第一部分在第一凹部中,第二电极的第二部分在第二凹部中。

[0021] 描述了III-N器件,其可重复制造,并可用低漏电流支持高电压,同时具有低导通电阻和高击穿电压。还描述了形成该器件的方法。本文所描述的III-N器件可以是晶体管、半桥和/或双向开关,且可以是适用于高压应用的高压器件。在附图和下面的描述中,阐述了本发明的一个或多个实现的细节。从描述和附图以及从权利要求,本发明的其它特征和优势将变得明显。

附图说明

- [0022] 图1-3是现有技术的III-N HEMT器件的横截面图。
- [0023] 图4是现有技术的混合增强型器件的电路表示。
- [0024] 图5A是III-N器件的实现的横截面图。
- [0025] 图5B是图5A的器件的电路表示。
- [0026] 图6-8是III-N器件的其它实现的横截面图。
- [0027] 图9A是III-N器件的另一实现的平面图。
- [0028] 图9B是沿图9A的III-N器件的虚线8的横截面图。
- [0029] 图9C是沿图9A的III-N器件的虚线9的横截面图。
- [0030] 图10A和10B分别是III-N器件的又一实现的横截面图和平面图。
- [0031] 图10C是III-N器件的又一实现的平面图。
- [0032] 图10D是III-N器件的又一实现的横截面图。
- [0033] 图11-20示出了制造图8的III-N器件的方法。
- [0034] 图21A是半桥的实现的横截面图。
- [0035] 图21B是连接到电感负载的图21A的半桥的电路原理图。
- [0036] 图22-24是双向开关的实现的横截面图。
- [0037] 在各种附图中,相同的附图标记表示相同的元件。

具体实施方式

[0038] 描述了基于III-N异质结构的器件。该III-N器件被设计为作为增强型晶体管器件操作。本文所描述的III-N器件可以是适合高电压应用的高压器件。在这种高压器件中,当器件偏置截止时(即,相对于源极的栅极上的电压小于器件的阈值电压),它至少能支持所有的源极-漏极电压小于或等于应用中它所使用的高压,例如可以是100V、300V、600V、1200V、1700V或更高。当高压器件偏置导通时(即,相对于源极的栅极上的电压大于器件的阈值电压),它能用低导通电压传导大量的电流。最大可允许的导通电压是在其中使用该器件的应用中能持续的最大电压。

[0039] 在图5-23中示出了本文所描述的器件的实现。图5A是器件的横截面图,图5B是图5A的器件的电路原理图。参考图5A和5B,混合增强型电子器件40由III-氮化物低压增强型晶体管41和III-氮化物高压耗尽型晶体管42形成。晶体管41和42形成在共用组的三族氮化物层11和12上,使得整个混合器件40被集成到单一芯片上。如图5A所示,器件41和42都包括在共用组的III-氮化物材料层11和12中的器件沟道19。混合器件40还包括衬底10(虽然衬底是可选的),其可以是例如硅、GaN、碳化硅、AlN或蓝宝石,以及在衬底顶部上的第一III-N层11,和在第一III-N层上的第二III-N层12。III-N层11和12具有彼此不同的成分,选择的成分使得二维电子气(2DEG) 19(用虚线示出),即导电沟道,产生在第一III-N层11和第二III-N层12之间界面附近的第一III-N层11中。混合器件40进一步包括在第二III-N层12上的绝缘体层22,诸如SiN。绝缘体层22可充当III-氮化物材料层11和12的钝化层,还可充当如下文进一步描述的耗尽型晶体管42的栅极绝缘体层。

[0040] 增强型晶体管41还包括分别与2DEG 19形成欧姆接触的源极接触34和漏极接触35,和形成在栅极绝缘体37上的栅极接触38。增强型晶体管41的栅极形成如下。在III-N层

12的上沉积绝缘体层22之后,在增强型晶体管41的栅极区61中,蚀刻出穿过绝缘体层22并进入到III-N材料中的凹部。如图5A所示,该凹部可穿过2DEG沟道19延伸。可选择地,该凹部可部分地穿过III-N层12延伸,而不延伸到III-N层11中,使得该凹部不能穿过2DEG沟道19一直延伸(未示出)。该凹部要足够深,以确保增强型晶体管41的栅极区61在相对于源极接触34向栅极接触38施加0V电压时不导电,而在相对于源极接触34向栅极接触38施加足够的正电压时容易导电。虽然该凹部的侧壁被示出为基本上是垂直的,但它们可选择性地被形成成为倾斜的侧壁(未示出)。

[0041] 然后,在栅极区61中和在绝缘体层22的整个上表面的上,共形地沉积栅极绝缘体37。栅极绝缘体层37例如可包括或可由氧化铝、二氧化硅或其它宽带隙绝缘体形成。接下来,在栅极区61的凹部中,在栅极绝缘体37上共形地沉积栅极接触38。栅极接触38包括分别向源极接触34和漏极接触35延伸的延伸部分31和32。延伸部分31和32分别在增强型晶体管41的源极和漏极接入区62和63中,并且在栅极绝缘体37和绝缘体层22两者的上表面的上。延伸部分32充当增强型晶体管41的场板。在其中沉积层37和38的凹部的侧壁是倾斜的实现中,延伸部分32充当可提高器件性能的斜场板。最后,使用栅极接触38作为蚀刻掩膜蚀刻栅极绝缘体37,使得栅极绝缘体37直接留在栅极接触38的下面,但被蚀刻掉其它地方。

[0042] 现在参考混合器件40的高压耗尽型晶体管42,耗尽型晶体管42包括分别与2DEG 19形成欧姆接触的源极接触44和漏极接触45。耗尽型晶体管42还包括电极49,该电极49沉积在电极限定层33的凹部17中,该电极限定层33形成在III-N材料层11和12的上方。凹部17可穿过电极限定层33的整个厚度延伸,如图5A所示。另外,可选择地,凹部17可仅部分地穿过电极限定层33延伸(未示出)。凹部17的顶部宽度大于凹部17的底部宽度。电极49与凹部的侧壁上的延伸部分46和47共形地沉积在电极限定层33的凹部17中。因此,延伸部分的轮廓至少部分地由相应侧壁的轮廓确定。

[0043] 电极限定层33的厚度通常在0.1微米和5微米之间,诸如约为0.85微米。电极限定层33可具有基本均匀的成分。电极限定层33由绝缘体诸如氮化硅(SiN_x)形成。

[0044] 如上所述,电极49形成在凹部17中。在图5A示出的实现中,电极49共形地覆盖在凹部的整个暴露表面,虽然在一些实现中电极49仅覆盖凹部中的暴露表面的一部分(未示出),如下面进一步描述。栅极区51中的电极49的部分是器件的栅极48。电极49进一步包括:第一延伸部分47,该第一延伸部分47在漏极接入区53中在电极限定层33的一部分上;和第二延伸部分46,该部分在源极接入区52中的电极限定层33的一部分上。第一延伸部分47充当场板,在混合器件40偏置在大的漏极-源极电压的情况下处于截止状态时(即,相对于源极节点1的栅极节点2的电压低于器件的阈值电压),减少耗尽型晶体管42的峰值电场。第二延伸部分46被包括为,在器件制造期间栅电极49与凹部的错位的情况下,确保栅电极49朝向源极接触44延伸至少超过栅极区51的源极侧边缘。虽然第二延伸部分46被示出为在凹部17的源极侧侧壁上一直延伸,但在一些实施例,它可仅部分向上延伸侧壁(未示出)。使第二延伸部分46部分向上延伸侧壁可减少器件中的电容,从而提高器件的性能。

[0045] 源极接触44和漏极接触45分别在栅极48的相对侧上。耗尽型晶体管42还包括其中沉积栅极48的栅极区51,和分别在栅极区的相对侧上的源极和漏极接入区52和53。其中分别沉积源极接触44和漏极接触45的器件结构的区域56被称为器件欧姆区。源极接入区52在源极接触44和栅极48之间,漏极接入区53在漏极接触45和栅极48之间。

[0046] 耗尽型晶体管42选择性地包括在电极限定层33和绝缘体层22之间的附加介电层21。由绝缘体诸如AlN形成的附加介电层21,可充当如下面进一步描述的在形成凹部17期间的蚀刻停止层。如图5A所示,凹部17可选择性地穿过电极限定层33的整个厚度并穿过附加介电层21的整个厚度延伸。然后,栅极48可形成在绝缘体层22上,使得绝缘体层22在III-N材料和栅极48之间,使得绝缘体层22充当耗尽型晶体管42的栅极绝缘体。栅极绝缘体可有助于防止耗尽型晶体管42的栅极漏电流。还如图5A所示,附加介电层21和电极限定层33还可附加地形成在增强型晶体管41上或包括在增强型晶体管41中。

[0047] 为了使混合器件40操作为高压增强型器件,晶体管41和42被连接在图5B示出的电路配置中。也就是,耗尽型晶体管42的源极接触44电连接到增强型晶体管41的漏极接触35,耗尽型晶体管42的栅极48电连接到增强型晶体管41的源极接触34。如图5A所示,这种配置可通过引线接合36将接触35连接到接触44并通过引线接合43将接触34连接到电极49实现。可选择地,这些连接可以其它方式形成,例如通过运行从接触35到接触44以及从接触34到电极49的金属痕迹。

[0048] 在一些实现中,为了提供器件的稳定性和/或提高可靠性,载流部件39(图5A示出的,但图5B没有示出)可以连接在增强型晶体管41的源极接触34和漏极接触35之间。例如,如果该器件被用于电流在两个方向上流过该器件的应用中,例如作为桥接电路中的开关,则增强型晶体管41在反向传导模式中可能是不稳定的。在这种情况下,稳定器件可通过具有作为二极管的载流部件39实现,其中该二极管的阳极被连接到源极接触34,该二极管的阴极被连接到漏极接触35。在用相对于源极接触34施加到漏极接触45的正电压使图5A的器件在截止状态下操作时,该二极管反向偏置并阻断了增强型晶体管41的相同电压。因此,二极管不需要是高压部件。因此,混合器件40可具有是该二极管的击穿电压的至少2倍或至少3倍或至少10倍的击穿电压。

[0049] 可选择地,载流部件39可被包括为,使得增强型晶体管41的截止状态的漏电流能更好地匹配于耗尽型晶体管42的截止状态的漏电流。在这种情况下,载流部件39可以是电阻器,或者是其阳极连接到漏极接触35且其阴极连接到源极接触34的二极管。或者,载流部件39可以是并联连接、串联连接的或者并串联连接组合的晶体管和二极管的组合。

[0050] 仍参考图5A,增强型晶体管41的栅极接触38的延伸部分32和器件沟道19之间的间隔用箭头6表示,耗尽型晶体管42的栅极接触48和器件沟道19之间的间隔用箭头7表示。如图所示,箭头6所表示的间隔大于箭头7所表示的间隔。这种关系也可保持在下面所述的所有其它器件的实现中。与其中凹部17没有延伸到使得箭头6所表示的间隔小于箭头7所表示的间隔的深度的类似器件相比,发现图5A的器件的击穿电压增加了,并大大提高了器件的稳定性,特别是在器件的高电压操作期间。这个结果出乎意料。推测是,具有比延伸部分32更接近于器件沟道19的栅极48,会导致施加到混合器件40两端的总电压的更大的百分比由在延伸部分47下面的电场支持,而不是由在延伸部分32下面或附近的电场支持。不同的表述,具有比延伸部分32更接近于器件沟道19的栅极48,可使器件的峰值电场产生在延伸部分47的下面或附近而不产生在延伸部分32的下面或附近。这具有降低增强型晶体管41所支持的电压与耗尽型晶体管42所支持的电压的比例的效果。因为耗尽型晶体管42比增强型晶体管41具有支持大电压的更好的配置,这种配置,以及增强型晶体管41上的电压的相应减少,可提供更稳定的增强型晶体管41。可选择地,器件稳定性的类似改善可通过利用电极49

的部分48和2DEG 19之间的绝缘材料实现,其具有比延伸部分32和2DEG 19之间的材料的平均介电常数大的平均介电常数。具体来说,如果箭头6所表示的间隔除以直接在延伸部分32和2DEG 19之间的材料的平均介电常数大于箭头6所表示的间隔除以直接在部分48和2DEG 19之间的材料的平均介电常数,则施加到混合器件40两端的总电压的较大百分比将由在延伸部分47下面的电场支持,而不是由在延伸部分32下面或附近的电场支持,并使器件稳定性的类似改善发生。

[0051] 如本文所使用的,两个或两个以上的接触或其它术语诸如导电层或部件被说成“电连接”,如果它们通过充分导电的材料连接,以确保在每个接触或其它术语的电位意指是相同的,即意指在任何偏置条件下的任何时间都是相同的。如本文所使用的,“混合增强型电子器件或部件”是一种由高压耗尽型晶体管和低压增强型晶体管形成的电子器件或部件,其配置为,使得该部件能类似于单个高压增强型晶体管操作。也就是说,混合增强型器件或部件包括具有下列特性的至少3个节点。当第一节点(源极节点)和第二节点(栅极节点)保持相同电压时,混合增强型器件或部件可以阻断相对于源极节点施加到第三节点(漏极节点)的正高压。当相对于源极节点使栅极节点保持在充分正电压时,当相对于漏极节点向源极节点施加充分正电压时或当相对于源极节点向漏极节点施加充分正电压时,电流会从源极节点流到漏极节点或从漏极节点流到源极节点。如本文所使用的,“阻断电压”是指当将电压施加到晶体管、器件或部件上时,晶体管、器件或部件防止明显电流,诸如大于常规传导期间的工作电流的0.001倍的电流,从晶体管、器件或部件流过的能力。换句话说,当晶体管、器件或部件阻断施加到它上的电压时,流过晶体管、器件或部件的总电流不会大于常规传导期间的工作电流的0.001倍。具有大于此值的截止状态电流的器件,表现出高损耗和低效率,通常不适用于许多应用。

[0052] 如本文所使用的,“高压器件”,诸如高压开关晶体管,是一种适用于高压开关应用的电子器件。也就是,当晶体管截止时,它能阻断诸如约300V以上、约600V以上或约1200V以上的高电压,当晶体管导通时,对于使用它的应用,它具有足够低的导通电阻(R_{ON}),即当大量电流流过器件时,它受到足够低的导通损耗。高压器件,在使用它的电路中,至少能阻断等于高压电源或最大电压的电压。高压器件能够阻断300V、600V、1200V或应用所需的其它适当地阻断电压。换句话说,高压器件可以阻断在0V和至少 $V_{最大}$ 之间的所有电压,其中 $V_{最大}$ 是由电路或电源提供的最大电压, $V_{最大}$ 可以是例如300V、600V、1200V、或应用所需的其它适当的阻断电压。在一些实现中,高压器件可以阻断在0V和至少 $2*V_{最大}$ 之间的任何电压。如本文所使用的,“低压器件”,诸如低压晶体管,是一种能阻断低电压,诸如在0V和 $V_{低}$ 之间的电压(其中 $V_{低}$ 小于 $V_{最大}$),但是不能阻断高于 $V_{低}$ 的电压的电子器件。在一些实现中, $V_{低}$ 等于约 $|V_{th}|$ 、约 $2*|V_{th}|$ 、约 $3*|V_{th}|$ 或者在约 $|V_{th}|$ 和 $3*|V_{th}|$ 之间,其中 $|V_{th}|$ 是包含在其中使用低压器件的电路中的高压晶体管的阈值电压的绝对值。在其它实现中, $V_{低}$ 为约10V、约20V、约30V、约40V或者在约5V和50V之间,诸如在约10V和30V之间。在其它实现中, $V_{低}$ 低于 $0.5*V_{最大}$ 、低于 $0.3*V_{最大}$ 、低于 $0.1*V_{最大}$ 、低于 $0.05*V_{最大}$,或低于 $0.02*V_{最大}$ 。在本文所描述的实现中,连接或耦合到低压晶体管的高电压晶体管可具有是低压晶体管的击穿电压的至少3倍、至少5倍或至少10倍的击穿电压。

[0053] 与器件在直流条件下操作时相比,分散是指当器件在RF或转换条件下操作时所观察到的电流-电压(I-V)特性的差异。在III-N器件中,诸如分散的影响通常由III-N材料层

的最上层表面的电压波动引起,结果在器件操作期间表面态带电。因此,绝缘层诸如图5A中的层22,通过防止或抑制最上层III-V表面的电压波动,可充当防止或抑制分散的钝化层。在附加介电层21包括在绝缘层22和电极限定层33之间的实现中,绝缘层22、附加介电层21和电极限定层33的组合保持最上层III-N表面的有效钝化。在一些情况下,例如,当附加介电层21是AlN时,层21可能需要被制造得足够薄,诸如薄于约20nm、薄于约10nm或薄于约5nm,以确保仍然保持最上层III-N表面的有效钝化。太厚的附加介质层21,诸如大于约20nm,可能会降低层22和33的钝化效果。

[0054] 再次参考图5A,因为增强型晶体管41的漏极接触35邻近于耗尽型晶体管42的源极接触44,并使两个接触电连接,漏极接触35和源极接触44分别可被组合成单个接触55。在图6中示出了这种配置。图6中的器件50,除了晶体管41和42的漏极接触和源极接触分别合并成单个接触55以外,与图5A的器件相同(为了清晰,图5A的一些参考数字没有在图6中示出)。在图6的器件50中,当包括载流部件39时,其被连接到源极接触34和接触55,如图所示。与图5A的器件相比,图6示出的配置可以减少器件的占地空间,从而降低成本,还可以简化制造工艺。

[0055] 现在参考图5A和6,因为增强型晶体管41的源极接触34被电连接到耗尽型晶体管42的电极49(通过连接43),所以源极接触34和电极49可被组合成单个电极。图7中示出了这种配置。图7的器件60,除了电极限定层33(和可选的介电层21)形成在接触55的上方之外,与图6的器件50相同。而且,电极49被延伸为包括部分69,该部分69一直延伸到与源极接触34相接触。因此,源极接触34和电极49被提供为单个电极67。虽然在图7中没有示出如图5A和6所示的且在先前描述的载流部件39,但它仍可在接触34和55之间,载流部件的一端电连接到接触34且其另一端电连接到接触55。因为接触55在单电极67的下面,所以为了接入接触55以使载流部件可连接到它,该器件60可包括其中不包括部分69的并移除接触55上方的层(即,层33和21)的区域。增强型晶体管41的栅极38可被类似地接入。

[0056] 对于图5-7的器件,在不使用载流部件39的实现中,形成增强型晶体管41的漏极和耗尽型晶体管42的源极的接触(图5A中的接触35和44和图6-7中的接触55),在器件操作不被用作为任何功能目的。因此,这些接触可被省略。因此,分别在图5A、6和7中的器件40、50和60中,在其中III-N增强型晶体管41和III-N耗尽型晶体管42共用栅极接触38和栅极48之间的公共漂移区的情况下,III-N增强型晶体管41可没有漏极接触,III-N耗尽型晶体管42可没有源极接触。

[0057] 图8示出了III-N器件70的另一个实现的横截面图。器件70是一种单一的增强型III-N晶体管。器件70的电极77包括源极接触74和源极连接的场板79两者。类似于在图5A、6和7的实现中的耗尽型晶体管的栅电极,在形成在电极限定层33中的凹部17中,场板79是至少一部分。同样类似于图5A、6和7的实现,器件70还包括衬底10(虽然衬底是可选的),在衬底10上的包括III-N层11和12的III-氮化物材料结构,III-氮化物材料结构中的2DEG沟道19,在III-氮化物材料结构上的绝缘体层22,在绝缘体层22上的附加介电层21,以及在附加介电层21上的电极限定层33。在一些实现中,附加介电层21和绝缘体层22是可选的,且可被省略(未示出)。器件70还包括漏极接触75,以及形成在栅极绝缘体87上的栅极88。其中沉积栅极88的区域81,被称为器件的栅极区。其中沉积源极接触74和漏极接触75的区域86,被称为接触区。在源极接触区和栅极区之间的区域82,被称为源极接入区。在漏极接触区和栅极

区之间的区域83,被称为漏极接入区。

[0058] 正如先前所实现的,在形成栅极88的栅极区81中形成穿过绝缘体层22的并选择性进入到III-N材料结构中的凹部,且栅极绝缘体87和栅极88沉积在凹部中。如图8所示,穿过2DEG 19可形成包含栅极绝缘体87和栅极88的凹部。该凹部可形成在至少足够深的位置,当相对于源极接触74向栅极88施加0V电压时,栅极区81中的器件沟道使电荷耗尽,并且该器件处于截止状态,但当相对于源极接触74向栅极88施加足够的正电压时,栅极区中的器件沟道变得容易导电。

[0059] 类似于图5A的器件40所描述的情况,在图8的器件70中,与在凹部17的底部的、源极连接场板79的部分78相比,在III-N材料结构(层11和12)的上表面的上方并充当栅极连接场板的栅极88的延伸部分89可具有与2DEG沟道19的更大的间隔。可选择地,2DEG 19的部分间隔和参考图5A的器件40所描述的中间材料的平均介电常数之间的关系,也会在器件70中保持。

[0060] 这同样也适用于器件80、90、90' 和90",它们分别在图9A-9C、10A-10B、10C和10D中示出,并在下面进一步详细描述。与其中凹部17没有延伸如此深的类似器件相比,因此导致在源极连接场板中,其在任何地方比栅极连接场板更远离沟道,或者不满足其上述引用比例,发现图8的器件70的击穿电压增加了且器件的稳定性大大改善了,特别是在器件的高压操作期间。这个结果出乎意料。已经证明,在器件70中,具有比延伸部分89更接近于器件沟道19的场板79的部分78,会导致施加到器件70上的总电压的更大的百分比,由在场板79下面或附近的电场支持,而不是由在延伸部分89下面或附近的电场支持。不同地表述,具有比延伸部分89更接近于器件沟道19的场板79的部分78,可使器件的峰值电场产生在场板79的下方或附近,而不产生在延伸部分89的下方或附近。场板79下方的区域被比更好地配置以用比栅极88下方或附近的区域更小的峰值电场支持大电压。因此,这种配置可以提供更稳定的器件70。

[0061] 在图8的器件70中,源极连接场板79被示出为直接行进在栅极88上方。也就是说,场板79的部分71直接在栅极88的上方,并且其是器件的栅极区81的至少一部分。虽然部分71可跨过栅极的整个宽度而在栅极88的上方,但是这种配置可能会使栅极到源极的电容大,这可能会降低器件的性能。相反,部分71可被设计成仅在栅极宽度 $W_{\text{栅极}}$ 的一部分上在栅极的上方。

[0062] 在图9A-9C的器件80中示出了这种配置,其中图9A是器件80的平面图(顶视图),图9B是沿图9A的虚线8得到的横截面图,图9C是沿图9A的虚线9得到的横截面图。如图9A所示,部分71由多个条形成,每个条都越过栅极88并将源极接触74连接到电极79的剩余部分。然而,在每个条71之间,不包括电极77的材料。如图9C所示,电极限定层33在条71和栅极88之间,从而使条71在栅极88的上方行进,而不会使栅极88和源极接触74短接。在一些实现中,场板79直接在一半以下的栅极宽度的上方。

[0063] 对于图8和9中的各个器件70和80,如果该器件被用在其中电流在两个方向上流过器件的应用中,例如作为在桥接电路的开关,则该器件在反向传导模式中可能会变得不稳定(当漏极处于比源极更低的电压且电流流过器件时)。在这种情况下,稳定器件可通过将二极管反向并联连接到器件(未示出)来实现,其中二极管的阳极连接到源极接触74,二极管的漏极连接到漏极接触75。对于这种配置,当使得器件70或80在使栅极相对于源极偏置

低于器件阈值电压的反向传导模式下操作时,反向电流会流过二极管而不流过器件的沟道。在这种配置中,二极管的反向偏置击穿电压以及器件70或80的击穿电压,将需要大于电路高电压。

[0064] 图10A和10B示出了器件90的其它配置,其中基本上具有比器件90的反向偏置击穿电压小的反向偏置击穿电压的二极管99,被用于在反向传导期间稳定器件90。图10A是器件的横截面图,而图10B是平面图(顶视图)。图10A和10B的器件90分别类似于图8和9的器件70和80,但进一步包括接触在栅极88和漏极接触75之间的2DEG 19的电极85。二极管99的相对端被连接到电极85和电极77。如图所示,二极管99的阳极电连接到电极77,阴极电连接到电极85。还如图所示,二极管99的阳极直接电连接到电极77的源极连接场板79。可选择地,二极管99的阳极可直接电连接到源极接触74(未示出)或源极总线,该源极总线在器件(未示出)中连接到各个源极指状物。

[0065] 在图10A和10B示出的配置中,当器件90在反向传导模式时,以比源极接触74略低的电压使漏极接触75偏置并且使栅极88相对于源极接触74偏置低于器件阈值电压,电流从源极接触74流到源极连接场板79中,然后通过二极管99流到电极85中,然后通过2DEG 19从电极85流到漏极接触75。如果器件90的设计被修改为,使得二极管99的阳极直接电连接到源极接触74或源极总线,然后在反向传导模式下,电流从源极接触74或从源极总线直接流到二极管99中,而不会流到源极连接场板79中。当相对于源极接触74用漏极接触75上的大的正电压并且栅极88相对于源极接触74低于器件阈值电压,而使器件90偏置时,使得器件阻断漏极-源极电压,大部分漏极-源极电压在漏极接触75和电极85之间下降。因此,二极管99的电压远远小于总漏极-源极电压。因此,二极管99的反向偏置击穿电压可远远小于器件90的击穿电压,与将更高电压二极管连接到整个器件两端的情况相比,这可能会在切换期间导致较低的开关损耗和较低的电磁干扰(EMI)。

[0066] 图10C是器件90'的平面图,器件90'类似于图10A和10B的器件90只包括几个变更。如图10B所示,在器件90中,电极85穿过器件的整个宽度延伸。然而,在图10C的器件90'中,电极85用沿器件宽度的多个电极85'替代。所有电极85'的宽度之和小于器件90'的栅极宽度 $W_{\text{栅极}}$ 。如图10C所示,每个电极85'具有连接在电极77和电极85'之间的二极管99。可选择地,单个二极管99可被连接到电极85'中的一个电极,电极85'可全部被彼此电连接(未示出)。

[0067] 图10D是器件90''的横截面图,器件90''类似于图10A和10B的器件90但包括几个变更。如图10D所示,器件90''包括接触85'而不是包括在器件90中的二极管99和电极85。接触85'连接到场板79或是场板79的一部分,并直接接触III-N材料的上表面,形成到III-N材料的肖特基接触。因此,对于这种结构,电极77和2DEG 19之间的二极管被集成在器件内而不是被提供为外侧部件。

[0068] 如前所述,III-N层11和12具有彼此不同的成分。该成分被选择为使得第二III-N层12具有比第一III-N层11更大的带隙,这有助于形成2DEG 19。作为实例,III-N层11可以是Ga_{0.5}N,III-N层12可以是Al_{0.5}GaN或Al_{0.5}In_{0.5}GaN,然而,层12可以是n掺杂或可不包含明显浓度的掺杂杂质。在不掺杂层12的情况下,诱导的2DEG导致层11和12之间的极化场的差异。

[0069] 衬底10可以是其上可形成III-N层11和12的任何适当的衬底,例如碳化硅(SiC)、硅、蓝宝石、Ga_{0.5}N、AlN或其上可形成III-N器件的任何其它适当的衬底。在一些实现中,III-N

缓冲层(未示出)诸如AlGaIn或AlN,包括在衬底10和半导体层11之间,以使层11和12之间材料缺陷最小。

[0070] 在图11-20中示出了形成图8的器件的方法。同样的方法可用于形成图5-7、9-10和21-24示出的实现,前提是也执行为增加包括在这些实现中的附加特征的附加步骤。参考图11,例如通过金属有机化学气相沉积(MOCVD)或分子束外延(MBE),在衬底10上形成III-N材料层11和12。然后通过诸如MOCVD、等离子体增强化学气相沉积(PECVD)或低压化学气相沉积(LPCVD)的方法,沉积形成在III-N材料层11和12上的绝缘体层22。接下来,如图12所示,在器件的栅极区中形成凹部。该凹部可使用常规光刻和蚀刻技术形成,其通过蚀刻穿过绝缘体层22并选择性地蚀刻到III-N材料层中实现。在III-N材料层中,该凹部可选择性地穿过2DEG沟道19延伸。

[0071] 参考图13,然后,在凹部中并在器件的上表面上,共形地沉积栅极绝缘体层87,其例如可包括或可由氧化铝、二氧化硅、氮化硅、氧化铪和/或其它宽带隙绝缘体形成。接下来,如图14所示,分别形成源极接触74和漏极接触75。源极接触和漏极接触与在III-N材料层中引发的2DEG 19电接触。源极接触74和漏极接触75可分别以多种方法形成。例如,在层12的表面上的欧姆接触区86中(如图8所示),例如可通过蒸发、溅射或CVD,沉积金属或金属的组合,然后通过热退火使沉积的金属与下层的半导体材料形成金属合金。可选择地,可将n型掺杂剂离子注入到欧姆区86中,然后在该区域的顶部上通过蒸发、溅射或CVD沉积金属。或者可蚀刻掉欧姆接触区86中的材料,在该区域中可通过MOCVD和MBE重新生长n型材料,然后,可在该区域的顶部上沉积金属。在可选择地实现中,在蚀刻栅极区中的凹部之前,形成源极接触和漏极接触。

[0072] 接下来,如图15所示,在栅极绝缘体87上,共形地沉积栅极88,其至少部分地在器件的栅极区81中(在图8标示)。栅极88包括在凹部内的主栅极部分,以及在凹部外侧的延伸部分89,该延伸部分89在绝缘体层22的上方(也在栅极绝缘体87上),并朝着漏极接触75延伸。该延伸部分89充当栅极连接场板。参考图16,然后使用栅极金属88作为掩膜蚀刻栅极绝缘体87,从而移除除直接在栅极下方和在延伸部分89下方以外的任何地方的栅极绝缘体层87。该蚀刻可使用蚀刻栅极绝缘体层87的材料而基本上不蚀刻栅极金属88或绝缘体层22的材料的蚀刻化学成分来执行。

[0073] 接下来,如图17所示,例如通过PECVD、溅射或蒸发,在绝缘体层22上沉积附加介电层21和电极限定层33。然后如下形成凹部17。参考图18,在凹部任一侧上的电极限定层33的表面被掩膜材料诸如光致抗蚀剂(未示出)覆盖,并通过例如反应离子蚀刻RIE或电感耦合等离子体(ICP)蚀刻,蚀刻电极限定层33以形成凹部17。附加介电层21可以由基本上不会被用于蚀刻电极限定层33中的凹部的蚀刻过程蚀刻的材料形成。在这种情况下,附加介电层21起着蚀刻停止层的功能,以确保底层绝缘体层22不会被蚀刻损坏。

[0074] 参考图19,在穿过电极限定层33的整个厚度蚀刻凹部17之后,例如通过执行蚀刻附加介质层21的材料但不蚀刻电极限定层33或绝缘体层22的材料的蚀刻,然后移除邻接于凹部17的附加介电层21的部分。例如,当层33和22都是SiN_x且层21是AlN时,可在碱性中,诸如光致抗蚀剂显影剂,化学蚀刻邻近于电极限定层33中的凹部17的层21的部分。

[0075] 接下来,如图20所示,例如通过蒸发、溅射或CVD,在凹部中共形地沉积电极79。最后,形成将源极接触74连接到该场板的其余部分的、场板的部分71(如图8所示),从而产生

图8中的晶体管。可选择地,部分71可在与电极79相同的步骤中形成。

[0076] 在图21A和21B中示出了III-氮化物器件100的另一个实现,其中图21A是器件100的横截面图,图21B是连接到电感负载113的器件100的电路原理图。器件100被配置为作为半桥操作,且被操作为转换跨电感负载113的电压。器件100包括开关111和112。开关111和112,除了开关111没有它自己的漏极接触之外,都类似于图8的晶体管70。相反,开关112的源极接触104还充当开关111的漏极接触。可选择地,开关111和112可被提供为在图5-7和9-10示出的、优选开关112的源极接触和开关111的漏极接触形成单个接触的任何增强型器件,如图21A所示。

[0077] 参考图21A,III-氮化物器件100包括衬底10(虽然衬底是可选的),在衬底10上的包括III-N层11和12的III-氮化物材料结构,在III-氮化物材料结构中的2DEG沟道19,在III-氮化物材料结构上的绝缘体层22,在绝缘体层22上的附加介电层21,以及在附加介电层21上的电极限定层33。在一些实现中,附加介电层21和绝缘体层22是可选的且可以被省略(未示出)。器件100还包括第一源极接触94、第二源极接触104、漏极接触105、形成在第一栅极绝缘体97上的第一栅电极98、以及形成在第二栅极绝缘体107上的第二栅电极108。第一源极接触94和第一栅电极98分别充当开关111的源极和栅极。第二栅电极108和漏极接触105分别充当开关112的栅极和漏极。第二源极接触104充当开关111的漏极和开关112的源极,并被配置为与电感负载113电连接,如图21B所示。第一源极接触94、第二源极接触104和漏极接触105分别电接触2DEG沟道19。

[0078] 如先前的实现,开关111和112分别包括源极连接场板92和102。场板92电连接到第一源极接触94,使得场板92和第一源极接触94是电极96的一部分。场板102电连接到第二源极接触104,使得场板102和第二源极接触104是电极106的一部分。类似于图8中的晶体管70的场板79,场板92至少部分地在凹部中,该凹部形成在第一栅电极98和第二源极接触104之间的电极限定层33中,场板102至少部分地在凹部中,该凹部形成在第二栅电极108和漏极接触105之间的电极限定层33中。

[0079] 同样如先前的实现,用于开关111和112两者的栅极的栅极凹部,穿过绝缘体层22形成并在其中形成栅极98和108的栅极区中可选择性地进入到III-N材料结构中,在第一凹部中沉积栅极绝缘体层97和栅电极98,并在第二凹部中沉积栅极绝缘体107和栅电极108。如图21A所示,包含栅电极98和108的凹部可穿过2DEG沟道19形成。第一凹部可形成在至少足够深的位置,使得当相对于第一源极接触94向第一栅电极98施加0V电压时,开关111的栅极区中的器件沟道会耗尽电荷,且开关111处于截止状态,但当相对于第一源极接触94向第一栅电极98施加足够的正电压时,栅极区中的器件沟道变得容易导电。第二凹部可形成在至少足够深的位置,使得当相对于第二源极接触104向第二栅电极108施加0V电压时,开关112的栅极区中的器件沟道会耗尽电荷,且开关112处于截止状态,但当相对于第二源极接触104向第二栅电极108施加足够的正电压时,栅极区中的器件沟道变得容易导电。

[0080] 同样类似于先前描述的实现,在图21A的器件100中,栅电极98和108都可包括主栅极部分和延伸部分。主栅极部分是在凹部的底部的部分,延伸部分在凹部的外侧并从主栅极部分向漏极接触延伸。在III-N材料结构(层11和12)的上表面的上并充当栅场连接场板的栅电极98和108的延伸部分分别比源极连接场板92和102的部分93和103具有距2DEG沟道19更大的间隔。如图所示,部分93和103分别是场板92和102的一部分,它们在电极限定层33

中的各个的凹部的底部。

[0081] 虽然在图21A中没有示出,但开关111和112还可包括图10A和10B示出的附加功能。例如,每个开关111和112都可包括基本上比开关111和112的反向偏置击穿电压小的二极管。该二极管被配置为在反向传导期间稳定开关111和112。如图10A所示,开关111和/或开关112可进一步包括接触在各开关的栅电极和漏极接触之间的2DEG 19的附加电极。二极管的相对端连接到源极接触和附加电极。如图10A所示,二极管的阳极电连接到源极接触,阴极电连接到附加电极。还如图10A所示,二极管的阳极可直接电连接到源极连接场板。可选择地,二极管的阳极可直接电连接到源极接触94或104,或连接到连接多个源极指状物的源总线上。在二极管的阳极直接电连接到源极连接场板的配置中,当使漏极接触以略低于源极接触的电压偏置和使栅极相对于源极接触偏置低于器件阈值电压,使开关111或112在反向传导模式时,电流从源极接触流到源极连接场板中,然后通过二极管流到附加电极,然后通过2DEG 19从附加电极流到漏极接触。在二极管的阳极直接电连接到源极接触94或104或连接到连接多个源极指状物的源极总线的替代配置中,电流直接从源极接触流到二极管中而不是流到源极连接场板中。当相对于源极接触用漏极接触上的大的正电压使开关111或112偏置并且使栅极相对于源极接触偏置低于器件阈值电压时,使得该器件阻断漏极-源极电压,大部分漏极-源极电压在漏极接触和附加电极之间下降。因此,跨二极管的电压远远小于总漏极-源极电压。因此,二极管的反向偏置击穿电压可远远小于连接到该二极管的开关111或112的击穿电压,与连接在整个开关两端的更高电压的二极管的情况相比,这可能会在切换期间导致较低的开关损耗和较低的电磁干扰(EMI)。在一个实现中,二极管的反向偏置击穿电压小于连接到二极管的开关111或112的击穿电压的0.5倍。

[0082] 在图22中示出了III-氮化物器件120的另一个实现。器件120被配置为作为双向开关操作,有时也被称为象限开关。类似于本文所描述的其它器件,器件120包括衬底10(虽然衬底是可选的),在衬底10上的包括III-N层11和12的III-氮化物材料结构,在III-氮化物材料结构中的2DEG沟道19,在III-氮化物材料结构上的绝缘体层22,在绝缘体层22上的附加介电层21,以及在附加介电层21上的电极限定层33。在一些实现中,附加介电层21和绝缘体层22是可选的且可以被省略(未示出)。器件120还包括第一源极接触124、第二源极接触134、形成在第一栅极绝缘体127上的第一栅电极128,以及形成在第二栅极绝缘体137上的第二栅电极138。第一源极接触124和第二源极接触134各自电接触2DEG沟道19。

[0083] 如先前的实现,器件120还包括源极连接场板122和132。场板122电连接到第一源极接触124,使得场板122和第一源极接触124是电极126的一部分。场板132电连接到第二源极接触134,使得场板132和第二源极接触134是电极136的一部分。类似于图8中的晶体管70的场板79,场板122至少部分地在第一凹部中,该第一凹部在第一栅电极128和第二栅电极138之间形成在电极限定层33中,场板132至少部分地在第二凹部中,该第二凹部在第一栅电极128和第二栅电极138之间形成在电极限定层33中。

[0084] 如先前的实现,用于栅极128和138的栅极凹部穿过绝缘层22形成并在其中形成栅极128和138的栅极区中可选择性地进入到III-N材料结构中,在第一凹部中沉积栅极绝缘体层127和栅电极128,并在第二凹部中沉积栅极绝缘体137和栅电极138。如图22所示,包含栅电极128和138的凹部可穿过2DEG沟道19形成。第一栅极凹部可形成在至少足够深的位置,使得当相对于第一源极接触124向第一栅电极128施加0V电压并以高于第一源极接触

124的电压使第二源极接触134偏置时,在对应于栅极128的栅极区中的器件沟道会耗尽电荷,且双向开关处于截止状态,但当相对于第一源极接触124向第一栅电极128施加足够的正电压而仍以高于第一源极接触124的电压使第二源极接触134偏置时,在对应于栅极128的栅极区中的器件沟道变得容易导电。第二栅极凹部可形成在至少足够深的位置,使得当相对于第二源极接触134向第二栅电极138施加0V电压并以低于第一源极接触124的电压使第二源极接触134偏置时,在对应于栅极138的栅极区中的器件沟道会耗尽电荷,且双向开关处于截止状态,但当相对于第二源极接触134向第二栅电极138施加足够的正电压而仍以低于第一源极接触124的电压使第二源极接触134偏置时,在对应于栅极138的栅极区中的器件沟道变得容易导电。当栅极128偏置截止(即,低于其相对于接触124的阈值电压)且栅极138偏置截止(即,低于其相对于接触134的阈值电压)时,器件120阻断在任一极性的接触124和134之间的电压(即,当接触124的电压大于接触134的电压时且当接触134的电压大于接触124的电压时)。当栅极128偏置导通(即,高于其相对接触124的阈值电压)且栅极138偏置导通时(即,高于其相对接触134的阈值电压),该器件120可在任一方向上传导电流。

[0085] 同样类似于先前描述的实现,在图22的器件120中,栅电极128和138各自可包括主栅极部分和延伸部分。主栅极部分是在凹部的底部的部分,延伸部分在凹部的外侧并从该主栅极部分向另一栅电极延伸。在III-N材料结构(层11和12)的上表面的上方并充当栅场连接场板的栅电极128和138的延伸部分分别比源极连接场板122和132的部分123和133距2DEG沟道19的更大间隔。如图所示,部分123和133分别是场板122和132的一部分,它们在电极限定层33中的各个的凹部的底部。

[0086] 图23中的器件130也是一个双向开关且类似于图22的器件120。然而,器件130进一步包括器件120中不包括的其它功能。具体来说,双向开关130进一步包括二极管148和149,每个二极管都具有基本上比双向开关130的击穿电压更小的反向偏置击穿电压。该二极管被配置为在操作期间稳定器件130。

[0087] 如先前描述的实现,器件130可进一步包括在两个栅电极128和138之间接触2DEG 19的附加接触125和135。第一二极管148的相对端连接到第一电极126并连接到第一附加接触125,第二二极管149的相对端连接到第二电极136并连接到第二附加接触135。如图23所示,二极管148和149的阳极分别电连接到电极126和136,阴极分别电连接到附加接触125和135。如图23所示,二极管的阳极可直接电连接到源极连接场板。可选择地,二极管的阳极可直接电连接到接触124和134,或连接到连接多个源极/漏极指状物(未示出)的源极/漏极总线。在二极管的阳极直接电连接到源极连接场板的配置中,当使第一栅电极128相对于第一源极接触124偏置高于器件阈值电压时,以略高于第一源极接触的电压使第二源极接触偏置时,以及使第二栅电极138相对于第二源极接触134偏置低于其阈值电压时,电流从第二源极接触134流到源极连接场板132中,然后通过二极管149流到附加电极135中,然后通过2DEG 19从附加电极135直接流到第一源极接触124中。在二极管的阳极直接电连接到源极接触124或134或连接到连接多个源极指状物的源极总线的替代配置中,电流直接从源极接触134流到二极管中而不是流到源极连接场板132中。在任何情况下,如果将第二栅电极138上的电压然后切换为高时,则在栅电极138下面的沟道会变强,电流会通过2DEG 19直接从第二源极接触134流到第一源极接触124,而基本上没有电流流过任何一个二极管或148或149。

[0088] 当使器件130偏置处于截止状态时,例如相对于第一源极接触124向第二源极接触134施加大电压并且使第一栅极128相对于第一源极接触124偏置低于其阈值电压,在部分123和133之间区域的III-N材料中,支持/阻碍器件两端下降的总电压的大部分。仅在任何一个二极管148和149两端施加小的电压。因此,二极管的反向偏置击穿电压可远远小于双向开关的击穿电压,与使用更高电压的二极管的情况相比,这可能会在切换期间导致较低的开关损耗和较低的电磁干扰(EMI)。在一个实现中,二极管的反向偏置击穿电压小于双向开关130的击穿电压的0.3倍。注意,当使器件130在相对于第一源极接触124向第二源极接触134施加大的电压的上述状态偏置截止时,不管使第二栅电极138偏置高于还是低于阈值电压,该器件处于截止状态。

[0089] 图24中示出了III-氮化物器件140的另一个实现。分别类似于图22和23的器件120和130,器件140被配置为作为双向开关操作,有时也被称为象限开关。类似于本文所描述的其它器件,器件140包括衬底10(虽然衬底是可选的),在衬底10上的包括III-N层11和12的III-氮化物材料结构,在III-氮化物材料结构中的2DEG沟道19,在III-氮化物材料结构上的绝缘体层22,在绝缘体层22上的附加介电层21,以及在附加介电层21上的电极限定层33。在一些实现中,附加介电层21和绝缘体层22是可选的且可以被省略(未示出)。器件140还包括源极接触144、第一漏极接触155、第二漏极接触165、形成在第一栅极绝缘体167上的且在源极接触144和第一漏极接触155之间的第一栅电极168,以及形成在第二栅极绝缘体177上的且在源极接触144和第二漏极接触165之间的第二栅电极178。源极接触144、第一漏极接触155和第二漏极接触165各自电接触2DEG沟道19。

[0090] 如图24所示,器件140还包括场板142和152,场板142和152两个都连接到源极接触144并在彼此相反的方向上延伸,场板142向第一漏极接触155延伸,场板152向第二漏极接触165延伸。因此,源极接触144、场板142和场板152都被提供为单个电极146。类似于图8中的晶体管70的场板79,场板142至少部分地在第一凹部中,该第一凹部在第一栅电极168和第一漏极接触155之间形成在电极限定层33中,场板152至少部分地在第二凹部中,该第二凹部在第二栅电极178和第二漏极接触165之间形成在电极限定层33中。

[0091] 同样如先前的实现,用于栅极168和178两者的栅极凹部,穿过绝缘体层22形成并在其中形成栅极168和178的栅极区中可选择性地进入到III-N材料结构中,在第一凹部中沉积栅极绝缘体层167和栅电极168,并在第二凹部中沉积栅极绝缘体177和栅电极178。如图24所示,包含栅电极178和188的凹部可穿过2DEG沟道19形成。第一栅极凹部可形成在至少足够深的位置,使得当相对于源极接触144向第一栅电极168施加0V电压并使第一漏极接触155偏置高于第二漏极接触165时,在对应于栅极168的栅极区中的器件沟道会耗尽电荷,且双向开关处于截止状态,但当相对于源极接触144向第一栅电极168施加足够的正电压而仍以高于第二漏极接触165的电压使第一漏极接触155偏置时,在对应于栅极168的栅极区中的器件沟道变得容易导电。第二栅极凹部可形成在至少足够深的位置,使得当相对于源极接触144向第二栅电极178施加0V电压并以高于第一漏极接触155的电压使第二漏极接触165偏置时,在对应于栅极178的栅极区中的器件沟道会耗尽电荷,且双向开关处于截止状态,但当相对于源极接触144向第二栅电极178施加足够的正电压而仍以高于第一漏极接触155的电压使第二漏极接触165偏置时,在对应于栅极178的栅极区中的器件沟道变得容易导电。当栅极168偏置截止(即,低于其相对于源极接触144的阈值电压)且栅极178偏置截止

(即,低于其相对于源极接触144的阈值电压)时,器件140阻断在任一极性的漏极接触155和165之间的电压(即,当漏极接触155的电压大于漏极接触165的电压时且当漏极接触165的电压大于漏极接触155的电压时)。当栅极168偏置导通(即,高于其相对于源极接触144的阈值电压)且栅极178偏置导通时(即,高于其相对于源极接触144的阈值电压),该器件140可在任一方向上传导电流。

[0092] 同样类似于先前描述的实现,在图24的器件140中,栅电极168和178各自可包括主栅极部分和延伸部分。主栅极部分是在凹部的底部的部分,延伸部分在凹部的外侧并从该主栅极部分远离源极接触144延伸。栅电极168和178的延伸部分,在III-N材料结构(层11和12)的上表面的上方并充当栅场连接场板,其分别比源极连接场板142和152的部分143和153具有距2DEG沟道19更大的间隔。如图所示,部分143和153分别是场板142和152的一部分,它们在电极限定层33中的各个的凹部的底部。

[0093] 如图24进一步所示,双向开关140还包括二极管158和159,每个二极管都具有基本上比双向开关140的击穿电压更低的反向偏置击穿电压。该二极管被配置为在操作期间稳定器件140。

[0094] 如先前描述的实现,器件140可进一步包括接触2DEG 19的附加接触165和175。第一二极管158的相对端连接到电极146并连接到第一附加接触165,第二二极管159的相对端连接到电极146并连接到第二附加接触175。如图24所示,二极管158和159的阳极电连接到电极146,阴极分别电连接到附加接触165和175。还如图24所示,二极管的阳极可直接电连接到源极连接场板142和152。可选择地,二极管的阳极可直接电连接到源极接触144,或连接到连接多个源极指状物(未示出)的源极总线。在二极管的阳极直接电连接到源极连接场板的配置中,当使第一栅电极168相对于源极接触144偏置高于器件阈值电压时,以高于第二漏极接触165的电压使第一漏极接触155偏置时,以及使栅电极178相对于源极接触144偏置低于其阈值电压时,电流从第一漏极接触155通过2DEG 19直接流到源极接触144,然后通过源极接触144流到源极连接场板152,然后通过二极管159流到电极175中,然后通过2DEG 19从附加电极175直接流到第二漏极接触165中。在二极管的阳极直接电连接到源极接触144或连接到连接多个源极指状物的源极总线的替代配置中,电流直接从源极接触144流到二极管159中而不是流到源极连接场板152中。在任何情况下,如果将第二栅电极178上的电压然后切换为高时,则在栅电极178下面的沟道会变强,电流会通过2DEG 19直接从第一漏极接触155流到第二漏极接触165,而基本上没有电流流过任何一个二极管或158或159。

[0095] 当使器件140偏置处于截止状态时,例如相对于第二漏极接触165向第一漏极接触155施加大电压并使第一栅极168相对于源极接触144偏置低于其阈值电压,在第一漏极接触155和场板142的部分143之间区域的III-N材料中,支持/阻碍器件140两端下降的总电压的大部分。仅在任何一个二极管158和159两端施加小的电压。因此,二极管的反向偏置击穿电压可远远小于双向开关的击穿电压,与使用更高电压的二极管的情况相比,这可能会在切换期间导致较低的开关损耗和较低的电磁干扰(EMI)。在一个实现中,二极管的反向偏置击穿电压小于双向开关130的击穿电压的0.3倍。注意,当使器件140处于相对于第二接触165向第一漏极接触155施加大的电压并使第一栅极168相对于源极接触144偏置低于其阈值电压的上述状态偏置截止时,不管是使第二栅电极178偏置高于或低于阈值电压,该器件处于截止状态。

[0096] 虽然图22和23的双向开关120和130分别包括2个电源电极(124和134)和2个栅电极(128和138),但图24示出的双向开关140包括2个电源电极(155和165)、2个栅电极(168和178)和一个附加源电极144。虽然与图22和图23示出的配置相比,这种配置可能会更复杂且需要较大的占用空间,但是图24的配置可导致在许多应用中增加器件的稳定性。

[0097] 已描述了若干实现。然而,应该理解,在不偏离本文所描述的技术和器件的精神和范围内,可以进行各种变更。可单独使用或组合使用在每个实现中所示出的特征。因此,其它的实现在下列权利要求的范围内。

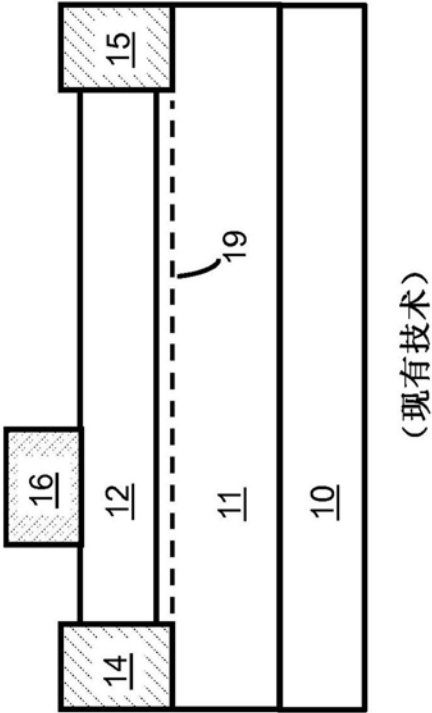


图1

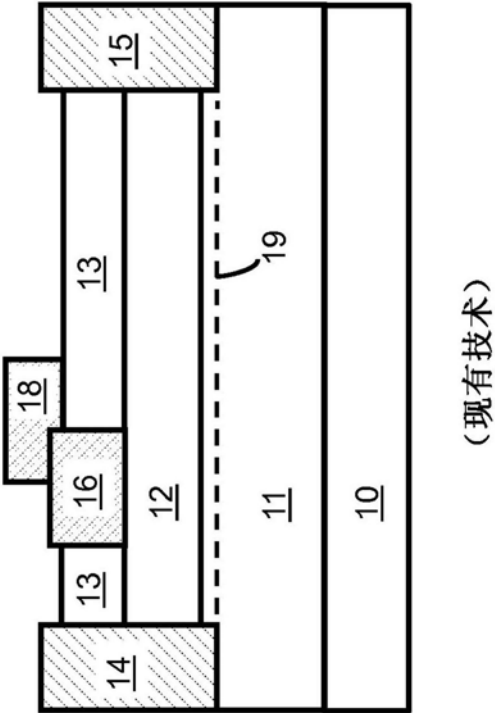


图2

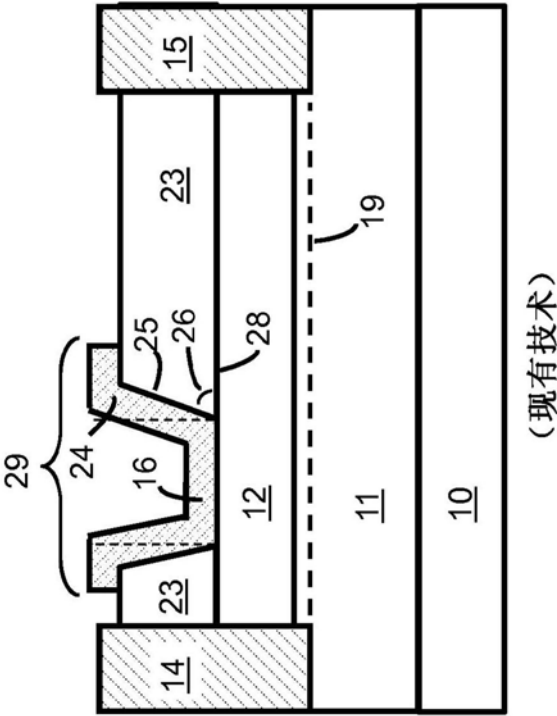


图3

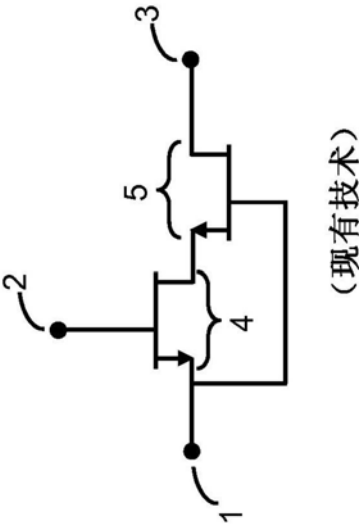


图4

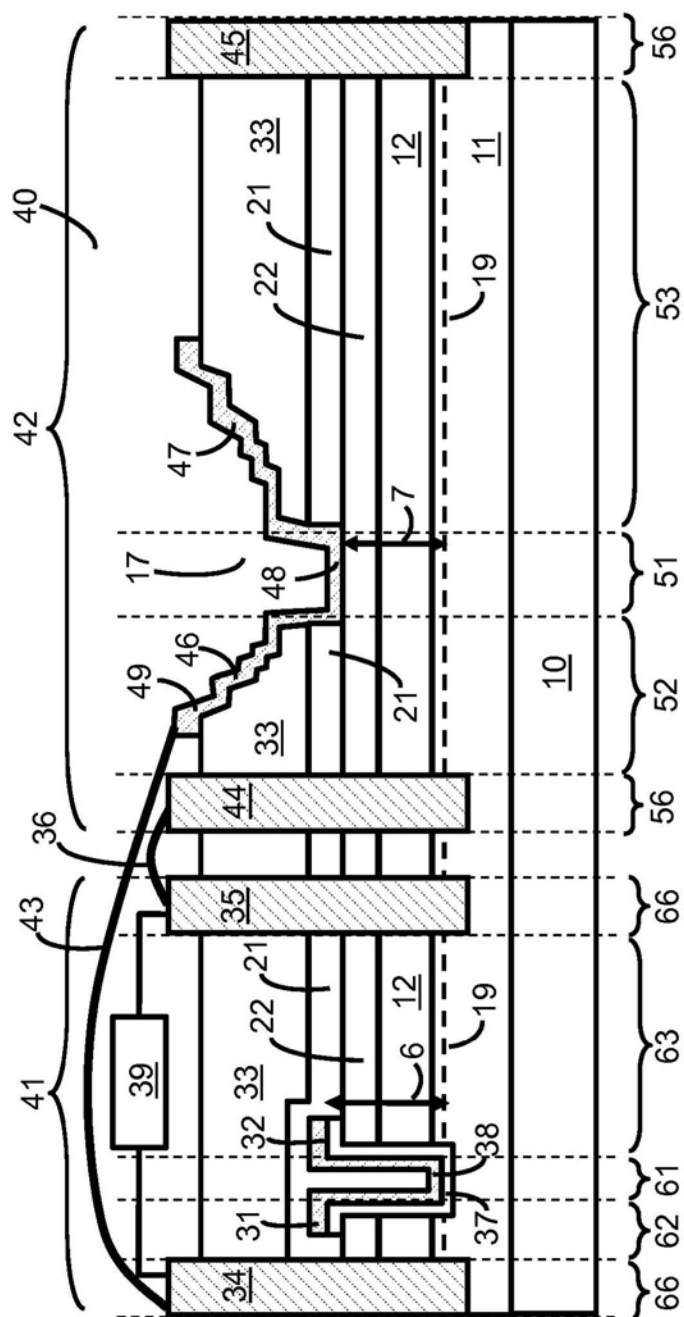


图5A

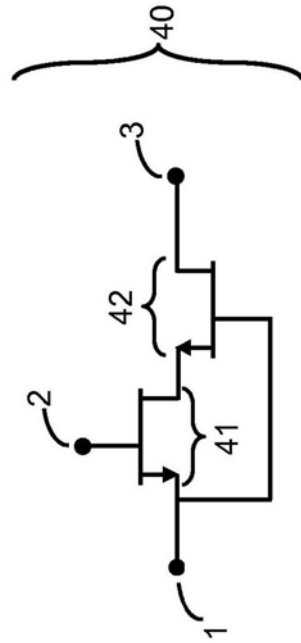


图5B

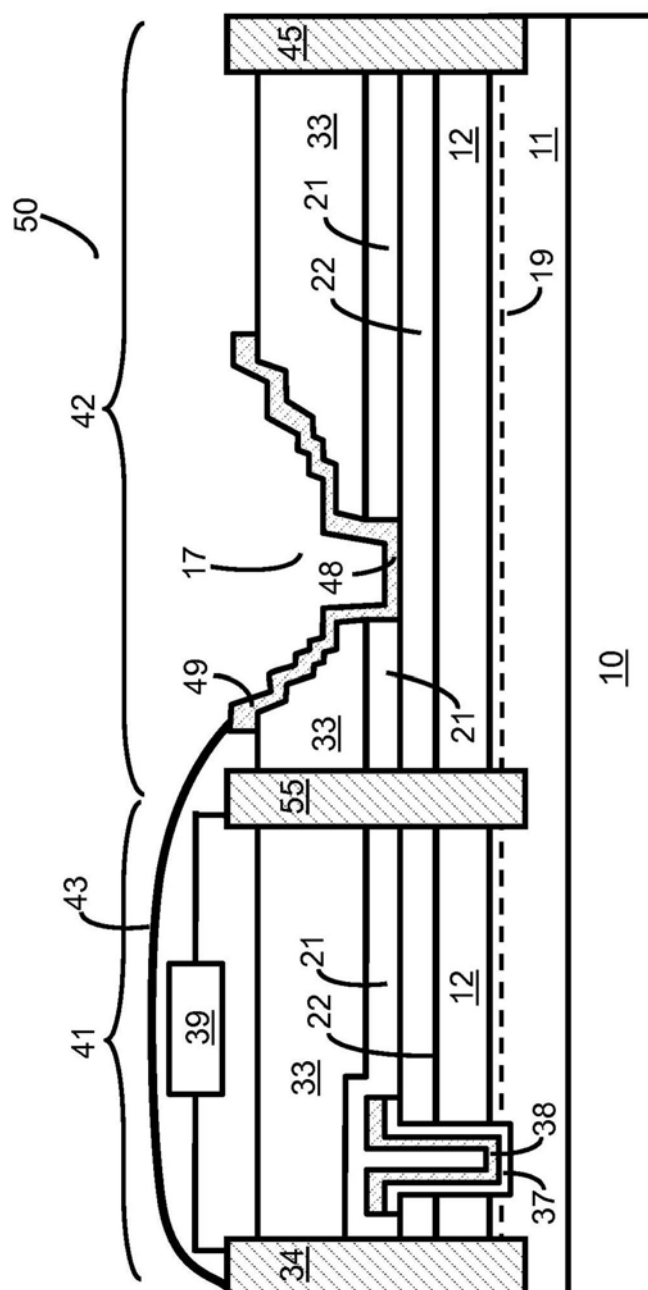


图6

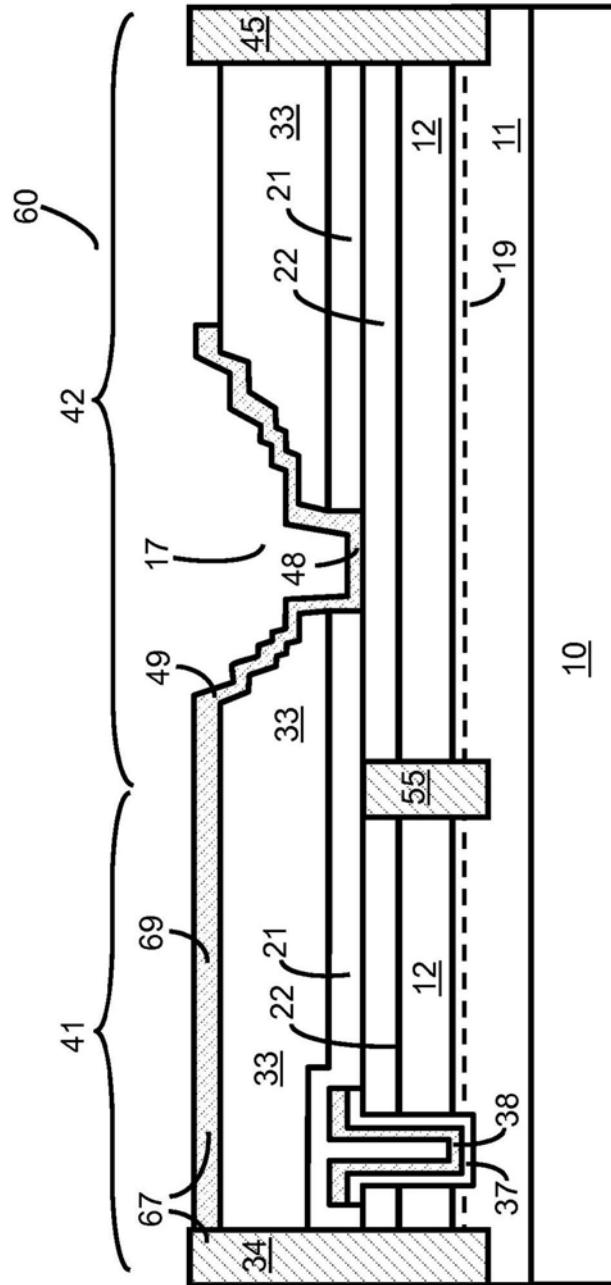


图7

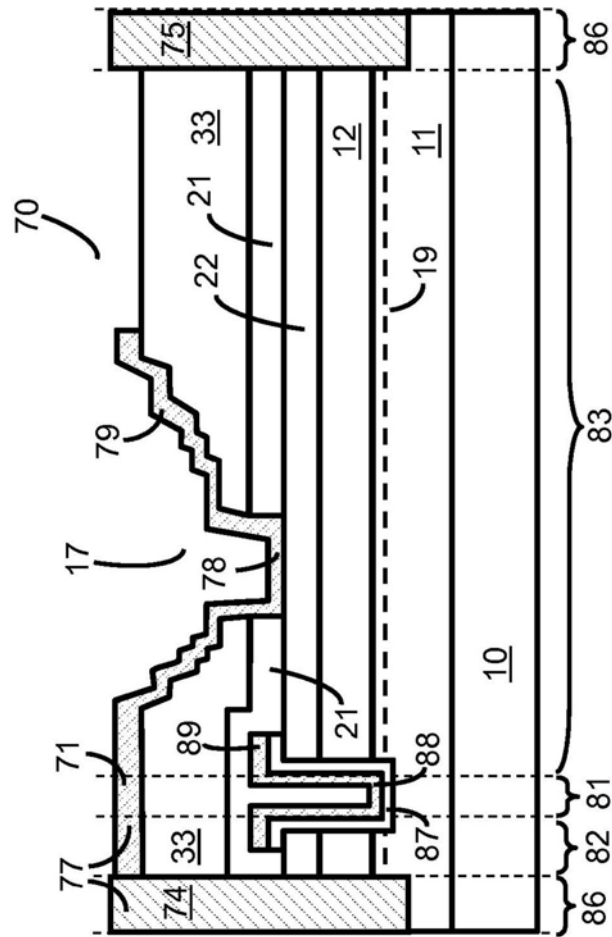


图8

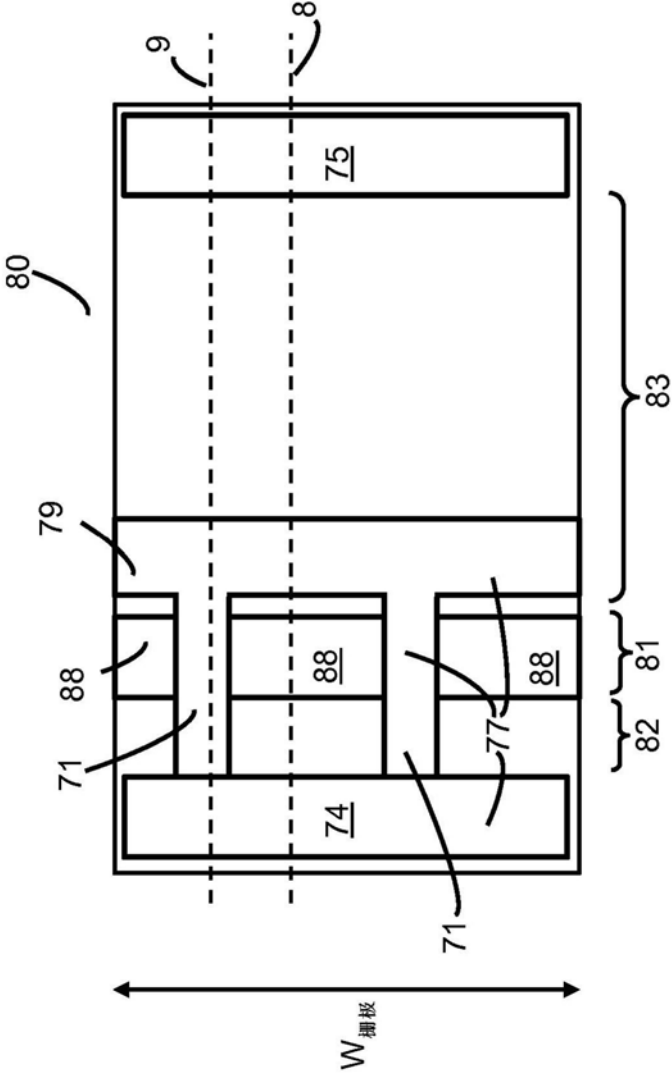


图9A

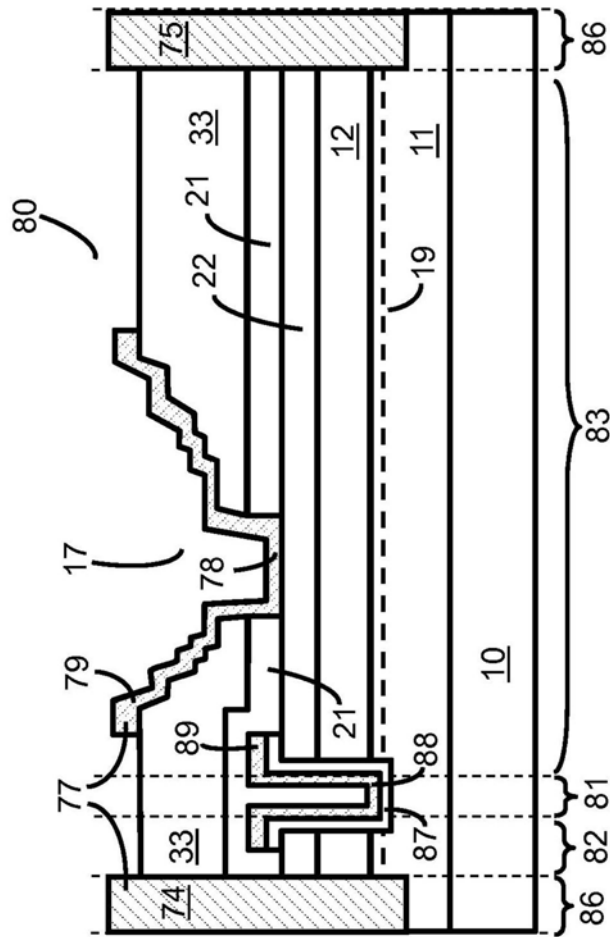


图9B

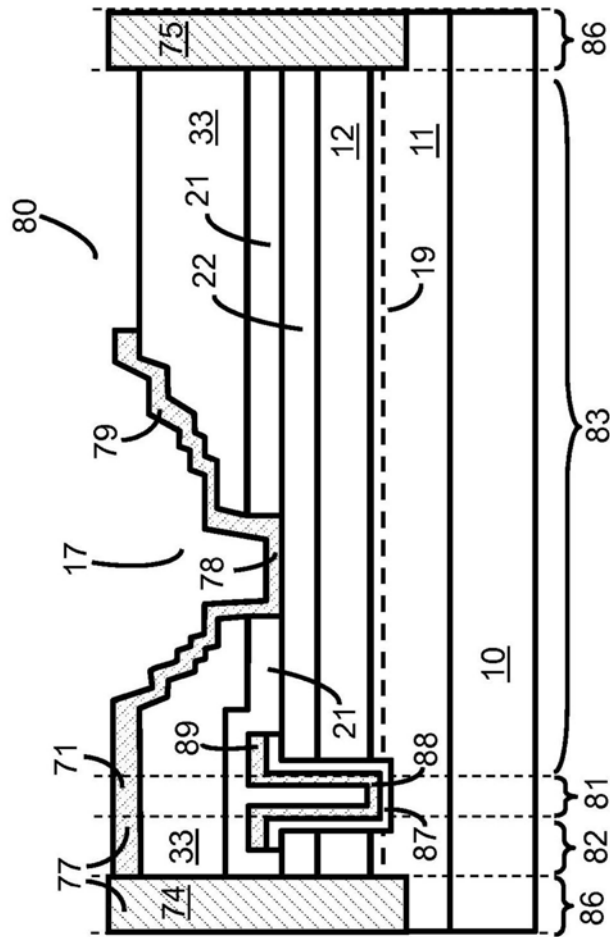


图9C

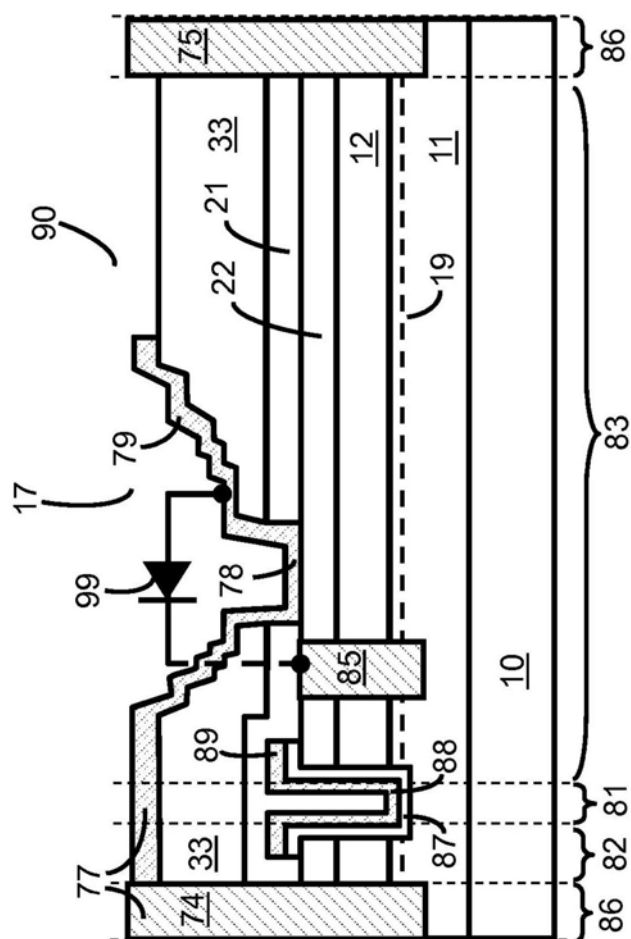


图10A

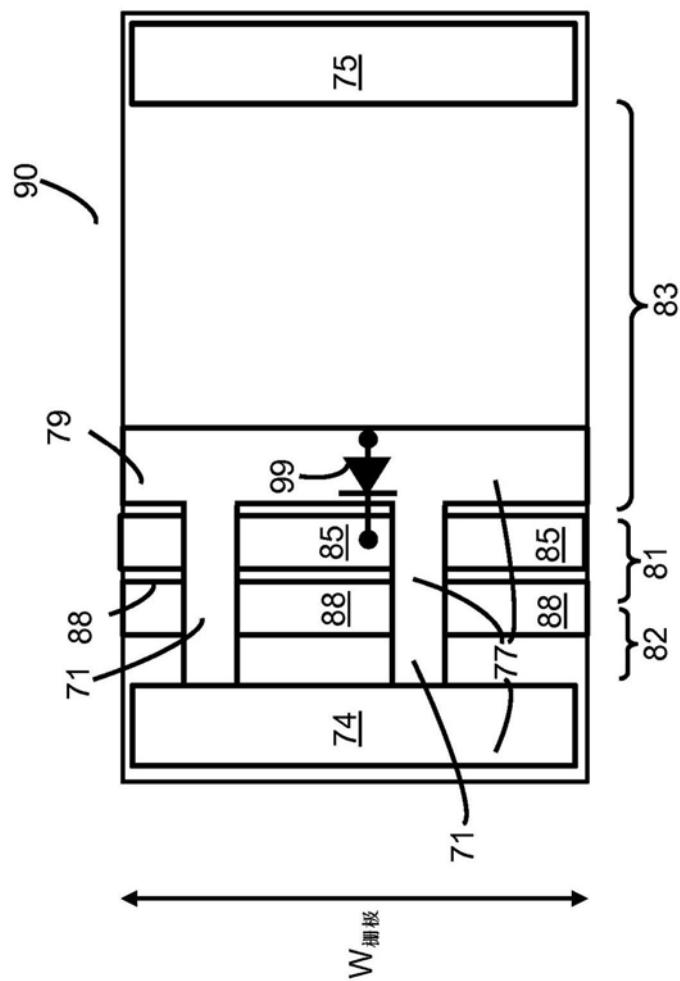


图10B

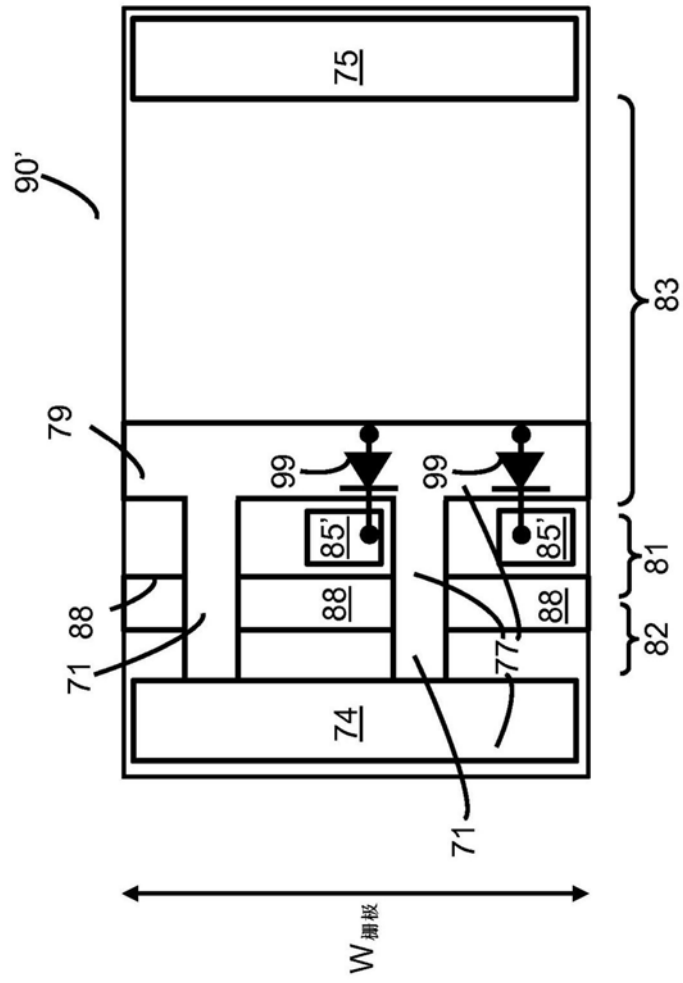


图10C

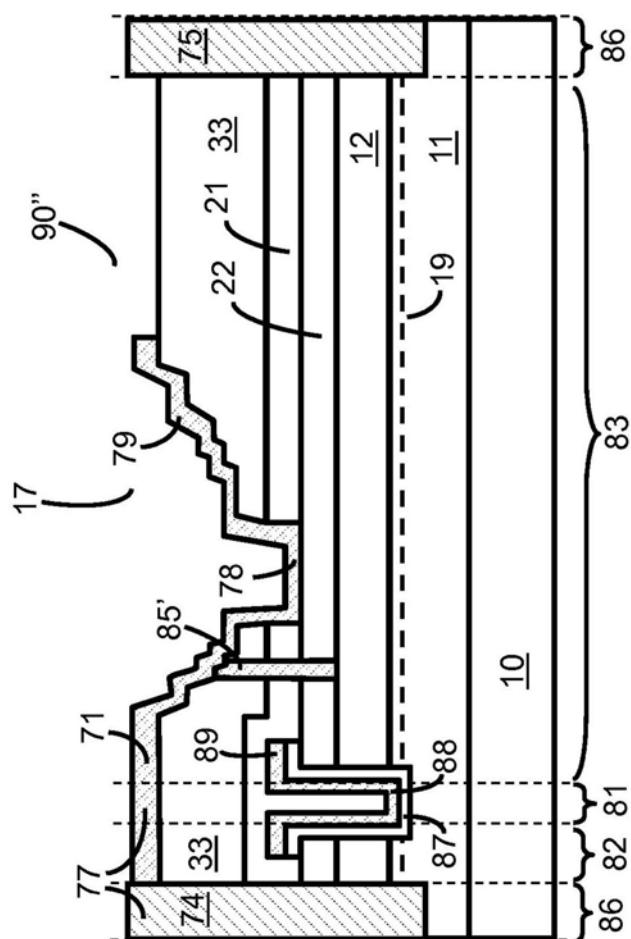


图10D

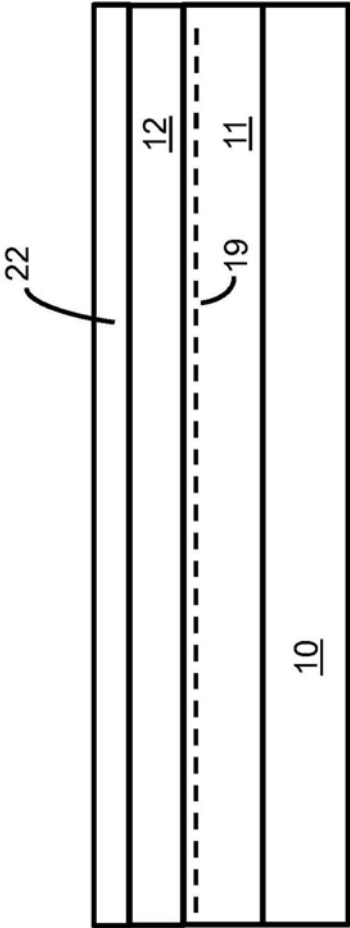


图11

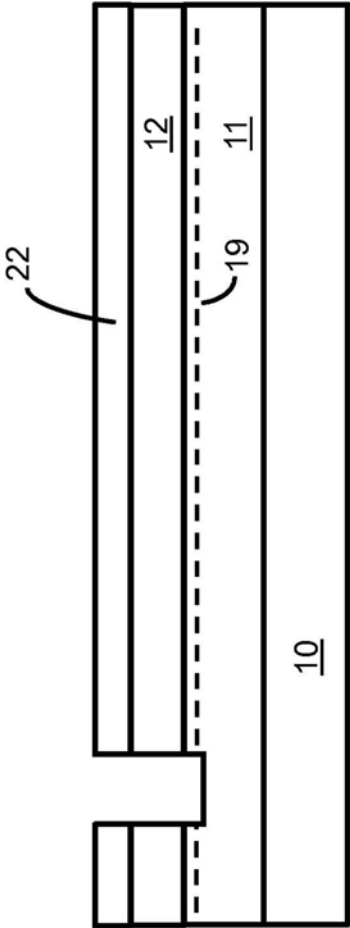


图12

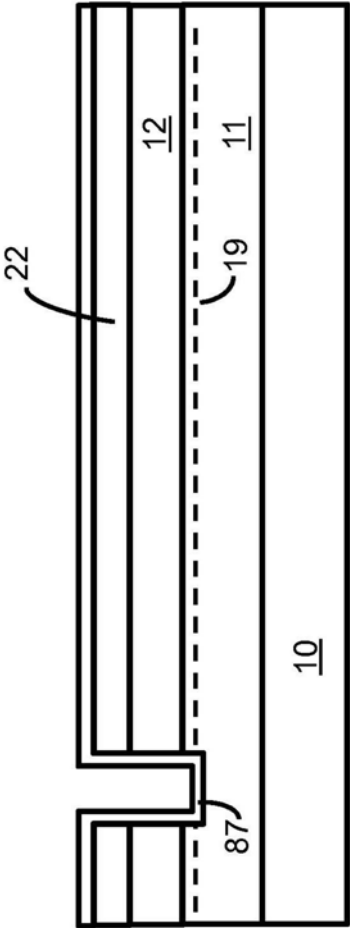


图13

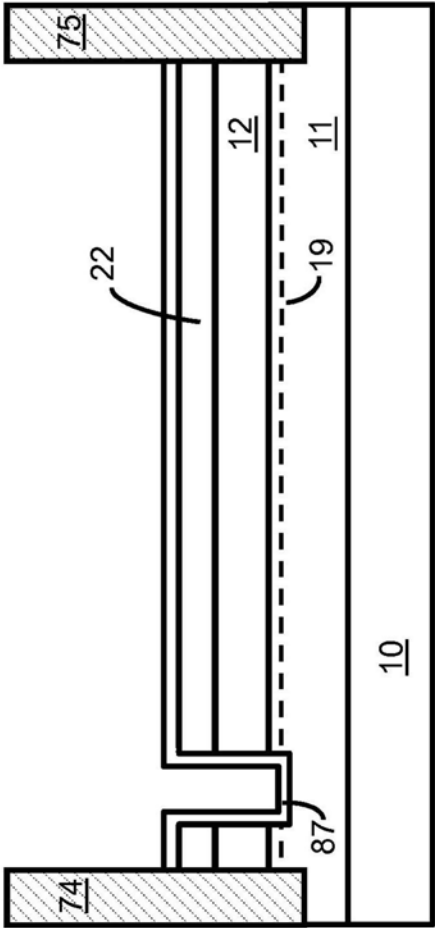


图14

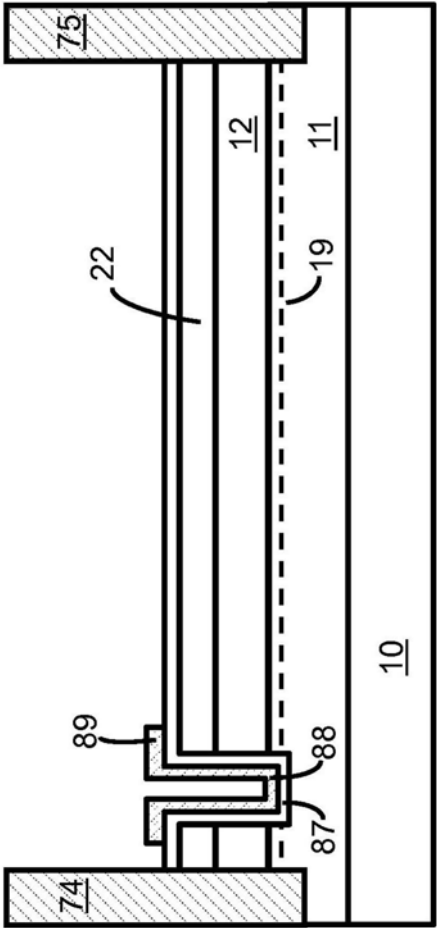


图15

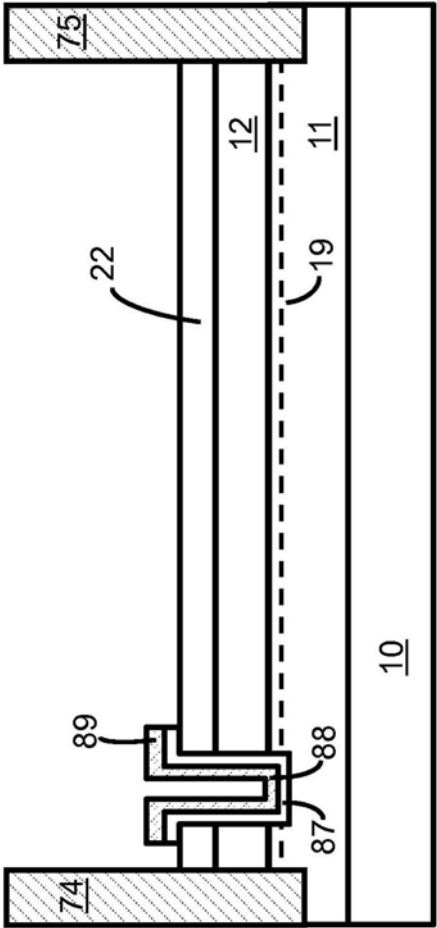


图16

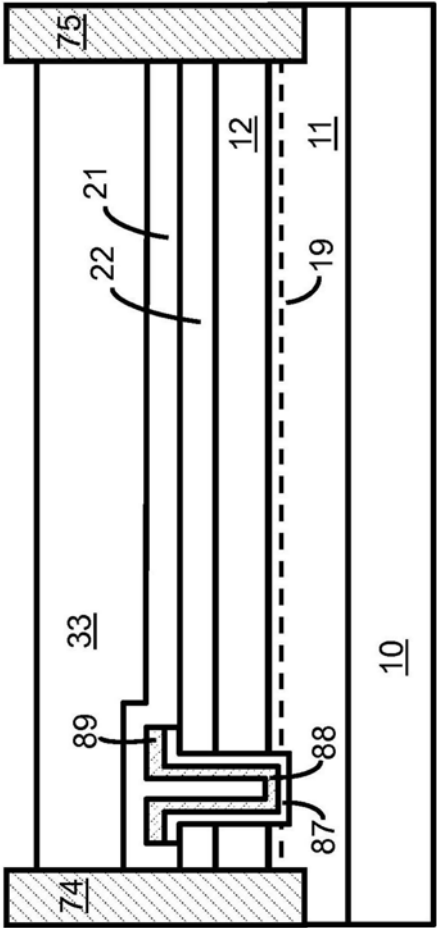


图17

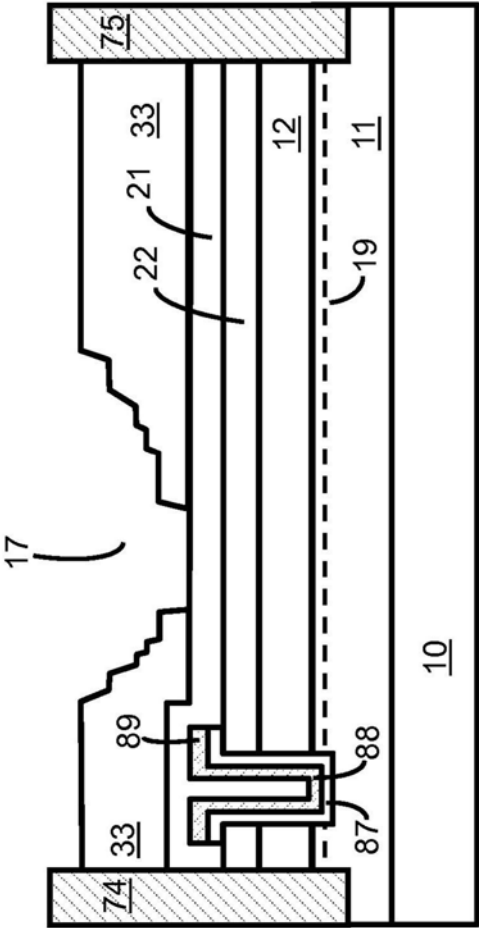


图18

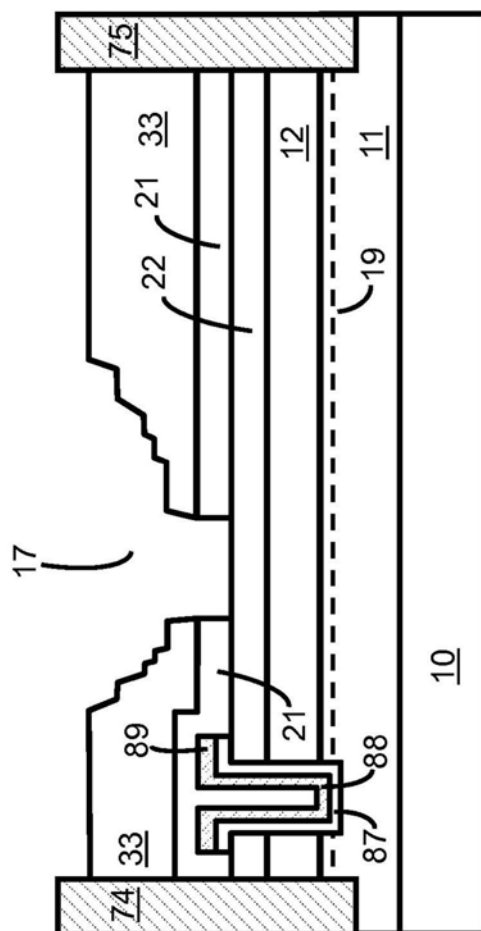


图19

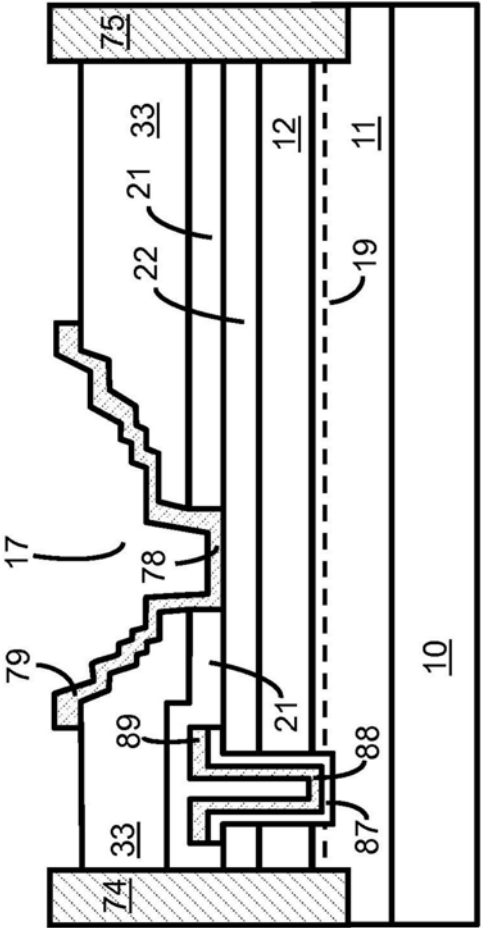


图20

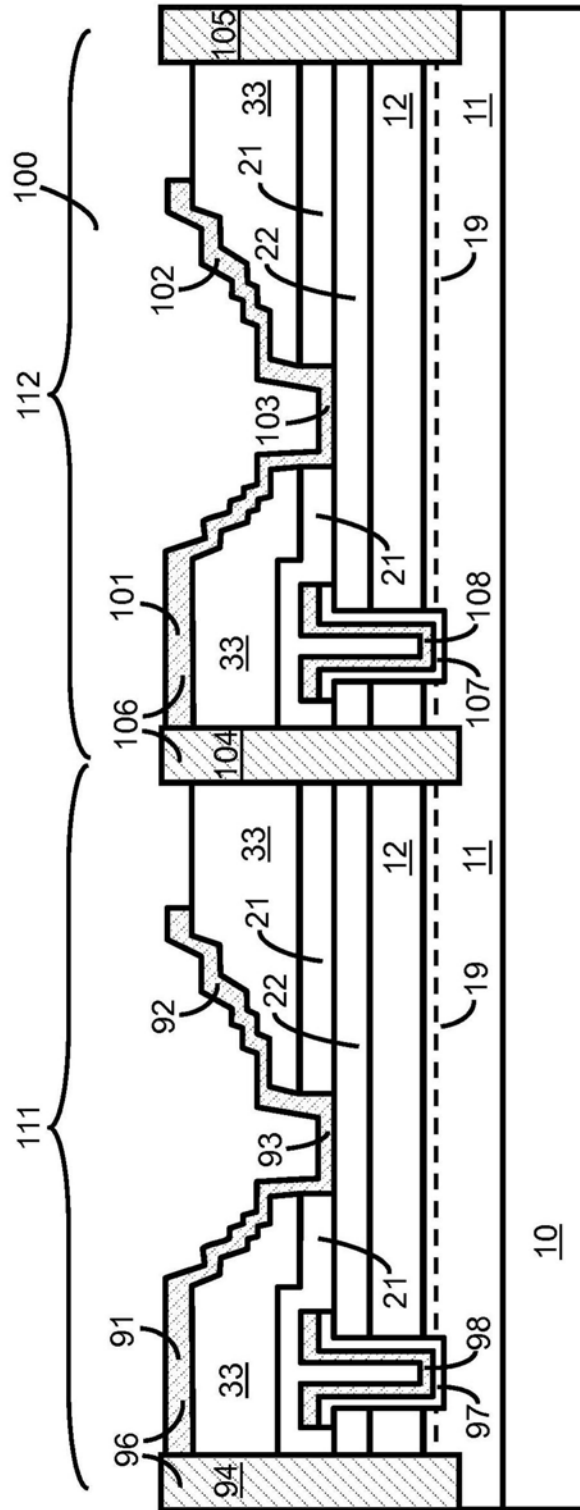


图21A

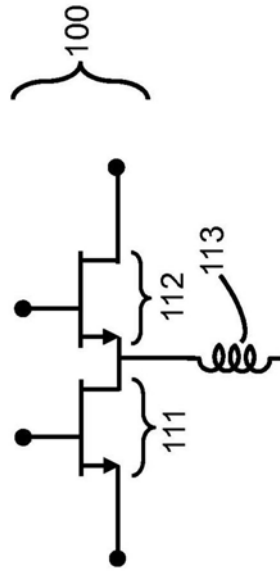


图21B

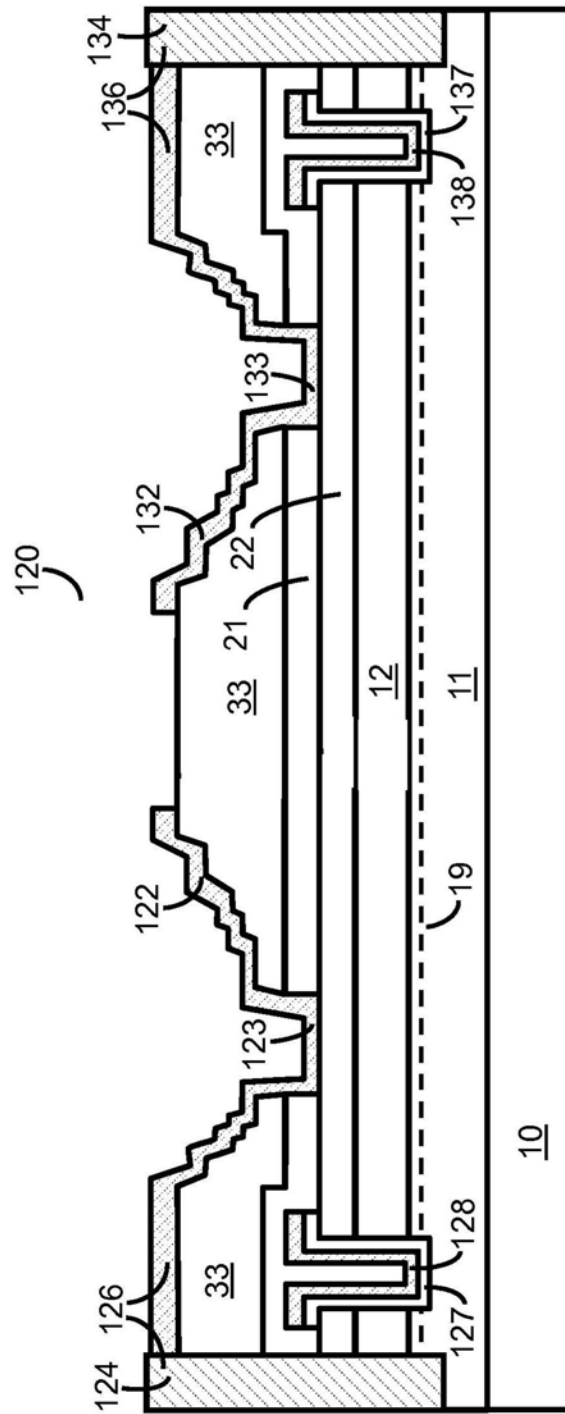


图22

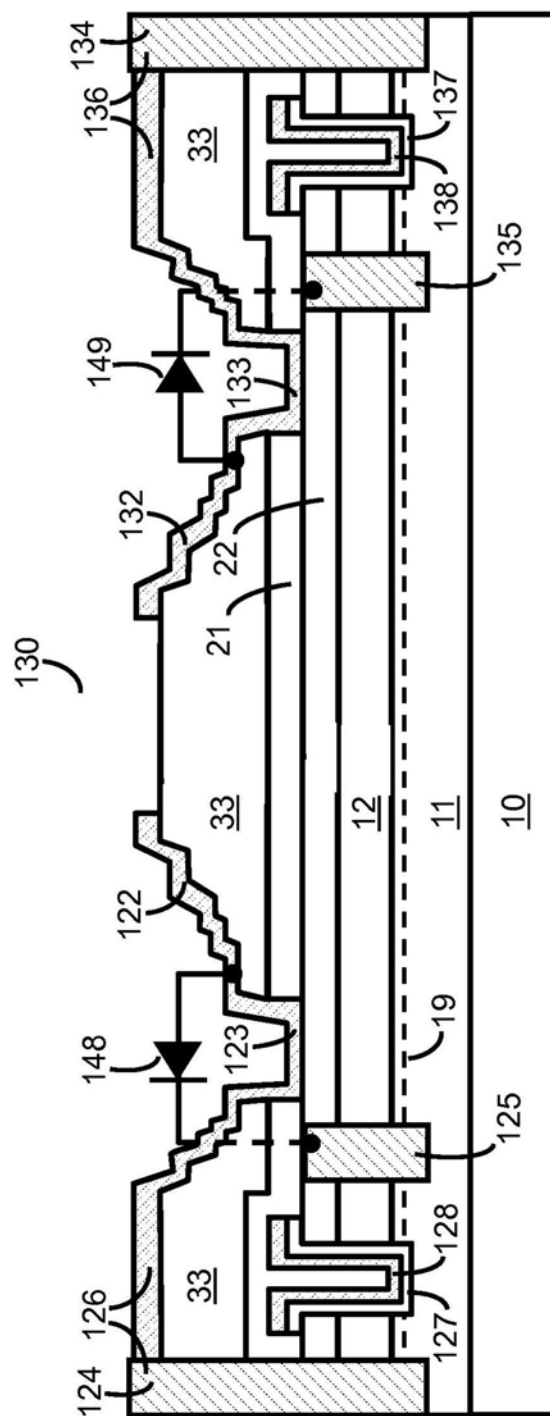


图23

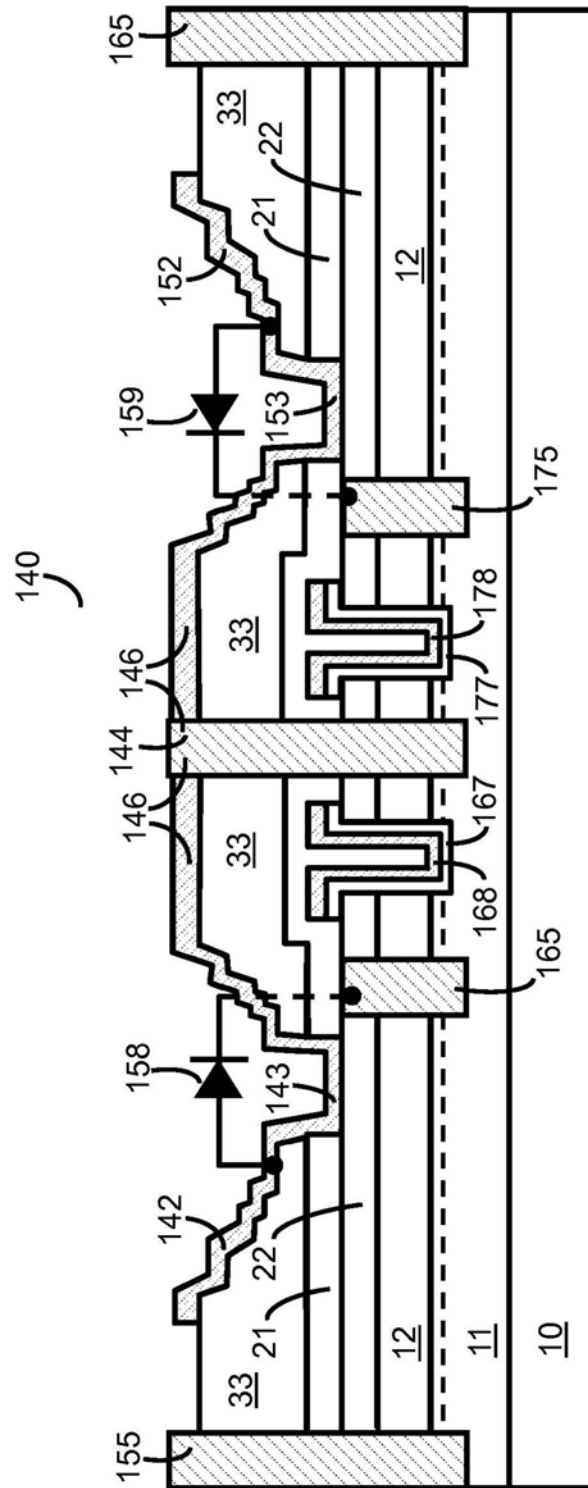


图24