



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I451228 B

(45)公告日：中華民國 103 (2014) 年 09 月 01 日

(21)申請案號：101100874

(22)申請日：中華民國 101 (2012) 年 01 月 09 日

(51)Int. Cl. : G06F1/04 (2006.01)

(30)優先權：2011/12/05 美國 13/311,354

(71)申請人：擎泰科技股份有限公司(中華民國) SKYMEDI CORPORATION (TW)
新竹市力行一路 10 之 1 號 6 樓

(72)發明人：吳青正 WU, CHING CHENG (TW)；莊志禹 CHUANG, CHIH YU (TW)

(74)代理人：陳達仁

(56)參考文獻：

TW 201019072A CN 101051837B

US 6297705B1 US 7453958B2

US 2010/0214030A1

審查人員：馮耀嘉

申請專利範圍項數：17 項 圖式數：9 共 22 頁

(54)名稱

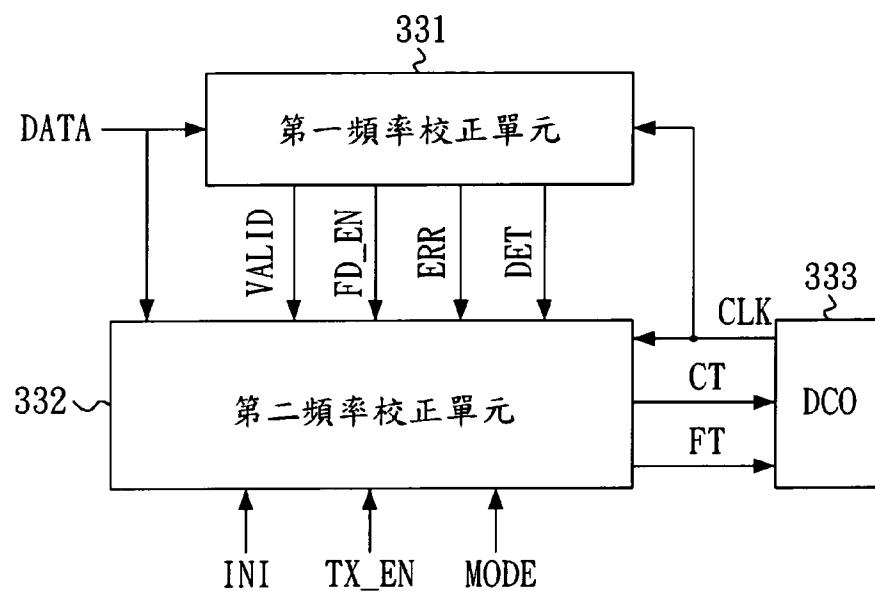
時脈產生器及產生時脈信號的方法

CLOCK GENERATOR AND A METHOD OF GENERATING A CLOCK SIGNAL

(57)摘要

一種時脈產生器及產生時脈信號的方法。數位控制振盪器(DCO)產生時脈信號。第一頻率校正單元萃取週期信號並決定萃取週期信號與導出時脈信號之間的頻率誤差量。當頻率誤差量的絕對值大於第一預設臨界值時，第二頻率校正單元產生粗調諧信號，且當頻率誤差量的絕對值小於第二預設臨界值時，第二頻率校正單元產生細調諧信號。

The present invention is directed to a clock generator and a method of generating a clock signal. A digital control oscillator (DCO) generates a clock signal. A first frequency calibration unit extracts a periodic signal and determines a frequency error quantity between the extracted periodic signal and a derived clock signal. A second frequency calibration unit generates a coarse tuning signal when an absolute value of the frequency error quantity is greater than a first predetermined threshold, and generates a fine tuning signal when the absolute value of the frequency error quantity is less than a second predetermined threshold.

33

- 33 ··· 時脈產生器
 331 ··· 第一頻率校正單元
 332 ··· 第二頻率校正單元
 333 ··· 數位控制振盪器(DCO)
 DATA ··· 接收信號
 VALID ··· 有效信號
 CLK ··· 時脈信號
 ERR ··· 頻率誤差信號
 CT ··· 粗調諧信號
 FT ··· 細調諧信號
 DET ··· 週期信號
 偵測信號
 FD_EN ··· 頻率偵測器致能信號
 INI ··· 初始 DCO 值
 MODE ··· 速度模式信號
 TX_EN ··· 傳輸致能信號

第三圖



申請日：101.1.9.

IPC分類：G06F 1/04(2006.01)

【發明摘要】

【中文發明名稱】 時脈產生器及產生時脈信號的方法

公告本

【英文發明名稱】 CLOCK GENERATOR AND A METHOD OF
GENERATING A CLOCK SIGNAL

【中文】一種時脈產生器及產生時脈信號的方法。數位控制振盪器（DCO）產生時脈信號。第一頻率校正單元萃取週期信號並決定萃取週期信號與導出時脈信號之間的頻率誤差量。當頻率誤差量的絕對值大於第一預設臨界值時，第二頻率校正單元產生粗調諧信號，且當頻率誤差量的絕對值小於第二預設臨界值時，第二頻率校正單元產生細調諧信號。

【英文】The present invention is directed to a clock generator and a method of generating a clock signal. A digital control oscillator (DCO) generates a clock signal. A first frequency calibration unit extracts a periodic signal and determines a frequency error quantity between the extracted periodic signal and a derived clock signal. A second frequency calibration unit generates a coarse tuning signal when an absolute value of the frequency error quantity is greater than a first predetermined threshold, and generates a fine tuning signal when the absolute value of the frequency error quantity is less than a second predetermined threshold.

【指定代表圖】 第三圖

【代表圖之符號簡單說明】

33 時脈產生器

331 第一頻率校正單元

332	第二頻率校正單元
333	數位控制振盪器 (DCO)
DATA	接收信號
VALID	有效信號
CLK	時脈信號
ERR	頻率誤差信號
CT	粗調諧信號
FT	細調諧信號
DET	週期信號偵測信號
FD_EN	頻率偵測器致能信號
INI	初始DCO值
MODE	速度模式信號
TX_EN	傳輸致能信號

【發明說明書】

【中文發明名稱】 時脈產生器及產生時脈信號的方法

【英文發明名稱】 CLOCK GENERATOR AND A METHOD OF
GENERATING A CLOCK SIGNAL

【技術領域】

【0001】 本發明係有關一種通訊系統，特別是關於一種適用於通訊系統的時脈產生器及產生時脈信號的方法。

【先前技術】

【0002】 對於串化（serializer, Ser）/解串化（deserializer, Des）介面架構的通訊系統，一般係使用串化/解串化（Ser/Des）鏈結或串列匯流排來連接主機與電子裝置，例如通用串列匯流排（USB）、串列進階技術附加裝置（SATA）或週邊元件互連擴展（PCI-E）等串列匯流排。第一圖顯示傳統通訊系統的方塊圖，其包含主機11及電子裝置12。此外，通信系統還包含合成器13（例如鎖相迴路（PLL）或展頻時脈產生器（SSCG）），用以提供時脈給電子裝置12的發射器/接收器（Tx/Rx）。合成器13或主機11需使用諧振器（resonator）14（例如石英晶體、電感電容共振腔（LC tank）或電阻電容振盪器（RC bank）），以提供穩定且準確的時脈源。然而，諧振器14通常體積龐大或/且消耗大量功率，因此一些高度整合系統（例如隨身蝶（pen drive））無法提供足夠空間或功率。雖然有人提出基於板上晶片（COB）技術的嵌入式振盪器，然而其成本的增加遠大於所得到的好處。

【0003】 因此亟需提出一種產生時脈信號的新穎機制及方法，用以較佳化面積與功率消耗的成本效益。

【發明內容】

【0004】鑑於上述，本發明實施例提出一種適用於通訊系統之電子裝置的時脈產生器及產生時脈信號的方法。本實施例可較佳化時脈產生器的面積與功率消耗，並提供不同調諧範圍之有效率且經濟的頻率校正機制。

【0005】根據本發明實施例，數位控制振盪器（DCO）用以產生一時脈信號。第一頻率校正單元用以決定一接收信號的有效性，並偵測且萃取該接收信號所內含的一週期信號。當接收信號為有效時，第一頻率校正單元決定萃取週期信號與時脈信號所導出之一導出時脈信號之間的頻率誤差量。當頻率誤差量的絕對值大於第一預設臨界值時，第二頻率校正單元根據頻率誤差量以產生一粗調諧信號至數位控制振盪器。當頻率誤差量的絕對值小於第二預設臨界值時，第二頻率校正單元根據頻率誤差量以產生一細調諧信號至數位控制振盪器，其中第二預設臨界值小於第一預設臨界值。

【圖式簡單說明】

第一圖顯示傳統通訊系統的方塊圖。

第二圖顯示本發明實施例之通訊系統的方塊圖。

第三圖顯示第二圖之時脈產生器的細部方塊圖。

第四圖顯示第三圖之第一頻率校正單元的細部方塊圖。

第五圖顯示第三圖之第二頻率校正單元的細部方塊圖。

第六圖顯示第三圖之數位控制振盪器的細部方塊圖。

第七A圖顯示本發明實施例之產生時脈信號的方法的流程圖。

第七B圖例示本實施例處於高速模式的相關信號波形。

第七C圖例示本實施例處於全速模式的相關信號波形。

【實施方式】

【0006】第二圖顯示本發明實施例之通訊系統的方塊圖，其主機1（例如電腦）藉由串列匯流排5連接於電子裝置3（例如快閃記憶裝置）。所示通訊系統的主機1或/且電子裝置（簡稱裝置）3可使用串化/解串化（Ser/Des）介面架構。本實施例的串列匯流排5係以通用串列匯流排（USB）為例，特別是USB 2.0。然而，其他的串列匯流排標準也可適用，例如串列進階技術附加裝置（SATA）或週邊元件互連擴展（PCI-E）。

【0007】主機1使用諧振器2（例如石英晶體）以提供時脈信號。裝置3主要包含發射器（Tx）311及接收器（Rx）312，合稱為收發器31。值得注意的是，本實施例的收發器31並未使用諧振器（例如石英晶體）以提供時脈信號給收發器31，而是使用時脈產生器33，因而得以降低體積與成本並維持頻率精確度。

【0008】第三圖顯示第二圖之時脈產生器33的細部方塊圖。在本實施例中，時脈產生器33包含第一頻率校正單元331、第二頻率校正單元332及數位控制振盪器（DCO）333。一般來說，第一頻率校正單元331決定來自主機1之接收信號DATA的有效性。有效的接收信號DATA以有效信號VALID來表示，該有效信號VALID也饋至第二頻率校正單元332。第一頻率校正單元331偵測並萃取一週期信號，例如起始框（SOF）信號，其內含於接收信號DATA。接著，當接收信號DATA為有效時，第一頻率校正單元331決定萃取週期信號與數位控制振盪器（DCO）333所產生之時脈信號CLK（或其導出、相除信號）之間的頻率誤差量。頻率誤差量由頻率誤差信號ERR表示，其被饋至第二頻率校正單元332。當頻率誤差量的絕對值大於第一預設臨界值（例如3000 ppm）時，第二頻率校正單元332根據頻率誤差量以產生粗調諧信號CT，其控制數位控制振盪

器333以初步（或粗步）降低頻率誤差量。對於USB 2.0的一些操作速度模式（例如高速模式），當頻率誤差量的絕對值小於第二預設臨界值時（例如1000 ppm）（其小於第一預設臨界值），第二頻率校正單元332根據頻率誤差量（亦即，頻率誤差信號ERR），以及根據時脈信號CLK與接收信號DATA的比較，以產生細調諧信號FT，其控制數位控制振盪器333以進一步（或細部）降低頻率誤差量。

【0009】本實施例的數位控制振盪器333受到第二頻率校正單元332的數位式控制，亦即，受控於數位控制信號，例如粗調諧信號CT及細調諧信號FT。本實施例的數位控制振盪器333可免除龐大的諧振器（例如石英晶體、電感電容共振腔（LC tank）或電阻電容振盪器（RC bank））。再者，於時脈產生器33操作時，粗調諧信號CT或/且細調諧信號FT的值也可記錄下來，例如記錄於暫存器，其可位於時脈產生器33之內或之外。於系統中斷時，所記錄的粗/細調諧信號CT/FT仍可予以應用。於電源關閉或系統重新啟動時，所記錄的粗/細調諧信號CT/FT則會抹除。

【0010】第四圖顯示第三圖之第一頻率校正單元331的細部方塊圖。在本實施例中，第一頻率校正單元331包含信號有效偵測器3311、週期信號偵測器3312、頻率誤差計算單元3313及頻率除法器3314。其中，信號有效偵測器3311根據接收信號DATA以決定接收信號DATA的有效性。接收信號DATA之有效性係以有效信號VALID來表示。週期信號偵測器3312偵測週期信號（例如起始框信號（SOF））是否存在；如果存在，則輸出萃取週期信號PERIOD。頻率誤差計算單元3313受到主動之有效信號VALID的致能後，藉由比較萃取週期信號PERIOD與導出（或相除）時脈信號D_CLK，以決定頻率誤差量。導出時脈信號D_CLK係由時脈信號CLK經頻率除法器3314所導出，使得導出時脈信號D_CLK的頻率可相當於萃取週期信號PERIOD的頻率。如果時脈信號CLK的頻

率已經相當於萃取週期信號PERIOD的頻率，則可以省略頻率除法器3314。所決定的頻率誤差量係由頻率誤差信號ERR來表示。再者，本實施例的頻率誤差計算單元3313產生週期信號偵測信號DET，每當週期信號被辨識出來時，即觸發週期信號偵測信號DET。主動的週期信號偵測信號DET被用來啟動數位控制振盪器333的粗調諧階段。頻率誤差計算單元3313還產生頻率偵測器致能信號FD_EN，當頻率誤差量的絕對值小於第二預設臨界值時，頻率偵測器致能信號FD_EN即變為主動。主動的頻率偵測器致能信號FD_EN被用來啟動數位控制振盪器333的細調諧階段。

【0011】第五圖顯示第三圖之第二頻率校正單元332的細部方塊圖。在本實施例中，第二頻率校正單元332包含頻率偵測器3321、數位低通濾波器3322及DCO控制器3323。其中，當受到主動之有效信號VALID及頻率偵測器致能信號FD_EN的致能後，頻率偵測器3321即比較時脈信號CLK及接收信號DATA的頻率。藉此，頻率偵測器3321產生上/下信號UP/DOWN。例如，如果時脈信號的頻率低於接收信號DATA時，即產生上信號；如果時脈信號的頻率高於接收信號DATA時，即產生下信號。接下來，可選擇性使用數位低通濾波器3322以壓抑或去除確定性抖動（deterministic jitter, DJ）或/且資料相關抖動（data dependent jitter, DDJ）。數位低通濾波器3322可使用調適性調諧序列以調整頻寬。例如，於開始時提供較寬的頻寬，以得到高追蹤速度；接著提供較窄的頻寬，得以較大量去除信號抖動，例如符間干擾（ISI）、DDJ、串音等。經低通濾波之上/下信號LP_UP/DOWN，（或者上/下信號UP/DOWN，當省略數位低通濾波器3322時）被饋至DCO控制器3323，其還接收有頻率誤差信號ERR及週期信號偵測信號DET。如前所述，DCO控制器3323產生或調整粗調諧信號CT及細調諧信號FT，其控制數位控制振盪器333，用以分別粗部及細部降低頻率誤差量。如圖所示，DCO控制器3323還接收初始DCO值INI，作為初始粗調

諧信號CT及細調諧信號FT；速度模式信號MODE，表示操作速度，例如USB 2.0的高速模式或全速模式；及傳輸致能信號TX_EN，當其為非主動時（例如TX_EN=0或當裝置3處於接收模式時），則會致能DCO控制器3323。

【0012】第六圖顯示第三圖之數位控制振盪器333的細部方塊圖。在本實施例中，數位控制振盪器333包含電壓控制振盪器（VCO）3331，及至少二數位控制電壓調節器（例如高位元電壓調節器3332及低位元電壓調節器3333）。在本實施例中，高位元電壓調節器3332（例如低壓降（low-dropout）調節器）受控於粗調諧信號CT，且低位元電壓調節器3333受控於細調諧信號FT。高位元電壓調節器3332及低位元電壓調節器3333可以使用數位至類比轉換器（DAC）或數位控制電阻來實施。高位元電壓調節器3332的第一輸出電壓，及低位元電壓調節器3333的第二輸出電壓予以混合，因而產生一電壓輸入VV至VCO 3331，其中第一輸出電壓提供電壓輸入VV的高有效位元，而第二輸出電壓則提供電壓輸入VV的低有效位元。例如，當電壓輸入VV表示為二進制的0110 1101，高位元電壓調節器3332的第一輸出電壓提供高位元0110，而低位元電壓調節器3333的第二輸出電壓則提供低位元1101。電壓控制振盪器（VCO）3331根據數位控制電壓調節器（例如高位元電壓調節器3332及低位元電壓調節器3333）所提供的電壓輸入VV，用以產生時脈信號CLK。有關DCO的實施細節可參考相關文獻，例如Heesoo Song等人提出的“具1.0-ps週期解析度DCO及調適性比例式增益控制器的1.0~4.0-Gb/s全數位CDR（A 1.0–4.0-Gb/s All-Digital CDR With 1.0-ps Period Resolution DCO and Adaptive Proportional Gain Control）”，刊載於IEEE固態電路期刊第46冊第2號2011年二月（IEEE Journal of Solid-State Circuits, Vol. 46, No. 2, February 2011），其內容視為本說明書的一部分。

【0013】第七A圖顯示本發明實施例之產生時脈信號CLK的方法的流程圖，且第七B圖例示本實施例的相關信號波形。顯示於第七A圖之本實施例方法

可適用於USB 2.0的高速模式，其一般具有三階段：階段1、階段2及階段3。

【0014】首先，於電源穩定並執行初始重置後，讀取初始DCO值INI（步驟71），以產生初始時脈信號CLK。接著，於主機1與裝置3之間進行信號交換（handshaking）以決定速度模式（步驟72），例如USB 2.0定義的高速模式或全速模式。當速度模式決定之後，主機1與裝置3之間的資料通訊即開始進行。於步驟73，決定裝置3是否處於接收模式（亦即，傳輸致能信號TX_EN=0）。僅有當裝置3處於接收模式時，才會進行以下的頻率校正步驟。

【0015】於步驟74，決定主機1與裝置3之間是否建立有鏈結（link）。在本實施例中，當來自主機1的接收信號DATA為有效（亦即，有效信號VALID為主動）且偵測到週期信號（亦即，週期信號偵測信號DET被觸發）時，表示建立有鏈結。當鏈結建立後，流程進入階段1，比較萃取週期信號PERIOD與時脈信號CLK（或導出/相除時脈信號D_CLK），以決定頻率誤差量（步驟75），其係由頻率誤差信號ERR來表示。

【0016】於步驟76，當頻率誤差量的絕對值大於第一預設臨界值（例如3000 ppm）時，（第二頻率校正單元332）根據頻率誤差量以調整粗調諧信號CT（步驟77），其控制數位控制振盪器333以初步（或粗步）降低頻率誤差量，然而維持細調諧信號FT。

【0017】於步驟78，當頻率誤差量的絕對值小於第二預設臨界值時（例如1000 ppm）（其小於第一預設臨界值），（除了有效信號VALID變為主動外）頻率偵測器致能信號FD_EN變為主動，且流程進入階段2。於步驟79，第二頻率校正單元332比較時脈信號CLK與接收信號DATA的頻率，藉以產生上/下信號UP/DOWN。該上/下信號UP/DOWN可選擇性（使用數位低通濾波器3322）進行低通濾波以壓抑或去除確定性抖動（DJ）或/且資料相關抖動（DDJ）（步驟80）。

【0018】接下來，於步驟81，（DCO控制器3323）根據頻率誤差量及時脈信號CLK/接收信號DATA的比較結果，以調整細調諧信號FT，其控制數位控制振盪器333以進一步（或細部）降低頻率誤差量。階段2將持續進行，直到上/下信號UP/DOWN於（預設）N次觸發之週期信號偵測信號DET當中，不再有更新或變化（步驟82），此時流程進入階段3。

【0019】於階段3，持續或間歇檢查頻率誤差量（亦即，頻率誤差信號ERR），並根據系統環境變化而調整細調諧信號FT（步驟83）。階段3將持續進行，直到頻率誤差量大於第二臨界值（步驟84），此時流程回至階段1。

【0020】對於全速模式，可跳過第七A圖所示流程的階段2。第七C圖例示本實施例處於全速模式的相關信號波形。

【0021】以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【符號說明】

- 1 主機
- 2 諧振器
- 3 電子裝置
- 31 收發器
- 311 發射器
- 312 接收器
- 33 時脈產生器
- 331 第一頻率校正單元
- 3311 信號有效偵測器

3312	週期信號偵測器
3313	頻率誤差計算單元
3314	頻率除法器
332	第二頻率校正單元
3321	頻率偵測器
3322	數位低通濾波器
3323	DCO控制器
333	數位控制振盪器 (DCO)
3331	電壓控制振盪器 (VCO)
3332	高位元電壓調節器
3333	低位元電壓調節器
5	串列匯流排
11	主機
12	電子裝置
13	合成器
14	諧振器
71-84	步驟
Tx	發射器
Rx	接收器
DATA	接收信號
VALID	有效信號
CLK	時脈信號
ERR	頻率誤差信號
CT	粗調諧信號

FT	細調諧信號
PERIOD	萃取週期信號
D_CLK	導出時脈信號
DET	週期信號偵測信號
FD_EN	頻率偵測器致能信號
LP_UP/DOWN	經低通濾波之上/下信號
INI	初始DCO值
MODE	速度模式信號
TX_EN	傳輸致能信號
VV	電壓輸入

【發明申請專利範圍】

【第1項】 一種時脈產生器，包含：

一數位控制振盪器（DCO），用以產生一時脈信號；
一第一頻率校正單元，用以決定一接收信號的有效性，並偵測且萃取該接收信號所內含的一週期信號，當該接收信號為有效時，該第一頻率校正單元決定該萃取週期信號與該時脈信號所導出之一導出時脈信號之間的頻率誤差量；及
一第二頻率校正單元，當該頻率誤差量的絕對值大於第一預設臨界值時，該第二頻率校正單元根據該頻率誤差量以產生一粗調諧信號至該數位控制振盪器；

當該頻率誤差量的絕對值小於第二預設臨界值時，該第二頻率校正單元根據該頻率誤差量以產生一細調諧信號至該數位控制振盪器，其中該第二預設臨界值小於該第一預設臨界值。

【第2項】 如申請專利範圍第1項所述之時脈產生器，其中該第一頻率校正單元包含：

一信號有效偵測器，輸入該接收信號以決定該接收信號的有效性，其中該接收信號之有效性係以一有效信號來表示；
一週期信號偵測器，其偵測該週期信號的存在，並輸出一萃取週期信號；及
一頻率誤差計算單元，其受到主動之該有效信號的致能後，藉由比較該萃取週期信號與該導出時脈信號，以決定該頻率誤差量。

【第3項】 如申請專利範圍第2項所述之時脈產生器，其中該第一頻率校正單元更包含一頻率除法器，其除以該時脈信號以得到該導出時脈信號。

【第4項】 如申請專利範圍第2項所述之時脈產生器，其中該頻率誤差計算單元產生一週期信號偵測信號，每當該週期信號被辨識出來時，即觸發該週期信號偵測信號，其中主動的該週期信號偵測信號被用來啟動該數位控制振盪

器。

【第5項】 如申請專利範圍第2項所述之時脈產生器，其中該頻率誤差計算單元產生一頻率偵測器致能信號，當該頻率誤差量的絕對值小於該第二預設臨界值時，該頻率偵測器致能信號即變為主動，其中主動的該頻率偵測器致能信號用以啟動該數位控制振盪器的細調諧階段。

【第6項】 如申請專利範圍第5項所述之時脈產生器，其中該第二頻率校正單元包含：

一頻率偵測器，當受到主動之該有效信號及主動之該頻率偵測器致能信號的致能後，該頻率偵測器即比較該時脈信號及該接收信號的頻率，用以產生一上/下信號；及

一DCO控制器，其根據該上/下信號及該頻率誤差量，以調整該粗調諧信號及該細調諧信號。

【第7項】 如申請專利範圍第6項所述之時脈產生器，其中該DCO控制器受到一非主動的傳輸致能信號所致能，其中該傳輸致能信號於接收模式時變為非主動。

【第8項】 如申請專利範圍第6項所述之時脈產生器，其中該第二頻率校正單元更包含一數位低通濾波器，用以壓抑該上/下信號的抖動。

【第9項】 如申請專利範圍第1項所述之時脈產生器，其中該數位控制振盪器包含：

一電壓控制振盪器（VCO）；及

至少二數位控制電壓調節器，分別受控於該粗調諧信號及該細調諧信號，其中該數位控制電壓調節器的輸出被饋至該電壓控制振盪器。

【第10項】 如申請專利範圍第9項所述之時脈產生器，其中該至少二數位控制電壓調節器包含：

一高位元電壓調節器，受控於該粗調諧信號；及
一低位元電壓調節器，受控於該細調諧信號；
其中該高位元電壓調節器的第一輸出電壓與該低位元電壓調節器的第二輸出電壓予以混合，因而產生一電壓輸入至該VCO，其中該第一輸出電壓提供該電壓輸入的高有效位元，而該第二輸出電壓則提供該電壓輸入的低有效位元。

【第11項】一種產生時脈信號的方法，包含：

決定一主機與一裝置之間是否建立有一鏈結（link）；
以一第一頻率校正單元比較一萃取週期信號與一時脈信號，以決定頻率誤差量；

當該頻率誤差量的絕對值大於第一預設臨界值時，一第二頻率校正單元產生一粗調諧信號至一數位控制振盪器；

當該頻率誤差量的絕對值小於第二預設臨界值時，比較該時脈信號與一接收信號的頻率，藉以產生上/下信號，其中該第二預設臨界值小於該第一預設臨界值；

該第二頻率校正單元根據該頻率誤差量，及該時脈信號與該接收信號的比較結果，以產生一細調諧信號至該數位控制振盪器；及

當該上/下信號於一預設期間不具有更新，則檢查該頻率誤差量，直到該頻率誤差量大於該第二臨界值。

【第12項】如申請專利範圍第11項所述產生時脈信號的方法，當一接收信號為有效且偵測到該接收信號所內含之週期信號時，表示建立有該鏈結。

【第13項】如申請專利範圍第11項所述產生時脈信號的方法，於調整該細調諧信號之前，更包含對該上/下信號進行低通濾波。

【第14項】如申請專利範圍第11項所述產生時脈信號的方法，更包含一步驟以

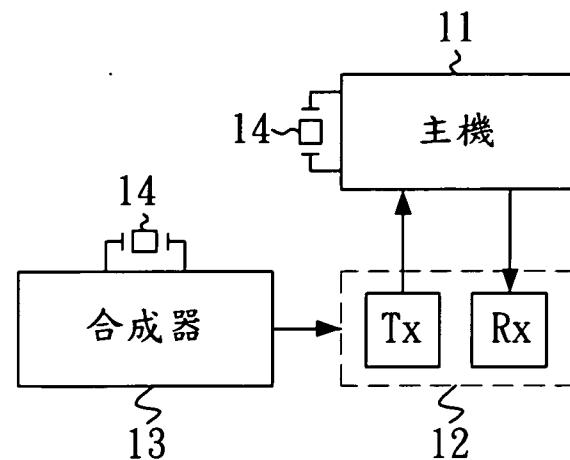
決定一接收模式。

【第15項】如申請專利範圍第11項所述產生時脈信號的方法，更包含一步驟，
讀取一初始DCO值，以產生一初始時脈信號。

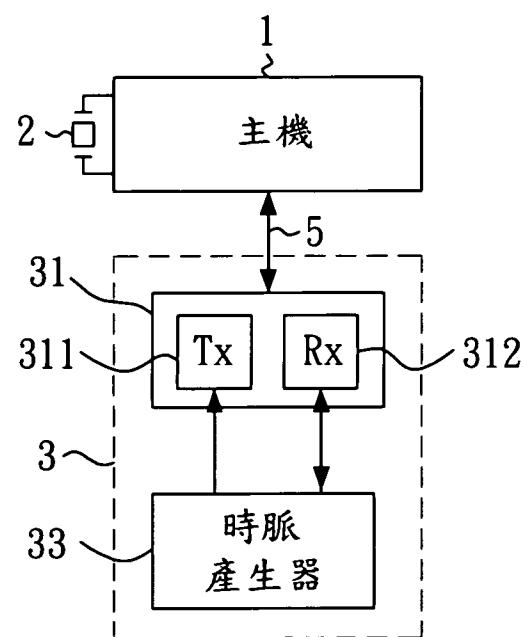
【第16項】如申請專利範圍第11項所述產生時脈信號的方法，更包含一步驟，
以決定一速度模式。

【第17項】如申請專利範圍第11項所述產生時脈信號的方法，其中該主機藉由
一串列匯流排以連接至該裝置，其中該串列匯流排符合通用串列匯流排
(USB) 標準。

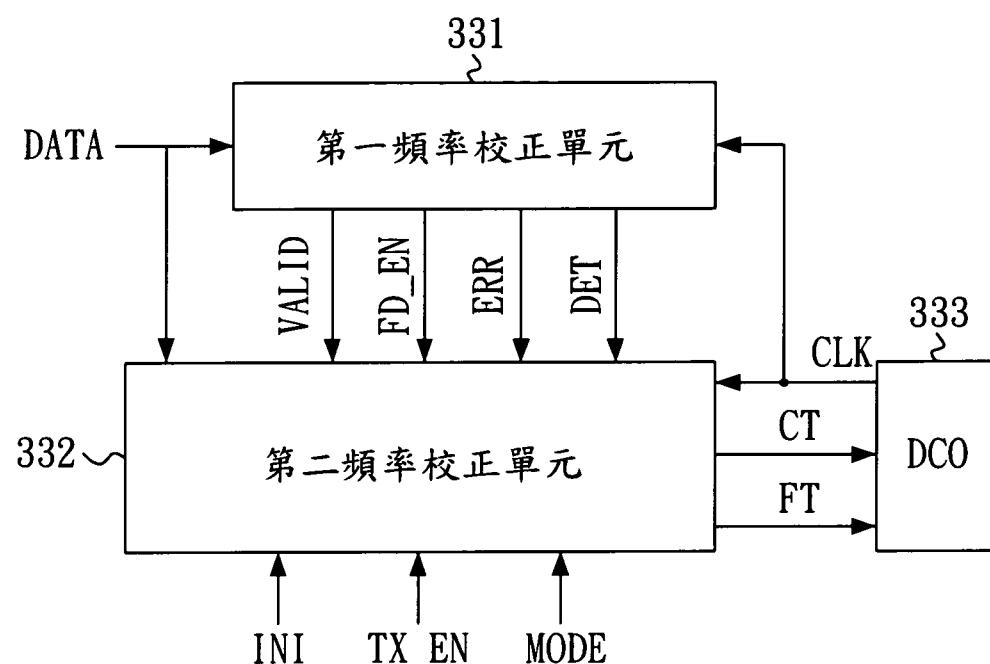
【發明圖式】



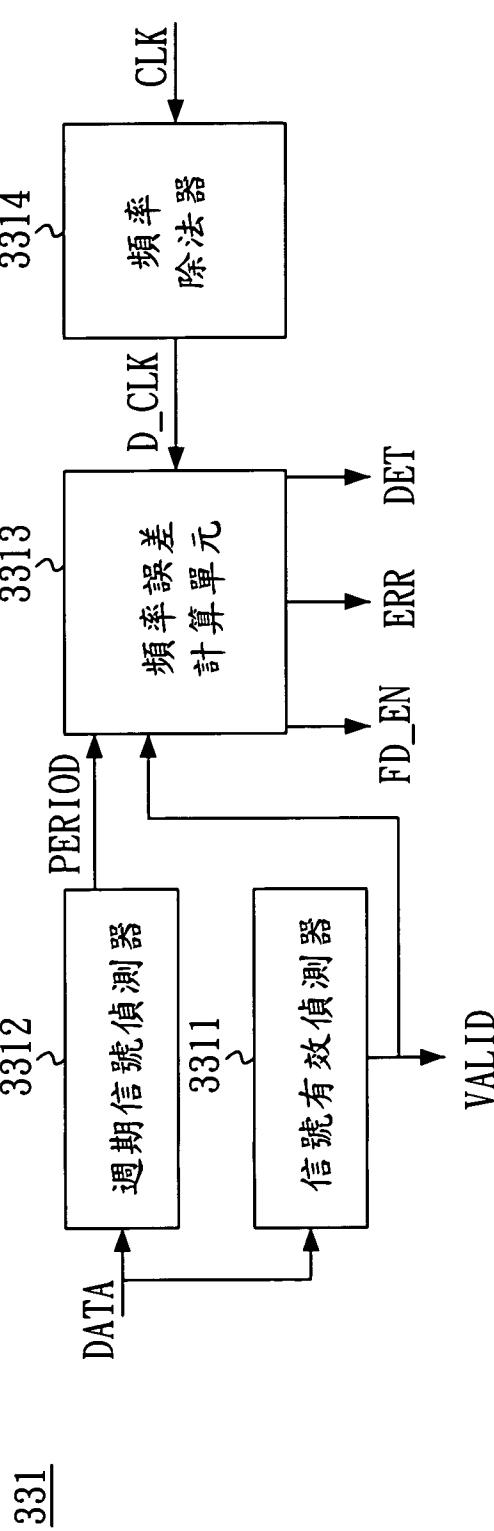
第一圖



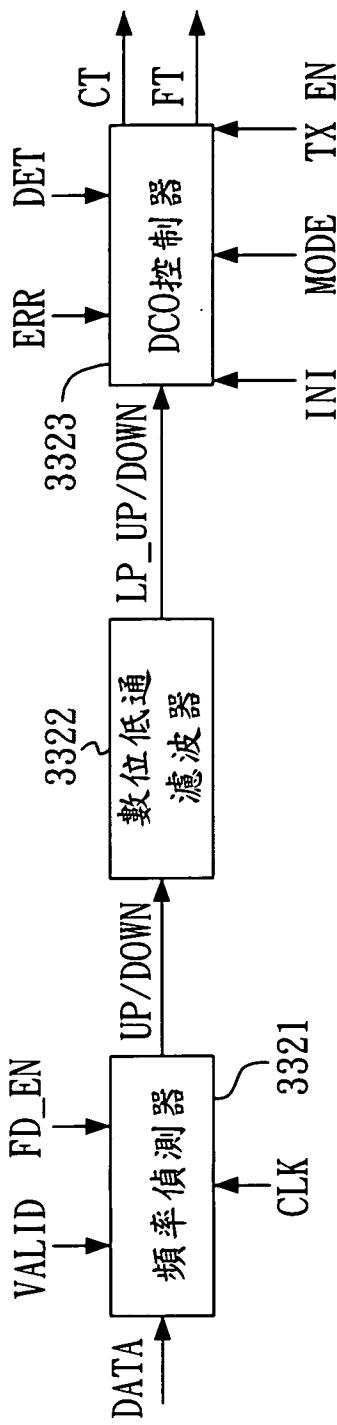
第二圖

33

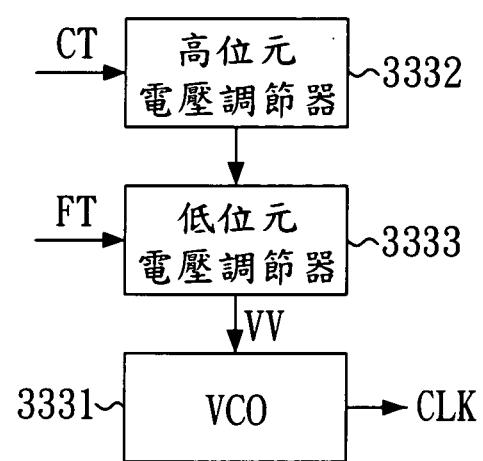
第三圖



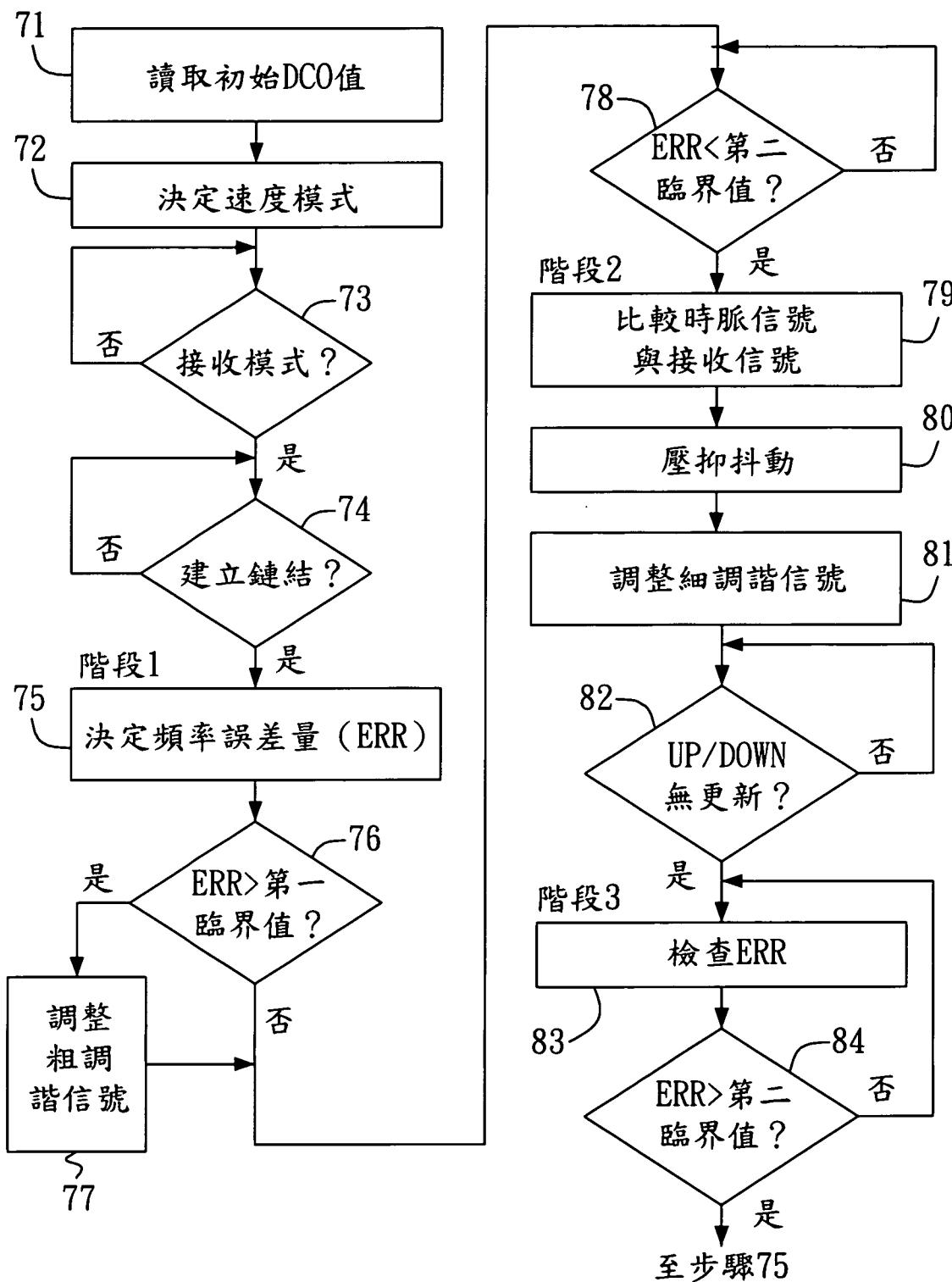
第四圖

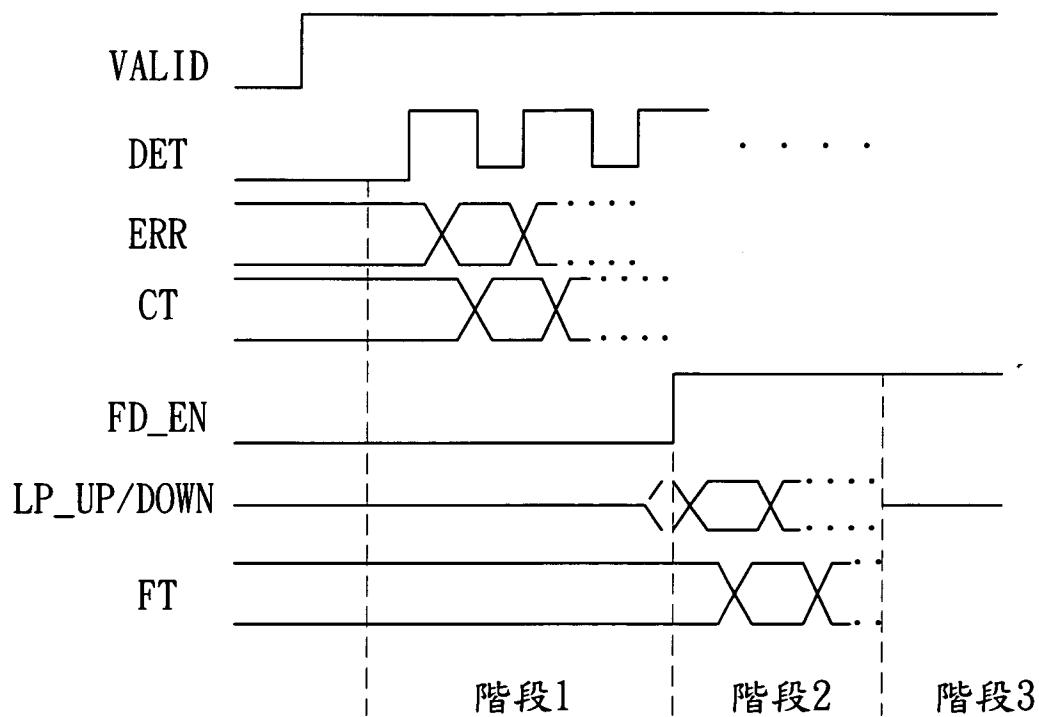
332

第五圖

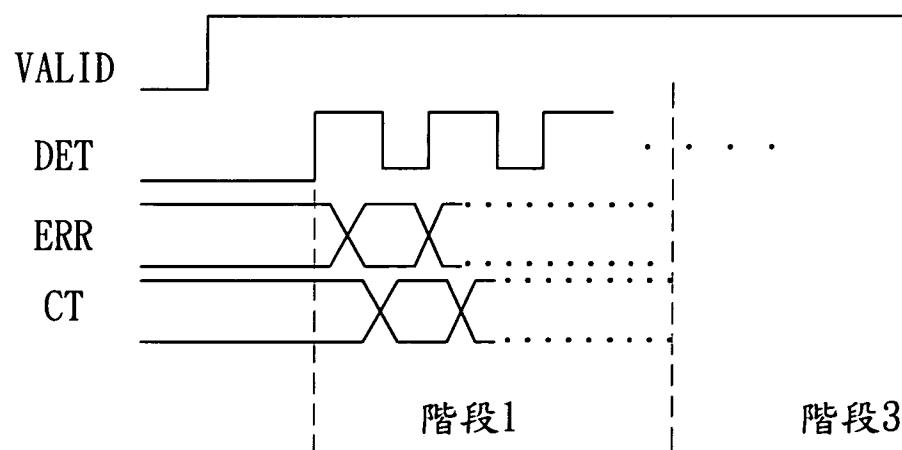
333

第六圖





第七B圖



第七C圖