(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
H01L 21/28

(45) 공고일자 2001년10월19일
(11) 등록번호 10 - 0307124
(24) 등록일자 2001년08월17일

(21) 출원번호 10 - 1998 - 0025483
(22) 출원일자 1998년06월30일

(65) 공개번호 특1999 - 0007474
(43) 공개일자 1999년01월25일

(30) 우선권주장 97 - 174199 1997년06월30일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
니시무로 타이죠
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 히에다 가쯔히꼬
일본 가나가와껭 요꼬하마시 이소고꾸 신스기따쪼8가부시끼가이샤 도시바 요꼬하마 퍼시러티 어드미너스트레이션 센터 내

(74) 대리인 장수길
주성민

심사관 : 권인희

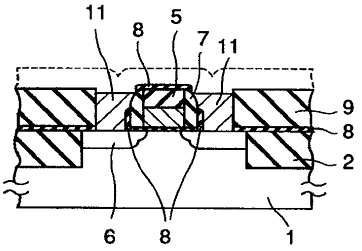
(54) 반도체장치및그제조방법

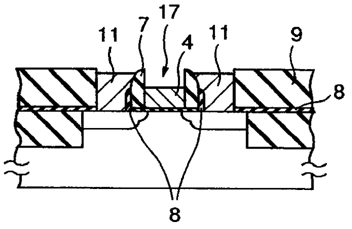
요약

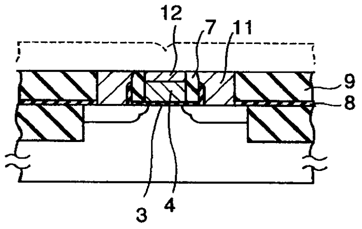
본 발명은, 메탈 재료를 게이트 전극에 이용한 경우의 고온 열처리에 대한 내열성이 없거나 자기 정합 컨택트가 곤란한 것 등의 문제를 해결한다.

본 발명의 반도체 제조 방법은, 측면이 측벽 절연막(7)으로 둘러싸여 적어도 더미 게이트막(5)을 포함하는 게이트 구성 패턴 및 소스 · 드레인 확산 영역(6)을 형성하는 공정과, 에칭 스토퍼용 스토퍼막(8)을 형성하는 공정과, 게이트 구성 패턴이 형성되어 있는 영역 이외의 영역에 층간 절연막(9)을 형성하는 공정과, 소스 · 드레인 확산 영역(6) 상의 층간 절연막(9)을 스토퍼막(8)에 대해 선택적으로 제거하여 제1 오목부를 형성하는 공정과, 스토퍼막(8)을 제거한 제1 오목부에는 소스 · 드레인 확산 영역(6)에 접속되는 컨택트 플러그재(11)를 매립하고, 더미 게이트막을 제거하여 얻어진 제2 오목부에는 게이트 전극재(12)를 매립하는 공정을 포함한다.

대표도







명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시 형태에 따른 트랜지스터 형성 영역의 구성을 나타낸 평면도 및 단면도.

도 2는 본 발명의 제1 실시 형태에 따른 제조 공정의 일부를 나타낸 단면도.

도 3은 본 발명의 제1 실시 형태에 따른 제조 공정의 일부를 나타낸 단면도.

도 4는 본 발명의 제2 실시 형태에 따른 제조 공정의 일부를 나타낸 단면도.

도 5는 본 발명의 제3 실시 형태에 따른 제조 공정의 일부를 나타낸 단면도.

도 6은 본 발명의 제3 실시 형태에 따른 제조 공정의 일부를 나타낸 단면도.

도 7은 본 발명의 제4 실시 형태에 따른 제조 공정의 일부를 나타낸 단면도.

도 8은 본 발명의 제5 실시 형태에 따른 제조 공정의 일부를 나타낸 단면도.

도 9는 본 발명의 제6 실시 형태에 따른 제조 공정의 일부를 나타낸 단면도.

도 10은 본 발명의 제7 실시 형태에 따른 제조 공정의 일부를 나타낸 단면도.

도 11은 본 발명의 제8 실시 형태에 따른 제조 공정의 일부를 나타낸 단면도.

도 12는 본 발명의 제9 실시 형태에 따른 제조 공정의 일부를 나타낸 단면도.

도 13은 종래 기술의 일례를 나타낸 단면도.

도 14는 종래 기술의 다른 예를 나타낸 단면도.

< 도면의 주요 부분에 대한 부호의 설명>

1 : 실리콘 기판

3 : 게이트 절연막

4 : 폴리실리콘막

5 : 실리콘 질화막(더미 게이트막)

6 : 소스 · 드레인 확산 영역

7 : 실리콘 산화막(측벽 절연막)

8 : 실리콘 질화막(스토퍼막)

9 : 실리콘 산화막(제1 층간 절연막)

11 : 컨택트 플러그

12 : 메탈막(게이트 전극)

13 : 실리콘 산화막(제2 층간 절연막)

14 : 배선

16 : 제1 오목부

17 : 제2 오목부

18 : 제3 오목부

19 : 제4 오목부

30 : 실리콘 산화막(더미 게이트 절연막)

31 : 실리콘 질화막(더미 게이트막)

34 : 게이트 절연막

35 : 메탈막(게이트 전극)

40a : 메탈막(컨택트 플러그)

40b : 메탈막(게이트 전극)

50 : 도포형 산화막(더미 플러그재)

51a : 메탈막(컨택트 플러그)

51b : 메탈막(게이트 전극)

52 : 게이트 절연막

53 : 메탈막(게이트 전극)

54 : 메탈막(컨택트 플러그)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것이다.

게이트 전극의 저저항화는 MOS 트랜지스터의 미세화에 있어서, MOS 트랜지스터의 고속화를 달성하는데 중요한 역할을 한다고 기대되고 있다. 그러나, 폴리실리콘막과 실리사이드막을 적층한 「폴리사이드 · 게이트 전극」은 실리사이드 재료가 갖는 저항치의 한계가 있다. 이와 같은 상황에서 고속화의 요구에 응하기 위해서는 게이트 전극의 높이를 보다 높게 할 필요가 있다. 그러나, 이와 같이 게이트 전극의 높이를 높게 하는 것은 게이트 전극으로의 컨택트의 자기 정합 프로세스를 곤란하게 하고 있었다.

게이트 전극의 저저항화의 문제에 대한 해결책 중 하나로서, 텅스텐(W막) 등의 메탈막을 실리사이드막 대신에 폴리실리콘층 상에 점착하여 게이트 전극으로서 이용하는 소위 「폴리 메탈 · 게이트 전극」이 제안되고 있다. 그러나, 이와 같은 메탈 전극을 사용한 트랜지스터 구조는 게이트 절연막의 내압 향상 등을 목적으로 한 게이트 전극의 후(後) 산화막 형성이 곤란하며, 또한 컨택트 게이트 전극으로의 자기 정합 프로세스가 어렵다고 하는 문제가 있었다.

예를 들면, 도 13에 도시한 바와 같이, 사리사이드 프로세스로 소스 · 드레인층(71)과 게이트 전극(72)에 실리사이드(73a, 73b)를 자기 정합적으로 형성한 구조의 경우, 폴리사이드 · 게이트 전극 상에는 실리콘 질화막을 형성할 수 없으며, 자기 정합 컨택트를 행하는 것이 곤란하다고 하는 큰 문제가 있다.

또한, 도 14에 도시한 바와 같이 폴리실리콘층(74)의 게이트 전극 상에 텅스텐 등의 메탈재(75)를 텅스텐 니트라이드 등의 배리어 메탈을 사이에 두고 점착함으로써 게이트 전극의 저항을 내리는 소위, 「폴리 메탈 · 게이트 전극」 구조의 경우, 게이트 전극 상에 실리콘 질화막을 형성할 수 없고 자기 정합 컨택트를 행하는 것이 곤란하다고 하는 문제외에, 게이트 절연막의 내압 향상 등을 목적으로 하는 게이트 전극의 후 산화막의 형성이 특수한 산화 조건을 필요로 하는 등의 문제도 있다.

발명이 이루고자 하는 기술적 과제

이와 같이, 메탈 재료를 게이트 전극으로서 트랜지스터 구조에 적용하고자 한 경우, 고온 열처리 공정에 대한 내열성이 없거나 혹은 게이트 전극으로의 자기 정합컨택트가 곤란하다고 하는 문제점이 있다.

본 발명의 목적은 메탈 재료를 게이트 전극에 이용한 경우에, 고온 열처리에 대한 내열성이 없거나 자기 정합 컨택트가 곤란한 것 등의 문제를 해결할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

본 발명에서의 반도체 장치의 제조 방법은, 반도체 기판의 주면(主面) 측에 측면이 측벽 절연막으로 둘러싸여 적어도 더미 게이트막을 포함하는 게이트 구성 패턴을 형성하는 공정과, 이 게이트 구성 패턴의 양측의 반도체 기판에 소스 · 드레인 확산 영역을 형성하는 공정과, 상기 측면이 측벽 절연막으로 둘러싸인 게이트 구성 패턴을 덮는 에칭 스토퍼용 스토퍼막을 형성하는 공정과, 이 스토퍼막으로 덮인 게이트 구성 패턴이 형성되어 있는 영역 이외의 영역에 제1 층간 절연막을 형성하는 공정과, 상기 소스 · 드레인 확산 영역 상의 제1 층간 절연막을 상기 스토퍼막에 대해 선택적으로 제거하여 제1 오목부를 형성하는 공정과, 상기 스토퍼막을 제거한 제1 오목부에는 상기 소스 · 드레인 확산 영역에 접속되는 컨택트 플러그재(특히 메탈재)를 매립하고 적어도 상기 더미 게이트막을 제거하여 얻어지는 제2 오목부에는 적어도 게이트 전극재(특히 메탈재)를 매립하는 공정을 포함하는 것을 특징으로 한다.

상기 제조 방법에 따르면, 메탈 게이트 전극의 채용을 저해하고 있던 고온 열 공정(예를 들면, 소스 · 드레인의 활성화 공정, 게이트 전극의 후 산화 공정, 리플로우 공정 등을 메탈 게이트 전극의 형성 전에 행할 수 있다. 따라서, 폴리실리콘막이나 실리사이드막에 비해 저항치가 낮은 메탈막을 게이트 전극에 이용할 수 있기 때문에, 전극의 높이가 낮고 또한 저저항의 게이트 전극을 실현할 수 있으며, 고속화 등 소자 특성의 향상을 도모할 수 있다. 또한, 컨택트 플러그가 게이트 전극에 대해 자기 정합적으로 형성될 수 있기 때문에, 소스 · 드레인의 컨택트와 게이트 전극과의 거리를 측벽 절연막의 두께분까지 가까이 할 수 있으며, 소자의 집적도를 향상시킬 수 있다. 또한, 소스 · 드레인 영역에서의 기생 저항을 저감할 수 있으며, 소자 특성의 향상을 도모할 수 있다.

상기 게이트 구성 패턴은 예를 들면 반도체막(특히 폴리실리콘막) 및 그 위의 더미 게이트막에 따라 형성되며 이 경우 상기 반도체막 아래에는 게이트 절연막이 형성되어 있다.

또한, 상기 게이트 구성 패턴은 예를 들면 더미 게이트막에 의해서만 형성되며, 이 경우 상기 더미 게이트막 아래에는 더미 게이트 절연막이 형성되며, 상기 더미 게이트막 및 상기 더미 게이트 절연막을 제거하여 얻어지는 제2 오목부에 게이트 절연막을 사이에 두고 게이트 전극재를 매립한다. 이와 같이 하면, 게이트 절연막에 고유전체막을 포함하는 막을 이용한 트랜지스터가 실현된다. 즉, 게이트 절연막으로서 Ta를 포함하는 막의 단층 또는 적층막이나, Ba, Sr, Ti를 포함하는 막의 단층 또는 적층막을 이용할 수 있다. 따라서, 게이트 절연막의 산화막 환산 막 두께를 저감할 수 있으며, 트랜지스터의 단 채널 효과를 억제하거나, 드레인 전류를 크게 할 수 있는 등 소자 특성의 향상을 도모할 수 있다.

또한, 상기 제1 층간 절연막을 형성하는 공정은, 상기 스토퍼막 상에 소정의 절연막을 형성하는 공정과, 이 절연막을 상기 게이트 구성 패턴과 거의 같은 높이까지 평탄화하여 상기 게이트 패턴의 표면을 노출시키는 공정으로 이루어지는 것이 바람직하다. 이와 같이 하면, 층간 절연막에 매립되는(제1 오목부에 매립되는) 컨택트 플러그의 높이를 게이트 전극의 높이와 거의 같은 높이까지 낮출 수 있기 때문에, 컨택트 플러그의 저항을 내릴 수 있으며, 소자 특성의 향상을 도모할 수 있다.

또한, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정은, 상기 스토퍼막을 제거한 제1 오목부에 컨택트 플러그재를 매립하는 공정과, 그 후 상기 더미 게이트막을 제거하여 얻어지는 제2 오목부에 게이트 전극재를 매립하는 공정에 의해 행할 수 있다. 이와 같이 하면, 컨택트 플러그재와 게이트 전극재 각각에 적합한 메탈 재료 등을 이용할 수 있으며, 소자 특성의 향상을 도모할 수 있다.

또한, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정은, 상기 스토퍼막을 제거한 제1 오목부에 컨택트 플러그재를 매립하는 공정과, 그 후 상기 더미 게이트막 및 그 아래의 더미 게이트 절연막을 제거하여 얻어지는 제2 오목부에 게이트 절연막을 사이에 두고 게이트 전극재를 매립하는 공정에 의해서 행하도록 해도 좋다. 이와 같이 하면, 컨택트 플러그재와 게이트 전극재 각각에 적합한 메탈 재료 등을 이용할 수 있으며, 소자 특성의 향상을 도모할 수 있다.

또한, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정은, 상기 스토퍼막을 제거한 제1 오목부 및 상기 더미 게이트막을 제거하여 얻어지는 제2 오목부에 동일 공정으로 상기 컨택트 플러그재 및 게이트 전극재가 되는 동일한 재료를 매립하는 것이라도 좋다. 이와 같이, 제1 오목부 및 제2 오목부에 동일 공정으로 동일 재료를 매립함으로써 제조 공정의 간단화를 도모할 수 있다.

또한, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정은, 상기 스토퍼막을 제거한 제1 오목부에 소정의 더미 플러그재를 매립하는 공정과, 제1 오목부에 더미 플러그재를 남긴 상태에서 상기 더미 게이트막을 제거하여 제2 오목부를 형성하는 공정과, 상기 더미 플러그재를 제거하는 공정과, 이 더미 플러그재를 제거한 제1 오목부 및 상기 제2 오목부에 동일 공정으로 상기 컨택트 플러그재 및 게이트 전극재가 되는 동일한 재료를 매립하는 공정에 의해서 행하도록 해도 된다. 이와 같이 하면, 제조 공정의 간단화를 도모할 수 있음과 동시에, 제1 오목부에 더미 플러그재를 남긴 상태에서 더미 게이트막을 제거하므로 제1 오목부의 저부 코너에서의 스토퍼막의 후퇴를 막을 수 있다.

또한, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정은, 상기 스토퍼막을 제거한 제1 오목부에 소정의 더미 플러그재를 매립하는 공정과, 제1 오목부에 더미 플러그재를 남긴 상태에서 상기 더미 게이트막 및 그 아래의 더미 절연막을 제거하여 제2 오목부를 형성하는 공정과, 이 제2 오목부에 게이트 절연막을 사이에 두고 게이트 전극재를 매립하는 공정과, 상기 더미 플러그재를 제거하는 공정과, 이 더미 플러그재를 제거한 제1 오목부에 컨택트 플러그재를 매립하는 공정에 의해 행하도록 해도 좋다. 이와 같이, 컨택트 플러그의 형성을 게이트 전극의 형성 후에 행함으로써, 게이트 절연막의 형성 공정시 고온 공정으로의 제약을 완화할 수 있다.

또한, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정 후, 제2 층간 절연막을 형성하는 공정과, 이 제2 층간 절연막의 일부를 제거하여 그 패턴 위치가 상기 제1 오목부의 패턴 위치에 대해 상기 게이트 구성 패턴과 반대 방향으로 시프트된 제3 오목부를 형성하는 공정과, 이 제3 오목부에 상기 제1 오목부에 매립된 컨택트 플러그재에 접속되는 도전재를 매립하는 공정을 더 포함해도 된다.

또한, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정 후, 제2 층간 절연막을 형성하는 공정과, 이 제2 층간 절연막의 일부를 제거하여 그 패턴 위치가 상기 제1 오목부의 패턴 위치에 대해 상기 게이트 구성 패턴과 반대 방향으로 시프트된 제3 오목부 및 이 제3 오목부에 연속해 있는 배선용 제4 오목부를 형성하는 공정과, 이들 제3 오목부 및 제4 오목부에 상기 제1 오목부에 매립된 컨택트 플러그재에 접속되는 도전재를 매립하는 공정을 더 포함해도 된다.

이러한 공정을 더 구비함으로써, 컨택트 플러그를 게이트 전극에 인접하여 자기 정합적으로 형성한 메리트를 보다 한층 더 발휘시킬 수 있다. 즉, (배선에 접속되는 도전재가 매립되는) 제3 오목부의 패턴 위치를 제1 오목부의 패턴 위치보다도 게이트 구성 패턴으로부터 분리하여 형성해도 컨택트 플러그가 게이트 전극에 대해 측벽 절연막의 두께분의 거리밖에 떨어져 있지 않기 때문에, 소스 · 드레인 영역에서의 기생 저항을 저감할 수 있으며 소자 특성의 향상을 도달할 수 있다.

본 발명에서의 반도체 장치는 반도체 기판의 주면 측에 게이트 절연막을 사이에 두고 형성된 게이트 전극(특히, 메탈재를 포함하는 게이트 전극)과, 이 게이트 전극의 양측의 반도체 기판에 형성된 소스 · 드레인 확산 영역과, 상기 게이트 전극의 측면에 형성된 측벽 절연막과, 상기 소스 · 드레인 확산 영역에 접속되고 상기 측벽 절연막에 의해 상기 게이트 전극과 분리되며 그 상면의 높이가 상기 게이트 전극의 상면의 높이와 거의 동일한 컨택트 플러그(특히, 메탈재를 이용한 컨택트 플러그)를 포함하는 것을 특징으로 한다.

상기 반도체 장치에 따르면, 컨택트 플러그와 게이트 전극과의 거리가 측벽 절연막의 두께분만큼으로, 소자의 집적도를 올릴 수 있음과 동시에, 소스 · 드레인 영역에서의 기생 저항이 저감되며 소자 특성의 향상을 도모할 수 있다. 또한, 컨택트 플러그의 높이가 게이트 전극의 높이와 거의 같은 정도로 낮기 때문에, 컨택트 플러그의 저항을 내릴 수 있으며 소자 특성의 향상을 도모할 수 있다.

상기 컨택트 플러그에 배선에 연속해 있는 도전재부를 접속하고, 이 도전재부의 패턴 위치를 상기 컨택트 플러그의 패턴 위치에 대해 상기 게이트 전극과 반대 방향으로 시프트된 것으로 할 수 있다. 이러한 구성으로 함으로써, 컨택트 플러그를 게이트 전극에 인접하여 자기 정합적으로 형성한 메리트를 보다 한층 더 발휘시킬 수 있다. 즉, 도전재부의 패턴 위치를 컨택트 플러그의 패턴 위치보다도 게이트 전극으로부터 분리하여 형성해도 컨택트 플러그가 게이트 전극에 대해 측벽 절연막의 두께만큼의 거리밖에 떨어지지 않았기 때문에, 소스 · 드레인 영역에서의 기생 저항을 저감할 수 있으며 소자 특성의 향상을 도모할 수 있다.

또한, 상기 측벽 절연막에는 실리콘 산화막을 이용하는 것이 바람직하다. 측벽 절연막을 실리콘 질화막에 비해 유전율이 작은 실리콘 산화막으로 구성함으로써, 게이트 전극과 소스 · 드레인과의 사이의 기생 용량을 저감할 수 있으며 트랜지스터의 소자 특성을 향상시킬 수 있다.

발명의 구성 및 작용

이하, 도면을 참조하여 본 발명의 실시 형태를 설명한다.

도 1 도 3은 본 발명의 제1 실시 형태를 나타낸 것으로 도 1a 및 도 1b는 트랜지스터 부분의 평면도 및 그 A-A' 단면도이며, 도 2a 도 3f는 그 제조 공정 단면도이다.

우선, 도 2a에 도시한 바와 같이, 불순물 농도 5×10^{15} cm^{-3} 정도의 p형 실리콘 기판(1 ; n형 실리콘 기판 혹은 p형 Si 기판의 표면에 p형 또는 n형 에피택셜 Si층을 예를 들어 1㎛ 정도의 막 두께로 성장시키는 소위 에피택셜 기판을 이용해도 좋다)의 (100)면에 n채널 트랜지스터 형성 영역에는 p웰(도시하지 않음), p채널 트랜지스터 형성 영역에는 n웰(도시하지 않음)을 형성한다.

다음에, 예를 들면 반응성 이온 에칭(RIE)법을 이용하여 Si 기판(1)에 홈을 파서 그 홈에 절연막을 매립하는, 소위 트렌치형의 소자 분리층[2 ; 트렌치 깊이 약 0. 2㎛ 정도의 STI(Shallow Trench Isolation)]을 형성한다. 채널 영역에는 트랜지스터 임계치 전압(Vth)을 제어하기 위한 채널 · 이온 주입층(도시하지 않음)을 형성한다. 그리고, 게이트 절연막으로서 막 두께 6㎚ 정도의 SiO_2막(3)을 형성하고, 이 SiO_2막(3) 상에 게이트 전극의 일부로서 예를 들면 n^+ 폴리실리콘막(4)을 막 두께 100㎚ 정도 전면(全面)에 퇴적하며, 또한 전면에 캡 실리콘 질화막(5 ; Si_3N_4막)을 예를 들어 막 두께 150㎚ 정도 퇴적한다. 그 후, 예를 들면 리소그래피법과 RIE법 등을 이용하여 캡 실리콘 질화막(5) 및 폴리실리콘막(4)을 가공한다. 또, 이 후 게이트 전극과 소스 · 드레인의 내압을 개선하거나 소자의 신뢰성을 향상시키기 때문에, 폴리실리콘층의 하부 엣지의 게이트 산화막의 막 두께를 조금만 두텁게 하는 소위 「후 산화(後酸化)」를 행해도 좋다.

다음에, LDD(Lightly Doped Drain) 구조를 형성하기 위해서 게이트 패턴의 Si_3N_4막/폴리실리콘막을 마스크로 해서 예를 들어 인(P^+) 이온의 주입을 70keV, 4×10^{13} ㎝$^{-2}$ 정도 행하고 n^- 형 확산층(6a)을 형성한다. 계속해서, SiO_2막을 전면에 퇴적한 후에 전면 RIE를 행하고, 게이트 패턴의 측벽부에 SiO_2막을 남기는 「SiO_2의 측벽 남김」을 행하며, 게이트 패턴의 측벽에 막 두께 30㎚ 정도의 SiO_2막(7)을 형성한다. 그 후, 예를 들면 비소(As^+) 이온의 주입을 30keV, 5×10^{15} ㎝$^{-2}$ 정도 행하여 n^+ 형 확산층(6b)을 형성하여 소위 LDD 구조를 형성한다. 또, 여기서는 LDD 구조를 이용하고 있지만, n^- 형 확산층만 혹은 n^+ 형 확산층만을 형성한 소위 싱글 소스 드레인 구조라도 좋다.

다음에, 도 2b에 도시한 바와 같이, 전면에 스토퍼 Si_3N_4막(8)을 예를 들면 막 두께 20㎚ 정도 퇴적하고, 그 후 BPSG막 등의 층간 절연막(9)을 예를 들면 300㎚ 정도 퇴적한다. 여기서는 생략했지만, 스토퍼 Si_3N_4막(8)과 Si 기판과의 계면에 예를 들면 막 두께 8㎚ 정도의 얇은 SiO_2막(도시하지 않음)을 형성해도 좋다. 이렇게 하면, 스토퍼 Si_3N_4막(8)을 제거하는 경우에, Si 기판에 대미지를 주지 않고서 스토퍼 Si_3N_4막(8)을 박리할 수 있는 이점이 있다.

다음에, 예를 들면 800℃ 정도의 N_2분위기로 BPSG막(9)의 멜트(melt)를 겸하여 30분 정도 덴시파이(densify)를 행한다. 이 열 공정은 소스 · 드레인의 이온 주입층의 활성화도 겸하고 있다. 확산층의 깊이(Xj)를 억제하고자 할 때는 덴시파이의 온도를 750℃ 정도로 저온화하고, 950℃에서 10초 정도의 RTA(Rapid Thermal Anneal) 프로세스와 병용해서 이온 주입층의 활성화를 행해도 좋다. 이 후, 전면을 CMP(Chemical Mechanical Polishing)에 의해 평탄화하고 게이트 패턴 상의 스토퍼 Si_3N_4막(8)의 표면을 노출시킨다.

다음, 도 2c에 도시한 바와 같이 통상의 레지스트를 이용한 리소그래피법에 의해 형성한 레지스트 패턴(10)을 이용해서 BPSG막 등의 층간 절연막(9)의 이방성에칭(RIE)을 행한다. 이 때의 에칭은 BPSG막 등의 층간 절연막(9)의 에칭은 진행하지만, 스토퍼 Si_3N_4막(8)의 에칭은 진행하지 않는 소위 선택 에칭의 조건을 사용한다. 이와 같은 BPSG막 및 Si_3N_4막의 고선택비 에칭을 행함으로써, 스토퍼 Si_3N_4막(8)상에서 에칭을 정지시킬 수 있게 된다. 이와 같이 해서, 컨택트 플러그를 매립하기 위한 구멍(16)을 형성한다.

다음에, 도 3d에 도시한 바와 같이, 레지스트(10)를 마스크로 해서 RIE법 등에 의해 컨택트의 저부의 스토퍼 Si_3N_4막(8)을 제거하고, Si 기판 표면을 노출시킨다. 이 때, 도시한 바와 같이, 스토퍼 Si_3N_4막(8)이 게이트 측벽 SiO_2막(7)의 측벽부에 남아 있을 수 있지만, 트랜지스터 특성 상의 큰 문제는 없다. 도 2b에서 설명한 바와 같이, 스토퍼 Si_3N_4막(8)과 Si 기판 계면에 예를 들어 8㎚ 정도의 SiO_2막(도시하지 않음)을 이용한 경우는, 컨택트 영역의 Si_3N_4막(8)을 제거한 후에 컨택트 밑의 SiO_2막(도시하지 않음)을 제거하여 Si 기판을 노출시킨다. 이 후 레지스트(10)를 제거한다.

다음에, 컨택트 플러그로서 예를 들면 메탈막 [텅스텐(W)막, Ru막, TiN막, 텅스텐 니트라이드막(WN_x) 등 혹은 이들의 적층막이라도 좋음]을 예를 들면 CVD법이나 스퍼터법에 의해 전면에 퇴적한다. Si 기판(1)과의 밀착성이나 컨택트 저항의 저감화라는 관점에서, 하측으로부터 순서대로 Ti막, TiN막, 텅스텐(W)막을 적층한 적층막이 바람직하다. 이 후, 전면을 CMP에 의해 평탄화하고, 게이트 패턴 상의 스토퍼 Si_3N_4막(8) 또는 캡 Si_3N_4막(5)의 표면을 노출시킴과 동시에, 컨택트 영역에 상기 메탈 재료를 매립하여 컨택트 플러그(11)를 형성한다. 물론, 이 때의 CMP의 조건은 메탈재의 CMP 속도가 BPSG막(9)이나 Si_3N_4막(5, 8)에 대해 빠른 조건(메탈 CMP 조건)을 선택한다.

다음에, 도 3e에 도시한 바와 같이, 노출된 Si_3N_4막(8) 및 캡 Si_3N_4막(5)을 예를 들어 핫 인산 용액 등에 의해 선택적으로 제거함으로써, 게이트 전극의 일부인 폴리실리콘층(4)의 표면을 노출시켜서 홈(17)을 형성한다.

다음에, 도 3f에 도시한 바와 같이, 폴리실리콘막(4) 상을 포함하는 전면에 메탈막[12 ; 텅스텐(W)막, Ru막, TiN막, 텅스텐 니트라이드막(WN_x) 등 혹은 이들의 적층막이라도 좋음]을 CVD법이나 스퍼터법 등에 의해 퇴적한 후, 전면을 메탈막의 CMP 조건으로 CMP함으로써 메탈막(12)을 폴리실리콘 게이트 전극(4) 상에 형성한다. 즉, 메탈막(12)을 캡 Si_3N_4막(5)을 제거한 후의 홈(17) 내에 매립하고, 폴리실리콘막(4)과 메탈막(12)으로 이루어진 메탈 게이트 전극 구조를 형성한다. 메탈 전극막으로서는 폴리실리콘막과의 반응을 막을 목적으로 하측으로부터 순서대로 텅스텐 · 니트라이드막, 텅스텐(W)막을 적층한 것이라도 좋으며, 열 공정이 억제되기 때문에 폴리실리콘막과 반응하지 않으므로 텅스텐(W)막의 단층막이라도 좋다.

다음에, 전면에 층간 절연막으로서 SiO_2 막(13)을 약 300㎚ 정도의 막 두께로 퇴적한 후, 소스, 드레인 영역의 컨택트 플러그 및 게이트 전극으로의 컨택트를 개구하고 Al층을 패터닝하여 배선(14)을 형성한다. 또한, 전면에 패시베이션막(15)을 퇴적하여, 도 1에 도시한 바와 같은 트랜지스터의 기본 구조가 완료된다.

이상과 같은 제조 방법에 따르면, 소스 · 드레인의 활성화, 후 산화 혹은 리플로우 공정 등의 고온 열처리 공정을 메탈 게이트 전극 형성 전에 실시할 수 있으므로, 메탈 게이트 전극은 고온 공정을 받는 일없이 메탈막의 이상 산화나 메탈막의 이상 립성장(粒成長) 등을 억제할 수 있다. 또한, 게이트 전극 가공법을 RIE에서 CMP로 바꾸었으므로, 메탈 전극의 재료 선택의 제약 (예를 들면, 내열성 등)이 없어지며 원하는 저저항화를 달성할 수 있는 메탈 전극 재료를 선택할 수 있다. 또한, RIE 시에 있었던 게이트 전극 형성 시의 플라즈마 프로세스 대미지(게이트 절연막의 절연 파괴 등)를 회피할 수 있다. 또한, 메탈 전극에 자기 정합적으로 컨택트 플러그를 형성할 수 있기 때문에, 컨택트와 게이트 전극 간의 거리를 가까이 할 수 있으며, 소자의 집적도를 향상시킬 수 있다. 또한, 게이트 전극과 컨택트 플러그 간을 실리콘 질화막에 비해 유전율이 작은 산화막으로 형성할 수 있기 때문에, 게이트 전극과 소스 · 드레인 간의 용량을 작게 할 수 있으며, 소자의 고속화가 달성될 수 있는 등의 특징이 있다.

다음에, 본 발명의 제2 실시 형태에 대해 설명한다. 도 4a 도 4c는 본 발명의 제1 실시 형태에서의 컨택트 플러그와 배선층과의 접속 방법을 설명하기 위한 도 1b 단면도에 대응하는 공정 단면도이다.

제1 실시 형태에서는 메탈 배선층으로서 Al층을 레지스트 마스크를 이용한RIE법으로 패터닝하고 배선층을 형성하는 예에 대해 나타냈다. 본 실시 형태에서는 듀얼 · 상감(Dual Damascene)법을 이용해서 컨택트 및 배선을 형성하는 예에 대해 도시한다.

제1 실시 형태에서 나타낸 도 3f의 공정 후, 도 4a에 도시한 바와 같이 전면에 층간 절연막으로서 예를 들면 플라즈마 TEOS법에 의한 SiO_2 막(13)을 약 300㎚ 정도의 막 두께 퇴적한 후, 통상의 리소그래피법에 의해 형성한 컨택트 패턴의 레지스트막(20)을 마스크로 해서 RIE 법에 의해 컨택트 플러그(11)로의 컨택트(구멍 : 18) 및 게이트 전극으로의 컨택트(도시하지 않음)를 개공한다. 이 때, 컨택트 패턴은 컨택트 플러그(11)를 완전히 덮도록 배치하는 것은 아니고 도 1a에 도시한 바와 같이, 컨택트 플러그(11)의 일부에 중복되도록, 또한 게이트 전극과 떨어지는 방향으로 시프트시켜 레이아웃한다. 도면 중의 a 및 b는 각각 컨택트의 컨택트 플러그 및 게이트 전극과의 거리로, 예를 들어 a=70㎚, b=100㎚ 정도로 설정할 수 있다. 물론, 리소그래피법에서의 중첩(Overlay) 정밀도의 실력에 의해서 이들의 값은 변경할 필요가 있다.

다음에, 도 4b에 도시한 바와 같이, 소위 듀얼 상감법으로 배선층을 형성하는경우, 통상의 리소그래피법에 의해 배선 패턴에 레지스트가 없는 레지스트 패턴(21)을 형성하고 RIE법에 의해 SiO_2 막(13)의 장래 배선이 되는 영역에 홈 패턴을 형성한다. 이 때, 예를 들면 홈(19)의 깊이는 0. 25㎛ 정도로 한다.

다음에, 도 4c에 도시한 바와 같이, 컨택트의 구멍(18) 및 배선층의 홈(19)에 예를 들어 Al-Cu층을 고온 스퍼터 등으로 리플로우(reflow)하여 매립한다. 그 후, 메탈(Al-Cu)의 CMP 조건으로 CMP를 행하고 컨택트의 구멍 및 배선층의 홈에만 Al-Cu막을 설치시킨다. 이렇게 해서 배선(14)을 형성한다.

이와 같은 제조 방법을 택함으로써, 컨택트 플러그를 게이트 전극에 인접하여 자기 정합적으로 형성한 메리트를 최대한 살릴 수 있게 된다. 즉, 배선의 컨택트를 게이트 전극으로부터 분리하여 형성해도 컨택트 플러그는 게이트 전극에 측벽막(SiO_2 막 ; 7)의 폭까지 가깝게 형성되어 있기 때문에, 실질적인 게이트 전극-컨택트 간의 거리를 가깝게 할 수 있게 된다. 이에 따라, 소스 · 드레인 영역에서의 기생 저항을 저감할 수 있으며, 트랜지스터의 소자 특성을 향상시킬 수 있게 된다.

다음에, 본 발명의 제3 실시 형태에 대해 도 5 및 도 6을 참조하여 설명한다. 도 5a 도 6e는 제3 실시 형태의 공정 단면도이다.

제1 실시 형태에서는 게이트 전극이 폴리실리콘층과 메탈층으로 이루어진 소위 「폴리 메탈 전극」의 경우를 설명했지만, 본 실시 형태에서는 게이트 전극이 메탈층만인 경우의 「메탈 전극」에 본 발명을 적용한 예에 대해 설명한다.

우선, 도 5a에 도시한 바와 같이, 불순물 농도 5×10^{15} ㎝$^{-3}$ 정도의 p형 실리콘 기판(1 ; n형 실리콘 기판 혹은 p형 Si 기판의 표면에 p형 또는 n형 에피택셜 Si층을 예를 들면 1㎛ 정도의 막 두께로 성장시키는 소위 에피택셜 기판을 이용해도 됨)의 (100)면에, n 채널 트랜지스터 형성 영역에는 p웰(도시하지 않음), p채널 트랜지스터 형성 영역에는 n웰(도시하지 않음)을 형성한다.

다음에, 예를 들면 RIE 법을 이용해서 Si 기판(1)에 홈을 파서 그 홈에 절연막을 매립하여, 소위 트렌치형의 소자 분리층(2 ; 트렌치 깊이 약 0. 2㎛ 정도의 STI)을 형성한다. 그 후, 원하는 채널 영역에 트랜지스터 임계치 전압(Vth)를 제어하기 위한 채널 이온 주입층(도시하지 않음)을 형성한다. 계속해서, 막 두께 6㎚ 정도의 더미 SiO_2막(30)을 형성하고, 이 SiO_2막(30) 상에 더미 게이트 패턴이 되는 실리콘 질화막(31)을 예를 들어 막 두께 200㎚ 정도 퇴적한다. 그 후, 예를 들면 리소그래피법과 RIE법 등을 이용하여, 더미 게이트막의 실리콘 질화막(31)을 가공하고 더미 게이트 패턴을 형성한다.

다음에, LDD 구조를 형성하기 위해서, 더미 게이트 패턴의 Si_3N_4막(31)을 마스크로 해서 예를 들어 인(P^+) 이온의 주입을 70keV, 4×10^{13} ㎝$^{-2}$ 정도 행하고, n^- 형 확산층(6a)를 형성한다. 계속해서, SiO_2막을 전면에 퇴적한 후, 전면 RIE를 행하여, 더미 게이트 패턴의 측벽부에 SiO_2막을 남기는 「SiO_2의 측벽 남김」을 행하고 더미 게이트 패턴의 측벽에 막 두께 30㎚ 정도의 SiO_2막(7)을 형성한다. 그 후, 예를 들어 비소(As^+) 이온의 주입을 30keV, 5×10^{15} ㎝$^{-2}$ 정도 행하고, n^+ 형 확산층(6b)을 형성하여 소위 LDD 구조를 형성한다. 또, 여기서는 LDD 구조를 이용하고 있지만, n^- 형 확산층만 혹은 n^+ 형 확산층만의 소위 싱글 소스 드레인 구조라도 좋다. 또한, 더미 게이트 패턴이나 LDD의 SiO_2막을 형성하는 경우, Si 기판(1)이 에칭 대미지를 받지 않도록 에칭 조건을 설정하는 것이 중요하다.

다음에, 도 5b에 도시한 바와 같이, 전면에 스토퍼 Si_3N_4막(8)을 예를 들어 막 두께 20㎚ 정도 퇴적하고 그 후 BPSG막 등의 층간 절연막(9)을 예를 들어 400㎚ 정도 퇴적한다. 또, 여기서는 생략했지만 스토퍼 Si_3N_4막(8)과 Si 기판 계면에, 예를 들어 막 두께 5㎚ 정도의 얇은 SiO_2막(도시하지 않음)을 형성해도 좋다. 이렇게 하면, 후의 공정에서 스토퍼 Si_3N_4막(8)을 박리하는 경우에, Si 기판에 에칭 대미지를 주지 않고서 스토퍼 Si_3N_4막(8)을 박리할 수 있는 이점이 있다. 다음에, CMP에 의해 평탄화를 행하고 게이트 패턴 상의 스토퍼 Si_3N_4막(8)의 표면을 노출시킨다.

이 후, CMP 시에 가능한 미세한 상처를 없애기 위해 예를 들어 800℃ 정도의 N_2분위기로 30분 정도 덴시파이(또는 멜트)를 행한다. 이 열 공정은 소스 · 드레인의 이온 주입층의 활성화도 겸하고 있다. 확산층의 깊이(Xj)를 억제하고자 할 때는 덴시파이의 온도를 750℃ 정도로 저온화하고, 950℃에서 10초 정도의 RTA 프로세스와 병용해서 이온 주입층의 활성화를 행해도 좋다. 이 공정은 BPSG막(9)을 CMP하기 전에 행해도 좋으며, CMP를 행한 후에 재차 BPSG막을 200㎚ 정도의 막 두께 퇴적하고, 고온(800℃ 정도)에서 멜트를 행한 후, 전면을 습식 에칭하여 게이트 패턴 상의 스토퍼 Si_3N_4막(8)의 표면을 노출시켜도 좋다.

다음에, 도 5c에 도시한 바와 같이, 통상의 리소그래피법에 의해 원하는 컨택트홀의 레지스트 패턴(33)을 형성하고, 이것을 마스크로 해서 BPSG막 등의 층간 절연막(9)의 이방성 에칭을 행한다. 이 때의 에칭은, BPSG막 등의 층간 절연막(9)의 에칭은 진행하지만, 스토퍼 Si_3N_4막(8)의 에칭은 진행하지 않는 소위 선택 에칭의 조건을 사용한다. 이와 같은 BPSG막/ Si_3N_4막의 고선택비 에칭을 행함으로써, 컨택트의 에칭은 스토퍼 Si_3N_4막(8) 상에서 정지시킬 수 있다. 이와 같이 해서 컨택트 플러그를 매립하기 위한 구멍(16)을 형성한다.

다음에, 도 6d에 도시한 바와 같이, 레지스트(33)를 제거한 후, RIE법 등에 의해 컨택트의 저부의 스토퍼 Si_3N_4막(8)을 제거하고, Si 기판(1)을 노출시킨다. 이 때, 도시한 바와 같이 스토퍼 Si_3N_4막(8)이 게이트 측벽 SiO_2막(7)의 측벽부에 남을 수 있지만 트랜지스터 특성 상의 큰 문제는 없다. 물론, 전부 스토퍼 Si_3N_4막(8)을 제거하는 조건에서 에칭해도 좋다. 도 5b의 공정에서 설명한 바와 같이, 스토퍼 Si_3N_4막(8)과 Si 기판 계면에 예를 들면 5㎚ 정도의 SiO_2막(도시하지 않음)을 이용한 경우에는, 컨택트 영역의 Si_3N_4막(8)을 제거한 후에 컨택트 밑의 SiO_2막(도시하지 않음)을 제거하여 Si 기판을 노출시킨다.

다음에, 컨택트 플러그로서 예를 들어 메탈막 [텅스텐(W)막, Ru막, TiN막, 텅스텐니트 라이드막(WN_x) 등 혹은 이들의 적층막이라도 좋음]을 전면에 퇴적한다. 이 후, CMP에 의해서 평탄화를 행하고, 게이트 패턴 상의 스토퍼 Si_3N_4막(8) 또는 더미 게이트 패턴 Si_3N_4막(31)의 표면을 노출시킴과 동시에, 메탈재를 컨택트 영역에 매립하여 컨택트 플러그(11)를 형성한다. 물론, 이 때의 CMP의 조건은, 메탈재의 CMP 속도가 BPSG막(9)이나 Si_3N_4막(8, 5)에 대해 빠른 조건(메탈 CMP 조건)을 선택한다. 그 후, 노출한 스토퍼 Si_3N_4막(8) 및 더미 게이트 패턴의 Si_3N_4막(31)을 선택적으로 제거하고 홈(17)을 형성한다.

다음에, 도 6e에 도시한 바와 같이, 더미 SiO_2막(30)을 박리해서 Si 기판 표면을 노출한 후, 전면에 게이트 절연막(34)으로서 예를 들어 고유전체막[Ta_2O_5나 (Ba, Sr) TiO_3막 등]을 막 두께 20㎚ 정도 퇴적한다. 이 때, Si 계면과의 사이에 소위 계면 준위 등이 완성되기 어렵도록, 얇은 (예를 들면 1㎚ 정도) SiO_2막 (도시하지 않음), 계면 RTP를 이용해서 NH_3가스 분위기로 Si 표면에 직접 질화한 막(도시하지 않음), Si_3N_4막(도시하지 않음) 등을 사이에 두고 고유전체막을 퇴적해도 좋다. 또한, 게이트 절연막으로서 CVD-SiO_2막, CVD-SiO_xN_y막 혹은 CVD-Si_3N_4막을 포함하는 적층막을 이용해도 좋다. 이들의 경우에는, 막 형성 후에 예를 들면 1000℃, 10초 정도의 RTA에 의한 열 처리를 행해서 덴시파이해도 좋다. 이렇게 하면, Si 계면의 계면 준위가 감소하거나 누설 전류가 감소하는 등 절연막으로서의 절연 특성이 개선된다. 컨택트 플러그(11)와 Si 기판 간의 컨택트 특성이 열화되지 않는 조건을 선택하는 것이 중요하다.

다음에, 게이트 전극으로서 예를 들면 메탈막[35 ; Ru막, TiN막, W막, 텅스텐 니트라이드막(WN_x) 등 혹은 이들의 적층막이라도 좋음]을 전면에 퇴적한다. 물론, CVD-SiO_2막, CVD-SiON막 혹은 CVD-Si_3N_4막을 포함하는 적층막이 게이트 절연막인 경우에는, 불순물을 도프한 다결정 Si를 게이트 전극으로서 이용해도 된다. 그 후, 전면을 메탈 CMP 조건에서 CMP함으로써, 메탈 전극(35) 및 고유전체 게이트 절연막(34)을 더미 게이트 패턴(31)을 제거한 후의 홈(17) 내에 매립하고, 메탈 게이트 전극을 형성한다.

다음에, 전면에 층간 절연막으로서 SiO_2막(도시하지 않음)을 약 200㎚ 정도의막 두께로 퇴적한 후, 소스·드레인으로의 컨택트(도시하지 않음), 게이트 전극으로의 컨택트(도시하지 않음)를 개구하고 배선층이 되는 Al층을 패터닝해서 배선(도시하지 않음)을 형성한다. 또한, 전면에 패시베이션막(도시하지 않음)을 퇴적하여 트랜지스터의 기본 구조가 완료된다. 물론, 제2 실시 형태에서 설명한 듀얼 상감법에 의한 배선법을 이용해도 좋다.

이상과 같은 제조 방법에 의해, 소스·드레인의 활성화 및 리플로우 공정 등의 고온 열처리 공정을 게이트 절연막인 고유전체막 형성 전에 실시할 수 있으므로, 고유전체 게이트 절연막 또는 메탈 전극은 고온 공정을 받는 일없이 누설 전류 증가 등의 게이트 절연막의 열화를 억제할 수 있다. 즉, 고유전체 게이트 절연막을 이용한 트랜지스터를 실현할 수 있으며, 게이트 절연막의 산화막 환산 막 두께를 작게 할 수 있으고, 트랜지스터의 쇼트 채널 효과를 억제하거나 드레인 전류를 크게 할 수 있는 등의 소자 특성 향상을 달성할 수 있다. 또한, 게이트 전극과 소스·드레인 확산층의 내압이나 소자의 신뢰성을 향상시킬 수 있다. 또한, 게이트 전극의 가공법을 RIE에서 CMP로 바꿈으로써, 메탈 전극의 재료의 선택의 제약(예를 들면 내열성 등)이 없어지며 고유전체막의 누설 전류가 저하되는 메탈 전극 재료를 선택할 수 있다. 또한, RIE 시에 있었던 게이트 전극 형성 시의 플라즈마 프로세스 대미지 (게이트 절연막의 절연 파괴 등)를 회피할 수 있다. 또한, 먼저 소스·드레인을 형성하지만, 소스·드레인에 대해 자기 정합적으로 게이트 전극이 형성되며, 게이트 전극과 소스·드레인은 종래와 같이 자기 정합적으로 형성될 수 있다. 또한, 게이트 전극과 컨택트 플러그가 자기 정합적으로 형성될 수 있기 때문에, 컨택트와 게이트 전극 간의 거리를 가까이 할 수 있으며, 소자의 집적도를 향상시킬 수 있게 된다. 또한, 게이트 전극과 컨택트 플러그 간을 실리콘 질화막에 비해 유전율이 작은 산화막으로 형성할 수 있기 때문에, 게이트 전극과 소스·드레인 간의 용량을 작게 할 수 있으며 소자의 고속화를 달성할 수 있는 등의 특징이 있다.

다음에, 본 발명의 제4 실시 형태에 대해 설명한다. 도 7은 제4 실시 형태에서의 제조 공정의 일부를 나타낸 단면도이다.

본 실시 형태는 제1 및 제3 실시 형태에서 설명한 바와 같이, 전면에 스토퍼 Si_3N_4막(8)을 예를 들면 막 두께 20㎚ 정도 퇴적하고 그 후 BPSG막 등의 층간 절연막(9)을 예를 들어 400㎚ 정도 퇴적할 때에, 스토퍼 Si_3N_4막(8)과 Si 기판(1)의 계면에 예를 들어 막 두께 5㎚ 정도의 ??은 SiO_2막(36)을 열산화 등에 의해 형성한 경우의 예이다. 이렇게 하면, 스토퍼 Si_3N_4막(8)을 제거하는 경우에 Si 기판에 대미지를 주지 않고서 스토퍼 Si_3N_4막(8)을 박리할 수 있게 되는 이점이 있다.

다음에, 본 발명의 제5 실시 형태에 대해 설명한다. 도 8은 제5 실시 형태에서의 제조 공정의 일부를 나타낸 단면도이다.

제1 실시 형태에서는 통상의 소스 · 드레인을 이용하는 예를 설명했지만, 얕은 소스 · 드레인 확산층의 저항을 내리기 위해서 소스 · 드레인 확산층의 표면에 티탄(Ti)이나 코발트(Co) 등의 실리사이드막(37)을 선택적으로 형성할 수도 있다.

본 예에서는, 실리사이드막(37)의 형성 시에 게이트 전극의 메탈막은 아직 형성되어 있지 않기 때문에, 실리사이드화를 위해 열 공정(예를 들면, 600℃, 30분 정도)으로 게이트 전극이 열화하는 일은 없다. 또한, 실리사이드막(37)과 게이트 전극은 측벽 SiO_2막(7) 등으로 분리되어 있기 때문에, 실리사이드막(37)과 게이트 전극의 쇼트가 회피될 수 있다고 하는 특징이 있다.

다음에, 본 발명의 제6 실시 형태에 대해 설명한다. 도 9는 제6 실시 형태에서의 제조 공정의 일부를 나타낸 단면도이다.

제1 실시 형태에서는 통상의 소스 · 드레인을 이용하는 예를 설명했지만, 본 실시 형태에서는 소스 · 드레인 확산층의 저항을 내리기 위해 선택 에피택셜 Si 성장법을 이용해서 소스 · 드레인층(6) 상에 에피택셜 Si층(38)을 예를 들어 50㎚ 정도의 막 두께로 선택적으로 형성하고 있다. 에피택셜 Si층(38)을 형성하고나서 소스 · 드레인의 이온 주입을 행해도 좋으며, 에피택셜 Si층을 형성하기 전에 소스 · 드레인의 이온 주입을 행해도 좋다.

본 예에서는, 선택 에피택셜 Si막의 형성 시에 게이트 전극의 메탈막은 아직 형성되어 있지 않으며, 선택 에피택셜 Si 성장 시의 열 공정 (예를 들면, 1000℃에서의 Si 표면의 자연 산화막을 제거하는 위한 전 처리나 700℃ 정도의 Si 에피택셜 성장)으로 메탈을 이용한 게이트 전극은 열화하지 않는다. 또한, 선택 에피택셜 Si막과 게이트 전극은 측벽 SiO_2막(7) 등으로 분리되어 있기 때문에, 선택 에피택셜 Si막과 게이트 전극의 쇼트를 회피할 수 있는 특징이 있다.

다음에, 본 발명의 제7 실시 형태에 대해 설명한다. 도 10a 및 도 10b는 제7 실시 형태에서의 제조 공정의 일부를 나타낸 단면도이다.

제1 실시 형태 등에서는 컨택트 플러그를 먼저 형성한 후 게이트 전극의 메탈층을 형성하는 예를 설명했다. 본 실시 형태에서는 컨택트 플러그와 게이트 전극의 메탈층을 동시에 형성하는 예를 설명한다.

도 10a는 도 2c의 공정의 후에 계속되는 공정이다. 우선, 컨택트홀의 RIE 후, 노출하고 있는 스토퍼 Si_3N_4막(8) 및 캡 Si_3N_4막(5)을 예를 들어 RIE법 혹은 핫 인산 (165℃의 H_3PO_4용액)이나 불산 글리세롤액 등으로 산화막 및 Si에 대해 선택적으로 제거하고, 컨택트홀 저부의 Si 기판이나 게이트 전극의 폴리실리콘층(4)의 표면을 노출시킨다.

다음에, 도 10b에 도시한 바와 같이, 컨택트 플러그 및 게이트 전극의 메탈 전극부로서 예를 들면 메탈막 [텅스텐(W)막, Ru막, TiN막, 텅스텐 니트라이드막(WN_x) 등 혹은 이들의 적층막이라도 좋음]을 전면에 퇴적한다. 그 후, CMP로 평탄화를 행하고 컨택트의 개공부 및 캡 Si_3N_4막(5)을 제거한 후의 홈에 상기 메탈막을 동시에 매립하고, 컨택트 플러그(40a) 및 게이트 전극의 메탈 전극부(40b)를 형성한다. 물론, 이 때의 CMP의 조건은 메탈재의 CMP 속도가 BPSG막(9)이나 SiO_2막(7)에 대해 빠른 조건(메탈 CMP 조건)을 선택한다.

이와 같은 제조 방법에 따르면, 컨택트 플러그와 메탈 게이트 전극의 형성을 동시에 할 수 있으므로, 공정의 간략화가 시도된다. 그 외의 메리트는 제1 실시 형태 등과 마찬가지이다.

다음에, 본 발명의 제8 실시 형태에 대해 설명한다. 도 11a 도 11c는 제8 실시 형태에서의 제조 공정의 일부를 나타낸 단면도이다.

제7 실시 형태에서는 컨택트 플러그와 메탈 게이트 전극을 동시에 형성하는 예를 설명했다. 본 실시 형태에서는 컨택트 플러그의 형성 시에 컨택트 플러그 형성 영역에 미리 후의 공정에서 제거하기 쉬운 재료를 매립해 둔 예를 설명한다.

도 11a는 도 2c의 공정 후에 계속되는 공정이다. 우선, RIE법 등에 의해 컨택트홀의 저부의 스토퍼 Si_3N_4막(8)을 제거하고, Si 기판 표면을 노출시킨다. 계속해서, 컨택트 플러그 형성 영역에 도포형의 산화막 [SOG(Spin on Glass)나 SiO_2 등의 막 (예를 들면 FOX 등)]을 도포하고, 이것을 저온으로 베이크하여 산화막으로 바꾼다. 그 후, 전면을 CMP하여 SOG나 FOX 등의 더미막(50)을 컨택트 플러그 형성 영역에 매립한다. 예를 들면, SOG나 FOX는 통상의 산화막에 대해, 희석한 불산 등에 대한 에칭 속도가 약 100배 정도 빠른 것 등의 특징이 있다. 또한, FOX는 통상의 산화막은 에칭되지 않는 알칼리액에 대해서도 에칭되는 등의 특징이 있다.

다음에, 도 11b에 도시한 바와 같이, 노출된 캡 Si_3N_4막(5)을 예를 들어 핫 인산 (165℃의 H_3PO_4 용액)이나 불산 글리세롤액 등으로 산화막 및 Si에 대해 선택적으로 제거한다. 컨택트 플러그 영역은 FOX막(50)으로 덮어져 있으며 에칭되지 않는다.

다음에, 도 11c에 도시한 바와 같이, 컨택트 플러그 영역의 FOX막(50)을 예를 들어 알칼리 용액 (예를 들면, 레지스트의 현상에 이용하는 현상액 등)에 침지시킴으로써 선택 제거한다. 그 후, 컨택트 플러그 및 게이트 전극의 메탈 전극부로서 예를 들어 메탈막 [텅스텐(W)막, Ru막, TiN막, 텅스텐 니트라이드막(WN_x) 등 혹은 이들의 적층막이라도 좋음]을 전면에 퇴적한다. 그 후, 전면을 CMP해서 평탄화를 행하고, 컨택트의 개공부 및 캡 Si_3N_4막(5)을 제거한 후의 홈에 상기 메탈막을 동시에 매립하고, 컨택트 플러그(51a) 및 게이트 전극의 메탈 전극부(51b)를 동시에 형성한다. 물론, 이 때의 CMP의 조건은 메탈재의 CMP 속도가 BPSG막(9)이나 SiO_2막(7)에 대해 빠른 조건(메탈 CMP 조건)을 선택한다.

이와 같은 제조 방법에 따르면, 컨택트 플러그 영역의 저부 코너에서의 스토퍼 Si_3N_4막(8)의 후퇴를 막을 수 있게 된다. 또한, 제7 실시 형태와 마찬가지로, 컨택트 플러그와 메탈 게이트 전극이 동시에 형성될 수 있기 때문에 공정의 간략화가 시도된다. 그 밖의 메리트는 제1 실시 형태 등과 마찬가지이다.

다음에, 본 발명의 제9 실시 형태에 대해 설명한다. 도 12a 도 12c는 제9 실시 형태에서의 제조 공정의 일부를 나타낸 단면도이다.

제7 및 제8 실시 형태에서는 폴리실리콘 및 메탈로 이루어진 게이트 전극의 메탈 전극부와 컨택트 플러그를 동시에 형성하는 예를 설명했다. 본 실시 형태에서는 메탈만의 게이트 전극의 경우의 컨택트 플러그를 형성할 때에, 컨택트 플러그 영역에 미리 후의 공정에서 제거하기 쉬운 재료를 매립해 두는 예를 설명한다.

도 12a는 도 5c의 공정 후에 계속되는 공정이다. 우선, RIE법 등에 의해 컨택트의 저부의 스토퍼 Si_3N_4막(8)을 제거하고, Si 기판(1) 표면을 노출시킨다. 계속해서, 컨택트 플러그 영역에 도포형의 산화막 [SiO_2 등의 막(예를 들면 FOX)나 SOG 등]을 도포하고, 저온 (예를 들면 150℃ 정도)에서 베이크해서 산화막으로 바꾼다. 그리고, 전면을 CMP 혹은 RIE법으로 에치백하여 컨택트 플러그 영역에 SOG나 FOX 등의 더미막(50)을 매립하고, 더미 게이트 Si_3N_4막(31)을 노출시킨다.

다음에, 도 12b에 도시한 바와 같이, 노출된 더미 게이트 Si_3N_4막(31)을 예를 들어 핫 인산 (165℃의 H_3PO_4 용액)이나 불산 글리세롤액 등으로 산화막 및 Si에 대해 선택적으로 제거한다. 컨택트 플러그 영역은 더미막이 되는 FOX막(50)으로 덮여 있으며 스토퍼 Si_3N_4막(8)은 에칭되지 않는다.

다음에, 더미 SiO_2막(30)을 박리하여 Si 기판(1) 표면을 노출한 후, 전면에 게이트 절연막(52)으로서 예를 들면 고유전체막 [Ta_2O_5막이나 (Ba, Sr) TiO_3막 등]을 막 두께 20㎚ 정도 퇴적한다. 이 때, Si 계면과의 사이에 소위 계면 준위 등이 완성되기 어렵도록, 계면에 얇은 (예를 들면 1㎚ 정도) SiO_2막(도시하지 않음), 계면을 RTP를 이용하여 NH_3가스 분위기에서 Si 표면에 직접 질화한 막(도시하지 않음), Si_3N_4막(도시하지 않음) 등을 사이에 두고 고유전체막을 퇴적해도 좋다. 또한, 게이트 절연막은 CVD-SiO_2, CVD-SiO_xN_y막 혹은 CVD-Si_3N_4막을 포함하는 적층막이라도 좋다. 이들의 경우에는, 막 형성 후에 예를 들면 1000℃, 10초 정도의 RTP에 의한 열처리를 행하여 덴시파이해도 좋다. 이렇게 하면, Si 계면의 계면 준위가 감소하거나 누설 전류가 감소하는 등 절연막으로서의 절연 특성이 개선된다. 컨택트 플러그 영역에는 아직 메탈재가 형성되어 있지 않으므로, 게이트 절연막의 형성 공정에서의 고온 공정에 대한 제약을 완화할 수 있다.

다음에, 게이트 전극으로서 예를 들면 메탈막[53 ; Ru막, TiN막, W막, 텅스텐 니트라이드막(WN_x) 등 혹은 이들의 적층막이라도 좋다]을 전면에 퇴적한다. 물론, CVD - SiO_2막, CVD - SiON막 혹은 CVD - Si_3N_4막을 포함하는 적층막이 게이트 절연막인 경우에는, 불순물을 도프한 다결정 Si를 게이트 전극으로서 이용해도 좋다. 다음에, 전면을 메탈 CMP 조건으로 CMP함으로써 메탈 전극(53) 및 고유전체 게이트 절연막(52)을 더미 게이트를 제거한 후의 홈 내에 매립하고 메탈 게이트 전극을 형성한다.

다음에, 도 12c에 도시한 바와 같이, 컨택트 플러그 영역의 FOX막(50)을 예를 들면 알칼리 용액 (예를 들면, 레지스트의 현상에 이용하는 현상액 등)이나 희석한 불산 용액에 침지시킴으로써 선택 제거한다. 그 후, 예를 들면 메탈막[54 ; 텅스텐(W)막, Ru막, TiN막, 텅스텐 니트라이드막(WN_x) 등 혹은 이들의 적층막이라도 좋다]을 전면에 퇴적한다. 계속해서, CMP에 의해 평탄화를 행하고, 컨택트의 개공부에 상기 메탈막을 매립하여, 컨택트 플러그(54)를 형성한다. 물론, 이 때의 CMP의 조건은 메탈재의 CMP 속도가 BPSG막(9)이나 SiO_2막(7)에 대해 빠른 조건 (메탈 CMP 조건)을 선택한다.

이상과 같은 제조 방법에 따르면, 메탈만을 이용한 게이트 전극의 경우에도 컨택트 플러그와 메탈 게이트 전극을 자기 정합적으로 형성할 수 있다. 컨택트 플러그를 메탈 게이트 전극의 형성 후에 형성하므로, 게이트 절연막의 형성 공정 시의 고온 공정으로의 제약이 완화된다고 하는 특징이 있다. 그 외의 메리트는 제1 실시 형태 등과 마찬가지이다.

이상, 본 발명의 실시 형태에 대해 설명했지만 본 발명은 이들의 실시 형태에 한정되는 것은 아니고 그 취지를 이탈하지 않은 범위 내에서 다양하게 변형하여 실시 가능하다.

발명의 효과

본 발명에 따르면, 고온 열 공정을 게이트 전극 형성 전에 행할 수 있기 때문에, 저항치가 낮은 메탈재를 게이트 전극에 이용할 수 있으며, 고속화 등 소자 특성의 향상을 도모할 수 있다. 또한, 컨택트 플러그가 게이트 전극에 대해 자기 정합적으로 형성될 수 있기 때문에 소스 · 드레인의 컨택트와 게이트 전극과의 거리를 측벽 절연막의 두께분까지 가까이 할 수 있으며, 소자의 집적도를 올릴 수 있음과 동시에, 소자 특성의 향상을 도모할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판의 주면(主面) 측에 측면이 측벽 절연막으로 둘러싸여 적어도 더미 게이트막을 포함하는 게이트 구성 패턴을 형성하는 공정,

상기 게이트 구성 패턴의 양측의 반도체 기판에 소스 · 드레인 확산 영역을 형성하는 공정,

상기 측면이 측벽 절연막으로 둘러싸인 게이트 구성 패턴을 덮는 에칭 스토퍼용 스토퍼막을 형성하는 공정,

상기 스토퍼막으로 덮인 게이트 구성 패턴이 형성되어 있는 영역 이외의 영역에 제1 층간 절연막을 형성하는 공정,

상기 소스 · 드레인 확산 영역 상의 제1 층간 절연막을 상기 스토퍼막에 대해 선택적으로 제거하여 제1 오목부를 형성하는 공정, 및

상기 스토퍼막을 제거한 제1 오목부에는 상기 소스 · 드레인 확산 영역에 접속되는 컨택트 플러그재를 매립하고, 적어도 상기 더미 게이트막을 제거하여 얻어지는 제2 오목부에는 적어도 게이트 전극재를 매립하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2.

제1항에 있어서, 상기 게이트 구성 패턴은 반도체막 및 그 위의 더미 게이트막에 의해 형성되며, 상기 반도체막 아래에는 게이트 절연막이 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3.

제1항에 있어서, 상기 게이트 구성 패턴은 더미 게이트막에 의해서만 형성되며, 이 더미 게이트막 아래에는 더미 게이트 절연막이 형성되고, 상기 더미 게이트막 및 상기 더미 게이트 절연막을 제거하여 얻어지는 제2 오목부에 게이트 절연막을 사이에 두고 게이트 전극재를 매립한 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4.

제1항에 있어서, 상기 제1 층간 절연막을 형성하는 공정은

상기 스토퍼막 상에 소정의 절연막을 형성하는 공정, 및

상기 절연막을 상기 게이트 구성 패턴과 거의 같은 높이까지 평탄화하는 공정

으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5.

제1항에 있어서, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정은,

상기 스토퍼막을 제거한 제1 오목부에 컨택트 플러그재를 매립하는 공정, 및

그 후, 상기 더미 게이트막을 제거하여 얻어지는 제2 오목부에 게이트 전극재를 매립하는 공정

으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6.

제1항에 있어서, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정은

상기 스토퍼막을 제거한 제1 오목부에 컨택트 플러그재를 매립하는 공정, 및

그 후, 상기 더미 게이트막 및 그 아래의 더미 게이트 절연막을 제거하여 얻어지는 제2 오목부에 게이트 절연막을 사이에 두고 게이트 전극재를 매립하는 공정

으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7.

제1항에 있어서, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정은, 상기 스토퍼막을 제거한 제1 오목부 및 상기 더미 게이트막을 제거하여 얻어지는 제2 오목부에 동일 공정으로 상기 컨택트 플러그재 및 게이트 전극재가 되는 동일한 재료를 매립하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8.

제1항에 있어서, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정은

상기 스토퍼막을 제거한 제1 오목부에 소정의 더미 플러그재를 매립하는 공정,

제1 오목부에 더미 플러그재를 남긴 상태에서 상기 더미 게이트막을 제거하여 제2 오목부를 형성하는 공정,

상기 더미 플러그재를 제거하는 공정, 및

이 더미 플러그재를 제거한 제1 오목부 및 상기 제2 오목부에 동일 공정으로 상기 컨택트 플러그재 및 게이트 전극재가 되는 동일한 재료를 매립하는 공정

으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9.

제1항에 있어서, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정은

상기 스토퍼막을 제거한 제1 오목부에 소정의 더미 플러그재를 매립하는 공정,

제1 오목부에 더미 플러그재를 남긴 상태에서 상기 더미 게이트막 및 그 아래의 더미 게이트 절연막을 제거하여 제2 오목부를 형성하는 공정,

이 제2 오목부에 게이트 절연막을 사이에 두고 게이트 전극재를 매립하는 공정,

상기 더미 플러그재를 제거하는 공정, 및

상기 더미 플러그재를 제거한 제1 오목부에 컨택트 플러그재를 매립하는 공정

으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10.

제1항에 있어서, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정 후, 제2 층간 절연막을 형성하는 공정,

상기 제2 층간 절연막의 일부를 제거하여 그 패턴 위치가 상기 제1 오목부의 패턴 위치에 대해 상기 게이트 구성 패턴과 반대 방향으로 시프트된 제3 오목부를 형성하는 공정, 및

이 제3 오목부에 상기 제1 오목부에 매립된 컨택트 플러그재에 접속되는 도전재를 매립하는 공정

을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11.

제1항에 있어서, 상기 제1 오목부에 컨택트 플러그재를, 제2 오목부에 적어도 게이트 전극재를 매립하는 공정 후, 제2 층간 절연막을 형성하는 공정,

상기 제2 층간 절연막의 일부를 제거하여 그 패턴 위치가 상기 제1 오목부의 패턴 위치에 대해 상기 게이트 구성 패턴과 반대 방향으로 시프트된 제3 오목부 및 이 제3 오목부에 연속해 있는 배선용 제4 오목부를 형성하는 공정, 및

이들 제3 오목부 및 제4 오목부에 상기 제1 오목부에 매립된 컨택트 플러그재에 접속되는 도전재를 매립하는 공정

을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12.

반도체 기판의 주면 측에 게이트 절연막을 개재하여 형성된 반도체막 및 그 반도체막 상에 형성된 메탈막으로 이루어진 게이트 전극과,

상기 게이트 전극의 양측의 반도체 기판에 형성된 소스·드레인(source, drain) 확산 영역과,

상기 게이트 전극의 측면에 형성된 측벽 절연막과,

상기 소스·드레인 확산 영역에 접속되어 상기 측벽 절연막에 의해 상기 게이트 전극과 분리되어 그 상면의 높이가 상기 게이트 전극의 상면의 높이와 거의 동일한 컨택트 플러그를 포함하며,

상기 메탈막의 막 두께보다 상기 콘택트 플러그의 저면에서 상면까지의 거리가 큰 것을 특징으로 하는 반도체 장치.

청구항 13.

제12항에 있어서, 상기 컨택트 플러그와 그 상부 평면부의 일부와 상부 측면부의 일부에서 전기적으로 접속되어 있는 도전재부를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 14.

제12항 또는 제13항에 있어서, 상기 측벽 절연막은 실리콘 산화막인 것을 특징으로 하는 반도체 장치.

청구항 15.

반도체 기판의 주면측에 게이트 절연막을 개재하여 형성된 게이트 전극과,

상기 게기트 전극의 양측의 반도체 기판에 형성된 소스·드레인 확산영역과.

상기 게이트 전극의 측면에 형성된 측면 절연막과,

상기 소스·드레인 확산영역에 접속되어 상기 측벽 절연막에 의하여 상기 게이트 전극과 분리되어 그 상면의 높이가 상기 게이트 전극의 상면의 높이와 거의 동일한 콘택트 플러그와,

상기 콘택트 플러그와 그 상부 평면부의 일부와 상부 측면부의 일부에서 전기적으로 접속되어 있는 도전재부

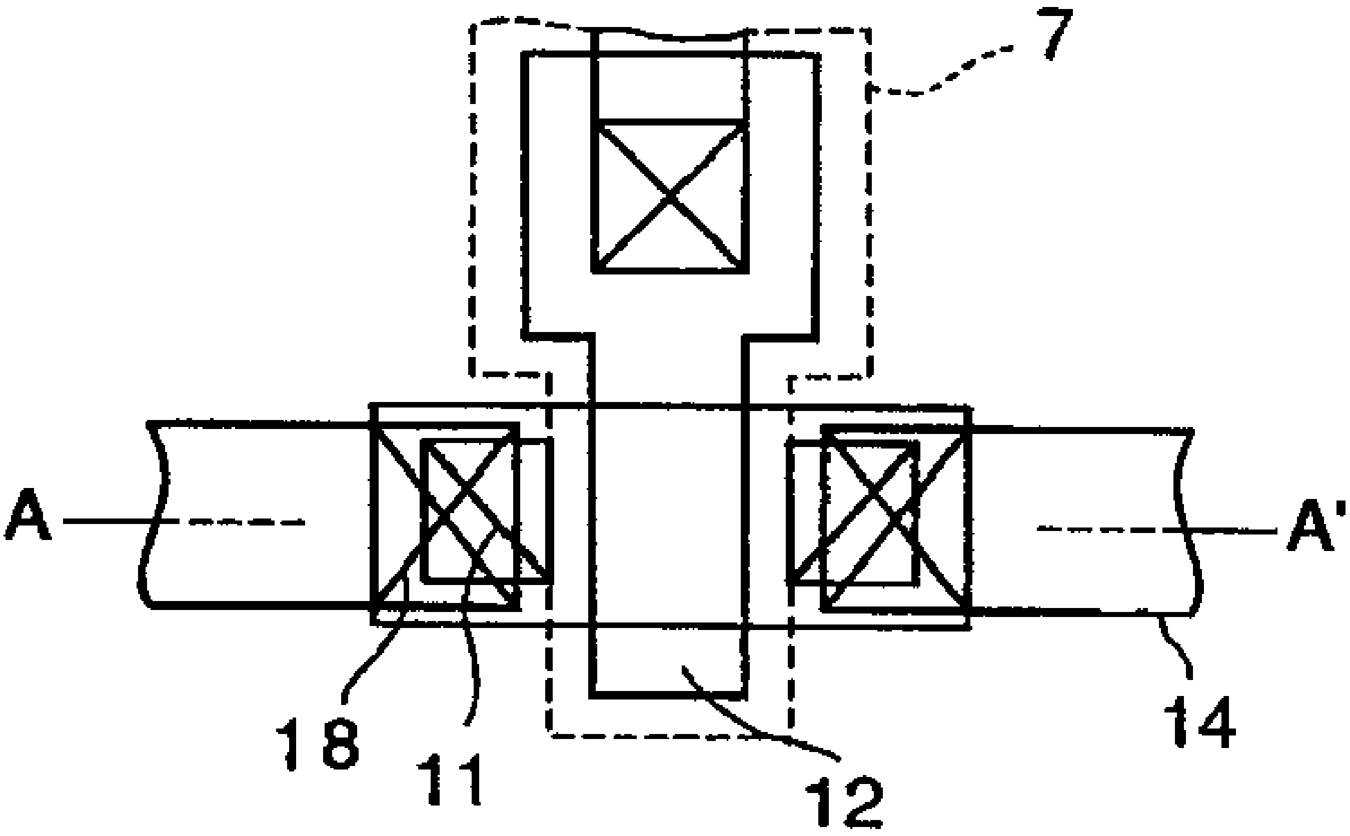
를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 16.

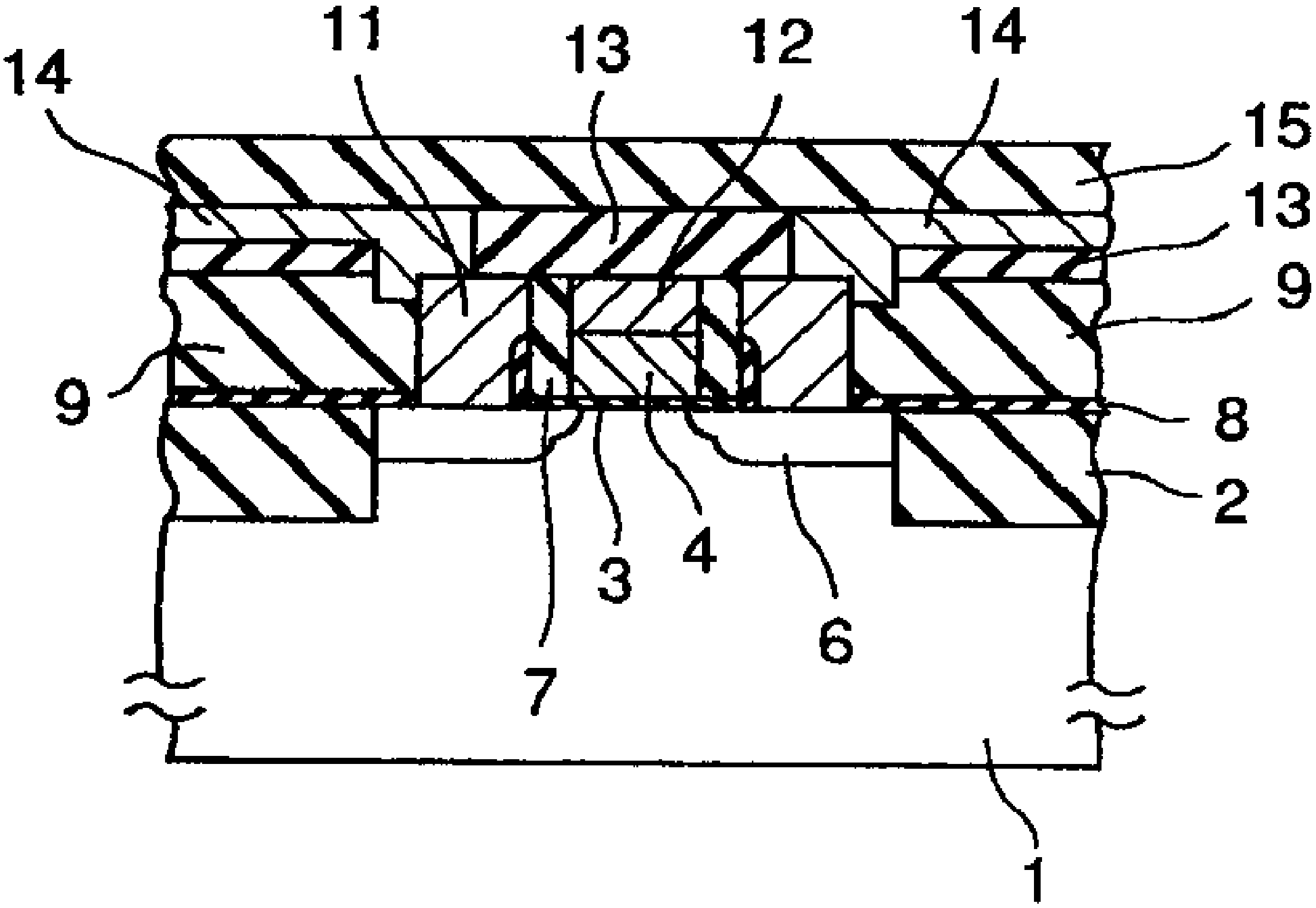
제15항에 있어서, 상기 측벽 절연막은 실리콘 산화막인 것을 특징으로 하는 반도체 장치.

도면

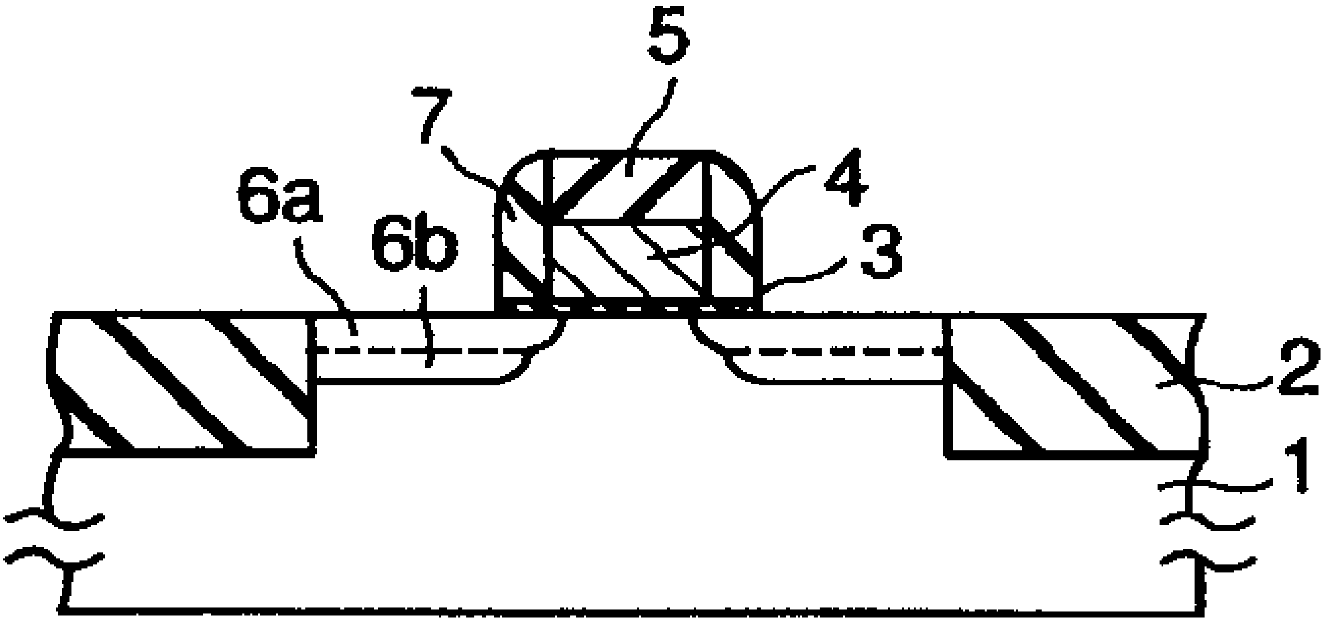
도면 1a



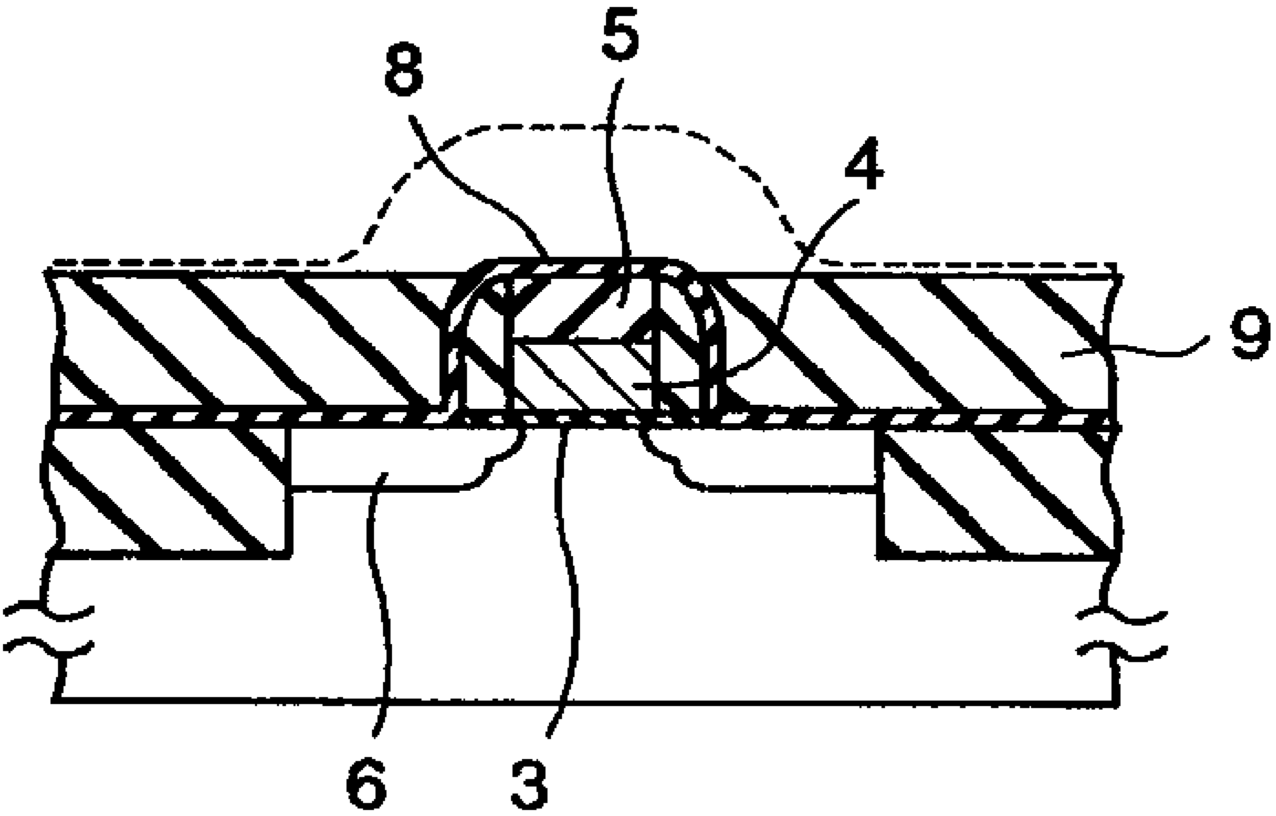
도면 1b



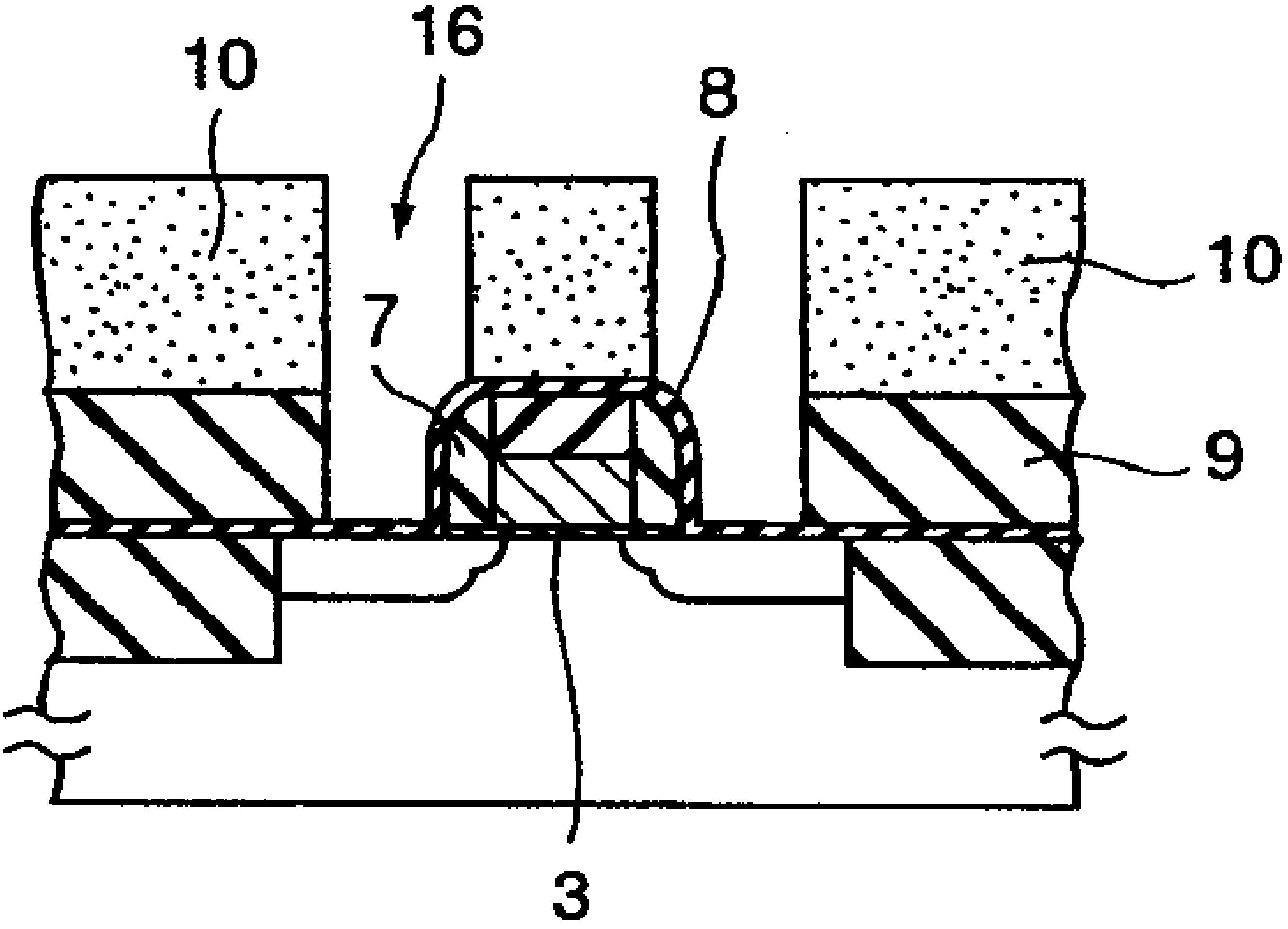
도면 2a



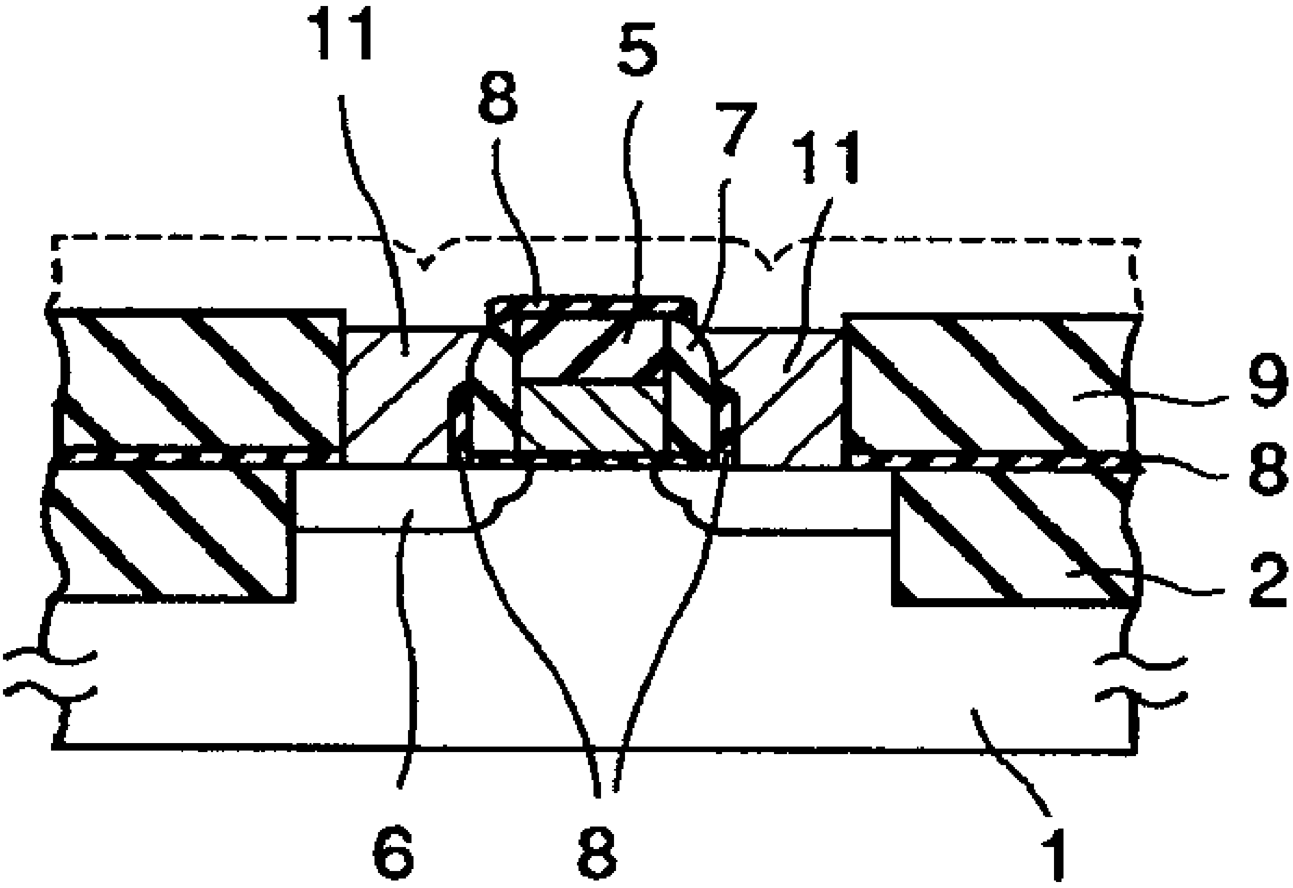
도면 2b



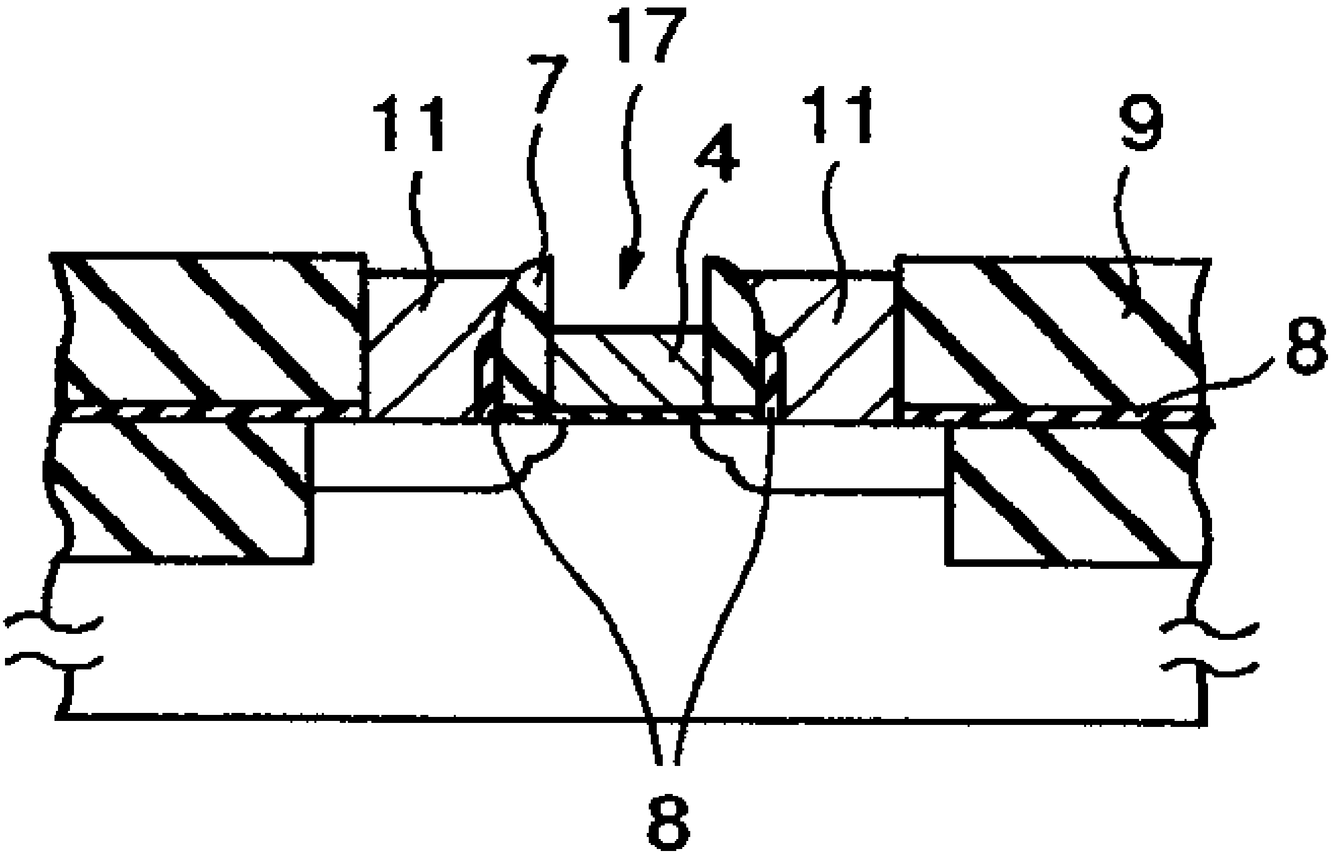
도면 2c



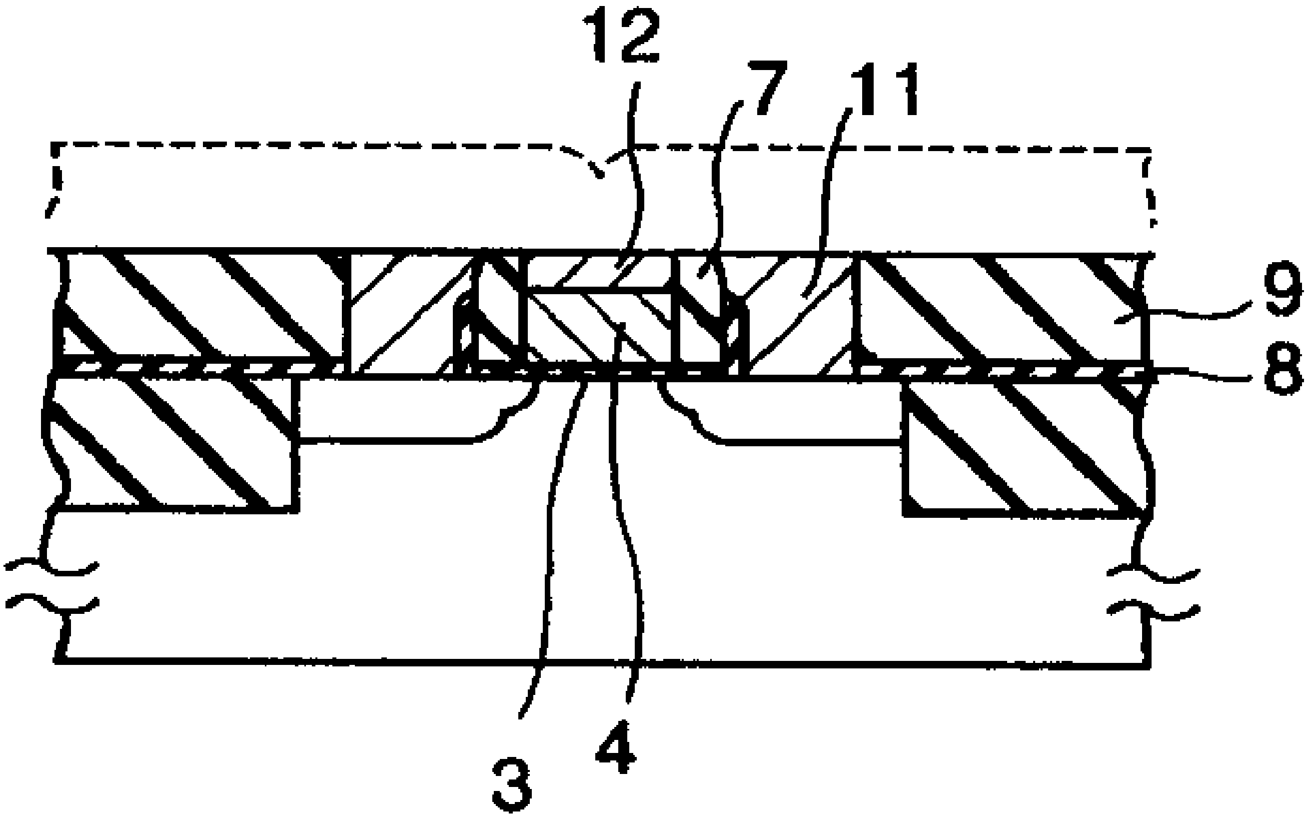
도면 3d



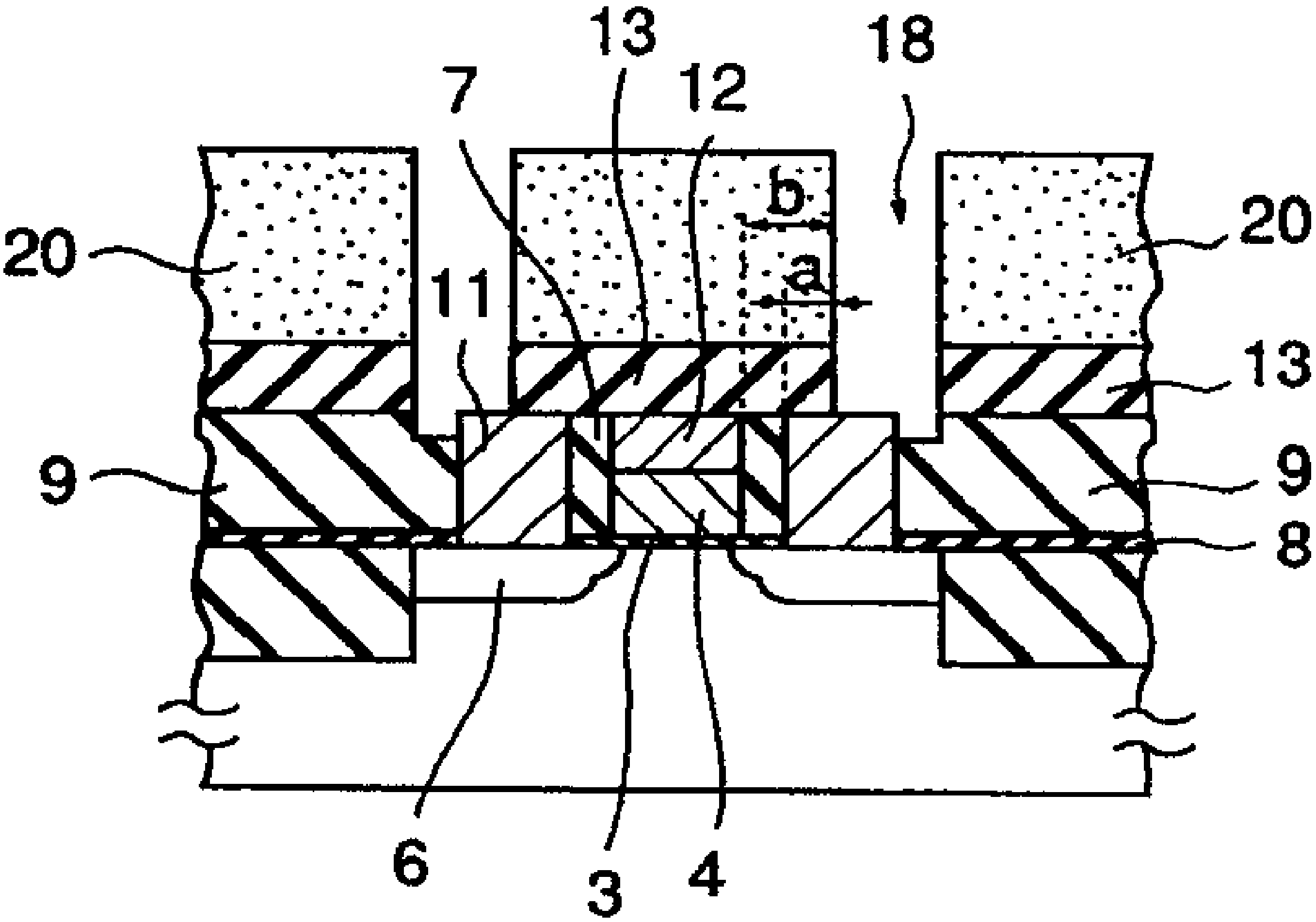
도면 3e



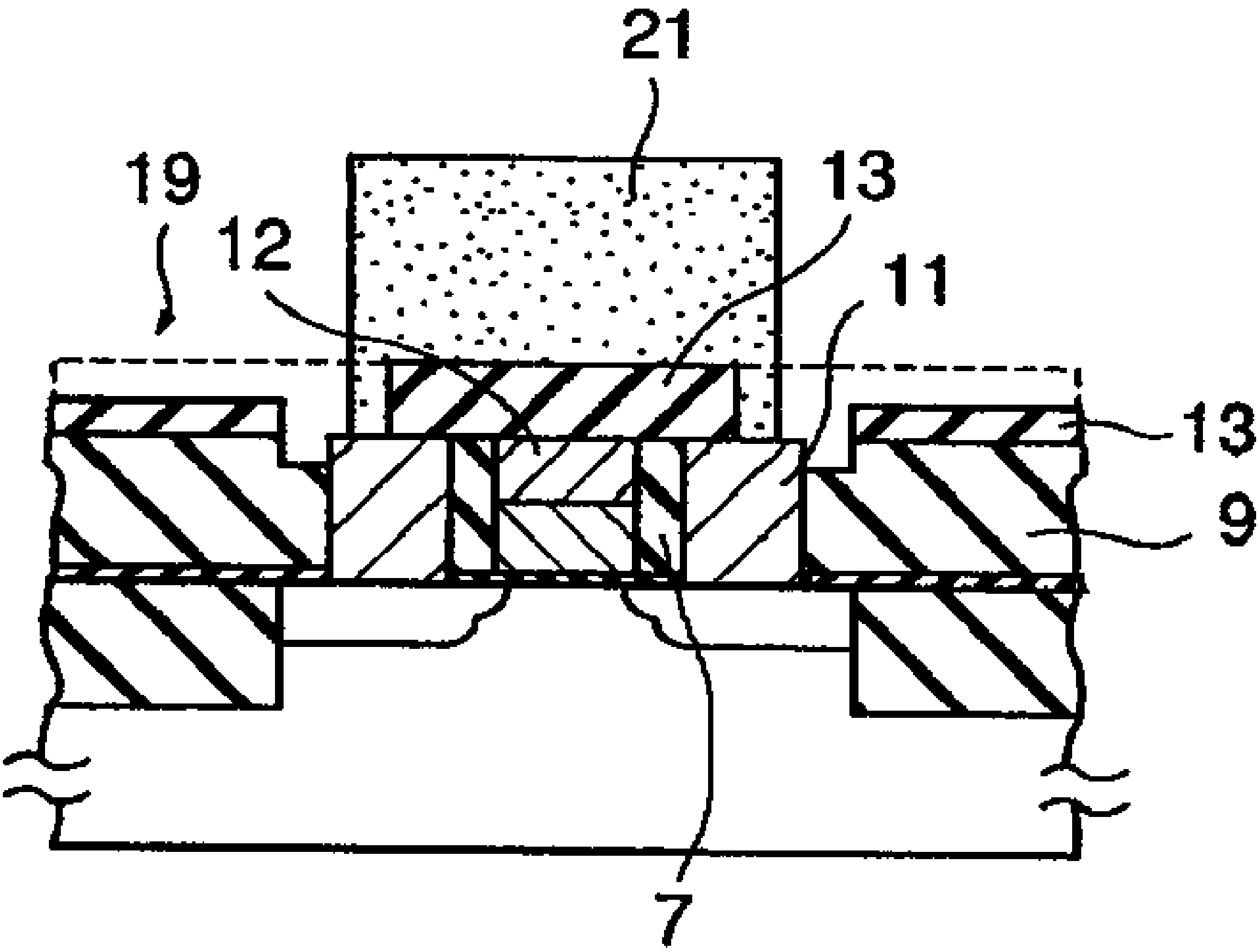
도면 3f



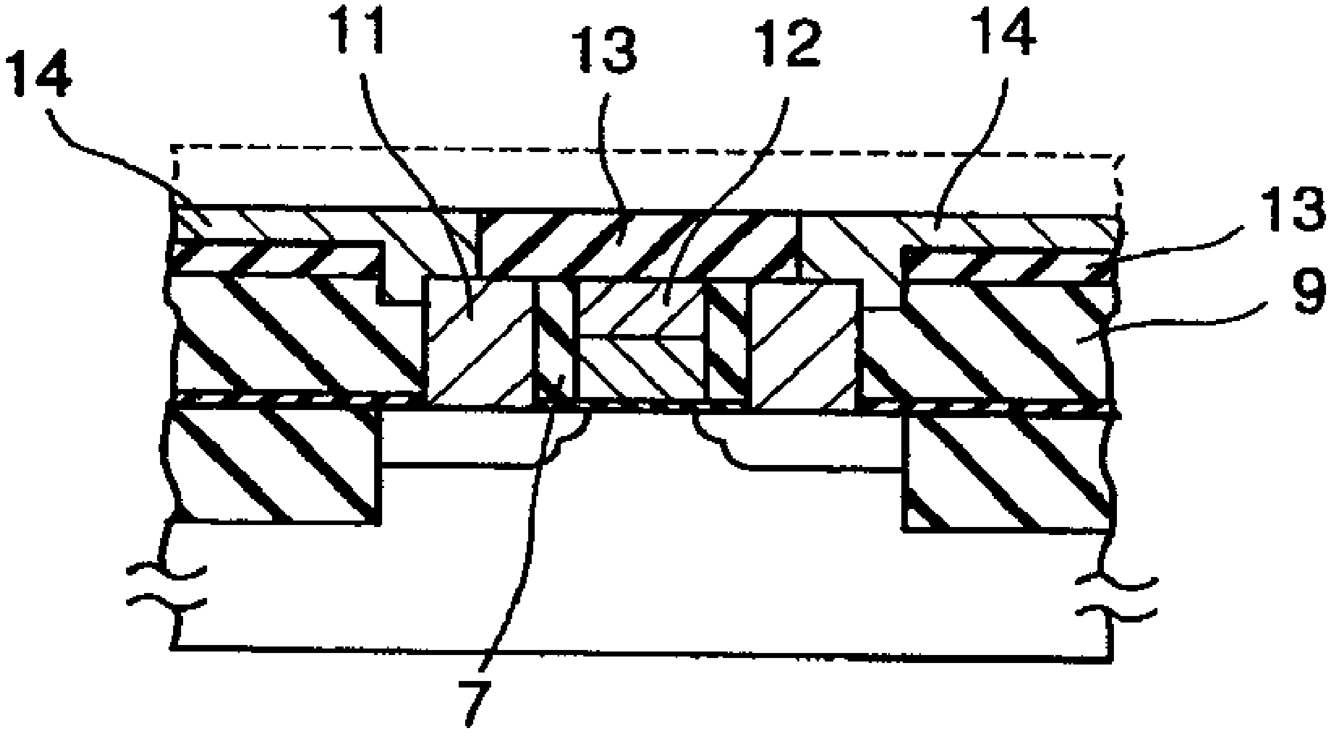
도면 4a



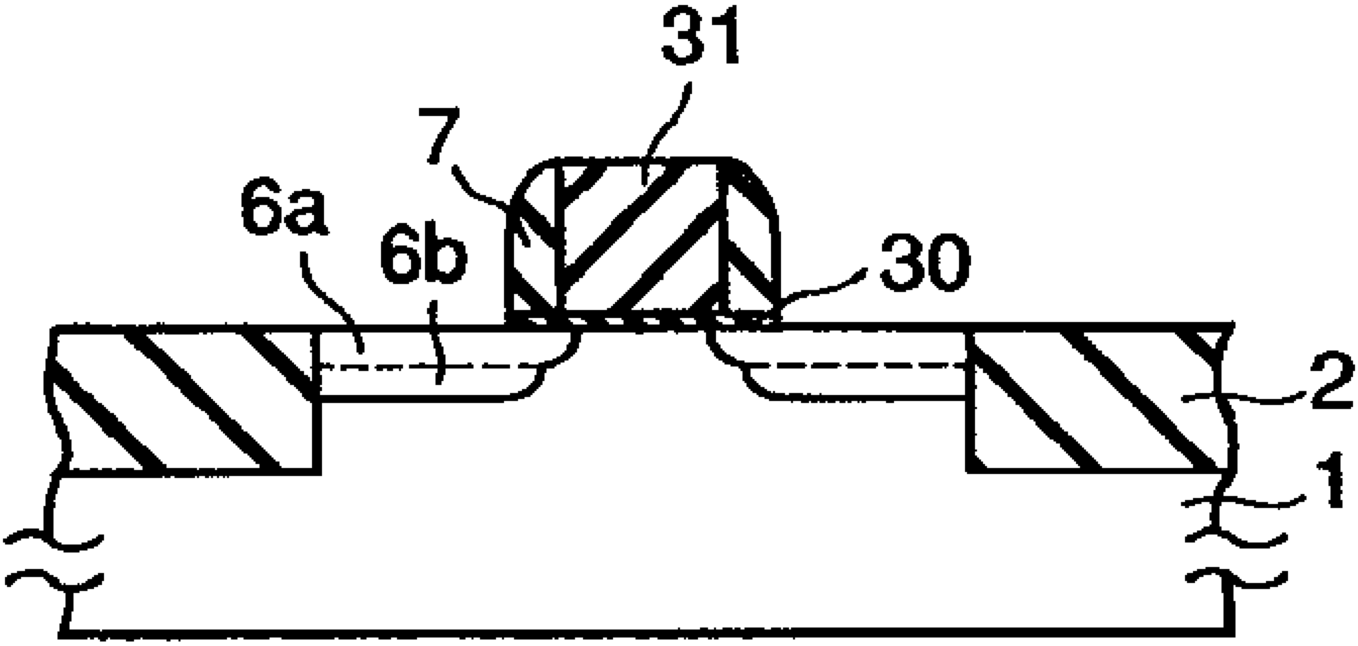
도면 4b



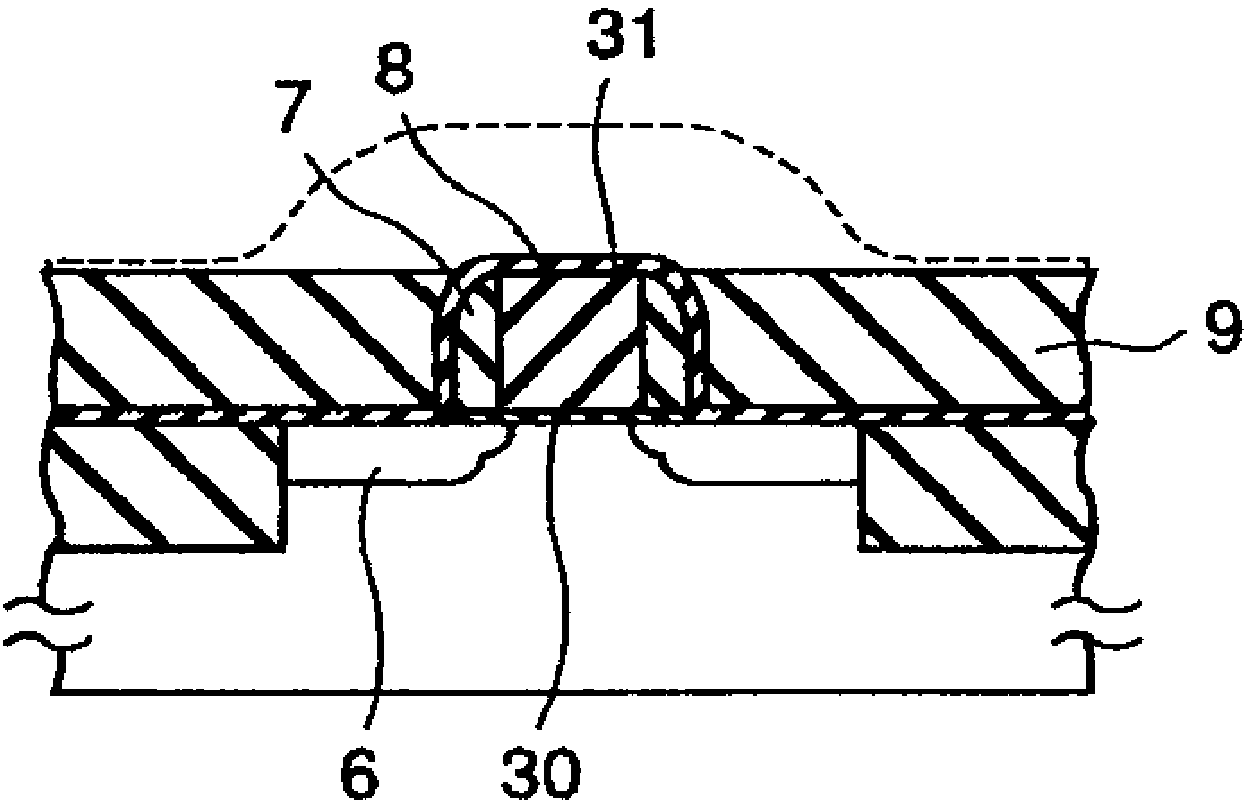
도면 4c



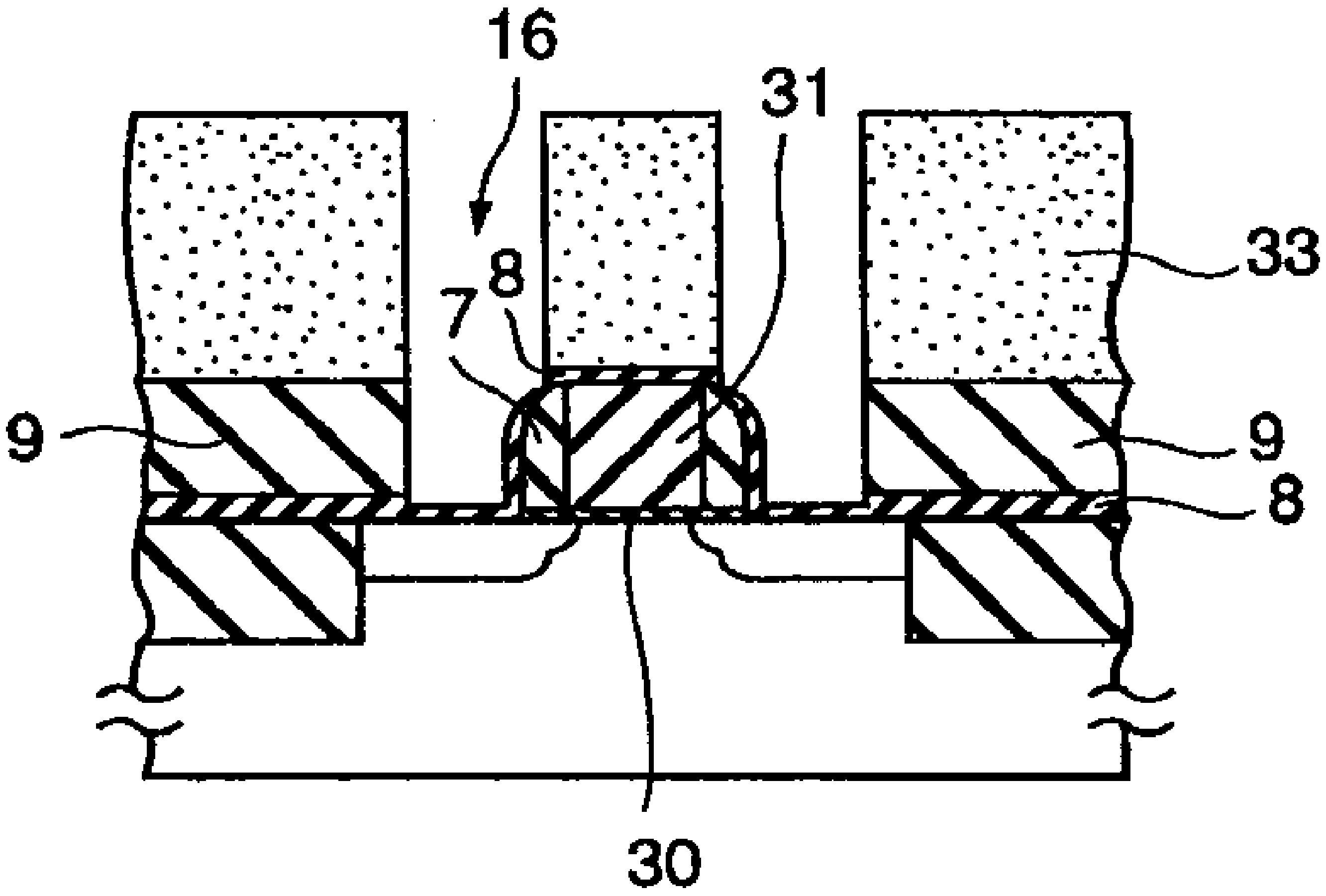
도면 5a



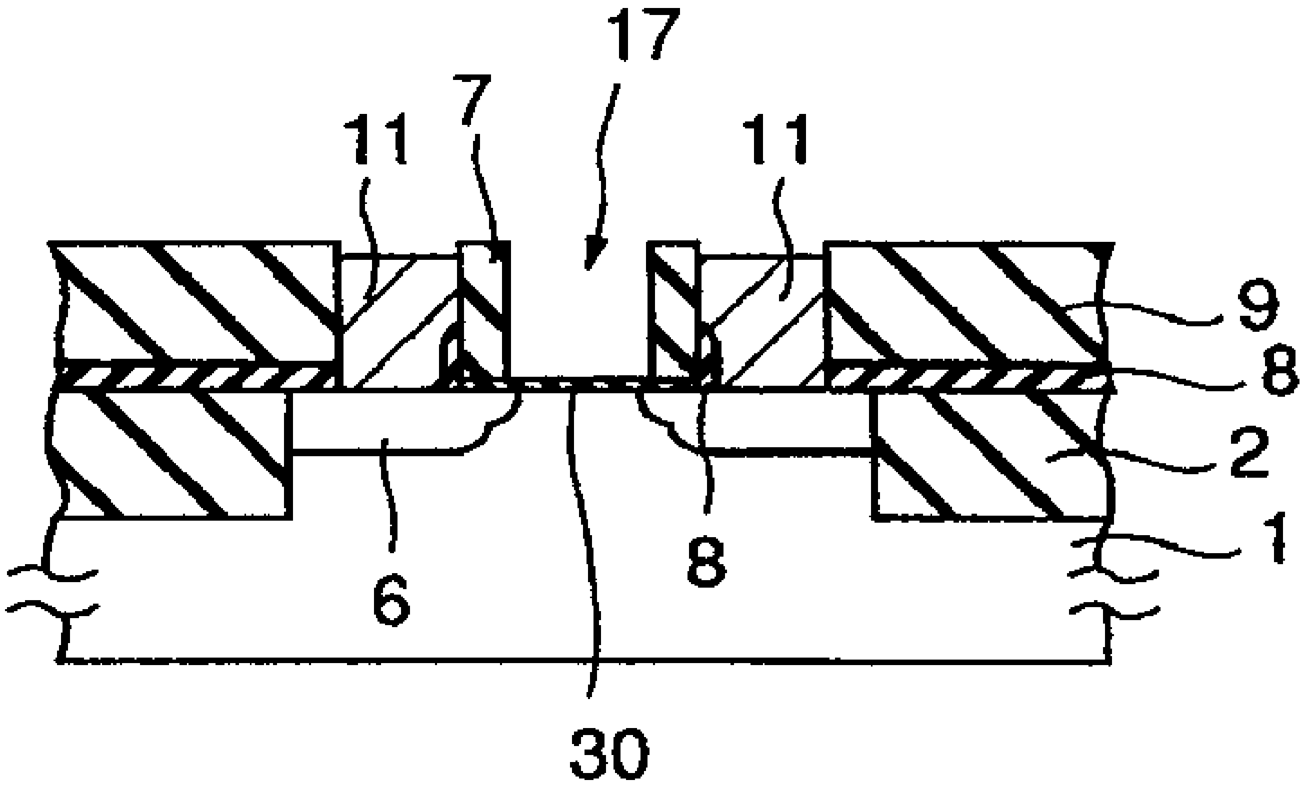
도면 5b



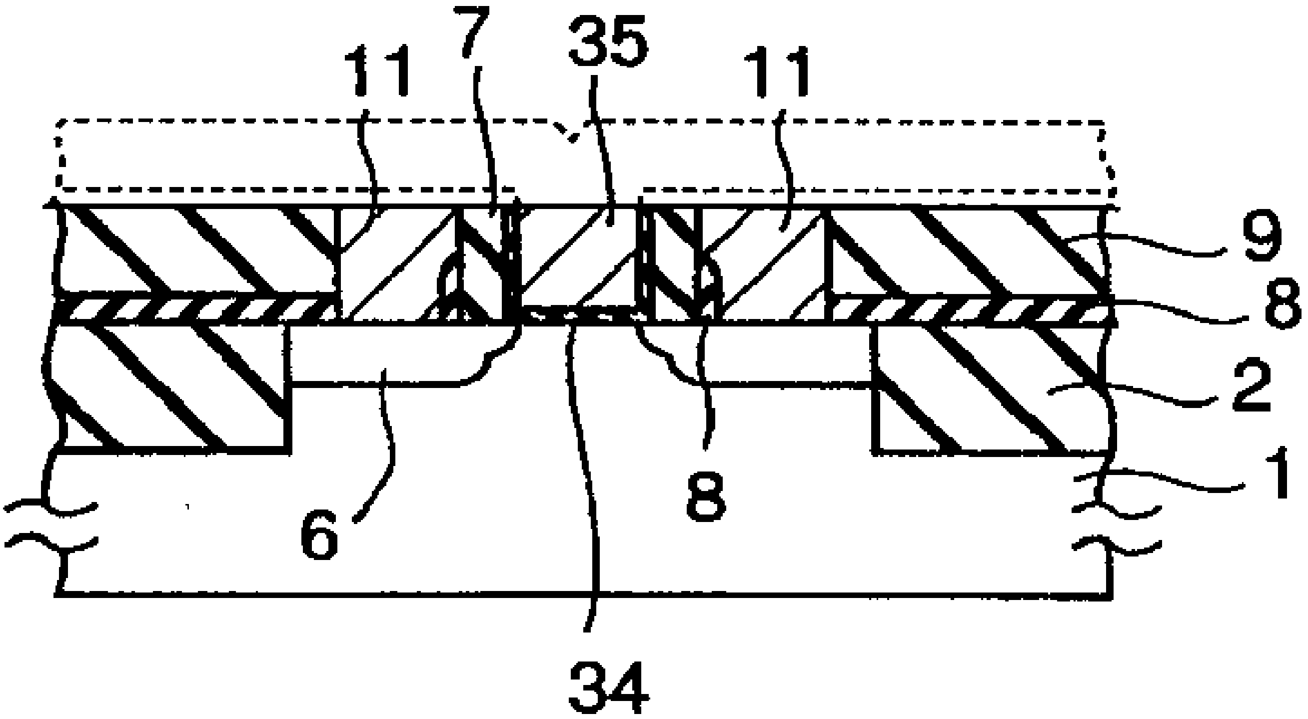
도면 5c



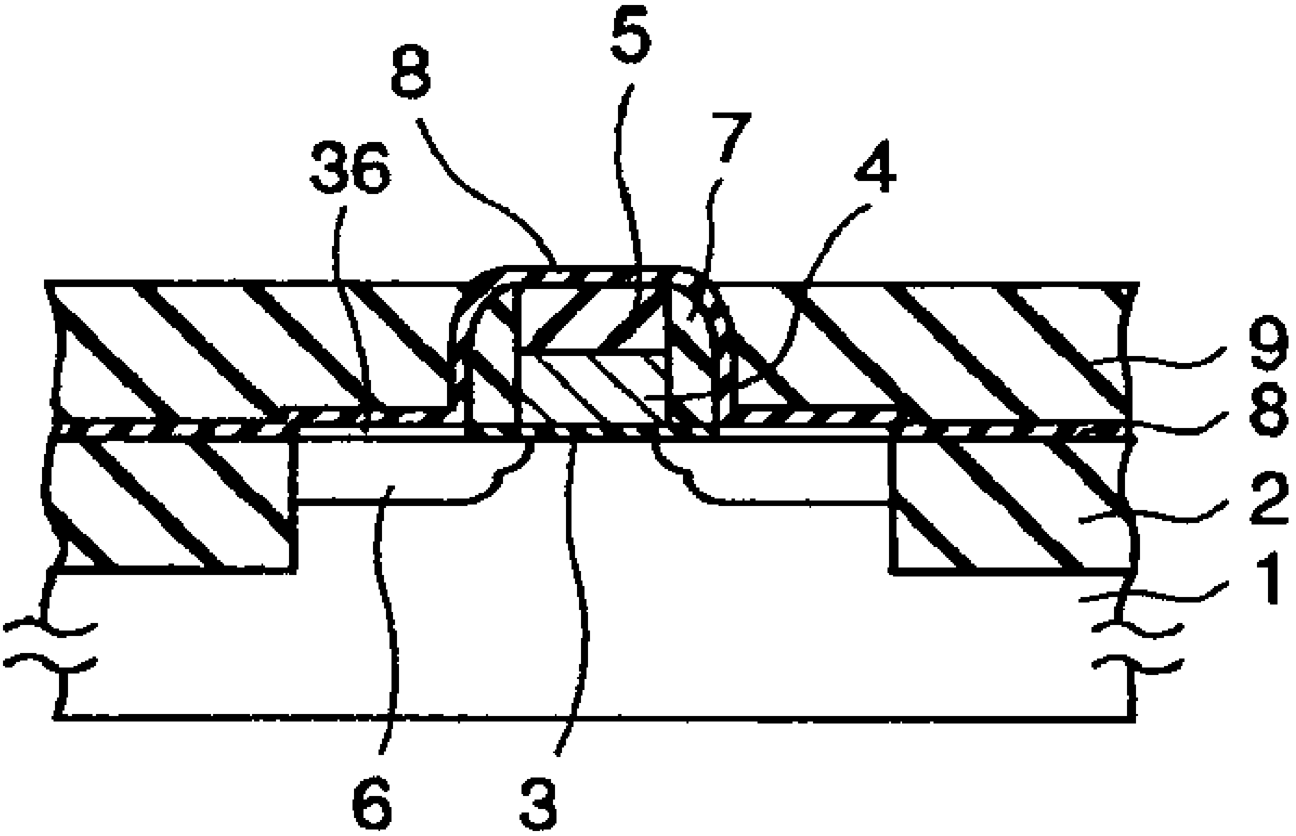
도면 6d



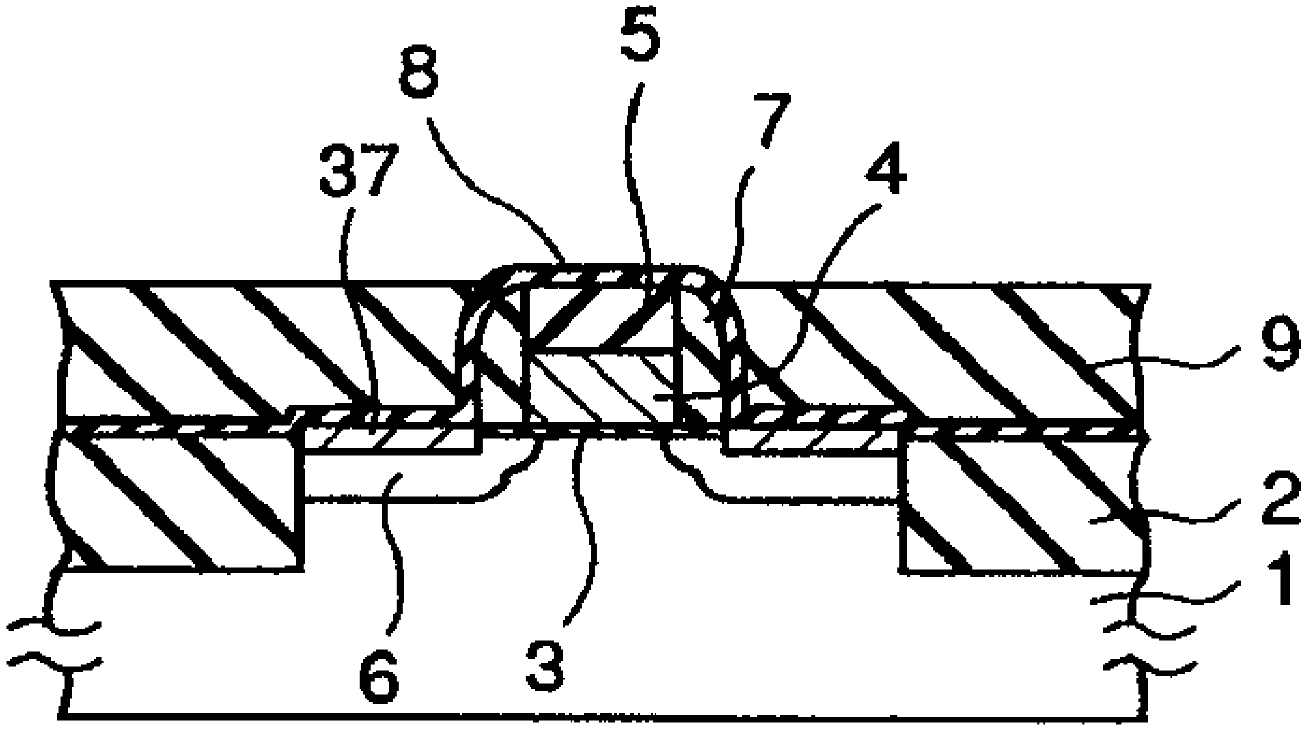
도면 6e



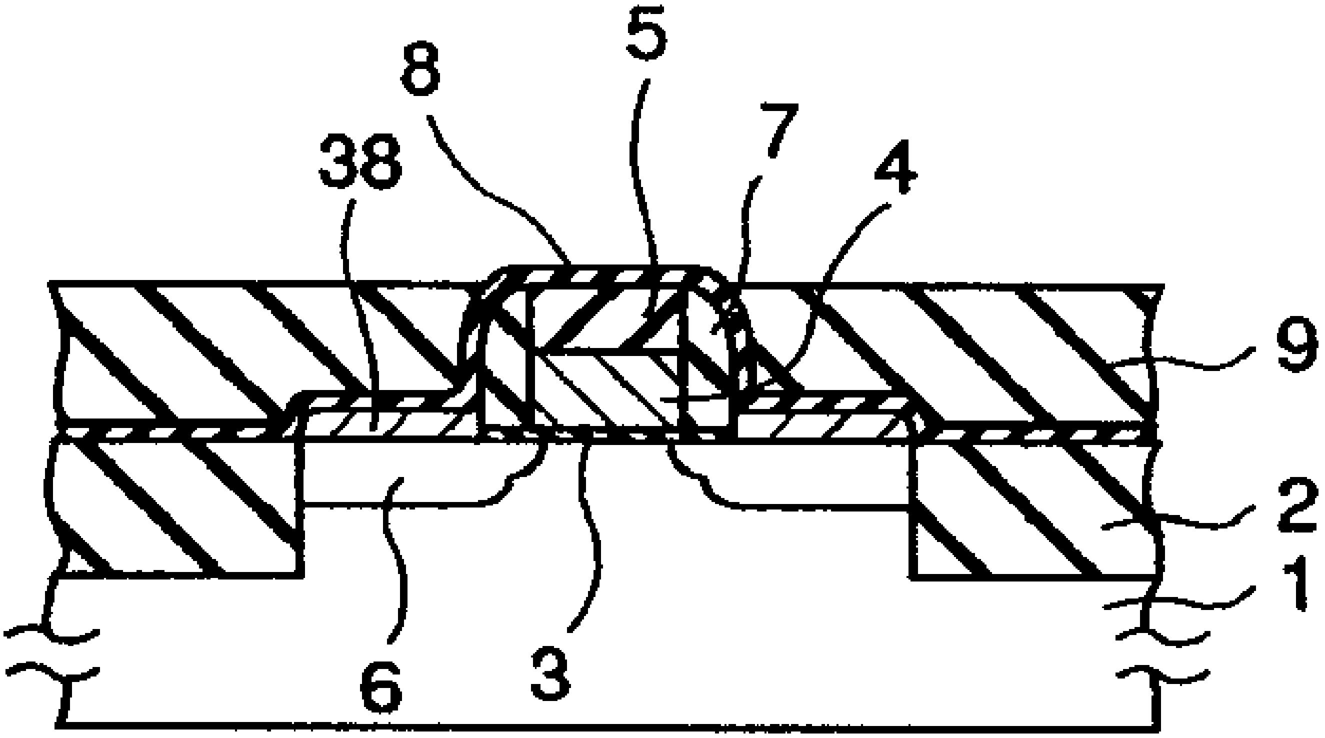
도면 7



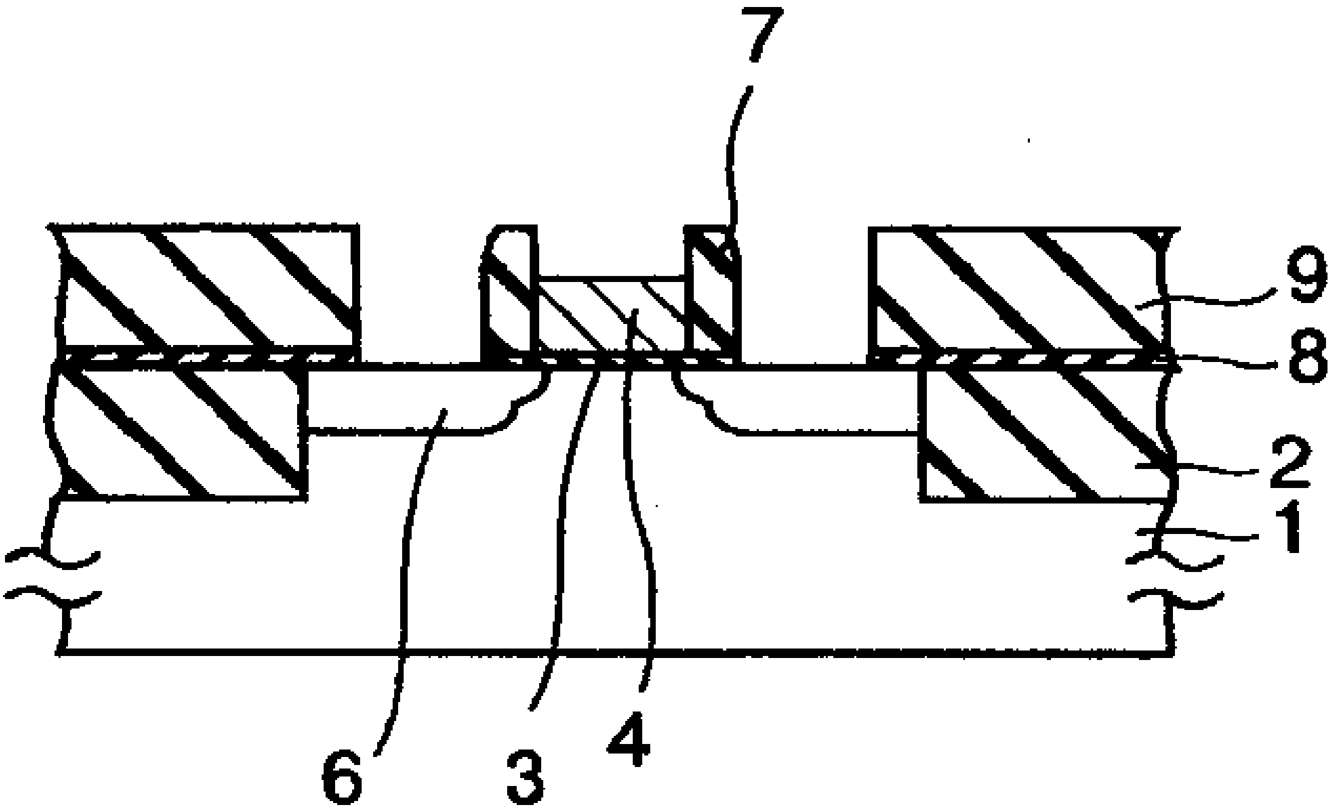
도면 8



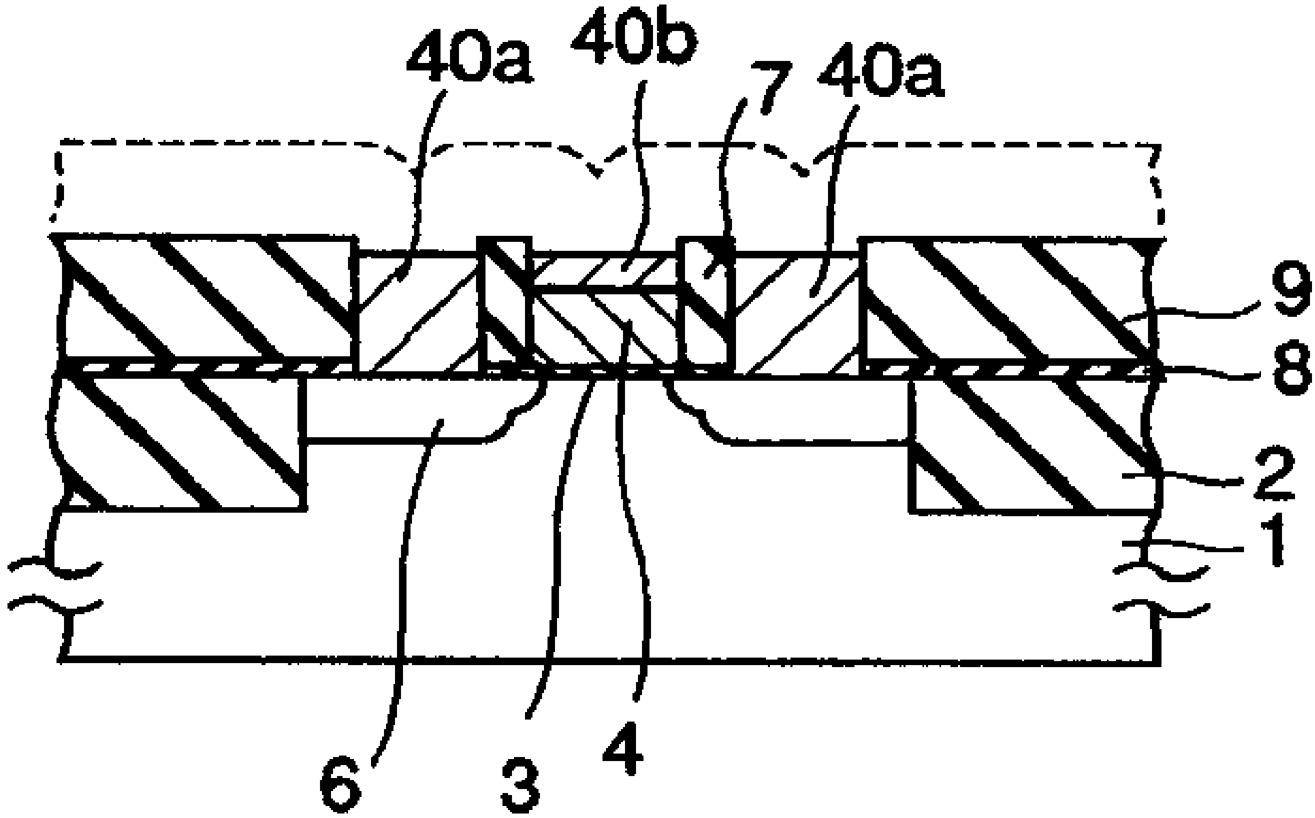
도면 9



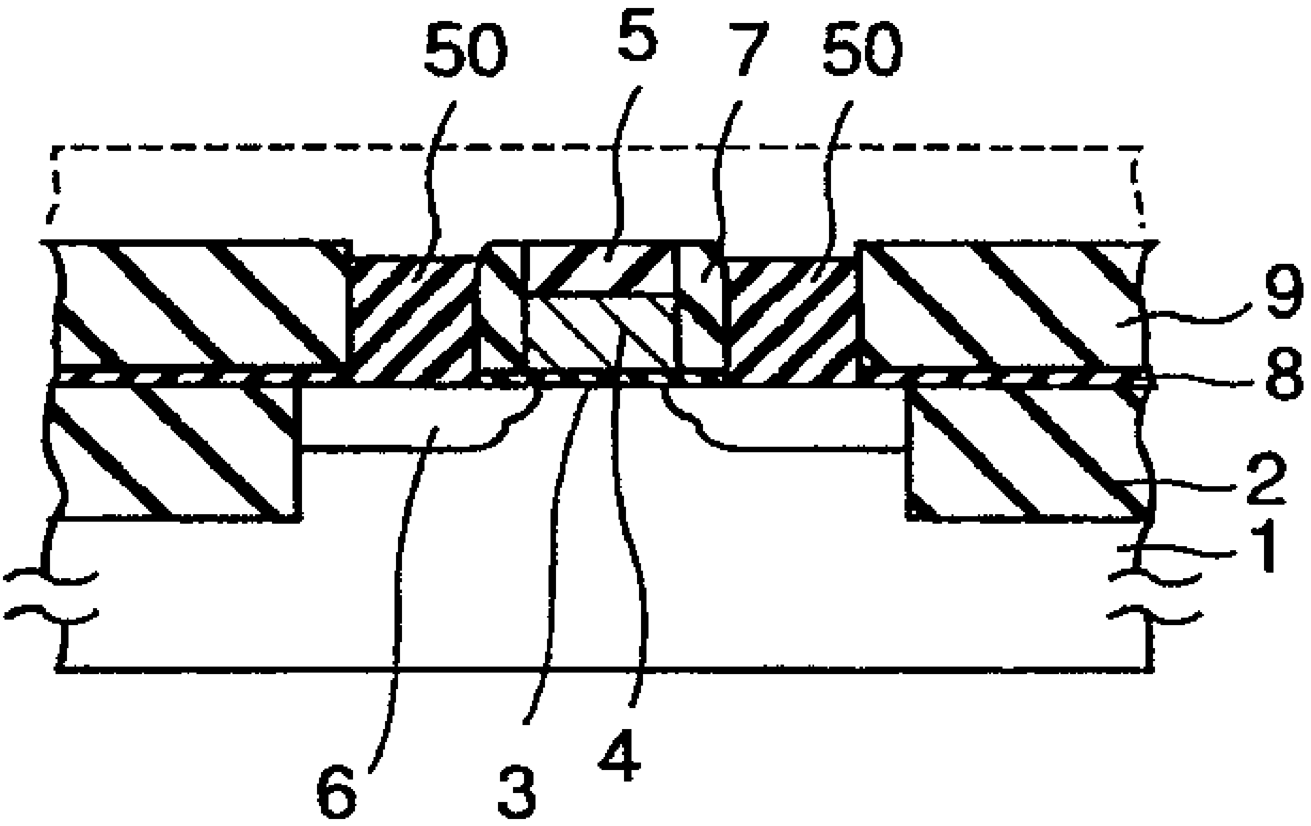
도면 10a



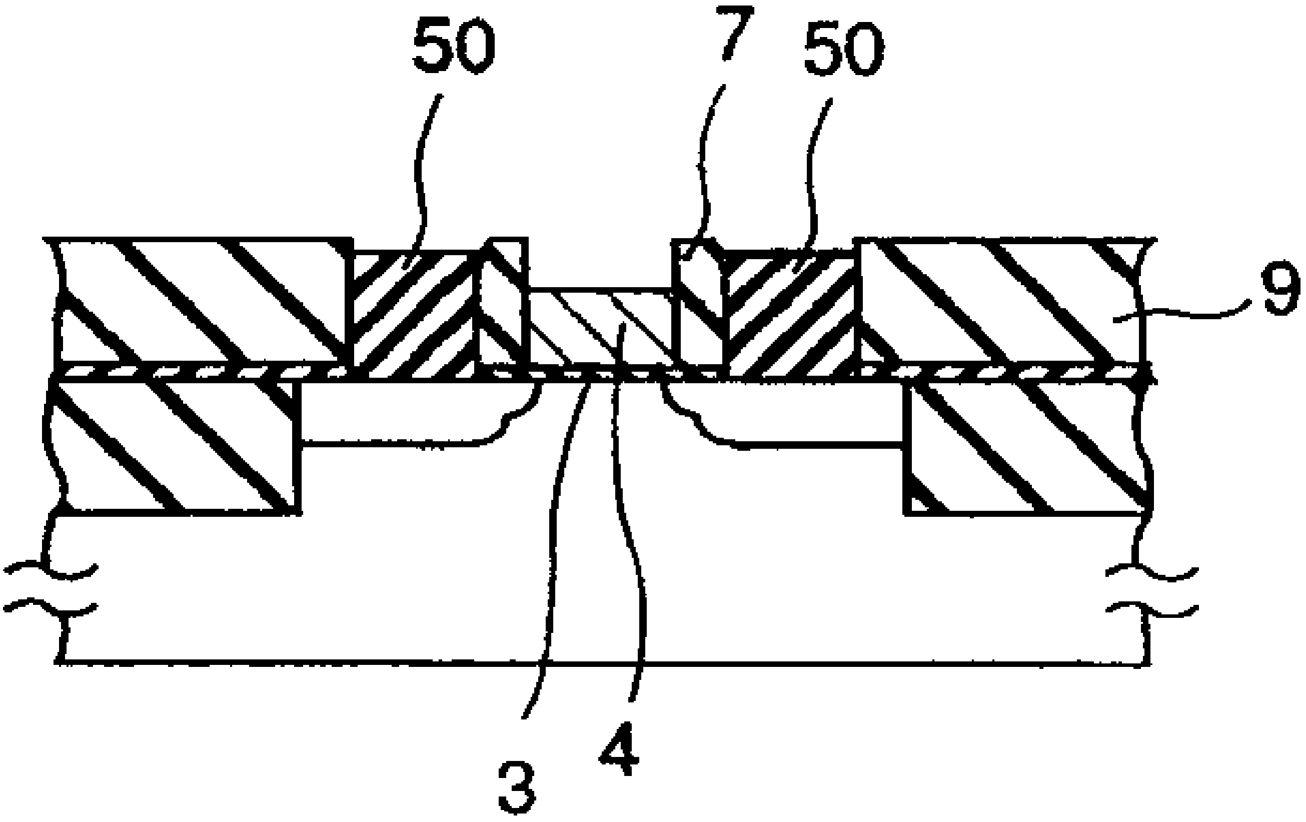
도면 10b



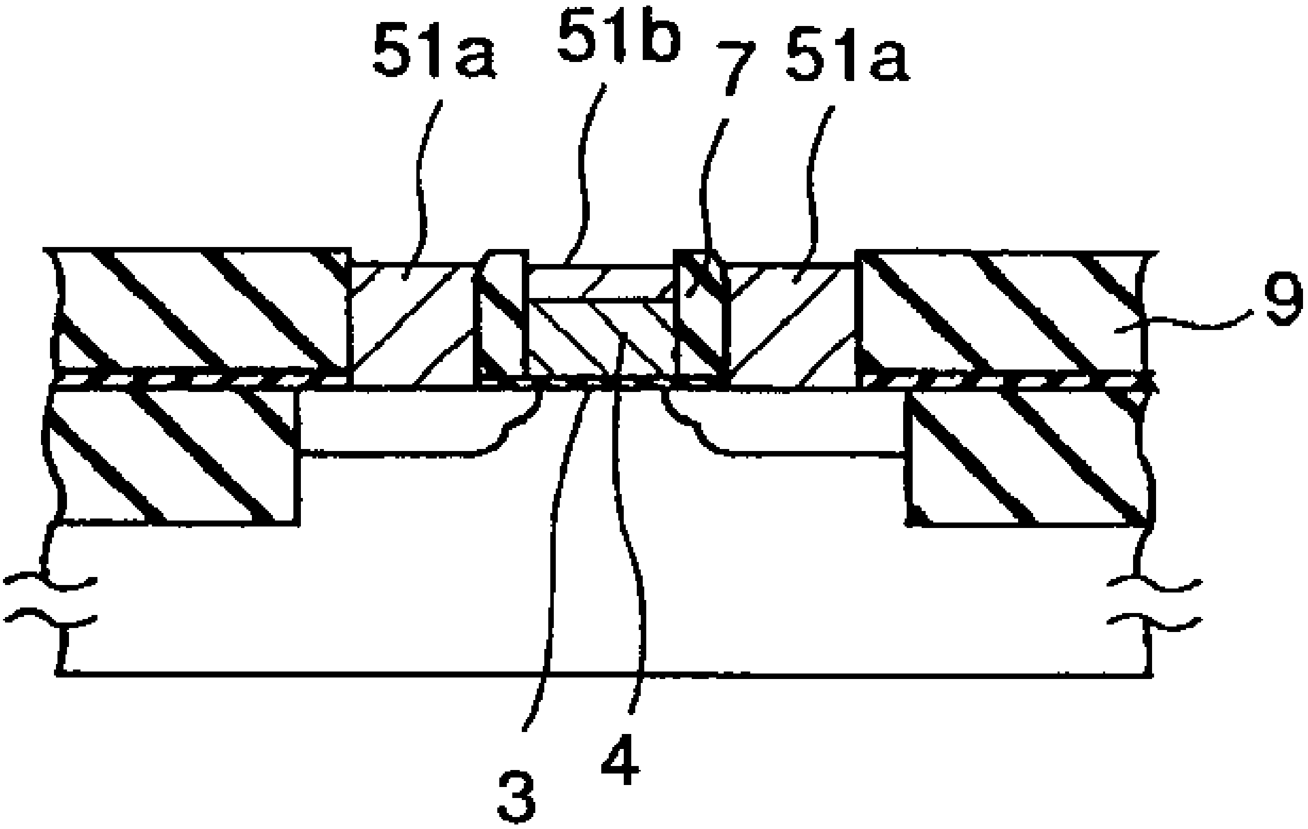
도면 11a



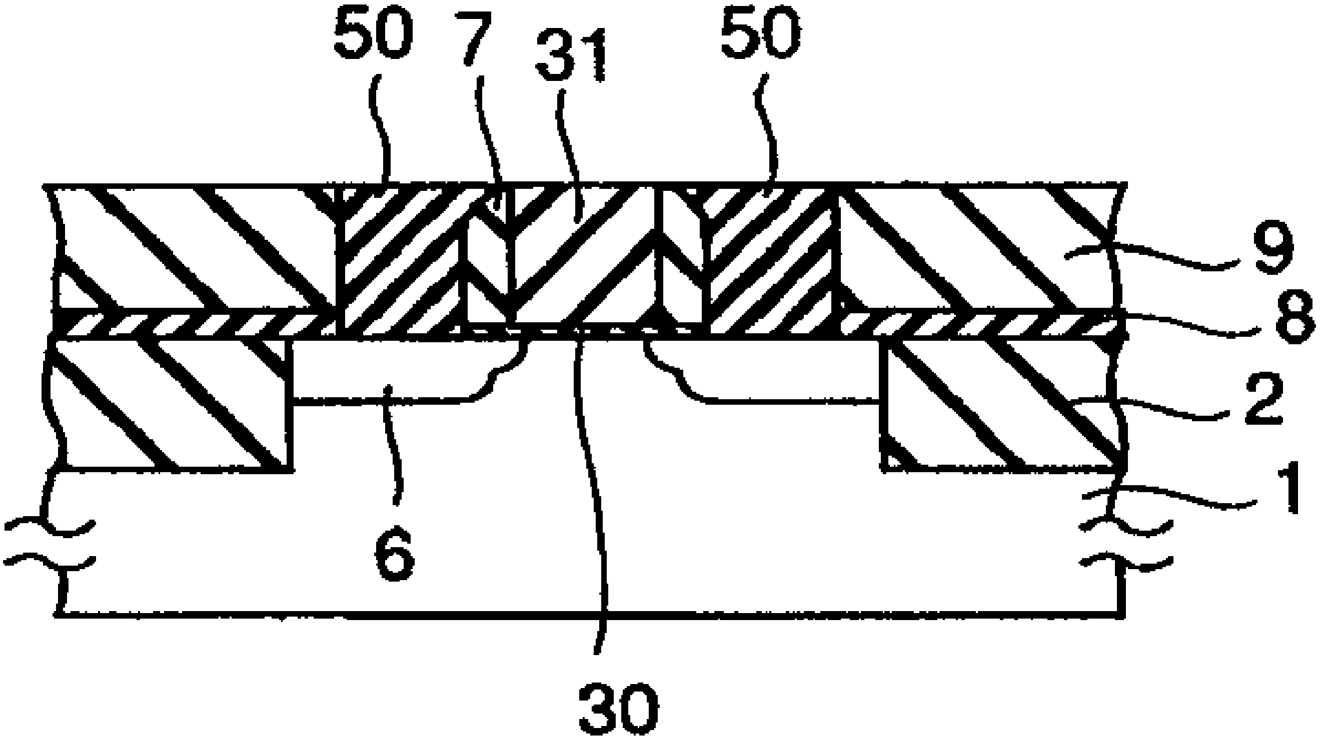
도면 11b



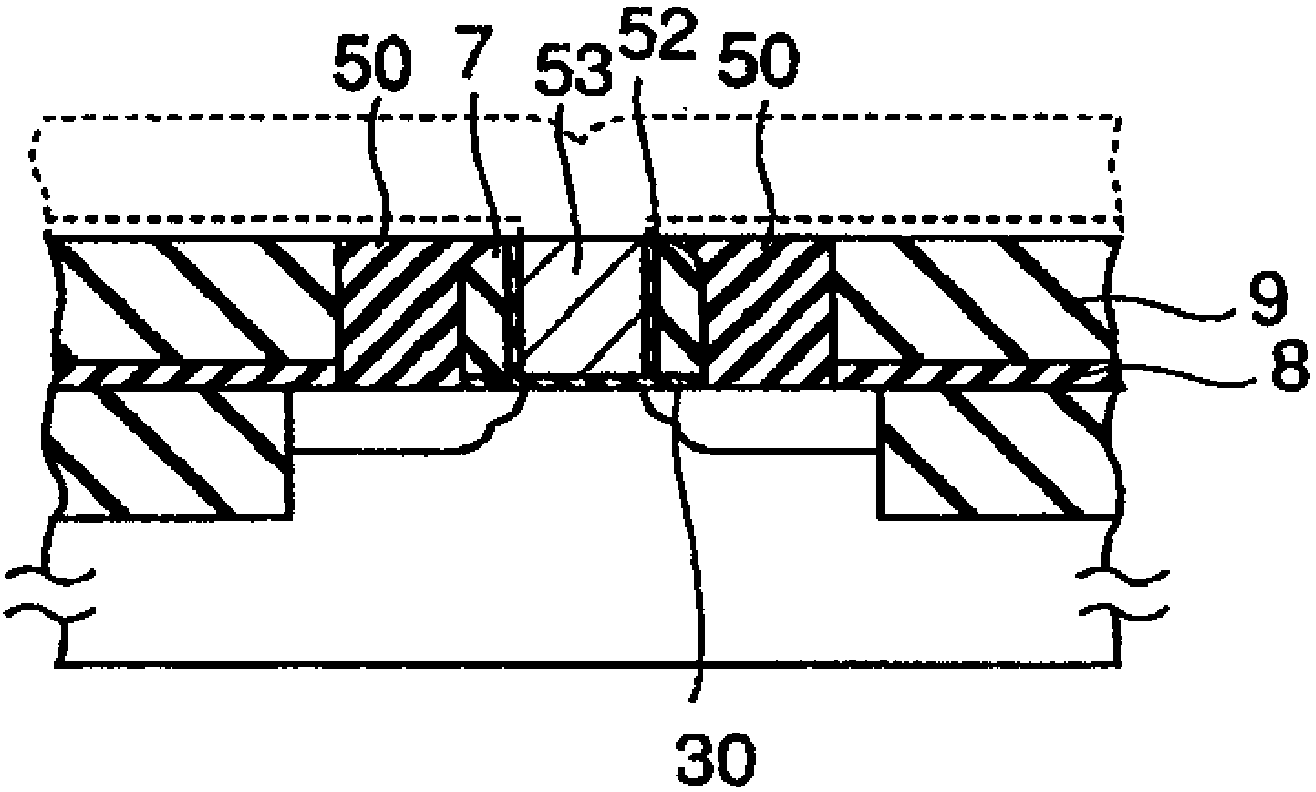
도면 11c



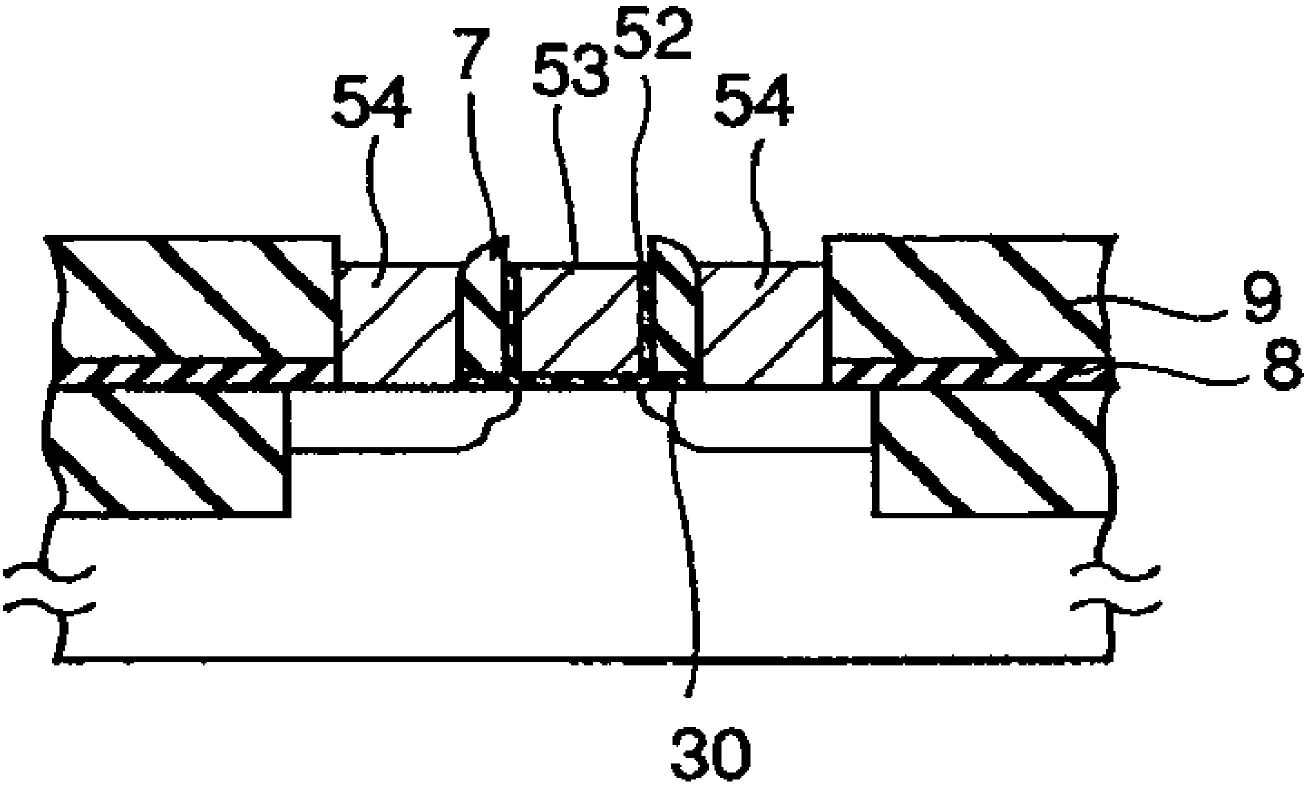
도면 12a



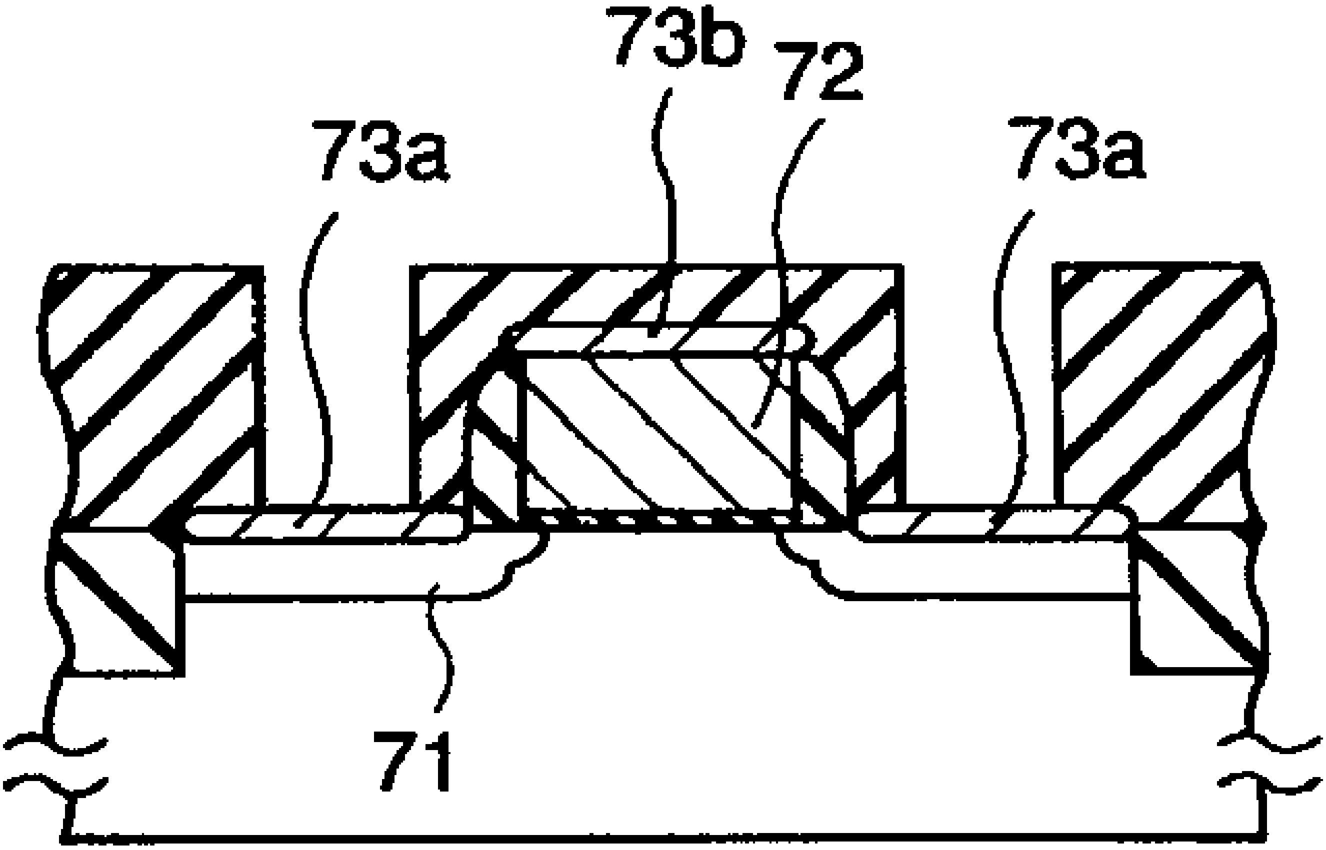
도면 12b



도면 12c



도면 13



도면 14