

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 27 年 2 月 19 日 (2015.2.19)

【公開番号】特開 2013-235564 (P2013-235564A)
 【公開日】平成 25 年 11 月 21 日 (2013.11.21)
 【年通号数】公開・登録公報 2013-063
 【出願番号】特願 2013-47516 (P2013-47516)
 【国際特許分類】

G 0 5 F 1/56 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

G 0 5 F 1/56 3 1 0 E

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 3 A

H 0 1 L 27/04 D

H 0 1 L 27/04 B

【手続補正書】
 【提出日】平成 26 年 12 月 19 日 (2014.12.19)

【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

電源電圧が供給される期間において、第 1 の電位と、第 2 の電位と、を生成することができる機能を有する第 1 の回路と、

第 1 のトランジスタと、

第 2 のトランジスタと、

第 1 の容量素子と、

第 2 の容量素子と、

第 2 の回路と、

を有し、

前記第 2 の回路は、差動回路と、バイアス回路と、を有し、

前記第 1 の電位は、前記第 1 のトランジスタのソース又はドレインの一方に入力され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記差動回路と電氣的に接続され、

前記第 1 の容量素子は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 2 の電位は、前記第 2 のトランジスタのソース又はドレインの一方に入力され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記バイアス回路と電氣的に接続され、

前記第 2 の容量素子は、前記第 2 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 1 のトランジスタのチャネルと、前記第 2 のトランジスタのチャネルとは、酸化物半導体に形成され、

前記第 1 のトランジスタを非導通状態とし、前記第 2 のトランジスタを非導通状態とした後、前記第 1 の回路は、前記第 1 のトランジスタのソース又はドレインの一方への前記第 1 の電位の供給と、前記第 2 のトランジスタのソース又はドレインの一方への前記第 2 の電位の供給と、を停止することができる機能を有することを特徴とする半導体装置。

【請求項 2】

電源電圧が供給される期間において、第 1 の電位と、第 2 の電位と、を生成することができる機能を有する第 1 の回路と、

第 1 のトランジスタと、

第 2 のトランジスタと、

第 1 の容量素子と、

第 2 の容量素子と、

第 2 の回路と、

を有し、

前記第 2 の回路は、差動回路と、バイアス回路と、を有し、

前記差動回路は、第 3 のトランジスタを有し、

前記バイアス回路は、第 4 のトランジスタを有し、

前記第 1 の電位は、前記第 1 のトランジスタのソース又はドレインの一方に入力され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 1 の容量素子は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 2 の電位は、前記第 2 のトランジスタのソース又はドレインの一方に入力され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子は、前記第 2 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 1 のトランジスタのチャネルと、前記第 2 のトランジスタのチャネルとは、酸化物半導体に形成され、

前記第 1 のトランジスタを非導通状態とし、前記第 2 のトランジスタを非導通状態とした後、前記第 1 の回路は、前記第 1 のトランジスタのソース又はドレインの一方への前記第 1 の電位の供給と、前記第 2 のトランジスタのソース又はドレインの一方への前記第 2 の電位の供給と、を停止することができる機能を有することを特徴とする半導体装置。

【請求項 3】

電源電圧が供給される期間において、第 1 の電位と、第 2 の電位と、を生成することができる機能を有する第 1 の回路と、

第 1 のトランジスタと、

第 2 のトランジスタと、

第 1 の容量素子と、

第 2 の容量素子と、

第 2 の回路と、

を有し、

前記第 2 の回路は、差動回路と、バイアス回路と、カレントミラー回路と、を有し、

前記第 1 の電位は、前記第 1 のトランジスタのソース又はドレインの一方に入力され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記差動回路と電氣的に接続され、

前記第 1 の容量素子は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 2 の電位は、前記第 2 のトランジスタのソース又はドレインの一方に入力され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記バイアス回路と電氣的に接続され、

前記第 2 の容量素子は、前記第 2 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 1 のトランジスタのチャネルと、前記第 2 のトランジスタのチャネルとは、酸化物半導体に形成され、

前記第 1 のトランジスタを非導通状態とし、前記第 2 のトランジスタを非導通状態とした後、前記第 1 の回路は、前記第 1 のトランジスタのソース又はドレインの一方への前記第 1 の電位の供給と、前記第 2 のトランジスタのソース又はドレインの一方への前記第 2 の電位の供給と、を停止することができる機能を有することを特徴とする半導体装置。

【請求項 4】

電源電圧が供給される期間において、第 1 の電位と、第 2 の電位と、を生成することができる機能を有する第 1 の回路と、

第 1 のトランジスタと、

第 2 のトランジスタと、

第 1 の容量素子と、

第 2 の容量素子と、

第 2 の回路と、

を有し、

前記第 2 の回路は、差動回路と、バイアス回路と、カレントミラー回路と、を有し、

前記差動回路は、第 3 のトランジスタを有し、

前記バイアス回路は、第 4 のトランジスタを有し、

前記第 1 の電位は、前記第 1 のトランジスタのソース又はドレインの一方に輸入され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 1 の容量素子は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 2 の電位は、前記第 2 のトランジスタのソース又はドレインの一方に輸入され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子は、前記第 2 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 1 のトランジスタのチャネルと、前記第 2 のトランジスタのチャネルとは、酸化物半導体に形成され、

前記第 1 のトランジスタを非導通状態とし、前記第 2 のトランジスタを非導通状態とした後、前記第 1 の回路は、前記第 1 のトランジスタのソース又はドレインの一方への前記第 1 の電位の供給と、前記第 2 のトランジスタのソース又はドレインの一方への前記第 2 の電位の供給と、を停止することができる機能を有することを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記第 1 のトランジスタのゲートと、前記第 2 のトランジスタのゲートには、同じ信号が入力されることを特徴とする半導体装置。