



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월15일
(11) 등록번호 10-1316947
(24) 등록일자 2013년10월02일

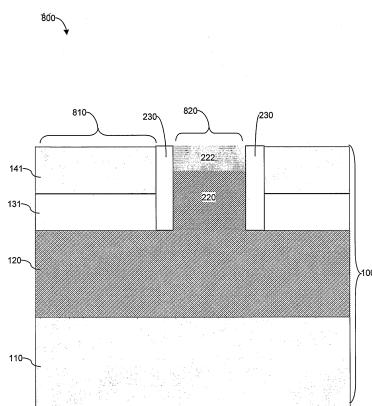
- (51) 국제특허분류(Int. C1.)
H01L 21/20 (2006.01) *H01L 31/113* (2006.01)
B32B 9/04 (2006.01)
- (21) 출원번호 10-2008-7013355
- (22) 출원일자(국제) 2006년11월01일
심사청구일자 2011년11월01일
- (85) 번역문제출일자 2008년06월02일
- (65) 공개번호 10-2008-0074938
- (43) 공개일자 2008년08월13일
- (86) 국제출원번호 PCT/US2006/042654
- (87) 국제공개번호 WO 2007/053686
국제공개일자 2007년05월10일
- (30) 우선권주장
60/732,442 2005년11월01일 미국(US)
60/790,204 2006년04월07일 미국(US)
- (56) 선행기술조사문헌
US20030021549 A1
US20050023552 A1
JP2004506336 A
- 전체 청구항 수 : 총 50 항
- 심사관 : 정성용

(54) 발명의 명칭 모놀리식 접적 반도체 재료 및 소자

(57) 요 약

단결정 실리콘과 단결정 비실리콘 재료 및 소자들을 모놀리식 접적하는 방법 및 구조체가 제공된다. 일 실시예에 있어서, 반도체 구조체는 실리콘 기판과 실리콘 기판 상에 배치되는 제1 단결정 반도체층을 포함하며, 제1 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 갖는다. 반도체 구조체는 제1 영역에서 제1 단결정 반도체층 상에 배치되는 절연층, 제1 영역에서 절연층 상에 배치되는 단결정 실리콘층, 및 제1 영역이 아닌 제2 영역에서 제1 단결정 반도체층의 적어도 일부 상에 배치되는 제2 단결정 반도체층을 더 포함한다. 제2 단결정 반도체층을 이완된 실리콘의 격자 상수와 다른 격자 상수를 갖는다.

대 표 도 - 도8



특허청구의 범위

청구항 1

반도체 구조체로서,

실리콘 기판;

상기 실리콘 기판 위에 배치되는 제1 단결정 반도체층 - 상기 제1 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -;

제1 영역에서 상기 제1 단결정 반도체층 위에 배치되는 단결정 실리콘층; 및

상기 제1 영역에는 존재하지 않고 제2 영역에서는 상기 제1 단결정 반도체층의 적어도 일부의 바로 위 또는 그 위에 배치되는 제2 단결정 반도체층 - 상기 제2 단결정 반도체층은 이완된 실리콘의 격자 상수와는 다른 격자 상수를 가짐 -

을 포함하는 반도체 구조체.

청구항 2

제1항에 있어서,

상기 제1 영역에서 상기 제1 단결정 반도체층 위에 배치되는 절연층을 더 포함하고,

상기 단결정 실리콘층은 상기 제1 영역에서 상기 절연층 위에 배치되는 반도체 구조체.

청구항 3

제2항에 있어서,

상기 실리콘 기판 위와 상기 제1 단결정 반도체층 아래에 배치되는 제2 절연층을 더 포함하는 반도체 구조체.

청구항 4

제2항에 있어서,

상기 제1 단결정 반도체층은 서로 위에 배치되고 격자 상수들이 서로 다르고 이완된 실리콘의 격자 상수와 다른 격자 상수들을 갖는 적어도 2개의 단결정 반도체층, 또는 실리콘-게르마늄층, 또는 상기 실리콘 게르마늄층 아래의 실리콘-게르마늄 단계층(graded layer), 또는 III-V족 반도체층을 포함하는 반도체 구조체.

청구항 5

제4항에 있어서,

상기 적어도 2개의 단결정 반도체층은 게르마늄층 또는 GaAs층 및 InP층, 또는 GaAs층 및 GaN층을 포함하는 반도체 구조체.

청구항 6

제4항에 있어서,

상기 적어도 2개의 단결정 반도체층은 게르마늄층 및 GaN층을 포함하는 반도체 구조체.

청구항 7

제1항에 있어서,

상기 제2 단결정 반도체층의 최상부면은 상기 단결정 실리콘층의 최상부면과 실질적으로 동일 평면인 반도체 구조체.

청구항 8

제1항에 있어서,

상기 제2 단결정 반도체층은 III-V족 반도체층을 포함하는 반도체 구조체.

청구항 9

제8항에 있어서,

상기 III-V족 반도체층 위에 배치된 실리콘층을 더 포함하는 반도체 구조체.

청구항 10

반도체 구조체를 형성하는 방법으로서,

실리콘 기판을 제공하는 단계;

상기 실리콘 기판 위에 제1 단결정 반도체층을 배치하는 단계 - 상기 제1 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -;

제1 영역에서 상기 제1 단결정 반도체층 위에 절연층을 배치하는 단계;

상기 제1 영역에서 상기 절연층 위에 단결정 실리콘층을 배치하는 단계; 및

제2 영역에서 상기 제1 단결정 반도체층의 적어도 일부 위에 제2 단결정 반도체층을 배치하는 단계

를 포함하고,

상기 제2 단결정 반도체층은 제1 영역에 없으며, 상기 제2 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 갖는, 반도체 구조체 형성 방법.

청구항 11

제10항에 있어서,

상기 절연층 위에 상기 단결정 실리콘층을 배치하는 단계는,

도너 기판(donor substrate) 및 상기 도너 기판에 걸쳐 배치되는 상부(overlying) 단결정 실리콘층을 포함하는 도너 웨이퍼(doner wafer)를 제공하는 단계 - 상기 상부 단결정 실리콘층은 상기 제1 영역 내에서 상기 단결정 실리콘층을 포함함 -;

제1 단결정 반도체층이 상부에 배치된 상기 실리콘 기판을 포함하는 핸들 웨이퍼(handle wafer)를 제공하는 단계; 및

상기 도너 웨이퍼와 상기 핸들 웨이퍼를 웨이퍼 접합하는 단계

를 포함하고,

웨이퍼 접합 후에, 상기 실리콘 기판과 상기 도너 기판 사이에 상기 단결정 실리콘층과 상기 제1 단결정 반도체층이 배치되도록 웨이퍼들의 접합 쌍이 형성되는, 반도체 구조체 형성 방법.

청구항 12

제11항에 있어서,

상기 제1 단결정 반도체층 위에 상기 절연층을 배치하는 단계는, 상기 웨이퍼 접합 전에, 상기 핸들 웨이퍼의 상기 제1 단결정 반도체층에 걸쳐 상부 절연층을 배치하거나, 또는 상기 도너 웨이퍼의 상기 상부 단결정 실리콘층에 걸쳐 상부 절연층을 배치하는 단계를 포함하는, 반도체 구조체 형성 방법.

청구항 13

제12항에 있어서,

웨이퍼 접합 후에, 상기 상부 단결정 실리콘층을 노출하도록 상기 도너 기판을 제거하는 단계를 더 포함하는, 반도체 구조체 형성 방법.

청구항 14

제10항에 있어서,

상기 단결정 실리콘층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 실리콘 기반의 전자 소자를 형성하는 단계; 및

상기 제2 단결정 반도체층의 적어도 일부를 포함하는 능동 영역(active region)을 포함하는 적어도 하나의 III-V족 발광 소자를 형성하는 단계

를 더 포함하는, 반도체 구조체 형성 방법.

청구항 15

모놀리식 집적 반도체 소자 구조체로서,

실리콘 기판;

상기 실리콘 기판 위에 배치되는 제1 단결정 반도체층 - 상기 제1 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -;

제1 영역에서 상기 제1 단결정 반도체층 위에 배치되는 절연층;

상기 제1 영역에서 상기 절연층 위에 배치되는 단결정 실리콘층;

상기 단결정 실리콘층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 실리콘 기반의 전자 소자;

상기 제1 영역에는 존재하지 않고 제2 영역에서는 상기 제1 단결정 반도체층의 적어도 일부 위에 배치되는 제2 단결정 반도체층 - 상기 제2 단결정 반도체층은 이완된 실리콘의 격자 상수와는 다른 격자 상수를 가짐 -; 및

상기 제2 단결정 반도체층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 III-V족 발광 소자를 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 16

제15항에 있어서,

상기 제2 단결정 반도체층은 상기 제1 단결정 반도체층과는 다른 조성을 갖는, 모놀리식 집적 반도체 소자 구조체.

청구항 17

제15항에 있어서,

상기 적어도 하나의 실리콘 기반의 전자 소자는 금속 산화물 반도체 전계효과 트랜지스터(MOSFET)를 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 18

제15항에 있어서,

상기 적어도 하나의 III-V족 발광 소자는 적어도 하나의 발광 다이오드를 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 19

제15항에 있어서,

적어도 하나의 실리콘 기반의 전자 소자 및 상기 III-V족 발광 소자를 중 적어도 하나를 결합시키는 전기적 상호 접속부를 더 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 20

제15항에 있어서,

상기 단결정 실리콘층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 실리콘 기반의 광검출기

를 더 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 21

제15항에 있어서,

상기 적어도 하나의 III-V족 발광 소자와 상기 적어도 하나의 실리콘 기반의 광검출기 사이에 배치되는 광 도파관을 더 포함하며, 상기 광 도파관은 상기 적어도 하나의 III-V족 발광 소자가 방출하는 광의 적어도 일부를 상기 적어도 하나의 실리콘 기반의 광검출기에 안내하도록 구성되는, 모놀리식 집적 반도체 소자 구조체.

청구항 22

제15항에 있어서,

상기 제2 단결정 반도체층의 최상부면은 상기 단결정 실리콘층의 최상부면과 실질적으로 동일 평면인, 모놀리식 집적 반도체 소자 구조체.

청구항 23

제15항에 있어서,

상기 제1 단결정 반도체층 또는 제2 단결정 반도체층은 III-V족 반도체층을 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 24

제23항에 있어서,

상기 III-V족 반도체층 위에 배치되는 실리콘층을 더 포함하며, 상기 실리콘층은 상기 III-V족 반도체층과 접촉하여 배치되는, 모놀리식 집적 반도체 소자 구조체.

청구항 25

제15항에 있어서,

상기 실리콘 기판 위와 상기 제1 단결정 반도체층 아래에 배치되는 제2 절연층을 더 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 26

제15항에 있어서,

상기 제1 단결정 반도체층은 서로 위에 배치되고 격자 상수들이 서로 다르며 이완된 실리콘의 격자 상수와 다른 격자 상수들을 갖는 적어도 2개의 단결정 반도체층을 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 27

제26항에 있어서,

상기 적어도 2개의 단결정 반도체층들은 게르마늄층 및 InP층, 게르마늄층 및 GaN층 또는 GaAs층 및 InP층, 또는 GaAs층 및 GaN층을 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 28

제15항에 있어서,

상기 제1 단결정 반도체층은 게르마늄층 또는 실리콘-게르마늄층을 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 29

모놀리식 집적 반도체 소자 구조체로서,

실리콘 기판;

상기 실리콘 기판 위에 배치되는 제1 단결정 반도체층 - 상기 제1 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -;

제1 영역에서 상기 제1 단결정 반도체층 위에 배치되는 단결정 실리콘층;

상기 단결정 실리콘층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 실리콘 기반의 전자 소자;

상기 제1 영역에는 존재하지 않고 제2 영역에서는 상기 제1 단결정 반도체층의 적어도 일부 위에 배치되는 제2 단결정 반도체층 - 상기 제2 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -; 및

상기 제2 단결정 반도체층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 III-V족 발광 소자를 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 30

제29항에 있어서,

상기 단결정 실리콘층과 상기 제1 단결정 반도체층 사이에 배치되는 상기 제1 영역 내의 층을 더 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 31

모놀리식 집적 반도체 소자 구조체로서,

실리콘 기판;

상기 실리콘 기판 위에 배치되는 제1 단결정 반도체층 - 상기 제1 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -;

제1 영역에서 상기 제1 단결정 반도체층 위에 배치되는 절연층;

상기 제1 영역에서 상기 절연층 위에 배치되는 단결정 실리콘층;

상기 단결정 실리콘층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 실리콘 기반의 광검출기;

상기 제1 영역에는 존재하지 않고 제2 영역에서는 상기 제1 단결정 반도체층의 적어도 일부 위에 배치되는 제2 단결정 반도체층 - 상기 제2 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -; 및

상기 제2 단결정 반도체층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 비실리콘 광검출기를 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 32

제31항에 있어서,

상기 제2 단결정 반도체층은 상기 제1 단결정 반도체층과는 다른 조성을 갖는, 모놀리식 집적 반도체 소자 구조체.

청구항 33

제31항에 있어서,

상기 단결정 실리콘층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 실리콘 기반의 전자 소자를 더 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 34

제31항에 있어서,

상기 제2 단결정 반도체층의 최상부면은 상기 단결정 실리콘층의 최상부면과 실질적으로 동일 평면인, 모놀리식 집적 반도체 소자 구조체.

청구항 35

제31항에 있어서,

상기 제1 단결정 반도체층은, 서로 위에 배치되고 격자 상수들이 서로 다르고 이완된 실리콘의 격자 상수와 다른 격자 상수들을 갖는 적어도 2개의 단결정 반도체층들을 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 36

제31항에 있어서,

상기 제1 단결정 반도체층은 III-V족 반도체층을 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 37

모놀리식 집적 반도체 소자 구조체를 형성하는 방법으로서,

실리콘 기판을 제공하는 단계;

상기 실리콘 기판 위에 제1 단결정 반도체층을 배치하는 단계 - 상기 제1 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -;

제1 영역에서 상기 제1 단결정 반도체층 위에 절연층을 배치하는 단계;

상기 제1 영역에서 상기 절연층 위에 단결정 실리콘층을 배치하는 단계;

상기 단결정 실리콘층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 실리콘 기반의 광검출기를 형성하는 단계;

상기 제1 영역에는 존재하지 않고 제2 영역에서는 상기 제1 단결정 반도체층의 적어도 일부 위에 제2 단결정 반도체층을 배치하는 단계 - 상기 제2 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -; 및

상기 제2 단결정 반도체층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 비실리콘 광검출기를 형성하는 단계

를 포함하는, 모놀리식 집적 반도체 소자 구조체 형성 방법.

청구항 38

모놀리식 집적 반도체 소자 구조체로서,

실리콘 기판;

상기 실리콘 기판 위에 배치되는 제1 단결정 반도체층 - 상기 제1 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -;

제1 영역에서 상기 제1 단결정 반도체층 위에 배치되는 단결정 실리콘층;

상기 단결정 실리콘층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 실리콘 기반의 광검출기;

상기 제1 영역에는 존재하지 않고 제2 영역에서는 상기 제1 단결정 반도체층의 적어도 일부 위에 배치되는 제2 단결정 반도체층 - 상기 제2 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -; 및

상기 제2 단결정 반도체층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 비실리콘 광검출기

를 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 39

제2항 또는 제38항에 있어서,

상기 단결정 실리콘층과 상기 제1 단결정 반도체층 사이에 배치되는 상기 제1 영역 내의 층을 더 포함하는 반도체 구조체.

청구항 40

모놀리식 집적 반도체 소자 구조체로서,

실리콘 기판;

상기 실리콘 기판 위에 배치되는 제1 단결정 반도체층 - 상기 제1 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -;

제1 영역에서 상기 제1 단결정 반도체층 위에 배치되는 절연층;

상기 제1 영역에서 상기 절연층 위에 배치되는 단결정 실리콘층;

상기 단결정 실리콘층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 실리콘 기반의 전자 소자;

상기 제1 영역에는 존재하지 않고 제2 영역에서는 상기 제1 단결정 반도체층의 적어도 일부 위에 배치되는 제2 단결정 반도체층 - 상기 제2 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -; 및

상기 제2 단결정 반도체층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 III-V족 전자 소자를 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 41

제1항, 제38항 또는 제40항 중 어느 한 항에 있어서,

상기 제2 단결정 반도체층의 적어도 일부는 상기 제1 단결정 반도체층과는 다른 조성을 갖는 반도체 구조체.

청구항 42

제41항에 있어서,

상기 적어도 하나의 실리콘 기반의 전자 소자는 금속 산화물 반도체 전계효과 트랜지스터(MOSFET)를 포함하는 반도체 구조체.

청구항 43

제41항에 있어서,

상기 적어도 하나의 III-V족 전자 소자는 III-V족 HEMT(High Electron Mobility Transistor) 또는 III-V족 HBT(Heterojunction Bipolar Transistor)를 포함하는 반도체 구조체.

청구항 44

제41항에 있어서,

상기 적어도 III-V족 전자 소자와 상기 적어도 하나의 실리콘 기반의 전자 소자를 결합시키는 전기적 상호 접속부(electrical interconnect coupling)를 더 포함하는 반도체 구조체.

청구항 45

제41항에 있어서,

상기 제2 단결정 반도체층은 III-V족 반도체층을 포함하는 반도체 구조체.

청구항 46

제41항에 있어서,

상기 실리콘 기판 위와 상기 제1 단결정 반도체층 아래에 배치되는 제2 절연층을 더 포함하는 반도체 구조체.

청구항 47

제41항에 있어서,

상기 제1 단결정 반도체층은, 서로 위에 배치되고 격자 상수들이 서로 다르고 이완된 실리콘의 격자 상수와 다른 격자 상수들을 갖는 적어도 2개의 단결정 반도체층을 포함하는 반도체 구조체.

청구항 48

모놀리식 집적 반도체 소자 구조체를 형성하는 방법으로서,

실리콘 기판을 제공하는 단계;

상기 실리콘 기판 위에 제1 단결정 반도체층을 배치하는 단계 - 상기 제1 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -;

제1 영역에서 상기 제1 단결정 반도체층 위에 절연층을 배치하는 단계;

상기 제1 영역에서 상기 절연층 위에 단결정 실리콘층을 배치하는 단계;

상기 단결정 실리콘층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 실리콘 기반의 전자 소자를 형성하는 단계;

상기 제1 영역에는 존재하지 않고 제2 영역에서는 상기 제1 단결정 반도체층의 적어도 일부 위에 제2 단결정 반도체층을 배치하는 단계 - 상기 제2 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -; 및

상기 제2 단결정 반도체층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 III-V족 전자 소자를 형성하는 단계

를 포함하는, 모놀리식 집적 반도체 소자 구조체 형성 방법.

청구항 49

모놀리식 집적 반도체 소자 구조체로서,

실리콘 기판;

상기 실리콘 기판 위에 배치되는 제1 단결정 반도체층 - 상기 제1 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -;

제1 영역에서 상기 제1 단결정 반도체층 위에 배치되는 단결정 실리콘층;

상기 단결정 실리콘층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 실리콘 기반의 전자 소자;

상기 제1 영역에는 존재하지 않고 제2 영역에서는 상기 제1 단결정 반도체층의 적어도 일부 상에 배치되는 제2 단결정 반도체층 - 상기 제2 단결정 반도체층은 이완된 실리콘의 격자 상수와 다른 격자 상수를 가짐 -; 및

상기 제2 단결정 반도체층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 III-V족 전자 소자

를 포함하는, 모놀리식 집적 반도체 소자 구조체.

청구항 50

제49항에 있어서,

상기 제2 단결정 반도체층의 적어도 일부는 상기 제1 단결정 반도체층의 조성과 다른 조성을 갖는, 모놀리식 집적 반도체 소자 구조체.

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제

청구항 79

삭제

청구항 80

삭제

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

삭제

청구항 85

삭제

청구항 86

삭제

청구항 87

삭제

청구항 88

삭제

청구항 89

삭제

청구항 90

삭제

청구항 91

삭제

청구항 92

삭제

청구항 93

삭제

청구항 94

삭제

청구항 95

삭제

청구항 96

삭제

청구항 97

삭제

청구항 98

삭제

청구항 99

삭제

청구항 100

삭제

청구항 101

삭제

청구항 102

삭제

청구항 103

삭제

청구항 104

삭제

청구항 105

삭제

청구항 106

삭제

청구항 107

삭제

청구항 108

삭제

청구항 109

삭제

청구항 110

삭제

청구항 111

삭제

청구항 112

삭제

청구항 113

삭제

청구항 114

삭제

청구항 115

삭제

청구항 116

삭제

청구항 117

삭제

청구항 118

삭제

청구항 119

삭제

청구항 120

삭제

청구항 121

삭제

청구항 122

삭제

청구항 123

삭제

청구항 124

삭제

청구항 125

삭제

청구항 126

삭제

청구항 127

삭제

청구항 128

삭제

청구항 129

삭제

청구항 130

삭제

청구항 131

삭제

청구항 132

삭제

청구항 133

삭제

청구항 134

삭제

청구항 135

삭제

청구항 136

삭제

청구항 137

삭제

청구항 138

삭제

청구항 139

삭제

청구항 140

삭제

청구항 141

삭제

청구항 142

삭제

청구항 143

삭제

청구항 144

삭제

청구항 145

삭제

청구항 146

삭제

청구항 147

삭제

청구항 148

삭제

청구항 149

삭제

청구항 150

삭제

청구항 151

삭제

청구항 152

삭제

청구항 153

삭제

청구항 154

삭제

청구항 155

삭제

청구항 156

삭제

청구항 157

삭제

청구항 158

삭제

청구항 159

삭제

청구항 160

삭제

청구항 161

삭제

청구항 162

삭제

청구항 163

삭제

청구항 164

삭제

청구항 165

삭제

청구항 166

삭제

청구항 167

삭제

청구항 168

삭제

청구항 169

삭제

청구항 170

삭제

청구항 171

삭제

청구항 172

삭제

청구항 173

삭제

청구항 174

삭제

청구항 175

삭제

청구항 176

삭제

명세서

기술분야

[0001] 본 출원은 U.S.C. § 119(e) 미국 가출원 제60/732,442호 "INTEGRATED LIGHT ARRAYS"(2005년 11월 1일자 출원) 및 미국 출원 제60/790204 "INTEGRATED LIGHT ARRAYS"(2006년 4월 7일자 출원)의 우선권을 주장하며, 그 전체가 본 명세서 참조로서 포함되어 있다.

[0002] 본 발명은 일반적으로 반도체 구조체의 제조에 관한 것이다. 특히, 본 발명은 실리콘 및 기타의 단결정 반도체 재료 및/또는 소자의 모듈리식 집적에 관한 것이다.

배경기술

[0003] III-V족 재료를 실리콘과 조합하는 개념은 1980년대에 탄생되었다. 실리콘 기술의 진보 정도는 지금 예상될 수 없으므로, 많은 잠재적인 응용예들을 상술할 수는 없으며, 이러한 기술은 기본적인 바탕에서 추구되었다. 기본적인 사상은, 광을 방출하고 검출하는 능력(III-V 족 재료)을 디지털 로직(실리콘 디지털 회로)과 결합하는 것은, 구 시장의 뿐만 아니라 신 시장의 탄생을 가져오게 된다는 것이다. 그러나, 실제로 이러한 목적을 실용적인 방법으로 성취하는 것은 맨 처음 인지할 때보다 더욱 더 도전적인 것이었다.

발명의 상세한 설명

- [0004] 본 명세서에서는, 단결정 실리콘 및 단결정 비실리콘 재료와 소자를 모놀리식 접적하는 방법 및 구조체를 제공한다.
- [0005] 일 양태에 있어서, 반도체 구조체는 실리콘 기판, 실리콘 기판 상에 배치되며, 이완된 실리콘의 격자 상수와는 다른 격자 상수를 갖는 제1 단결정 반도체층, 제1 영역 내에서 제1 단결정 반도체층 상에 배치되는 절연층, 제1 영역 내에서 절연층 상에 배치되는 단결정 실리콘층, 및 제1 영역이 아닌 제2 영역 내에서 제1 단결정 반도체층의 적어도 일부 상에 배치되며, 이완된 실리콘의 격자 상수와는 상이한 격자 상수를 갖는 제2 단결정 반도체층을 포함한다.
- [0006] 또 다른 양태에 있어서, 반도체 구조체를 형성하는 방법이 제공된다. 본 방법은, 실리콘 기판을 제공하는 단계, 실리콘 기판 상에 제1 단결정 반도체층을 배치하는 단계로서, 제1 단결정 반도체층은 이완된 실리콘과는 다른 격자 상수를 갖는 단계, 제1 영역 내에서 제1 단결정 반도체층 상에 절연층을 배치하는 단계, 제1 영역 내에서 절연층 상에 단결정 실리콘층을 배치하는 단계, 및 제2 영역 내에서 단결정 반도체층의 적어도 일부 상에 제2 단결정 반도체층을 배치하는 단계로서, 제2 단결정 반도체층은 제1 영역에 없으며, 상기 제2 단결정 반도체층은 이완된 실리콘과는 다른 격자 상수를 갖는 단계를 포함한다.
- [0007] 또 다른 양태에 있어서, 반도체 구조체는 실리콘 기판, 실리콘 기판 상에 배치되며 이완된 실리콘과는 다른 격자 상수를 갖는 제1 단결정 반도체층, 제1 영역 내에서 제1 단결정 반도체층 상에 배치되는 단결정 실리콘층, 및 제1 영역이 아닌 제2 영역 내에서 제1 단결정 반도체층의 적어도 일부 상에 배치되며, 이완된 실리콘의 격자 상수와는 다른 격자 상수를 갖는 제2 단결정 반도체층을 포함한다.
- [0008] 일 양태에 있어서, 모놀리식 접적 반도체 소자 구조체는 실리콘 기판, 실리콘 기판 상에 배치되며, 이완된 실리콘과는 다른 격자 상수를 갖는 제1 단결정 반도체층, 제1 영역 내에서 제1 단결정 반도체층 상에 배치되는 절연층, 제1 영역 내에서 절연층 상에 배치되는 단결정 실리콘층, 단결정 실리콘층의 적어도 일부를 포함하는 구성 요소를 포함하는 적어도 하나의 실리콘 기반의 전자 소자, 제1 영역이 아닌 제2 영역 내에서 제1 단결정 반도체층의 적어도 일부 상에 배치되며, 이완된 실리콘의 격자 상수와는 다른 격자 상수를 갖는 제2 단결정 반도체층, 및 제2 단결정 반도체층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 III-V족 발광 소자를 포함한다.
- [0009] 또 다른 양태에 있어서, 반도체 구조체를 형성하는 방법이 제공된다. 본 방법은 실리콘 기판을 제공하는 단계, 실리콘 기판 상에 이완된 실리콘과는 다른 격자 상수를 갖는 제1 단결정 반도체층을 배치하는 단계, 제1 영역 내에서 상기 제1 단결정 반도체층 상에 절연층을 배치하는 단계, 제1 영역 내의 절연층 상에 단결정 실리콘층을 배치하는 단계, 및 제1 영역에 없으며 이완된 실리콘과는 다른 격자 상수를 갖는 제2 단결정 반도체층을 제2 영역 내의 제1 단결정 반도체층의 적어도 일부 상에 배치하는 단계를 포함한다.
- [0010] 또 다른 양태에 있어서, 반도체 구조체는 실리콘 기판, 실리콘 기판 상에 배치되며, 이완된 실리콘의 격자 상수와는 다른 격자 상수를 갖는 제1 단결정 반도체층, 제1 영역 내에서 제1 단결정 반도체층 상에 배치되는 단결정 실리콘층, 및 제1 영역이 아닌 제2 영역 내에서 제1 단결정 반도체층의 적어도 일부 상에 배치되며, 이완된 실리콘의 격자 상수와는 상이한 격자 상수를 갖는 제2 단결정 반도체층을 포함한다.
- [0011] 일 양태에 있어서, 모놀리식 접적 반도체 소자 구조체는 실리콘 기판, 실리콘 기판 상에 배치되며, 이완된 실리콘과는 다른 격자 상수를 갖는 제1 단결정 반도체층, 제1 영역 내에서 제1 단결정 반도체층 상에 배치되는 절연층, 제1 영역 내에서 절연층 상에 배치되는 단결정 실리콘층, 단결정 실리콘층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 실리콘 기반의 광검출기, 제1 영역이 아닌 제2 영역 내에서 제1 단결정 반도체층의 적어도 일부 상에 배치되며, 이완된 실리콘과는 다른 격자 상수를 갖는 제2 단결정 반도체층, 및 제2 단결정 반도체층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 비실리콘 광검출기를 포함한다.
- [0012] 또 다른 양태에 있어서, 모놀리식 접적 반도체 소자 구조체를 형성하는 방법이 제공된다. 본 방법은, 실리콘 기판을 제공하는 단계, 실리콘 기판 상에 이완된 실리콘과는 다른 격자 상수를 갖는 제1 단결정 반도체층을 배치하는 단계, 제1 영역에서 제1 단결정 반도체층 상에 절연층을 배치하는 단계, 제1 영역의 절연층 상에 단결정 실리콘층을 배치하는 단계, 단결정 실리콘층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 실리콘 기반의 광검출기를 형성하는 단계, 제1 영역이 아닌 제2 영역 내에서 제1 단결정 반도체층의 적어도 일부 상에 이완된 실리콘과는 다른 격자 상수를 갖는 제2 단결정 반도체층을 배치하는 단계, 및 제2 단결정 반도체층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 비실리콘 광검출기를 형성하는 단계를 포함한다.

- [0013] 또 다른 양태에 있어서, 모놀리식 접적 반도체 소자 구조체는 실리콘 기판, 실리콘 기판 상에 배치되며, 이완된 실리콘과는 다른 격자 상수를 갖는 제1 단결정 반도체층, 제1 영역 내에서 제1 단결정 반도체층 상에 배치되는 단결정 실리콘층, 단결정 실리콘층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 실리콘 기반의 광검출기, 제1 영역이 아닌 제2 영역 내에서 제1 단결정 반도체층의 적어도 일부 상에 배치되며, 이완된 실리콘과는 다른 격자 상수를 갖는 제2 단결정 반도체층, 및 제2 단결정 반도체층의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 비실리콘 광검출기를 포함한다.
- [0014] 일 양태에 있어서, 모놀리식 접적 반도체 소자 구조체는 실리콘 기판, 실리콘 기판 상에 배치되며 이완된 실리콘과는 다른 격자 상수를 갖는 제1 단결정 반도체층, 제1 영역에서 제1 단결정 반도체층 상에 배치되는 절연층, 제1 영역 내의 절연층 상에 배치되는 단결정 실리콘층, 단결정 실리콘층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 실리콘 기반의 전자 소자, 제1 영역이 아닌 제2 영역 내에서 제1 단결정 반도체층의 적어도 일부 상에 배치되며 이완된 실리콘과는 다른 격자 상수를 갖는 제2 단결정 반도체층, 및 제2 단결정 반도체층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 III-V족 전자 소자를 포함한다.
- [0015] 또 다른 양태에 있어서, 모놀리식 접적 반도체 소자 구조체를 형성하는 방법이 제공된다. 본 방법은 실리콘 기판을 제공하는 단계, 실리콘 기판 상에 이완된 실리콘과는 다른 격자 상수를 갖는 제1 단결정 반도체층을 배치하는 단계, 제1 영역 내에서 제1 단결정 반도체층 상에 절연층을 배치하는 단계, 제1 영역 내의 상기 절연층 상에 단결정 실리콘층을 배치하는 단계, 단결정 실리콘층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 실리콘 기반의 전자 소자를 형성하는 단계, 제1 영역이 아닌 제2 영역 내에서 제1 단결정 반도체층의 적어도 일부 상에 이완된 실리콘과는 다른 격자 상수를 갖는 제2 단결정 반도체층을 배치하는 단계, 및 제2 단결정 반도체층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 III-V족 전자 소자를 형성하는 단계를 포함한다.
- [0016] 또 다른 방법에 있어서, 모놀리식 접적 반도체 소자 구조체는 실리콘 기판, 실리콘 기판 상에 배치되며 이완된 실리콘과는 다른 격자 상수를 갖는 제1 단결정 반도체층, 제1 영역 내의 제1 단결정 반도체층 상에 배치되는 단결정 실리콘층, 단결정 실리콘층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 실리콘 기반의 전자 소자, 제1 영역이 아닌 제2 영역 내에서 제1 단결정 반도체층의 적어도 일부 상에 배치되며 이완된 실리콘과는 다른 격자 상수를 갖는 제2 단결정 반도체층, 및 제2 단결정 반도체층의 적어도 일부를 포함하는 구성요소를 포함하는 적어도 하나의 III-V족 전자 소자를 포함한다.

실시예

- [0040] 본 명세서에 나타낸 실시예들은 이완된 실리콘(relaxed silicon)과는 다른 격자 상수를 갖는 하나 이상의 단결정 반도체층에 실리콘 기반의 단결정층의 모놀리식 접적을 용이하게 하는 방법 및 구조체의 구현예들을 제공한다. 일부 실시예에 있어서, 이완된 실리콘과는 다른 격자 상수(들)를 갖는 하나 이상의 단결정 반도체에 형성된 능동 영역을 갖는 소자와 실리콘 기반의 소자가 모놀리식 접적된다. 실리콘 기반의 소자는 n-형 금속 산화물 반도체(NMOS) 전계 효과 트랜지스터 및 p-형 금속 산화물 반도체(PMOS) 전계 효과 트랜지스터(FET), CMOS 소자, 및 바이폴라 트랜지스터 등의 실리콘 기반의 전자장치들을 포함할 수 있지만 이에 제한되지 않는다. 실리콘 기반의 소자는 또한 실리콘 기반의 광검출기 등의 광전자 소자들을 포함할 수 있다. 비실리콘 반도체 소자로서는, III-V족 발광 소자(예컨대, 발광 다이오드(LED) 및 레이저 다이오드), III-V족 광검출기, 및 III-V족 HEMT(High Electron Mobility Transistor), HBT(Heterojunction Bipolar Transistor), 및 MESFET(Metal Semiconductor FET) 등의 III-V족 전자 장치를 포함할 수 있으나 이에 제한되지 않는다.
- [0041] 일부 실시예에 있어서, 이완된 실리콘과는 다른 격자 상수(들)를 갖는 단결정 반도체층(들)과 실리콘 기반의 단결정층의 모놀리식 접적은, CMOS 회로와 같은 실리콘 기반의 소자와 발광 소자의 접적을 용이하게 할 수 있다. 본 명세서에 제시된 기법들이 이에 한하지는 않으므로, 발광 소자는 가시광, 적외광, 및/또는 자외광을 방출할 수 있다. 이러한 소자들을 모놀리식 접적할 수 있는 결과, 발광 소자가 발광 소자를 제어 및/또는 구동하는 실리콘 CMOS 회로와 모놀리식 접적될 수 있다. 실리콘 CMOS 회로는 또한 계산 기능을 수행할 수 있다. 발광 소자는 1차원 어레이 또는 2차원 어레이와 같은 발광 소자의 어레이의 형태를 취할 수 있다. 따라서, 발광 소자들은 선 및/또는 면적(예컨대, 직사각 면적)에 대하여 광을 방출하도록 배치될 수 있으며, 모놀리식 접적된 실리콘 CMOS 회로에 의해 광을 방출하도록 제어 및 선택 구동될 수 있다. 발광 소자와 함께 또는 발광 소자 없이 실리콘 CMOS와 광검출기가 모놀리식 접적될 수도 있다. 광검출기는 실리콘 기반의 광검출기일 수 있으며, 소망하는 바에 따라서, 발광 소자들에 의해 방출되는 광을 검출하도록 발광 소자들 근처에 접적될 수 있다. 광검출기로부터의 출력은 실리콘 CMOS 회로에 제공될 수 있으며, 이는 적어도 부분적으로는 광검출기의 출력에 기초하

여 발광 소자의 구동을 변경시킬 수 있다. 이러한 기능은 발광 소자에 제공되는 구동 전력을 조정하거나, 및/ 또는 주어진 발광 소자가 고장인 것으로 검출되는 경우, 예를 들어, 발광 소자의 출력이 폐일(fail) 또는 열화되는 경우, 여분의 발광 소자를 활성화하기 위하여 사용될 수 있다.

[0042] 발광 소자 및 CMOS 등의 실리콘 기반의 전자장치의 모놀리식 집적은, 마이크로디스플레이, 고해상도 프린터 바(bar) 및/또는 영역, 활상 바 및/또는 영역, 집적 마이크로-디스플레이를 갖는 컴퓨터-온-칩(computer-on-chip), 및 실리콘 기반의 전자장치용의 광학 상호 접속부를 형성하기 위하여 활용될 수 있다.

[0043] 일부 실시예에 있어서, 이완된 실리콘과는 다른 격자 상수를 갖는 단결정 반도체층(들)과 실리콘 기반의 단결정 층의 모놀리식 집적은, 게르마늄 및/또는 III-V족 광검출기와 같은 비실리콘 광검출기와 실리콘 광검출기의 집적을 용이하게 할 수 있다. 실리콘 광검출기와 비실리콘 광검출기의 집적은 실리콘 광검출기 어레이 및 비실리콘 광검출기 어레이를 갖는 고해상도 활상 칩이 CMOS와 같은 실리콘 기반의 전자장치와 더 접적될 수 있도록 할 수 있다.

[0044] 일부 실시예에 있어서, 이완된 실리콘과는 다른 격자 상수를 갖는 단결정 반도체층과 실리콘 기반의 단결정 층의 모놀리식 집적은, 실리콘 MOSFET 및 바이폴라 트랜지스터와 같은 실리콘 기반의 전자 소자 및 III-V족 HEMT, HBT, 및/또는 MESFET와 같은 비실리콘 반도체 전자 소자의 집적을 용이하게 할 수 있다. 이러한 집적은 실리콘 CMOS로 형성된 디지털 회로와 III-V족 재료로 형성된 아날로그/RF 회로의 집적을 가능하게 할 수 있다.

[0045] 기재된 일부 실시예들에서는, 이완된 실리콘과는 다른 격자 상수를 갖는 하나 이상의 단결정 반도체층을 갖는 실리콘 기반의 단결정층을 포함하는 다층 개시 웨이퍼를 이용하여 실리콘 및 비실리콘 재료 및 소자의 모놀리식 집적을 실현한다. 또한, 본 명세서에 기재된 일부 기법들에서는, 단결정 비실리콘 반도체층 상에 비실리콘 재료의 에피택셜 증착을 허용한다. 에피택셜 성장된 비실리콘 재료는, III-V족 HEMT, HBT, 및 MESFET와 같은, III-V족 발광 소자(예컨대, LED 및 레이저 다이오드), III-V족 광검출기, 및 III-V족 전자 소자 등의 비실리콘 반도체 소자를 위한 소자 혼으로 구조(device heterostructure)를 포함할 수 있다. 다층 개시 웨이퍼는 에피택셜 설장된 비실리콘 소자 재료의 표면이 실리콘 기반의 단결정층과 실질적으로 동일 평면이 되도록 하여, 실리콘 소자 구조체와 비실리콘 소자 구조체의 동시처리(예컨대, 포토리소그래피, 상호 접속부 형성, 및 기타 백-엔드 처리)를 용이하게 한다.

[0046] 도 1은 단결정 실리콘 및 단결정 비실리콘 반도체층을 포함하는 다층 웨이퍼의 실시예를 나타낸다. 다층 웨이퍼(100)는 실리콘 기판(110), 실리콘 기판(110) 상에 배치된 단결정 반도체층(120), 단결정 반도체층(120) 상에 배치된 절연층(130), 및 절연층(130) 상에 배치된 단결정 실리콘층(140)을 포함한다.

[0047] 단결정 반도체층(120)은 하나 이상의 반도체층을 포함할 수 있다. 단결정 반도체층(120) 내의 층들 중 적어도 하나는 이완된 실리콘의 격자 상수와는 다른 격자 상수를 가질 수 있다. 단결정 반도체층(120)은 하나 이상의 게르마늄층, 하나 이상의 실리콘-게르마늄층, 및/또는 하나 이상의 III-V족 반도체층을 포함할 수 있다. 단결정 반도체층(120)은 실리콘-게르마늄 단계층(graded layer)을 포함할 수 있다. 실리콘-게르마늄 단계층은 제1 게르마늄 성분(예컨대, 0% 게르마늄)의 최하부 계면을 가질 수 있으며, 제2 게르마늄 성분(예컨대, 100% 게르마늄)을 갖는 최상부 계면까지 게르마늄 성분이 증가하도록 단계화될 수 있다. 게르마늄층은 이러한 실리콘-게르마늄 단계층 상에 층(120)의 일부로서 배치될 수 있다.

[0048] 일부 실시예에 있어서, 단결정 반도체층(120)은 하나 이상의 III-V족 반도체층을 포함할 수 있다. III-V족 반도체층의 예로서는, 갈륨 비화물, 갈륨 질화물, 인듐 인화물, 인듐 갈륨 비화물, 인듐 갈륨 질화물, 알루미늄 갈륨 비화물, 알루미늄 갈륨 질화물, 및/또는 당업계에 알려진 다른 III-V족 반도체층들을 포함한다. 일부 실시예에 있어서, III-V족 반도체층은 게르마늄층 상에 배치될 수 있다. 또한, 게르마늄층은 전술한 바와 같이 실리콘-게르마늄 단계층 상에 배치될 수 있다. 일부 실시예에 있어서, III-V족 반도체층은 실리콘-게르마늄층 및/또는 실리콘-게르마늄 단계층 상에 배치될 수 있다.

[0049] 일부 실시예에 있어서, 단결정 반도체층(120)은 서로 차례로 배치되고 이완된 실리콘과 상이하며 서로 상이한 격자 상수들을 갖는 2개 이상의 단결정 반도체층들을 포함할 수 있다. 2개 이상의 단결정 반도체층으로서는, 예를 들어, 게르마늄층과 인듐 인화물층, 게르마늄층과 갈륨 질화물층, 갈륨 비화물층과 인듐 인화물층, 및/또는 갈륨 비화물층과 갈륨 질화물층을 포함할 수 있다. 단결정 반도체층들 중 하나는 발광 소자 내의 능동층으로서 배치될 있으며, 다른 단결정 반도체층은 아날로그 및/또는 RF 소자 내의 채널층으로서 배치될 수 있다.

[0050] 절연층(130)으로서는, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 당업자에 공지된 기타 임의의 절연 재료, 및/또는 그 임의의 조합을 포함할 수 있다. 일부 실시예에 있어서, 층(130)은 반도체 및/또는 금속층과 같

은 비절연층이다. 다른 실시예에 있어서, 층(130)은 없을 수도 있다. 이러한 실시예에 있어서, 단결정 실리콘 층(140)이 단결정 반도체층(120) 상에 (예컨대, 접촉하여) 배치될 수 있다.

[0051] 단결정 실리콘 층(140)으로서는 이완된(relaxed) 실리콘 층 및/또는 변형된(strained) 실리콘 층을 포함할 수 있다. 변형된 실리콘 층은 임의의 소망하는 변형(strain)을 가질 수 있으며, 예를 들어, 변형된 실리콘 층은 약 1% 내지 2%의 인장 변형을 가질 수 있다. 다른 방법으로서, 또는 이에 추가하여, 실리콘-게르마늄 층은 절연층(130) 상에 배치될 수 있다.

[0052] 다층 웨이퍼(100)는 임의의 소망하는 직경을 가질 수 있으며, 이와 관련하여 본 명세서에 기재된 기법들은 제한 받지 않는다. 일부 실시예에 있어서, 다층 웨이퍼는 적어도 150 mm, 적어도 200 mm, 또는 실리콘 기판에 대하여 이용가능한 기타 임의의 적합한 직경을 갖는다.

[0053] 도 2A 내지 도 2C는 일부 실시예에 따른 다층 웨이퍼의 예를 개략적으로 나타낸다. 도 2A 내지 도 2C는 절연층(130) 상에 배치된 단결정 실리콘 층(140)을 갖는 다층 웨이퍼(201)를 나타낸다. 절연층(130)은 실리콘-게르마늄 단계층(121) 상에 배치된 하나 이상의 게르마늄, 실리콘-게르마늄, 및/또는 III-V족 층(120) 상에 배치된다. 실리콘-게르마늄 단계층(121)은 실리콘 기판(110) 상에 배치된다.

[0054] 도 2B는 절연층(130) 상에 배치된 단결정 실리콘 층(140)을 포함한 다층 웨이퍼(202)를 나타낸다. 절연층(130)은 실리콘 기판(110) 상에 배치된 하나 이상의 게르마늄, 실리콘-게르마늄, 및/또는 III-V족 층(120) 상에 배치된다.

[0055] 도 2C는 절연층(130) 상에 배치된 단결정 실리콘 층(140)을 포함하는 다층 웨이퍼(203)를 나타낸다. 절연층(130)은 하나 이상의 게르마늄, 실리콘-게르마늄, 및/또는 III-V족 층(120) 상에 배치된다. 실리콘 기판(110) 상에 배치된 절연층(135) 상에 층(들)(120)이 배치된다. 일부 실시예에 있어서, 절연층(130 및/또는 135)은 반도체 및/또는 금속 등의 비절연층으로 대체될 수 있다.

[0056] 일부 실시예에 있어서, 본 명세서에 기재된 다층 웨이퍼의 단결정 반도체층(120)은 실질적으로 실리콘 기판(110) 전체를 덮을 수 있다. 단결정 반도체층(120)은 실리콘 기판(110)의 전체 또는 실질적으로 전체 상에 배치될 수 있다. 절연체(130) 및/또는 단결정 실리콘 층(140)은 실리콘 기판(110)의 실질적으로 전체 상에 배치될 수도 있다. 이러한 다층 웨이퍼는 후술하는 바와 같이 웨이퍼 접합 기법을 사용하여 제조될 수 있다.

[0057] 도 3A 내지 도 3D는 도 2A에 도시된 다층 웨이퍼(201)와 같은 다층 웨이퍼를 제작하는 방법의 일례를 나타낸다. 도 3A에 도시된 바와 같이, 본 방법은 실리콘 기판(110)을 포함할 수 있는 핸들 웨이퍼를 제공하는 것을 포함할 수 있다. 격자가 맞지 않는 실리콘-게르마늄 단계층(121)이 당업자에 공지된 기법들을 이용하여 실리콘 기판(110) 상에 에피택셜 성장될 수 있다. 예를 들어, 실리콘-게르마늄 단계층(121)은 CVD(Chemical Vapor Deposition)를 이용하여 성장될 수 있다. 실리콘-게르마늄 단계층(121)은 실리콘-게르마늄 단계층(121)의 표면에서 낮은 게르마늄 성분에서 높은 게르마늄 성분으로 증가하는 계단형 게르마늄 성분을 가질 수 있다. 실리콘-게르마늄 단계층(121)의 하부 계면에서의 낮은 게르마늄 성분은 0% 게르마늄(예컨대, 순수한 실리콘)일 수 있으며, 실리콘-게르마늄 단계층(121)의 상부 표면에서 소망하는 최종 게르마늄 성분까지 계단형으로, 연속형으로, 또는 기타의 방법으로 증가될 수 있다. 일부 실시예에 있어서, 실리콘-게르마늄 단계층의 최상부 표면에서의 게르마늄 성분은 100% 게르마늄일 수 있으며, 또는 기타의 임의의 소망하는 게르마늄 성분(예컨대, 90% 이상의 게르마늄, 75% 이상의 게르마늄, 50% 이상의 게르마늄)일 수 있다. 실리콘-게르마늄 단계층은 실리콘 기판 상에 격자가 맞지 않는 실리콘-게르마늄의 중착 시 도입되는 임의의 크로스해치 거칠기(crosshatch roughness)를 제거하도록 화학적으로 기계적으로 연마(CMP)될 수 있다. 실리콘-게르마늄 단계층(121)은 에피택셜 성장 시에 형성될 수 있는 임의의 크로스해치 거칠기를 줄이도록, 또한, 최종 쓰레딩 전위 밀도(threading dislocation density)를 감소시키도록 성장 공정의 중단을 통해 간헐적으로 CMP 처리될 수도 있다.

[0058] 게르마늄 및/또는 실리콘-게르마늄 층(120)은 실리콘-게르마늄 단계층(121) 상에 배치될 수도 있다. 일부 실시예에 있어서, 게르마늄 층은 성장 공정 후에 화학적으로 기계적으로 연마될 수 있다. 일부 실시예에 있어서, 하나 이상의 층이 하나 이상의 III-V족 층을 포함하여 게르마늄 층 및/또는 실리콘-게르마늄 층(120) 상에 배치될 수도 있다. 다른 방법으로서, 하나 이상의 III-V족 층이 실리콘-게르마늄 단계층(121) 상에 바로 배치될 수도 있다. 하나 이상의 III-V족 층은 임의의 수의 III-V족 재료(예컨대, 갈륨 비화물, 인듐 인화물, 갈륨 질화물, 임의의 3원 III-V족, 및/또는 임의의 그 조합)를 포함할 수 있다. 또한, 하나 이상의 III-V족 층은 인듐 갈륨 비화물 단계층과 같은 단계형 III-V족 층, 또는 III-V족 반도체를 포함하는 임의의 기타 단계층을 포함할 수 있다.

- [0059] 게르마늄 및/또는 실리콘-게르마늄층(120) 상에 절연층(130)이 배치될 수 있다. 절연층(130)은 산화물(예컨대, 실리콘 이산화물), 실리콘 질화물, 실리콘 산질화물, 또는 임의의 기타 적합한 절연체 재료와 같은 임의의 종류의 절연체를 포함할 수 있다. 다른 방법으로서, 또는 이에 추가하여, 게르마늄 및/또는 실리콘-게르마늄층(120) 상에 비절연층이 배치될 수도 있다. 절연층(130)은 또한 예를 들어 화학 기계적 연마(CMP)를 이용하여 연마될 수도 있다.
- [0060] 도 3B는 도 3A에 도시된 핸들 웨이퍼에 접합되는 웨이퍼일 수 있는 도너 웨이퍼를 나타낸다. 도너 웨이퍼는 실리콘 기판(190)일 수 있다. 실리콘 기판(190)은 이온 절단 절차를 이용한 웨이퍼 접합 및 층 이송을 위하여 준비된다. 다른 방법으로서, 또는 이에 추가하여, 당업자에 공지된 바와 같이 접합 및 애치 백 층 이송 과정이 사용될 수도 있다. 이온 절단 공정에서, 이온(예컨대, 수소 이온, 헬륨 이온)은 실리콘 기판의 표면으로부터 소망하는 깊이에서 주입 이온 퍼크(192)를 형성하도록 실리콘 기판(190)의 표면에 주입(화살표(191)에 나타낸 바와 같이)된다. 이온 퍼크(192) 상의 실리콘 재료(이하, 실리콘층(140)이라 함)는 웨이퍼 접합 공정의 이송층으로서 기능할 수 있다.
- [0061] 도 3C는 웨이퍼 접합 공정을 나타낸 것으로서, 도 3B의 도너 웨이퍼는 도 3A의 핸들 웨이퍼에 접합된다. 도시된 바와 같이, 핸들 웨이퍼의 실리콘층(140)은 도너 웨이퍼의 절연층(130)에 접합된다. 다른 방법으로서, 절연층(예컨대, 산화물 층)이 웨이퍼 접합 전에 도 3B에 나타낸 도너 웨이퍼의 실리콘층(140) 상에 배치될 수 있다. 이러한 실시예에 있어서, 웨이퍼 접합 공정은 산화물 층에 대한 산화물 층의 접합을 포함할 수 있다. 웨이퍼 접합 후에, 층(140)의 균열 형성과 박리(delamination)를 시작하도록 접합된 웨이퍼의 쌍이 소망하는 온도에서 어닐링 될 수 있다. 어닐링은 핸들 웨이퍼에 대한 이송층의 접합을 강화할 수도 있다. 그 결과의 다층 반도체 웨이퍼 구조체가 도 3D에 도시되어 있는데, 여기서 실리콘층(140)이 도 3A에 도시된 핸들 웨이퍼 상에 배치된다. 박리된 층(140)의 표면은 거칠 수 있으므로, 예를 들어, 화학 기계적 연마에 의해 웨이퍼 표면이 연마될 수 있다.
- [0062] 도 4는 비실리콘 도너 기판을 이용하여 도 2에 도시된 다층 웨이퍼(202)를 제작하는 방법을 나타낸다. 비실리콘 도너 기판은 갈륨 비화물, 갈륨 질화물, 인듐 인화물, 또는 갈륨 인화물 등의 III-V족 기판 또는 게르마늄 기판을 포함할 수 있다. 도 4A는 비실리콘 재료로 형성되는 도너 기판(180)을 나타낸다. 도너 기판(180)은 이온-절단 공정에서 이용되는 이온들이 주입된다(화살표 181에 나타냄). 이온들은 비실리콘 도너 기판(180)의 표면으로부터 소망하는 깊이(182)에서 퍼크 놓도를 형성하기 위해 주입 에너지를 가지고 주입된다. 재료층(120)은 주입 퍼크(182) 상에 있다.
- [0063] 도 4B는 도 4C에 도시된 바와 같이 도너 기판(180)이 웨이퍼 접합될 수 있는 실리콘 핸들 기판(110)을 나타낸다. 웨이퍼 접합 후에, 웨이퍼 접합된 쌍은 도너 기판의 주입 퍼크(182)에서 균열 형성을 시작하여, 도 4D에 도시된 바와 같이, 실리콘 핸들 기판(110) 상에 비실리콘층(120)의 층 이송을 가져오도록 어닐링될 수 있다. 어닐링은 층(120)과 실리콘 핸들 기판(110) 사이의 접합을 강화할 수도 있다. 절연층(130)이 그 후에 도 4E에 도시된 바와 같이 비실리콘층(120) 상에 중착될 수 있다.
- [0064] 실리콘 기판(190)을 포함하는 제2 도너 웨이퍼가 준비될 수 있다. 옵션으로서, 실리콘 기판(190)은 그 위에 중착되는 절연층(도시 생략)을 가질 수 있다; 예를 들어, 이러한 절연층은 실리콘 산화물로 형성될 수 있으며, 중착되거나 및/또는 열성장될 수 있다. 실리콘 기판(190)은 그 후 이온 주입(화살표 191로 나타냄)을 거쳐, 제2 이온 절단 공정에 이용될 이온들을 주입할 수 있다. 실리콘 기판에 주입된 이온들에는 실리콘 기판(190) 표면으로부터 소망하는 깊이에서 이온 주입 퍼크(192)를 생성하도록 적절한 주입 에너지가 제공된다. 이어서, 이러한 공정은 실리콘 기판(190)의 실리콘층(140)을 형성하며, 이는 실리콘 기판(110)을 포함하는 핸들 웨이퍼에 이송되는 층이 될 것이다. 도 4G는 웨이퍼 접합 공정을 나타내며, 여기서 실리콘 기판(190)의 표면은 핸들 웨이퍼의 층(130)에 접합된다. 웨이퍼 접합 후에, 접합된 쌍은 실리콘 기판(190)의 이온 주입 퍼크(192)에서 균열 형성을 시작하여, 도 4H에 도시된 바와 같이 핸들 웨이퍼의 층(130)으로 실리콘층(140)을 층 이송하도록 어닐링될 수 있다. 그 결과의 다층 반도체 웨이퍼는 도 2B의 다층 웨이퍼(202)의 층들을 포함한다.
- [0065] 도 5A 내지 도 5H는 실리콘 기판 상의 실리콘-게르마늄 단계층 상에 배치되는 게르마늄, 실리콘-게르마늄 및/또는 III-V족 반도체 등의 비실리콘 재료를 포함하는 도너 웨이퍼로 시작하여 다층 웨이퍼(212)를 제작하는 다른 방법을 나타낸다. 도 5A는 이러한 도너 웨이퍼가 실리콘 단계층(121)이 배치되는 실리콘 기판(110a)을 포함하는 것을 나타낸다. 게르마늄, 실리콘-게르마늄, 및/또는 III-V족 층(120a)이 실리콘-게르마늄 단계층(121) 상에 배치된다. 층(120a) 내의 소망하는 깊이에서 이온 주입 퍼크(182)를 생성하도록 도너 웨이퍼의 표면을 통해 이온들이 주입될 수 있다. 이온 주입 퍼크 상의 재료들은 도 5A에서 층(120)으로서 표기된다. 도 5의 방법에

서 나머지 처리들은 비실리콘 도너 기판(180)이 도 5A에 도시된 웨이퍼로 대체된 것을 제외하고는 도 4의 방법에 대하여 설명된 바와 마찬가지이다.

[0066] 도 6A 내지 도 6H는 도 4의 방법과 유사한 방법을 이용하고 게르마늄 또는 III-V족 기판 등의 비실리콘 기판(180)으로 시작하여, 도 2C의 다층 웨이퍼(203)를 제작하는 방법을 나타낸다. 본 방법의 처리들은 절연층(135)이 도 6A의 비실리콘 도너 기판(180) 및/또는 도 6B의 핸들 웨이퍼(110) 상에 배치된 것을 제외하고는 도 4에 대하여 설명한 바와 마찬가지이다.

[0067] 도 7A 내지 도 7H는 실리콘 기판(110a) 상에 증착되었던 실리콘-게르마늄 단계층(121) 상에 증착된 게르마늄, 실리콘-게르마늄, 및/또는 III-V족 층(120a) 등의 비실리콘층을 포함하는 개시 웨이퍼를 이용하여 다층 웨이퍼(203)를 제작하는 또 다른 방법을 나타낸다. 절연층(135)이 비실리콘층(184) 및/또는 핸들 실리콘 기판(110) 상에 증착될 수도 있다. 도 7의 공정의 나머지 처리들은 도 6의 것과 마찬가지이다.

[0068] 도 1에 도시된 다층 웨이퍼(100)와 같은 다층 웨이퍼는 이완된 실리콘의 격자 상수와는 다른 격자 상수를 갖는 단결정 반도체층(120)을 포함한다. 이러한 다층 웨이퍼는 단결정 집적 실리콘 및 비실리콘 소자에 대하여 개시 웨이퍼로서 이용될 수 있다. 단결정 실리콘층(140) 상에 및/또는 내에 실리콘 소자들이 형성될 수 있으며, 단결정 반도체층(120)을 노출시키도록 실리콘층(140) 및 절연층(130)이 제거된 영역 내에 비실리콘 소자가 형성될 수 있다. 노출된 단결정 반도체층(120) 상에 에피택셜 재성장된 고품질 반도체 재료층은 III-V족, 실리콘-게르마늄, 및/또는 게르마늄 전자 및/또는 광전자 소자 등의 비실리콘 소자에 대한 재료층으로서 기능할 수 있다.

[0069] 도 8은 일 실시예에 따라서 개시 웨이퍼로서 다층 웨이퍼(100)를 이용하여 형성될 수 있는 반도체 구조체(800)를 나타낸다. 반도체 구조체(800)는 제1 영역(810)과 제3 영역(820)을 모놀리식 집적한다. 제1 영역(810)은 단결정 반도체층(120) 상에 더 배치되는 절연층(131) 상에 배치된 단결정 실리콘 웨이퍼(141)를 포함할 수 있으며, 단결정 반도체층(120)은 이완된 실리콘의 격자 상수와는 다른 격자 상수를 갖는다. 단결정 반도체층(120)은 실리콘 기판(110) 상에 배치된다.

[0070] 반도체 구조체(800)는 제2 영역(820)을 더 포함하며, 제2 단결정 반도체층(예컨대, 도시된 실시예에서 층 220 및 222)은 단결정 반도체층(120)의 적어도 일부 상에 배치된다. 제2 단결정 반도체층(예컨대, 층 220 및 222)은 반도체 구조체의 제1 영역에 없다. 제2 단결정 반도체층(220 및 222)은 이완된 실리콘과는 상이한 격자 상수를 가지며, 단결정 반도체층(120)과는 상이한 조성을 가질 수 있다.

[0071] 단결정 반도체층(220)은 제1 단결정 반도체층(120)의 적어도 일부과 접촉하여 배치될 수 있다. 이하에서 후술하는 바와 같이, 이러한 구조체는 단결정 반도체층(120)의 노출된 영역 상에 에피택셜 성장되어 형성될 수 있다. 일부 실시예에 있어서, 단결정 반도체층(220)은 단결정 반도체층(120)과 유사한 조성을 가질 수 있으며, 또는 다른 방법으로서 단결정 반도체층(220)의 전부 또는 일부가 단결정 반도체층(120)과는 상이한 조성을 가질 수 있다. 또한, 층(220)은 부분적으로 또는 전체적으로 의도하는 소자 응용에 따라서 도핑될 수 있다.

[0072] 반도체층(220) 상에 단결정 반도체층(222)이 배치될 수 있으며, 반도체층(222)은 영역(820) 내에 형성되는 의도하는 소자에 대하여 적합한 혜테로 구조를 포함할 수 있다. 일부 실시예에 있어서, 반도체층(222)은 하나 또는 복수의 III-V족 반도체 재료층, 실리콘-게르마늄, 및/또는 게르마늄층을 포함할 수 있다. 일부 실시예에 있어서, 층(222)은 III-V족, 실리콘-게르마늄, 및/또는 게르마늄 재료층에 접촉하여 배치될 수 있는 실리콘 캡 층을 포함할 수 있다. 실리콘 캡 층은 이러한 구조체 상에서 소자를 제작하기 위하여 사용되는 임의의 처리 환경(예컨대, 실리콘 파운드리)에 대하여 III-V족 및/또는 게르마늄 노출을 방해하는 봉입(encapsulation)층으로서 기능할 수 있다.

[0073] 본 출원인은 실질적으로 동일 평면 실리콘 소자 영역과 비실리콘 소자 영역을 갖는 장점을 이해하였다. 실리콘 영역과 비실리콘 영역의 표면 사이의 동일 평면성(coplanarity)은, 실리콘 영역과 비실리콘 영역 쌍방이 실질적으로 동일한 높이에 있을 수 있으므로(예컨대, 실리콘 및 비실리콘 반도체 표면이 실질적으로 동일한 높이에 있음) 포토리소그래피 공정 단계를 용이하게 할 수 있다. 이와 같이, 웨이퍼 표면의 큰 높이 변동에 민감할 수 있는 포토리소그래피 단계들이 용이하게 될 수 있다. 실리콘 영역과 비실리콘 영역 내의 소자들 사이의 상호 접속부 제작이 영역들 간의 실질적인 동일 평면성의 결과로서 용이하게 될 수도 있다. 본 명세서와 같이, 동일 평면성은 채용되는 리소그래피 공정의 피쳐 스케일(feature scale)에 의존할 수 있다. 일부 실시예에 있어서, 동일 평면 반도체 표면은 100 nm 미만, 200 nm 미만, 또는 400 nm 미만 분리되어 있다. 예를 들어, 70 nm 게이트 길이 CMOS에 대하여 채용되는 포토리소그래피를 이용하는 경우, 실질적으로 동일 평면인 표면들은 200 nm 미만 분리될 수 있다(예컨대, 100 nm 미만, 50 nm 미만).

- [0074] 반도체 구조체(800)에는 임의의 수의 다른 층들이 도입될 수 있다는 것을 이해하기 바란다. 예를 들어, 단결정 반도체층(220 및 222)을 포함하는 비실리콘 영역(820)은 절연층(230)에 의해 단결정 실리콘 영역(141)으로부터 분리될 수 있다. 도 8에서는 단결정 실리콘층(141)과 단결정 반도체층(222 및 220)과의 사이의 전체 캡을 채우도록 층(230)이 배치되는 것으로 도시하였지만, 본 명세서에 기재된 기법들은 이에 대하여 제한되지 않는다는 것을 이해하기 바란다.
- [0075] 단결정 실리콘 영역과 단결정 비실리콘 영역을 조합하는 본 명세서에 기재된 모놀리식 집적된 구조체는, 개시 웨이퍼로서 다층 웨이퍼(100)와 같은 다층 웨이퍼를 이용하는 제조 공정을 이용하여 형성될 수 있다. 이러한 방법의 일례의 흐름도가 도 9에 도시되어 있다. 본 방법은 개시 웨이퍼로서 다층 웨이퍼(예컨대, 다층 웨이퍼(100))를 제공하는 것(단계 310)을 포함할 수 있다. 단계 320에서, 전단의 실리콘 소자 공정은 단결정 실리콘 층(140)의 제1 영역에 실리콘 소자의 전단을 형성하도록 형성될 수 있다. 이러한 실리콘 소자로서는, 실리콘 트랜지스터(예컨대, CMOS, 바이폴라) 및/또는 광전 소자(예컨대, 실리콘 광검출기) 등의 전자 및/또는 광전 소자를 포함할 수 있다. 옵션으로서, 제1 영역에 제작되는 실리콘 소자의 전단은, 이에 한하지는 않지만, 질화물, 산화물, 산질화물, 그 조합, 또는 당업자에 공지된 임의의 다른 적합한 재료를 포함하는, 보호 재료의 증착을 통해 피복될 수 있다.
- [0076] 실리콘 단결정층(140)의 제2 영역에서, 실리콘 단결정층(140)과 절연층(130)은 단결정 반도체층(120)을 노출시 키도록 제거(예컨대, 에칭)될 수 있다(단계 330). 실리콘 및/또는 절연체를 제거하기 위하여 활용되는 에칭제로서는, 화학 또는 물리적 에칭을 포함할 수 있고, 전식 또는 습식일 수 있으며, 본 명세서에 기재된 기법들은 이와 관련하여 제한되지 않는다. 일단 단결정 반도체층(120)이 제2 영역에서 노출되면, 임의의 소망하는 반도체 재료층이 에피택셜 성장 공정에 대한 씨드층으로 기능하는 노출된 영역 상에 에피택셜 성장될 수 있다(단계 340). 이와 같이, 단결정 반도체층(120)에 격자 정합되는 반도체 재료가 성장될 수 있다. 단결정 반도체층(120) 상에 성장되는 반도체층들로서는, 게르마늄층, 실리콘-게르마늄층, III-V족 층, 및/또는 임의의 그 조합을 포함할 수 있다. 이러한 층들 중 적어도 하나는 이완된 실리콘의 격자 상수와는 다른 격자 상수를 갖는다.
- [0077] 옵션으로서, 노출된 반도체층(120)에 대한 에피택셜 성장 전에, 절연 재료(예컨대, 유전성)가 제2 영역에서의 에칭으로 인해 노출되었던 단결정 실리콘층(141)(예컨대, 반도체 구조체(800)에 대하여 도시된 바와 같이)의 측벽을 둘러싸도록 증착될 수 있다. 이러한 공정은 도 8에 도시된 바와 같이 절연층(230)의 형성을 가져올 수 있다. 이러한 공정은, 영역(820)의 측벽 상의 절연체를 그대로 남겨둔 채로 영역(820) 내의 단결정 반도체층을 노출시키도록 전체 웨이퍼 표면에 걸쳐 블랭킷 절연층을 증착시키고 증착된 블랭킷 절연층의 일부를 에칭하는 것을 포함할 수 있다. 이러한 절연 측벽(230)은 산화물, 질화물, 산질화물, 및/또는 임의의 그 조합 등의 유전성 재료 또는 다른 적절한 재료로 형성될 수 있다. 반도체(120) 상에 반도체(220 및 222)의 에피택셜 성장시에, 측벽(230)은 선택적 에피택셜 성장을 용이하게 할 수 있으며, 노출된 단결정 반도체층(120)은 후속 에피택셜 성장에 대한 씨드층으로서 기능한다. 당업자에 공지된 바와 같이, 적절한 성장 화학물질, 온도, 및/또는 압력의 사용을 통해 절연체(230) 상의 성장이 금지될 수 있다. 블랭킷 절연 보호층이 실리콘 영역(810) 상에 존재한다면, 선택적 성장의 사용을 통해서 이러한 영역들 내에서 반도체의 성장이 금지될 수도 있다. 다른 방법으로서, 선택적 성장이 활용되지 않는다면, 실리콘 영역(810) 상에서 반도체 성장이 일어날 수 있으며, 이러한 영역들에 증착된 임의의 반도체 재료를 제거하기 위하여 후성장 에칭이 수행될 수도 있다.
- [0078] 단계 340의 반도체 에피택셜 성장은 III-V족, 게르마늄, 및/또는 실리콘 게르마늄층을 포함하는 소자 층의 성장을 허용할 수 있다. 에피택셜 성장은 또한 소자 구조체에서 요구되는 P-형, N-형, 및 진성 물질(intrinsic)의 도핑 등의 소망하는 도핑을 포함할 수 있다. 또한, 실리콘 캡핑(capping)층이 단결정 반도체층(120) 상에 재성장된 III-V족, 게르마늄, 및/또는 실리콘-게르마늄층을 봉입하도록 성장 공정의 말단에서 증착될 수 있다(단계 350). 실리콘 캡핑층의 포함은 에피택셜 성장 후에 실리콘 제조 설비로의 재도입을 용이하게 할 수 있다. 일부 실시예에 있어서, 제2 영역 내의 에피택셜 성장된 반도체층 표면(예컨대, 층(222) 또는 실리콘 캡핑층 표면)은 전술한 바와 같이 제1 영역(예컨대, 층(141) 내의 실리콘 표면과 실질적으로 동일 평면일 수 있다.
- [0079] 단계 360에서, 비반도체 소자의 전단 처리 및 제1 영역에서의 실리콘 소자 및 에피택셜 성장된 제2 영역에서의 비실리콘 소자에 대한 후단 처리가 수행될 수 있다. 후단 처리는, 웨이퍼 상의 소자들 사이에 상호 접속부를 형성하는 것을 포함할 수 있다. 제1 영역에서 실리콘 소자들 사이에, 제2 영역에서 비실리콘 소자들 사이에, 및 실리콘 소자와 비실리콘 소자 쌍방 사이에 인터커넥션이 형성될 수 있다는 것을 이해할 수 있을 것이다. 이러한 공정은 표준 실리콘 제조 설비와 호환가능하며, 또한 본 실시예에서는 실리콘과 비실리콘 영역이 실질적으로 동일 평면인 반도체 표면을 가지며, 후단 처리의 포토리소그래피 및 상호 접속 공정은 상당이 용이해질 수

있다. 또한, 이러한 공정은 전체 표면이 실리콘 CMOS 제조 기구에서 수행될 수 있도록 할 수 있다. 이러한 공정은, 실리콘 CMOS 제조 설비에 대하여 후단 공정 기술이 더 발전될 수 있으므로 장점이 있을 수 있다.

- [0080] 기재된 제조 공정은, 실리콘 CMOS 전단 공정 온도가 III-V족 소자 내에서의 도편트 확산을 최소화하는 온도보다 통상 높기 때문에 실리콘 소자 및 비실리콘(예컨대, III-V족) 소자의 모놀리식 접적을 용이하게 할 수 있다. 따라서, 일부 실시예에 있어서, 실리콘 전단 공정이 수행되는 때에 III-V족 소자층이 웨이퍼에 존재하지 않을 수 있다. 그러나, III-V족, 게르마늄, 및/또는 실리콘-게르마늄 매립된 단결정 반도체층들의 용융 온도는 이러한 층들이 실리콘 전단 처리에서 살아남을 수 있을 만큼 충분히 높을 수 있다. 또한, 후단 처리(예컨대, 상호 접속부 형성)는 일반적으로 실리콘 전단 처리보다 더 낮은 열적 부담을 가지므로, 임의의 III-V족 소자층이 쉽게 실리콘 후단 처리에서 살아남을 수 있다.
- [0081] 이러한 모놀리식 접적 반도체 구조체 및 이러한 구조체를 형성하는 관련 방법들은 실리콘 소자(전자 또는 광전자) 및 III-V족 및/또는 게르마늄 소자(전자 및/또는 광전자)를 모놀리식 접적하기 위하여 사용될 수 있다.
- [0082] 도 10은 접적 소자 구조체(1000)를 나타내는 것으로서, 실리콘 전자장치는 일 실시예에 따라서 III-V족 발광 소자(예컨대, LED 또는 레이저 다이오드)와 모놀리식 접적된다. 실리콘 소자(510)(예컨대, 실리콘 CMOS, 바이폴라 트랜지스터, 및/또는 실리콘 광검출기)는 다층 웨이퍼의 제1 영역(810)에 있도록 제조될 수 있으며, III-V족 발광 소자(520)가 제2 영역(820) 내의 단결정 반도체층(120) 상에 성장될 수 있다. 영역(820) 내에 형성된 발광 소자는 p-n 또는 p-i-n 구조체를 형성하도록 도핑된 III-V족 층의 수직 스택을 포함할 수 있다. 층(222)은 또한 능동층(예컨대, 하나 이상의 양자 웨) 및 능동층 상하에 배치되는 구속층을 포함할 수도 있다. 층(222)의 표면은 전술한 바와 같이 실리콘 캡핑층을 포함할 수 있다. 발광 소자(520)의 층(222)의 최상부는 상호 접속부(410)를 통해 실리콘 소자(510)와 전기적으로 접촉 및 상호 접속될 수 있다. 수직 발광 소자 구조체의 타측은, 실리콘 소자(510)(도시 생략)와 상호 접속될 수도 있는 금속 충진 비어(420)를 통해 접촉될 수 있다. 이는 접촉 구조 중 하나의 유형일 뿐이며, 이와 관련하여 본 명세서에 기재된 기법들은 제한받지 않으므로, 다른 구조가 채용될 수도 있다는 것을 이해하기 바란다.
- [0083] 도 11은 일 실시예에 따른 발광 소자 구조체(520')의 단면을 나타낸다. 발광 소자 구조체(520')는 접적 소자 구조체(1000)의 발광 소자(520)의 도시예이다. 발광 소자(520')는 게르마늄층일 수 있는 단결정 반도체층(220)을 포함한다. 층(220)은 p+ 도핑될 수 있으며, 발광 소자의 p-측으로 기능할 수 있다. 반도체층(220) 상에 배치된 반도체층(222)은 발광 소자 구속층, 클래딩층, 능동층, 및 캡핑층(예컨대, 실리콘 캡핑층)을 포함할 수 있다. 층(222)은 p+ 도핑된 갈륨 비화물 층(1102)을 포함할 수 있다. 최하부의 p-형 AlInGaP 구속층(1104)은 층(1102) 상에 배치될 수 있다. 양자 웨 능동층(1106)은 최하부 구속층(1104) 상에 배치될 수도 있다. 양자 웨(1106)은 주변 구속층과의 대역갭 및/또는 대역갭 오프셋으로 인하여 대역갭 구속을 가질 수 있도록 도핑되지 않고 InGaP로 형성될 수 있다. 능동층(1106) 상에 최상부 n-형 AlInGaP 구속층(1108)이 배치될 수 있다. n+ 도핑된 갈륨 비화물 층(1110)이 구속층(1108) 상에 배치될 수 있다. n+ 도핑된 실리콘 캡핑층(1112)이 층(1110) 상에 배치될 수 있다.
- [0084] 갈륨 비화물 층(1102) 및 클래딩 층(1104 및 1108)은 약 5×10^{17} dopant/cm³로 도핑될 수 있다. 클래딩 층(1104 및 1108)은 약 200 nm의 두께일 수 있으며, 능동층(1106)은 약 22 nm의 두께일 수 있다. 갈륨 비화물 층(1110)은 전류 확산층으로서 기능할 수 있으며, 약 50nm의 두께로 약 1×10^{19} dopant/cm³로 도핑될 수 있다. 실리콘 봉입층(1112)은 약 80 nm 두께로 1×10^{21} dopant/cm³로 도핑될 수 있다. 다른 방법으로서, 최하부층은 n 도핑되고, 표면층은 p 도핑되는, n-p 도핑된 헤테로 구조를 형성하도록 도핑 순서가 역전될 수 있다.
- [0085] 발광 소자(520')는 실리콘 캡핑층(1112) 상에 접촉 금속층(1116)을 증착한 결과로서 형성되는 규화물 층(1114)을 포함할 수 있다. 접촉 금속층(1116)은 상호 접속부(410)와 접촉하여 배치될 수 있다. 접촉 금속층(1116)은 발광 소자 표면의 일부만을 덮어, 덮히지 않은 영역을 통한 발광을 허용할 수 있다. 예를 들어, 접촉 금속층(1116)은 상면도에 도시된 바와 같이 루프 형태를 가질 수 있다. 발광 소자(520')는 게르마늄층(220) 상에 접촉 금속층(1120)을 증착한 결과로서 형성되는 게르마늄층(1118)을 포함할 수 있다.
- [0086] 일부 실시예에 있어서, III-V족 헤테로 구조 및 실리콘 캡핑층은 III-V족 및 IV족 재료를 증착할 수 있는 하나의 반응기 시스템(예컨대, MOCVD 반응기)에서 연속공정(in-situ)으로 증착된다. 예를 들어, 발광 소자(520')의 III-V족 헤�테로 구조 및 캡핑 실리콘층은 저온 MOCVD(예컨대, Thomas Swan close-coupled showerhead reactor)를 이용하여 성장될 수 있다. 소오스 재료로서는, III족 원소에 대하여 TMGa(trimethylgallium), TMAI(trimethylaluminum), TMIn(trimethylindium), V족 원소에 대하여 PH₃ 및 AsH₃, 실리콘에 대하여 SiH₄를

포함할 수 있다. p-형 도편트 소오스로서 DMZn(dimethylzinc) 및 B₂H₆가 채용될 수 있으며, n-형 도편트 소오스로서 Si₂H₆가 채용될 수 있다. 캐리어 가스로서는 질소를 포함할 수 있다. 약 650°C의 웨이퍼 온도 및 약 100 Torr의 압력에서 증착이 수행될 수 있다. V/III 비율은 발광 소자층의 증착에 대하여 약 83으로 설정될 수 있다.

[0087] 발광 소자(520')는 발광 소자용의 반도체층 구조체의 일례일 뿐이다. 일부 실시예에 있어서, 발광 소자는 헤테로 구조를 포함할 수 있는 한편, 다른 실시예에 있어서, 발광 소자는 호모 구조를 포함할 수 있다. 상이한 파장의 광을 방출하는 발광 소자 구조체를 형성하기 위하여 다른 III-V족 재료가 사용될 수 있으며, 이와 관련하여 본 명세서에 기재된 기법들은 제한되지 않는다. 발광 소자(520')에 있어서, AlInGaP 층은 GaAs에 격자 정합되는 (Al_xGa_{1-x})_{0.5}In_{0.5}P 층 (예컨대, x=0.3) 일 수 있으며, 이는 가시광 스펙트럼에 있어서의 적색(red) 내지 녹색(green) 영역에서 고휘도 가시광 발광 소자의 재료로서 기능할 수 있다.

[0088] 도 12는 일 실시예에 따라서 다층 웨이퍼(100)와 같은 다층 웨이퍼 상에 모놀리식 접적되는 발광 소자의 상면도(1200)를 나타낸다. 예를 들어, 모놀리식 접적된 소자 구조체(1000)의 발광 소자(520)는 상면도(1200)을 갖도록 제조될 수 있다. 발광 소자는 산화물(예컨대, 실리콘 산화물), 실리콘 질화물, 또는 그 조합 등의 임의의 적절한 전기 절연 재료로 형성될 수 있는 절연 영역(230)(예컨대, 분리 트렌치)를 포함할 수 있다. 발광 소자는 다층 개시 웨이퍼(예컨대, 다층 웨이퍼(100))의 단결정 반도체층(예컨대, 층(220 및 222)) 상에 발광 소자 헤테로 구조(또는 호모 구조)가 에피택셜 성장될 수 있는 성장 웨(1210)을 포함할 수 있다. 발광 소자는 발광 소자 능동 영역 내에서 발생되는 광이 적어도 부분적으로 방출될 수 있는 방출 영역(1220)을 가질 수 있다. 발광 소자는 임의의 적합한 방법으로 접촉될 수 있다. 상면도(1200)에 도시된 바와 같이, 제1 금속 콘택트(1230)는 콘택트 비어(1240)를 통해 발광 소자 반도체 구조체의 상부측에 접촉할 수 있으며, 제2 금속 콘택트(420)는 콘택트 비어(1250)를 통해 발광 소자 반도체 헤�테로 구조의 최하부 층에 접촉할 수 있다.

[0089] 발광 소자 방출 영역은 임의의 적절한 치수와 형태를 가질 수 있다. 도 12의 상면도에서, 발광 소자 방출 영역은 직사각형 또는 정사각형이며, 본 명세서에 기재된 기법은 이와 관련하여 제한되지 않으므로, 다른 형태가 사용될 수도 있다. 발광 소자 반도체 영역의 치수는 성장 웨의 치수에 의해 정의될 수 있다. 전술한 바와 같이, 성장 웨은 다층 웨이퍼(100)로 시작하여, 노출된 단결정 반도체층(120) 상에 에피택셜 성장을 통해 발광 소자(또는 다른 비실리콘 소자 또는 재료)가 형성될 수 있는 영역 내에서 단결정 반도체층(140)과 절연층(130)을 제거(예컨대, 예칭)함으로써 형성될 수 있다. 발광 소자 방출 영역의 치수는 따라서 성장 웨를 형성하기 위하여 이용되는 리소그래피 공정에 의해 정의될 수 있다. 일 실시예에 있어서, 발광 소자 방출 영역은 약 100x100 μm² 미만이다. 방출 영역은 성장 웨를 정의하기 위하여 채용되는 리소그래피 공정의 해상도(예컨대, CMOS 피쳐 길이의 리소그래피 한계)에 의해 제한될 수 있으므로, 일부 실시예에 있어서, 발광 소자 방출 영역은 약 1x1 μm² 미만이 되도록 형성될 수 있다.

[0090] 복수의 성장 웨 및 이에 따른 분리된 발광 소자들이 정의될 수 있으며, 여기서, 절연층(230)에 의해 형성되는 것과 같은, 분리 트렌치에 의해서 하나 이상의 발광 소자들이 분리될 수 있다. 분리 트렌치는 임의의 적합한 치수를 가질 수 있으며, 이와 관련하여 본 명세서에 기재된 기법들은 제한되지 않는다. 일부 실시예에 있어서, 분리 트렌치와 콘택츠 층을 포함하는 각각의 발광 소자 유닛의 피치는 약 100 μm 미만이다.

[0091] 일부 실시예에 있어서, 발광 소자 반도체 구조체의 선택적인 에피택셜 증착이 채용되지 않는 경우, 성장 웨의 측벽(예컨대, 유전 측벽 등의 절연 측벽) 근처의 재료 성장은 다결정일 수 있다. 이러한 실시예에 있어서, 웨 내에서의 에피택셜 성장 후에, 소망하는 방출 영역(예컨대, 영역(1220))과는 다른 영역 내에서 성장된 다결정 반도체를 제거하기 위하여 예칭 공정이 이용될 수 있다.

[0092] 발광 소자의 어레이가 형성되면, 그 후, 어레이의 발광 소자들은 동일한 최하부 콘택트(예컨대, 콘택트(420))를 공유할 수 있다는 것을 이해할 수 있을 것이다. 또한, 도 12에 도시된 바와 같이, 최상부 콘택트(예컨대, p-콘택트) 및/또는 최상부 콘택트 비어는 발광 소자의 표면으로부터의 발광을 촉진하는 한편 전류 확산을 촉진하도록 환형의 구성을 가질 수 있다. 일부 실시예에 있어서, 어레이 내의 발광 소자의 피치가 작은 경우(예컨대, 약 20x20 μm² 미만의 방출 영역을 가짐), 평거-형태의 최상부 콘택트 및/또는 본딩 패드로의 팬-아웃이 발광 소자 어레이에 도입될 수 있다.

[0093] 도 13은 일 실시예에 따라서 다층 웨이퍼(100)와 같은 다층 웨이퍼 상에 모놀리식 접적되는 발광 소자 구조체를 제조하는 방법의 일례를 나타낸다. 잠재적으로 상이한 헤테로 구조 및/또는 접촉 스키ム을 갖는 이러한 공정은,

비실리콘 재료 헤테로 구조 및/또는 소자를 다층 웨이퍼 상에 형성하기 위하여 활용될 수 있다.

- [0094] 본 공정은 다층 웨이퍼(100) 등의 다층 웨이퍼를 제공하는 것을 포함할 수 있다. 다층 개시 웨이퍼(100)의 단결정 실리콘층(140) 상에 다층 웨이퍼의 제1 영역(영역 141)에서 전단 실리콘 소자 처리가 수행될 수 있다. 다층 웨이퍼는 포토레지스트로 스판-코팅되고 90°C에서 30분간 프리베이크(pre-bake) 될 수 있다. 그 후, 발광 소자가 형성될 다층 웨이퍼의 영역을 노출시키도록 포토레지스트를 현상 및 패터닝하기 위하여 리소그래피 마스크가 사용될 수 있다.
- [0095] 다음, 발광 소자 어레이 제조를 위하여 지정된 영역 내에서 하부의 단결정 반도체층(120)이 보이도록, 다층 웨이퍼의 단결정 실리콘층(140)과 절연층(130)이 에칭될 수 있다. 포지티브 포토레지스트를 에치마스크로 하여, 단결정 실리콘층(140)을 건식 에칭하기 위하여 ECR-RIE(Electron Cyclotron Resonance Reactive Ion Etching)이 사용될 수 있다. 공정 조건은, SF₆:O₂(30:5 sccm) 에칭 화학조성, 총 30 mTorr의 압력, 400W의 소오스 전력, 및 30W의 바이어스 전력을 포함할 수 있다. 동일한 에치마스크를 이용하여, 베퍼팅된 산화물 에치(BOE) 용액이 절연층(130)을 에칭하기 위하여 채용될 수 있다.
- [0096] 노출된 단결정 반도체층(120)은 그 후 포지티브 포토레지스트를 에치마스크로 하여 상기와 같이 동일한 ECRRIE 레시피를 이용하여 분리될 수 있다. 분리 트렌치(1320)(예컨대, 1 μm 이하 깊이)을 정의하기 위하여 시간조절 에칭이 사용될 수 있다. 발광 소자 아래에 삽입되는 역바이어스된 p-n 접합과 연계한 트렌치는 1차원 어레이에서 발광 소자들 사이의 전기적 분리를 제공하여, 발광 소자의 2차원 수동 매트릭스의 동작을 허용할 수 있다. 등각 PECVD 산화물(예컨대, 1.2 μm 두께) 층이 그 후 웨이퍼 상에 증착될 수 있다. 산화물 층은 에피택시의 템플릿을 제공하며, 및/또는 분리 트렌치(1320)를 산화물 층(1330)으로 충진할 수 있다. 포지티브 포토레지스트를 에치 마스크로 한 BOE 용액이 에피택셜 성장을 위하여 하부의 단결정 반도체층(120)을 노출하도록 산화물 층 내의 성장 웨를 에칭하기 위하여 사용될 수 있다.
- [0097] 그 후, 웨이퍼는 성장(예컨대, MOCVD) 전에 모든 포토레지스트 잔여물로부터 안전하도록 세정될 수 있다. 1시간 산소 플라즈마 애쉬 공정에 추가하여 상용 포토레지스트 스트립퍼(예컨대, Microstrip 2001® by Fujifilm)가 발광 소자 반도체 구조체의 성장을 위하여 웨이퍼를 준비하도록 사용될 수 있다. 도 13A는 MOCVD 성장 바로 전의 패터닝된 웨이퍼의 일부의 개략 단면도를 나타낸다. 도 13A에 도시된 바와 같이, 전단 실리콘 소자가 제조되었던 실리콘 영역(141)은 보호층(1310)으로 보호될 수 있으며, 보호층(1310)은 질화물, 산질화물, 및/또는 산화물 등의 임의의 적합한 재료층(들)으로 형성될 수 있다.
- [0098] 단결정 반도체층(120)은 이완된 실리콘과는 다른 격자 상수를 갖는 임의의 반도체를 포함할 수 있다는 것을 이해할 수 있을 것이다. 일부 실시예에 있어서, 단결정 반도체층(120)은 비실리콘 헤테로 구조의 성장을 위하여 이용될 수 있는 게르마늄층을 포함할 수 있다. 이러한 실시예에 있어서, 10:1의 DI:HF 세정을 15초 동안, H₂O₂ 세정을 15초 동안, 그 후, DI:HF 세정을 15초 동안하는 것을 포함하는 게르마늄 프리-성장(pre-growth) 세정이 사용될 수 있다. 단결정 반도체층(120)이 성장층으로서 사용되도록 의도된 다른 재료를 포함하는 다른 실시예에 있어서, 당업자에 공지된 바와 같이 다른 적합한 성장전 세정이 사용될 수 있다. 프리-세정(pre-clean) 후에, 패터닝된 웨이퍼들이 성장을 위하여 반응기(예컨대, MOCVD 반응기)에 탑재될 수 있다.
- [0099] 선택적인 에피택셜 성장을 촉진하도록 성장 조건이 선택되는 실시예에 있어서, 노출된 단결정 반도체층(120) 상에서 단결정층이 선택적으로 성장될 수 있으며, 성장 웨 측벽과 같은 유전성 표면 상에서는 아무런 현저한 성장도 발생하지 않을 수 있다. 비선택적 성장이 수행되는 경우, 도 13B에 도시된 바와 같이, 성장 웨의 중앙 영역에 재료가 에피택셜 성장될 수 있는 한편, 다결정 재료가 임의의 절연층(예컨대, 유전층) 상에 그리고 절연(예컨대, 유전체) 측벽 근처의 성장 웨에 증착될 수 있다. 도 13B에서는 하부의 단결정층(120) 상에 성장된 특정한 헤테로 구조를 나타내고 있지만, 다른 재료 및/또는 헤테로 구조가 성장될 수 있음을 이해할 수 있을 것이며, 이와 관련하여 본 명세서에 기재된 기법들은 제한되지 않는다.
- [0100] 성장 후에, 성장 웨에 증착된 단결정 에피택셜 재료는 산화물 하드 마스크(예컨대, 3000Å 두께의 PECVD 산화물)를 이용하여 보호될 수 있으며, 임의의 다결정 재료가 에칭될 수 있다. 성장된 층이 실리콘 캡핑층을 포함하는 실시예에 있어서, 실리콘 캡핑층은 SF₆/O₂ 플라즈마를 이용하여 건식 에칭될 수 있다. 도 13B에 도시된 헤�테로 구조에 있어서, 최상부 GaAs 전류 확산층 및 최하부 GaAs 베퍼층은 H₃PO₄:H₂O₂:H₂O(3:1:50) 용액을 이용하여 습식 화학 에칭될 수 있다. AlGaInP/InGaP/AlGaInP 스택을 에칭하기 위하여 HCl:H₃PO₄:H₂O(1:1:1) 용액이 사용될 수 있다. 에칭이 완료된 후, 산화물 하드 마스크가 BOE 용액을 이용하여 스트립될 수 있다.

- [0101] 도 13C에 도시된 바와 같이, 등각 산화물 층(1340)(예컨대, 3000Å 두께의 PECVD 산화물)이 그 후 발광 소자 메사 측벽을 절연시키도록 증착될 수 있다. 측벽 절연은 최상부 콘택트 금속이 메사 측벽의 발광 소자 p-n 접합을 단락시키지 않도록 방지할 수 있으며, 또한, 후속 처리 단계에서 발광 소자 측벽의 III-V족 재료의 노출을 방지한다. 그 후, 최상부 및 최하부 콘택트 비어가 산화물에서 에칭되어(예컨대, BOE 용액을 이용) 후속의 저항 접촉 형성을 위하여 실리콘 캡핑층과 단결정 반도체층(120)을 노출시킬 수 있다. 금속 콘택트층(예컨대, 500Å Ti/1 μm Al)이 웨이퍼 상에 스퍼터링 증착되어, 발광 소자의 최상부 콘택트(1350) 및 최하부 콘택트(1360)에 패터닝 될 수 있다(예컨대, DI:BOE(1000:15) 용액 및 PAN 에치(77% 인산, 20% 아세트산, 3% 질산)를 이용).
- [0102] 그 후, 비실리콘 소자(예컨대, 발광 소자)의 성장과 제조 중에 실리콘 전단을 보호하기 위하여 사용되는 보호층(1310)을 제거하는 것을 포함할 수 있다. 영역(141)의 실리콘 소자의 제조를 완료하기 위하여 실리콘 후단 처리가 그 후 수행될 수 있다. 후단 처리는 실리콘 소자와 비실리콘 소자 사이에 금속 상호접속부를 형성하는 것을 포함할 수 있다. 이하에서 후술하는 바와 같이, 비실리콘 전자 소자(예컨대, HEMT, HBT, MESFET) 및/또는 광전자 소자(광검출기, 레이저 다이오드)에 대한 헤테로 구조와 같은, 비실리콘 소자에 대한 다른 종류의 헤테로 구조를 형성하는 것을 포함하지만 이에 제한되지 않는 각종 변경이, 상기 공정에 대하여 적용될 수 있다. 또한, 이러한 방법을 이용하여 임의의 수의 비실리콘 소자가 형성될 수 있으며, 모놀리식 접적된 실리콘 소자 및 비실리콘 소자를 형성하기 위하여 원하는 대로 상호 접속될 수 있다.
- [0103] 도 14는 일 실시예에 따라서 발광 소자(1452) 및 실리콘 광검출기(1450)와 모놀리식 접적되는 실리콘 전자장치(1410)를 포함하는 접적 소자 구조체의 상면도를 나타낸다. 이러한 접적 소자 구조체는, 다층 웨이퍼(100)와 같은 다층 웨이퍼를 이용하여 형성될 수 있다. 접적 구조체는 도 10의 영역(810)과 같은 다층 웨이퍼의 제1 영역 상에 형성된 실리콘 전자 소자 및 광전자 소자(예컨대, 실리콘 광검출기(1450))를 가질 수 있다. 단결정 실리콘층(예컨대, 도 10의 층(141)) 상에 실리콘 전자장치(1410) 및 실리콘 광검출기(1450)가 형성될 수 있다. 개시 다층 웨이퍼의 실리콘 단결정층이 제거되어, 단결정 실리콘층 아래에 배치되고 이완된 실리콘과는 다른 격자 상수를 갖는 단결정 반도체층(120)을 노출시키는 다층 웨이퍼의 영역 내에 발광 소자(1452)가 형성될 수 있다. 소자층, 예를 들어, 발광 소자(1452)의 헤테로 구조 층이 전술한 바와 같이 이완된 실리콘과는 다른 격자 상수를 갖는 노출된 단결정 반도체층(예컨대, 도 10의 층(120)) 상에 에피택셜 성장될 수 있다.
- [0104] 발광 소자(1452)는 적절한 III-V족 재료 등의 소망하는 파장 또는 파장 범위에서 광을 방출할 수 있는 재료를 갖는 능동 영역을 포함하는 LED일 수 있다. 도 9의 방법에서 설명한 바와 같이 발광 소자(1452)의 반도체 구조 층이 에피택셜 성장될 수 있다. 도 14에 도시된 상면도는 발광 소자(1452)의 최상부 접촉 반도체층(1422)을 나타낸다. 전술한 바와 같이, 최상부 접촉 반도체층(1422)은 실리콘 캡핑층일 수 있으며, 이는 에피택셜 성장을 통해 증착될 수 있다. 발광 소자(1452)의 상면도에서는, 또한, 절연 영역(1423)이 발광 소자 반도체 재료를 둘러싸고, 실리콘 전자장치 및/또는 광전자장치가 형성될 수 있는 실리콘층으로부터 발광 소자를 분리시킬 수 있는 것을 나타낸다. 발광 소자(1452)는 환형 기하구조를 갖는 최상부 금속 콘택트(1402)를 더 포함할 수 있다. 최상부 금속 콘택트(1402)는 표준 실리콘 상호 접속 금속을 포함할 수 있는 상호 접속부(1401)에 접속될 수 있다. 상호 접속부(1401)는 실리콘 전자장치(1410)와의 접속을 제공할 수 있다. 발광 소자(1452)의 최하부는 절연층(1423)을 통해 연장되는 금속 충진 비어와 접촉하여 배치될 수 있는 상호 접속부(1403)에 의해 접촉될 수 있으며, 발광 소자(1452)의 최하부 반도체층을 접촉한다(도 10의 단면도에 도시된 바와 같이).
- [0105] 접적 소자 구조체(1400)는 임의의 적절한 광검출기 소자 구성을 가질 수 있는 실리콘 광검출기(1450)를 포함할 수 있다. 일 실시예에 있어서, 실리콘 광검출기는 측면 p-n 접합 및/또는 p-i-n 접합이다. 이러한 구조는 선택 영역에서 p-형 및 n-형 도편트의 주입을 통해 형성될 수 있다. 또 다른 실시예에 있어서, 실리콘 광검출기(1450)는 p-형 및/또는 n-형 도편트의 주입을 통해 및/또는 선택 에피택셜 성장을 통해 형성되는 수직 실리콘 광검출기이다. 실리콘 광검출기(1450)의 p 영역과 n 영역(도시 생략)은 실리콘 광검출기(1450)와 실리콘 전자장치(1410) 사이의 상호 접속을 제공할 수 있는 상호 접속부(1404 및 1405)와 접촉할 수 있다.
- [0106] 실리콘 전자장치(1410)는 실리콘 CMOS, 실리콘 바이폴라 트랜지스터, 실리콘-게르마늄 HBT, 및/또는 다이오드, 저항기, 커패시터, 및/또는 인덕터와 같은 관련 회로 요소들을 포함할 수 있다. 실리콘 전자장치(1410)는 각종 기능들을 수행할 수 있다. 실리콘 전자장치는 발광 소자(1452)에 대하여 구동 전력을 제공할 수 있다. 실리콘 전자장치(1410)는 디스플레이 신호를 제공하는 외부 회로와 같은 도시 생략된 다른 회로에 의해 제공되는 신호에 응답하여 발광 소자에 의해 제공되는 구동 전력을 제어할 수도 있다. 실리콘 전자장치(1410)는 발광 소자(1452)의 제어를 조정하기 위하여 사용될 수 있는 광검출기(1450)로부터 신호를 수신할 수 있다. 다른 방법으로서, 또는 이에 추가하여, 실리콘 광검출기(1450)로부터의 신호가 실리콘 전자장치 내의 디지털 회로에 의해

처리되어, 발광 소자(1452)의 제어를 조정하는 것과는 다른 목적으로 사용될 수 있다.

[0107] 실리콘 광검출기(1450)는 각종 기능들을 수행하기 위하여 사용될 수 있다. 일 실시예에 있어서, 실리콘 광검출기(1450)는 발광 소자(1452)가 동작가능한지 여부를 모니터링하기 위하여 사용될 수 있으며, 실리콘 광검출기에 의해 제공되는 신호가 상응하여 응답할 수 있는(예컨대, 발광 소자(1410)가 고장인 경우 백업 발광 소자를 터온하거나, 및/또는 발광 소자(1452)에 대하여 공급되는 구동 전력을 변경시킴) 실리콘 전자장치(1410)에 제공될 수 있다. 또 다른 실시예에 있어서, 이하에 후술하는 바와 같이, 실리콘 광검출기가 광학 상호 접속부 구조에서 및/또는 활상을 목적으로 사용될 수 있다.

[0108] 도 15A 내지 도 15B는 일 실시예에 따른 모놀리식 접적된 광 상호 접속 버스를 나타낸다. 접적 소자 시스템(1500)은 도 1에 도시된 다층 웨이퍼(100)와 같은 다층 웨이퍼의 분리 영역에 위치된 모놀리식 접적 실리콘 전자장치(1510 및 1512)를 포함할 수 있다. 실리콘 전자장치(1510)는 도 15A에 도시된 바와 같이 광 상호 접속 버스(1580)를 통해 실리콘 전자장치(1512)와 연결될 수 있으며, 그 역으로 될 수도 있다. 광 상호 접속 버스(1580)는 실리콘 전자장치(1510)와 전기적으로 통신하는 광 송수신기(1582) 및 실리콘 전자장치(1512)와 전기적으로 통신하는 광 송수신기(1584)를 포함할 수 있다. 광 상호 접속 버스는 광 송수신기(1582 및 1584) 간의 광학적 통신을 가능하게 하는 하나 이상의 도파관을 포함할 수 있다. 광 송수신기(1582)는 금속 상호 접속부를 통해 실리콘 전자장치(1510)에 의해 제어될 수 있는 발광 소자(1552)를 포함할 수 있다. 광 송수신기(1582)는 실리콘 전자장치(1510)와 전기적으로 상호 접속될 수 있는 실리콘 광검출기(1550)를 더 포함할 수 있다. 광 송수신기(1584)는 실리콘 전자장치(1512)와의 상호 접속부를 통해 전기적으로 통신하는 발광 소자(1554)를 포함할 수 있다. 광 송수신기(1584)는 금속 상호 접속부를 통해 실리콘 전자장치(1512)와 전기적으로 통신하는 실리콘 광검출기(1556)를 더 포함할 수 있다.

[0109] 하나 이상의 도파관(1583)이 광 송수신기(1582 및 1584) 사이의 광통신을 제공할 수 있다. 하나 이상의 도파관(1583)은 발광 소자(1554)로부터 실리콘 광검출기(1550)까지의 광통신 채널을 제공하도록 배치되는 광 도파관(1570)을 포함할 수 있다. 광 도파관(1572)은 발광 소자(1552)로부터 실리콘 광검출기(1556)로의 광통신 채널을 제공할 수 있다.

[0110] 광 상호 접속 버스(1580)는 실리콘 전자장치들(1510 및 1512) 간의 광통신을 가능하게 할 수 있다. 동작 시, 실리콘 전자장치(1510)가 실리콘 전자장치(1512)에 정보가 전달될 것으로 판정하는 경우, 변조된 구동 전력(예컨대, 소망하는 정보가 통신되도록 인코딩됨)이 적어도 부분적으로는 도파관(1572)을 통해 이동할 수 있으며, 실리콘 광검출기(1556)에 의해 검출될 수 있는 광을 생성하도록 발광 소자(1552)에 제공될 수 있다. 실리콘 광검출기(1556)에 의해 실리콘 전자장치(1552)에 전기 출력 신호가 제공될 수 있으며, 이는 아날로그에서 디지털 영역으로 신호를 처리할 수 있다. 이와 같이, 인코딩된 정보(예컨대, 디지털 인코딩)를 갖는 신호가 다층 웨이퍼(100) 등의 다층 웨이퍼의 상이한 영역의 실리콘 전자장치들 사이에서 광학적으로 통신될 수 있다. 마찬가지로, 실리콘 전자장치(1512)는 신호를 인코딩하도록 발광 소자(1554)에 제공되는 구동 전력을 변조할 수 있다. 발광 소자(1554)는 적어도 부분적으로는 도파관(1570)을 따라서 왕복할 수 있으며 광검출기(1550)에 의해 검출될 수 있는 광을 방출할 수 있다. 실리콘 검출기(1550)는 실리콘 전자장치(1510)에 전기 출력 신호를 제공할 수 있으며, 실리콘 전자장치(1510)는 실리콘 광검출기(1550)에 의해 제공되는 아날로그 전기 신호를 이후의 처리를 위해 디지털 신호로 변환할 수 있다.

[0111] 이러한 광 버스 상호 접속부는, 실리콘 전자장치와 모놀리식 접적되는 경우, 칩 상에서 큰 거리로 이격된 실리콘 전자장치(예컨대, 실리콘 디지털 CMOS 전자장치) 사이의 통신을 용이하게 할 수 있다. 도 15A에 도시된 실시예에서는 각각의 실리콘 전자장치 영역(예컨대, 1510 및 1512)에 대하여 하나의 발광 소자와 하나의 광검출기를 나타내고 있지만, 다수의 발광 소자 및/또는 다수의 실리콘 광검출기가 하나의 실리콘 전자장치 모듈(예컨대, 실리콘 전자장치 1510 또는 1512)에 전기적으로 결합될 수 있다는 것을 이해할 수 있을 것이다. 또한, 능동 영역에 대하여 상이한 대역캡을 갖는 상이한 재료를 이용하여 도출되거나, 및/또는 능동 영역의 상이한 크기의 양자 웨로부터 도출되는 바와 같이, 상이한 발광 소자들이 상이한 방출 파장을 가질 수 있다(이에 의해, 양자 구속을 변화시키고, 방출 파장을 변화시키는 결과를 가져옴). 다른 방법으로서, 또는 이에 추가하여, 당업자라면 이해할 수 있듯이, 광 버스(1580)를 통한 송신을 위해 정보를 인코딩하도록 시분할 및/또는 주파수 분할 다중 구조가 사용될 수 있다.

[0112] 도 15A의 실시예에 도시된 광 버스는 도 1에 도시된 다층 웨이퍼(100)와 같은 다층 웨이퍼 상에 제조될 수 있다. 도 15B는 이러한 실시예에서의 단면도로서, 발광 소자(1552)가 측방향 방출 발광 소자가 되도록 제조되어, 적어도 일부 광을 측방향으로 방출하여, 도파관(1572)에 의해 실리콘 광검출기(1556)에 안내되도록 제조될

수 있다.

[0113] 광 도파관(1572 및/또는 1570)은 도파관 코어(1575)를 포함할 수 있다. 광 도파관은 도파관 클래딩층(1574 및 1576)을 또한 포함할 수 있다. 도파관 코어(1575)는 도파관 클래딩층(1574 및 1576)보다 큰 굴절율을 가질 수 있으며, 이에 의해 발광 소자(1552)가 방출하는 광에 대한 광학적 구속을 제공할 수 있다. 도파관 코어(1575)는 실리콘 질화물 및/또는 실리콘 산질화물을 포함할 수 있으며, 도파관 클래딩층(1574 및/또는 1576)은 실리콘 산화물을 포함할 수 있다. 다른 방법으로서, 도파관 코어(1575)는 실리콘층을 포함할 수 있으며, 클래딩층(1574 및/또는 1576)은, 예를 들어, 실리콘 산화물, 및 실리콘 산질화물, 및/또는 실리콘 질화물과 같은, 도파관 코어보다 작은 굴절율을 갖는 임의의 재료를 포함할 수 있다. 일부 실시예에 있어서, 도파관 코어(1575)는 다층 웨이퍼(100)의 단결정 실리콘층(140) 전부 또는 일부와 같은, 단결정 실리콘층으로 형성된다. 당업자에 공지된 바와 같이, (예컨대, 단결정 실리콘층(140)의 열산화를 통해서) 클래딩 층(1574 및/또는 1576)이 증착 및/또는 성장될 수 있다.

[0114] 도 16은 일 실시예에 따라서 실리콘 전자장치에 모놀리식 접적되는 발광 소자의 어레이의 상면도를 나타낸다. 모놀리식 접적된 소자 시스템(1600)은 발광 소자(1652, 1654, ..., 1656)의 어레이를 포함할 수 있다. 발광 소자들(1652, 1654, ..., 1656)은 각각 상호 접속부(1601, 1604, ..., 1606)에 의해서 실리콘 전자장치(1610)에 전기적으로 연결되는 최상부 콘택트를 가질 수 있다. 발광 소자들(1652, 1654, ..., 1656)의 최하부 콘택트는 상호 접속부(1603)에 전기적으로 결합될 수 있으며, 상호 접속부(1603)는 실리콘 전자장치에, 전원 전압 소오스에, 또는 접지에 결합될 수 있으며, 이와 관련하여 본 명세서에 기재된 기법들은 제한되지 않는다. 실리콘 전자장치(1610)는 발광 소자들(1652, 1654, ..., 1656)에 공급되는 구동 전류를 제어하기 위하여 사용될 수 있으며, 발광 소자들(1652, 1654, ..., 1656)은 적어도 일부 광을 수직으로 방출할 수 있다.

[0115] 이러한 발광 소자들(예컨대, LED)의 어레이는 고해상도 프린터 바(printer bar)로서 이용될 수 있는데, 그 이유는, 발광 소자들 간의 간격이 리소그래피를 이용하여 정의될 수 있기 때문에, 발광 소자 크기 및/또는 발광 소자들 간의 간격이 활용되는 리소그래피 공정의 해상도 한계만큼 작을 수 있기 때문이다(예컨대, 20 마이크로미터 미만, 10 마이크로미터 미만, 1 마이크로미터 미만, 0.5 마이크로미터 미만, 0.25 마이크로미터 미만, 0.1 마이크로미터 미만). 실리콘 전자장치와 모놀리식 접적되는 발광 소자들의 어레이는 도 1의 다층 웨이퍼(100)와 같은 다층 개시 웨이퍼를 이용하여 제조될 수 있다. 발광 소자와 실리콘 전자장치들은 도 9 및 도 10과 관련하여 설명한 공정을 이용하여 접적될 수 있다.

[0116] 도 17은 일 실시예에 따른 발광 소자의 어레이, 광검출기의 어레이, 및 실리콘 전자장치를 포함하는 모놀리식 접적 시스템(1700)의 상면도이다. 접적 시스템(1700)은 다층 웨이퍼(100)와 같은 개시 웨이퍼를 이용하여 제조될 수 있으며, 구조에 있어서 도 14에 도시된 실시예와 동일할 수 있으며, 실리콘 광검출기와 실리콘 전자장치에 발광 소자가 접적된다. 모놀리식 접적 시스템(1700)은 발광 소자들(1752, 1754, ..., 1756)을 포함할 수 있다. 발광 소자들의 최상부 콘택트는 상호 접속부(1701, 1704, ..., 1706)를 통해 실리콘 전자장치(1710)에 전기적으로 접촉될 수 있다. 발광 소자의 최하부 콘택트는 상호 접속부(1703)에 전기적으로 결합될 수 있으며, 상호 접속부(1703)는 전원 전압 소오스 또는 접지에 전기적으로 접속되거나, 다르게는, 실리콘 전자장치(1710)에 결합될 수 있다. 모놀리식 접적 시스템(1700)은 실리콘 광검출기(1750, 1753, ..., 1755)를 포함할 수 있다. 실리콘 광검출기는 상호 접속부(1702, 1705, ..., 1707)에 의해 실리콘 전자장치(1710)에 전기적으로 결합되는 하나의 단자를 가질 수 있다. 실리콘 광검출기의 다른 단자는 상호 접속부(1708)에 전기적으로 접속될 수 있으며, 이는 전원 전압 소오스, 접지, 또는 실리콘 전자장치(1710)에 전기적으로 접속될 수 있다.

[0117] 모놀리식 접적 시스템(1700)은 이미지 스캐너로서 기능할 수 있으며, 여기서, 발광 소자 어레이(1752)는 상호 접속부(1701, 1704, ..., 1706)를 통해 실리콘 전자장치(1710)에 의해 공급되는 구동 전력의 제어를 통해 광을 방출할 수 있다. 발광 소자의 어레이에 의해 방출되는 광은 스캐닝 및/또는 활상되는 화상에 충돌할 수 있고, 반사된 광이 광검출기(1750, 1753, ..., 1755)의 어레이에 의해 검출될 수 있다. 당업자에 공지된 바와 같이 광검출기는 검출된 광의 결과로서 전기 신호를 방출할 수 있으며, 전기 신호는 상호 접속부(1702, 1705, ..., 1707)를 통해 실리콘 전자장치(1710)에 송신될 수 있고, 실리콘 전자장치(1710)는 전기 신호를 처리하고 이미지 스캐닝 동작을 수행할 수 있다. 발광 소자 어레이의 모놀리식 접적 발광 소자들은 따라서 반사광이 실리콘 광검출기(및/또는 III-V족 광검출기)에 의해 검출될 수 있는 영역을 조명하기 위한 로컬 광 소오스로서 사용될 수 있다. 접적 어레이를 이동시킴으로써, 하나의 모놀리식 접적 성분만을 이용하여 표면이 스캐닝(예컨대, 활상) 될 수 있다.

[0118] 모놀리식 접적 시스템(1700)은 또한 광검출기 피드백 제어를 포함할 수 있는 프린터 바(예컨대, 인쇄 엔진)으로

서 기능할 수도 있다. 프린터 바는 발광 소자로부터의 광 방출을 이용하여 용지 상의 전하를 방전시켜, 토너가 용지의 특정 영역에 선택적으로 위치되도록 할 수 있다. 프린터 바는 광검출기(1750, 1753, ..., 1755)가 각각 발광 소자(1752, 1754, ..., 1756)에 의해 방출되는 광의 적어도 일부를 검출하는 것을 제외하고는, 도 16의 시스템(1600)과 마찬가지의 방법으로 동작할 수 있다. 광검출기들은 실리콘 전자장치(1710)에 송신될 수 있는 검출된 광에 응답하여 전기 신호를 제공할 수 있으며, 실리콘 전자장치(1710)는 검출된 광에 응답하여 하나 이상의 발광 소자에 제공되는 구동 전력을 다시 변경시킬 수 있다. 이러한 피드백 제어 시스템은 발광 소자들이 적절하게 기능하고 있으며 원하는 광량을 방출하고 있다는 것을 확실하게 하며, 그렇지 않다면, 실리콘 전자장치(1710)는 발광 소자들에 대한 구동 전력을 변경시키거나, 및/또는 오동작 발광 소자들을 대체하도록 여분의 백업 발광 소자들을 활성화 및 제어할 수 있다. 발광 소자들과 모놀리식 접적된 실리콘 광검출기(및/또는 III-V족 광검출기)는 따라서 프린터 엔진에서 각각의 발광 소자로부터 출력되는 광의 제어를 허용할 수 있다. 이는 비모놀리식 설계에서는 광속을 제어하기 힘들 수 있고, 각각의 인쇄된 점은 상이한 명도 레벨을 가질 수 있기 때문에 장점이 있을 수 있다. 모놀리식 접적된 실리콘 CMOS 제어 회로 및 광검출기를 이용하여, 소망하는 광자의 광속을 방출하도록 각각의 발광 소자가 정확하게 제어될 수 있다.

[0119] 도 17의 도시에서는 하나의 예시적인 발광 소자와 광검출기의 구성을 나타내고 있지만, 다른 구성이 가능하다. 또한, CMOS 공정에서 가능하듯이, 다수의 금속화 상호 접속부층이 사용되는 경우, 금속 상호 접속부층(1702, 1705, ..., 1707)은 각각 발광 소자(1752, 1754, ..., 1756) 상에 배치될 수 있다. 이러한 구성은 발광 소자 어레이 및/또는 광검출기 어레이의 패킹 밀도 및 이에 따른 해상도가 증가되도록 할 수 있다.

[0120] 발광 소자의 1차원 어레이를 갖는 실시예들은 발광 소자의 영역(예컨대, 2차원 어레이) 및/또는 광검출기의 어레이(예컨대, 2차원 광검출기의 어레이)를 포함하도록 변경될 수 있다는 것을 이해할 수 있을 것이다. 이러한 시스템은 프린터 영역 및/또는 스캐너 영역으로서 기능할 수 있으며, 이와 관련하여 본 명세서에 기재된 기법들은 제한받지 않는다.

[0121] 도 18은 일 실시예에 따라서 실리콘 전자장치와 모놀리식 접적되는 발광 소자들의 2차원 어레이를 포함하는 모놀리식 접적 시스템(1800)의 상면도를 나타낸다. 모놀리식 접적 시스템(1800)은 다층 웨이퍼(100) 등의 개시다층 웨이퍼를 이용하여 제조될 수 있으며, 다층 웨이퍼(100)의 단결정 반도체층(120) 상에 발광 소자 반도체 구조체가 에피택셜 성장될 수 있다. 모놀리식 접적 시스템(1800)은 다수의 발광 소자의 행들을 포함할 수 있으며, 각각의 행은 복수의 발광 소자를 포함한다. 도 18에 도시된 실시예에 있어서, 제1 행은 발광 소자(1852, 1854, ..., 1856)을 포함한다. 제2 행은 발광 소자(1862, 1864, ..., 1866)을 포함한다. 발광 소자의 추가 행이 연속적으로 배치될 수 있으며, 발광 소자의 마지막 행은 발광 소자(1872, 1874, ..., 및 1876)를 포함한다.

[0122] 모놀리식 접적 시스템(1800)은 발광 소자의 어레이에 전기적으로 결합될 수 있는 실리콘 전자장치(1810 및/또는 1811)를 포함할 수 있다. 실리콘 전자장치(1810 및/또는 1811)는 발광 소자의 2차원 어레이에 대한 다중화 어드레싱 회로 및/또는 구동기 회로로서 기능할 수 있다. 일 실시예에 있어서, 행 상호 접속부(1803, 1804, ..., 1805)는 발광 소자의 최하부 콘택트에 전기적으로 결합하는 행(row) 상호 접속부로서 기능할 수 있다. 상호 접속부(1806, 1807, 및 1808)는 발광 소자의 최상부 콘택트에 전기적으로 결합되는 열(column) 상호 접속부로서 기능할 수 있다. 행 상호 접속부 및 열 상호 접속부는 행 상호 접속부와 열 상호 접속부가 접촉하지 않도록 절연층에 의해 분리될 수 있다는 것을 이해할 수 있을 것이다. 이러한 상호 접속부 구조는 2차원 어레이 내의 발광 소자의 행 및 열 어드레싱을 제공할 수 있다.

[0123] 실리콘 제어 및/또는 다중화 회로(예컨대, 실리콘 전자장치(1810 및/또는 1811)와 모놀리식 접적되는 발광 소자의 2차원 어레이)는 프린터 영역 및/또는 마이크로디스플레이로서 기능할 수 있다. 발광 소자들의 2차원 어레이의 각각의 발광 소자는 마이크로디스플레이 및/또는 프린터 영역 내의 픽셀로서 기능할 수 있다. 다른 방법으로서, 다수의 발광 소자들은 하나의 픽셀에 관련될 수 있다. 일 실시예에 있어서, 하나의 픽셀에 관련되는 다수의 발광 소자들은 상이한 광학 장치(optics)가 마이크로디스플레이에 관련되어 발광 소자들 상에 배치될 수 있다. 매우 작은 발광 소자들이 실리콘 리소그래피 공정으로 제조될 수 있기 때문에, 초저가의 디스플레이가 이와 같은 방법으로 제조될 수 있다. 작은 크기는 비용과 관련될 수 있으며, 단위 면적당 공정과 재료 비용이 비교적 고정될 수 있으므로, 디스플레이를 축소하는 것은 비용을 크게 줄일 수 있다. 프로젝션 디스플레이와 같은 매우 높은 휴도의 응용에 있어서, 발광 소자들은 표면방출 레이저(예컨대, 수직 캐비티 표면 방출 레이저)를 포함할 수 있다.

- [0124] 또 다른 실시예에 있어서, 면적을 커버하는(예컨대, 2차원 어레이를 형성하는) 광검출기 어레이들은 면적을 커버하는(예컨대, 2차원 어레이를 형성하는) 발광 소자들에 분산 배치(inter-dispersed)될 수 있다. 따라서, 이러한 모놀리식 집적 시스템을 이용하여, 면적 인쇄 및 스캐닝이 수행될 수 있다. 이동하는 부분이 없어도 전체 면적이 스캐닝될 수 있으며, 인쇄 노광이 전체 면적 또는 페이지에 대하여 수행될 수 있다(예컨대, 광학장치를 이용하여 발광 소자 어레이가 충분히 크게 제작되거나 확대될 수 있다).
- [0125] 다른 실시예에 있어서, 프로그래머블 리소그래피 시스템의 노광 소스로서 고해상도의 발광 소자 어레이를 포함하는 모놀리식 집적 시스템이 사용될 수 있다. 이러한 시스템에 있어서, 처리중인 웨이퍼는 포토레지스트로 코팅될 수 있으며, 고해상도 발광 소자 어레이를 포함하는 모놀리식 집적 시스템을 이용하여 노광될 수 있다. 적어도 부분적으로는 프로그래머블 커맨드에 기초하여 발광 소자들을 활성화시킬 수 있는 집적 실리콘 전자장치에 의해서 발광 소자들이 구동될 수 있다. 프로그래머블 커맨드는 노광되어야 하는 영역을 정의함으로써 활성화되어야 하는 발광 소자들을 정의하는 마스크 파일에 기초하여 얻어질 수 있다. 이러한 모놀리식 시스템은 따라서 발광 소자 어레이(예컨대, 2차원 어레이)의 퍼치에 의해서만 제한받는 큰 퍼쳐 사이즈의 전자장치들의 프로그래머블 "리소그래피" 시스템으로서 기능할 수 있다. 예를 들어, 약 0.5 마이크로미터 이상의 게이트 길이를 갖는 실리콘 회로의 포토리소그래피 노광을 수행하기 위하여 0.25 마이크로미터 발광 소자들로 형성된 발광 소자가 사용될 수 있다.
- [0126] 다른 실시예에 있어서, 발광 소자의 2차원 어레이와 실리콘 전자장치를 모놀리식 집적할 수 있는 것은, 복수의 발광 소자를 포함하는 마이크로디스플레이와 모놀리식 집적되는 실리콘 마이크로프로세서의 제조를 허용한다. 각각의 발광 소자는 활용되는 리소그래피 공정의 최소 퍼彻 사이즈에 의해 본질적으로 제한받는 사이즈를 가질 수 있으므로, 마이크로디스플레이는 고해상도를 가질 수 있다. 이러한 시스템은 집적 마이크로디스플레이를 갖는 컴퓨터-온-칩(computer-on-chip)으로서 기능할 수 있다.
- [0127] 도 19는 모놀리식 집적 시스템(1800)의 단면을 나타낸다. 단면(1900)은 모놀리식 집적 시스템(1800)의 2개의 발광 소자(1872 및 1874)의 단면을 나타낸다. 화살표는 발광 소자들로부터의 광의 방출을 지칭한다. 단면은 또한 절연층(1885)에 의한 행 상호 접속부(1805)와 열 상호 접속부(1806 및 1807)의 전기적 분리를 나타낸다. 절연층(1885)은, 이에 한하지 않지만, 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산질화물을 포함하는, 임의의 적합한 절연 재료를 포함할 수 있다. 단면은 또한 금속층(1805)과 실리콘층(141) 사이에 배치된 절연층(1850)을 나타낸다. 본 명세서에 기재된 다른 실시예들과 같이, 상호 접속부는 하나 이상의 금속층을 포함할 수 있으며, 이와 관련하여 본 명세서에 기재된 기법들은 제한받지 않는다.
- [0128] 도 20은 일 실시예에 따라사 발광 소자의 어레이, 광검출기의 어레이, 및 실리콘 전자장치를 포함하는 모놀리식 집적 시스템(2000)의 상면도를 나타낸다. 모놀리식 집적 시스템(2000)은 다층 웨이퍼(100)와 같은 다층 개시 웨이퍼를 이용하여 제조될 수 있으며, 실리콘 전자장치와 광검출기는 다층 웨이퍼(100)의 단결정 실리콘층(140) 상에 제조될 수 있다. 전술한 바와 같이, 단결정 반도체층(120) 상에 에피택셜 헤테로 구조층의 성장을 통해 발광 소자의 어레이가 제조될 수 있다.
- [0129] 모놀리식 집적 시스템(2000)은 픽셀의 어레이(예컨대, 2차원 어레이)를 포함할 수 있으며, 각각의 픽셀은 하나 이상의 발광 소자 및 하나 이상의 광검출기를 포함할 수 있다. 명확성을 위하여, 하나의 픽셀의 발광 소자와 상호 접속부가 도 20에 도시되어 있으나, 임의의 수의 픽셀이 픽셀의 어레이를 형성하도록 배치될 수 있다는 것을 이해하여야 한다. 도 20의 도시된 실시예에서, 픽셀(2090)은 발광 소자(2052-9)를 포함할 수 있으나, 임의의 수의 발광 소자가 한 픽셀에 포함될 수 있다는 것을 이해할 수 있을 것이다. 일부 실시예에 있어서, 각각의 픽셀은 적색, 녹색, 및 청색 방출 파장과 같은 상이한 방출 파장을 갖는 발광 소자를 포함할 수 있다. 픽셀(2090)은 또한 광검출기(2063)와 같은 하나 이상의 광검출기를 포함할 수 있다. 발광 소자에 대한 행 및 열 어드레싱 상호 접속부 및 광검출기에 대한 행 및 열 어드레싱 상호 접속부가 제공되어, 발광 소자들 중 임의의 하나, 및/또는 광검출기 중 임의의 하나의 실리콘 전자장치(2010 및/또는 2011)로의 선택적인 전기적 결합을 허용할 수 있다.
- [0130] 시스템(2000)의 동작 중에, 각각의 픽셀 내의 광검출기는 그 픽셀내에서 활성화되는 하나 이상의 주변 발광 소자들에 의해 발출되는 광의 적어도 일부를 검출할 수 있다. 광검출기는 행 및 열 어드레싱 스키ム에 의해 실리콘 전자장치(2010 및/또는 2011)를 통해 수신될 수 있는 출력 신호를 제공할 수 있다. 발광 소자들이 적절하게 동작하고 있는지를 판정하거나, 및/또는 하나 이상의 발광 소자들에 공급되는 구동 전력을 조절하거나, 각 픽셀 내의 여분의 백업 발광 소자들을 활성화시키기 위하여 실리콘 전자장치(2010 및/또는 2011)에 의해 광검출기 신호가 사용될 수 있다. 따라서, 픽셀 내의 발광 소자가 오동작하는 경우, 그 픽셀 내의 여분의 발광 소자가 활

성화되어 오동작하는 발광 소자를 대체할 수 있다. 이러한 시스템은 모놀리식 집적 시스템(2000) 용장성 및 이에 따른 수명 연장을 제공할 수 있다. 전술한 바와 같이, 이러한 집적 시스템은 프린터 어레이 및/또는 마이크로디스플레이로서 사용될 수 있다. 마이크로디스플레이이는 실리콘 마이크로프로세서 전자장치에 모놀리식 집적되어, 칩 상의 컴퓨터(computer on a chip)를 가능하게 할 수 있다.

[0131] 도 21은 일 실시예에 따라서 적어도 하나의 실리콘 광검출기와 적어도 하나의 비실리콘 광검출기를 포함하는 모놀리식 집적 시스템(2100)의 단면을 나타낸다. 모놀리식 집적 시스템(2100)은 다층 웨이퍼(100)와 같은 개시다층 웨이퍼를 이용하여 제조될 수 있다. 실리콘 기반의 광검출기(2150)가 단결정 실리콘층(141)에 형성된 능동 영역을 포함하도록 적어도 하나의 실리콘 광검출기(2150)가 단결정 실리콘층(141) 상에 형성될 수 있다.

[0132] 모놀리식 집적 시스템(2100)은 단결정 반도체층(222)의 적어도 일부를 포함하는 능동 영역을 포함하는 적어도 하나의 비실리콘 광검출기를 포함할 수 있다. 광검출기(2115)는 III-V족, 게르마늄, 및/또는 실리콘-게르마늄층, 또는 그 조합을 이완된 실리콘과는 다른 격자 상수를 갖는 단결정 반도체층(120) 상에 에피택셜 성장시킴으로써 형성될 수 있다. 일부 실시예에 있어서, 비실리콘 광검출기(2115)는 III-V족 재료층을 포함하는 능동 영역을 포함할 수 있다. 일부 실시예에 있어서, 비실리콘 광검출기는 게르마늄층 및/또는 실리콘-게르마늄층을 포함하는 능동 영역을 포함한다. 비실리콘 광검출기는 p-n 수직 도편트 프로파일 또는 p-i-n 수직 도편트 프로파일과 같은 적절한 도편트를 포함할 수 있으며, 이는 층(220 및 222)의 에피택셜 성장 중에 인시츄(in-situ) 도핑을 통해 형성될 수 있다. 일부 실시예에 있어서, 비실리콘 광검출기는 층(202)에서 측방향으로 정의되는 영역을 갖는 p 도편트 및/또는 n 도편트의 주입을 통해 형성되는 측방향 광검출기이다. 수직 비실리콘 광검출기를 포함하는 실시예에 있어서, 금속 충진된 비어(2120)는 광검출기(2115)를 형성하는 반도체 구조체의 최하부 영역과의 접촉을 제공할 수 있다. 다른 방법으로서, 비실리콘 광검출기가 측방향 광검출기인 경우, 광검출기의 n-측 및 p-측 영역 쌍방을 접촉하기 위하여 표면 콘택트가 사용될 수 있다.

[0133] 모놀리식 집적 시스템(2100)은 상호 접속부(2152)를 통해 실리콘 광검출기(2150)로부터 및/또는 상호 접속부(2112)를 통해 비실리콘 광검출기(2115)로부터 출력 신호를 수신할 수 있는 실리콘 전자장치(2110)를 더 포함할 수 있다. 실리콘 전자장치(2110)는 수신된 신호들을 처리하여, 의도하는 응용예에 요구되는 바대로 신호를 출력할 수 있다. 전술한 바와 같이, 실리콘 전자장치는 실리콘 광검출기 및 비실리콘 광검출기로부터 수신되는 신호들을 어드레싱하고, 및/또는 디지털 처리하기 위하여 사용될 수 있는 전자장치(예컨대, CMOS, 바이폴라)를 포함할 수 있다.

[0134] 일부 실시예에 있어서, 실리콘 광검출기 및 비실리콘 광검출기의 어레이가 다층 웨이퍼(100)와 같은 다층 웨이퍼 상에 모놀리식 집적될 수 있다. 실리콘 광검출기 및 비실리콘 광검출기의 이러한 어레이들은 전자기 스펙트럼의 상이한 파장 영역에서 광의 검출을 제공할 수 있다. 일부 실시예에 있어서, 실리콘 광검출기는 비실리콘 광검출기의 능동 영역의 재료(들)와는 상이한 대역갭을 가질 수 있으며, 따라서, 실리콘 및 비실리콘 광검출기는 상이한 파장 영역에 민감할 수 있다. 일부 실시예에 있어서, 이러한 다층 웨이퍼 상에 제조된 모놀리식 집적시스템은 모놀리식 집적 칩을 이용하여 다수의 파장 범위에서의 활상을 제공하는 활상 응용예(예컨대, 카메라 칩)에 대하여 이용될 수 있다.

[0135] 도 22는 일 실시예에 따라서 실리콘 전자장치 및 비실리콘 전자장치를 포함하는 모놀리식 집적 시스템(2200)의 단면을 나타낸다. 모놀리식 집적 시스템(2200)은 다층 웨이퍼(100)와 같은 다층 개시 웨이퍼를 이용하여 제조될 수 있다. 실리콘 전자장치(2210)가 단결정 실리콘층(141) 상에 제조될 수 있다. 비실리콘 전자장치(2290)가 단결정 반도체층(222) 상에 제조될 수 있다. 실리콘 전자장치(2210)는 실리콘 CMOS와 같이, NMOS, PMOS 및 그 조합 등의 실리콘 MOSFET를 포함할 수 있다. 실리콘 전자장치(2110)는 실리콘 바이폴라, 실리콘 다이오드, 저항, 커패시터, 및/또는 인덕터를 포함할 수 있다.

[0136] 비실리콘 전자장치(2290)로서는, III-V족 HBT, HEMT, 및/또는 MESFET를 포함할 수 있다. 비실리콘 전자장치(2290)는 게르마늄 및/또는 실리콘-게르마늄 FET와 같은 게르마늄 및/또는 실리콘-게르마늄 기반의 전자장치를 포함할 수 있다. 다른 방법으로서 또는 이에 추가하여, 비실리콘 전자장치는 실리콘-게르마늄 HBT를 포함할 수 있다. 실리콘 전자장치(2210) 및 비실리콘 전자장치(2290)는 상호 접속부(2215)를 통해 상호 접속될 수 있다. 일부 실시예에 있어서, 상호 접속부(2215)는 실리콘을 접촉하기 위하여 사용되는 금속 상호 접속부일 수 있다. 이러한 상호 접속부는 실리콘 전자장치와 비실리콘 전자장치 영역 쌍방에 대하여 호환될 수 있다. 일부 실시예에 있어서, 단결정 반도체층(222)은 실리콘 캡핑층으로 캡핑되어 실리콘 제조 설비로의 웨이퍼의 재도입을 용이하게 하거나, 및/또는 실리콘 규화(silicidation) 금속을 이용하여 비실리콘 소자의 접촉을 용이하게 할 수 있다.

- [0137] 도 9 공정의 기재에서 전술한 바와 같이, 실리콘 전자장치(2210)의 실리콘 전단 처리가 수행된 후에 비실리콘 전자장치 재료(222 및 220)가 에피택셜 성장될 수 있다. 층(222)의 표면에서의 실리콘 캡핑층의 성장을 통해, 실리콘 소자 및/또는 비실리콘 소자 후단 처리를 용이하게 하기 위하여 층(222 및 220)의 에피택셜 성장 후에 실리콘 제조 설비에 웨이퍼가 재도입될 수 있다. 이러한 후단 처리 시, 실리콘과 비실리콘 전자장치들 간의 상호 접속부(2215)가 형성될 수 있다.
- [0138] 모놀리식 집적 소자 시스템(2200)은 실리콘 아날로그 및/또는 실리콘 디지털 회로와 모놀리식 집적된 III-V족 아날로그 소자의 제조를 가능하게 하기 위하여 사용될 수 있다. 이러한 소자 집적은 모놀리식 집적 통신 회로의 제조를 허용할 수 있으며, 여기서, III-V족(예컨대, GaAs, GaN) 전력 증폭기 및/또는 III-V족 아날로그 회로가 디지털 처리 능력을 제공할 수 있는 실리콘 회로와 모놀리식 집적될 수 있고, III-V족 소자의 성능을 개선하여 사용될 수 있다. 일부 실시예에 있어서, 모놀리식 집적된 실리콘 회로는 III-V족 소자들 간의 성능 편차를 보상함으로써 III-V족 소자의 성능을 개선할 수 있다. III-V족 소자의 실리콘 보상은 실리콘 논리회로를 이용하여 (예컨대, 소자간의 공정 편차로 기인할 수 있는) III-V족 소자의 전기적 거동의 편차를 보상하는 것을 포함할 수 있다.
- [0139] 따라서, 본 명세서에 기재된 기법들을 이용하여 모놀리식 집적 통신 칩이 제조될 수 있다. 전형적인 RF(또는 광학 시스템)에 있어서, III-V족 소자는 전자기파와 인터페이싱하고 아날로그 신호를 디지털 신호로 변환하여, 통신 시스템의 전단으로서 기능할 수 있다. III-V족 회로 및 소자가 사용되는 경우, 통상 별도의 칩이 III-V족 칩 및 실리콘 칩을 포함하는 칩셋에 포함된다. 현재, III-V족 칩은 통상 별도의 제작 인프라구조를 이용하여 제조된다. 본 명세서에 기재된 기법들을 이용하면, III-V족 HEMT, HBT, 바이폴라, 및/또는 MESFET가 실리콘 CMOS 기술과 모놀리식 집적되어, 단일 칩 통신 솔루션을 가능하게 할 수 있다. 단일 칩 솔루션을 생성함으로써, 전력 사용이 감소될 수 있으며, 대역폭이 증가될 수 있어서, 성능을 향상시키는 한편, 동시에 비용을 감소시킨다. 일부 실시예에 있어서, III-V족 소자는 현재 III-V족 제조 기구에서 제조되는 것과 동일한 방식으로 제조될 수 있다. 다른 실시예에 있어서, 일단 실리콘 제조 설비에 포함되면, 실리콘 공정은 특수한 III-V족 처리를 대체하기 위하여 사용될 수 있다.
- [0140] 단일 칩 솔루션은 칩 상의 셀폰(cell-phone-on-a-chip) 및/또는 칩 상의 컴퓨터(computer-on-a-chip)를 가능하게 할 수 있다. 본 명세서에 기재된 기법들은 전력 증폭기, III-V족 송수신기 회로, 마이크로디스플레이, 및/또는 실리콘 로직이 단일 칩 상에 모놀리식 집적될 수 있도록 하므로, 최대로 집적된 칩 상의 셀폰(cell-phone-on-chip) 및/또는 칩 상의 컴퓨터(computer-on-chip)가 제조될 수 있다. 일부 실시예에 있어서, 본 명세서에 기재된 기법들을 이용하여 제조된 칩 상의 셀폰(cell-phone-on-a-chip) 및/또는 칩 상의 컴퓨터(computer-on-a-chip)은 하단의 응용예에 있어서 약 \$1 - \$10의 제조 비용을 필요로 할 수 있을 것으로 기대된다.
- [0141] 본 발명은 그 응용예에 있어서 이하의 설명에 개시된 또는 도면에 도시된 성분들의 구성 및 배치의 세부사항들에 제한되지 않는다. 본 발명은 다른 실시예들이 가능하며, 다양한 방법으로 실시 또는 수행될 수 있다. 또한, 본 명세서에 사용된 어구 및 용어는 설명을 위한 것으로서 제한적인 것으로 간주되어서는 아니된다. "포함한다 또는 갖는다(including, comprising, having, containing, involving)" 및 본 명세서의 그 변형은 그 후에 열거되는 항목들과 부가 항목들뿐만 아니라 그 균등물을 포괄하는 것이다. 본 명세서에서 사용되는 바와 같은 "배치한다(disposing)"의 사용은 층, 구조체, 또는 소자를 생성하는 임의의 방법을 포괄하는 것을 의미한다. 이러한 방법은, 이에 한하지는 않지만, 증착(예컨대, 에피택셜 성장, 화학 기상 증착, 물리 증착) 및 웨이퍼 접합을 포함할 수 있다.
- [0142] 본 발명의 적어도 하나의 실시예 중 수개의 양태들을 설명하였지만, 다양한 변경예, 개조예, 및 개선예가 당업자들에게는 용이하게 발생할 수 있다는 것을 이해할 수 있을 것이다. 이러한 변경예, 개조예, 및 개선예는 본 개시물의 일부를 이루는 것으로서, 본 발명의 개념과 범주 내에 있도록 의도된 것이다. 따라서, 상기 설명과 도면들은 일례일 뿐이다.

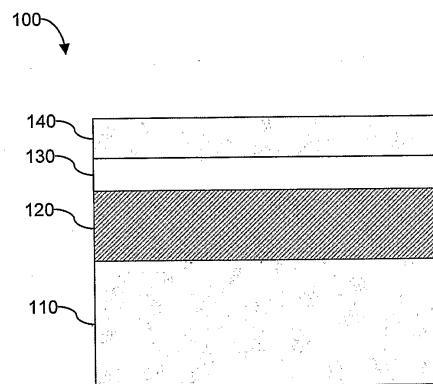
도면의 간단한 설명

- [0017] 침부 도면들은 일정 비율로 그려지도록 의도되지 않는다. 도면에서 각종 도면들에 도시된 각각의 동일하거나 거의 동일한 성분은 동일한 번호로 나타내어져 있다. 명확성을 위하여, 모든 성분들이 매 도면에 표시되지는 않는다.
- [0018] 도 1은 일 실시예에 따라서 단결정 실리콘 반도체층 및 단결정 비실리콘 반도체층을 포함하는 다층 웨이퍼의 개략 단면도이다.

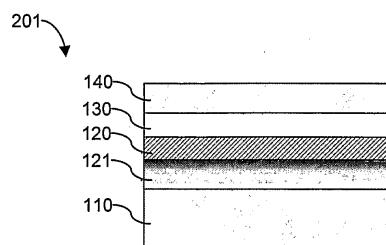
- [0019] 도 2A 내지 도 2C는 다양한 실시예에 따른 다층 웨이퍼의 개략 단면도이다.
- [0020] 도 3A 내지 도 3D는 일 실시예에 따라서 다층 웨이퍼를 제조하기 위한 공정을 나타낸 개략 단면도이다.
- [0021] 도 4A 내지 도 4H는 일 실시예에 따라서 다층 웨이퍼를 제조하기 위한 또 다른 공정을 나타낸 개략 단면도이다.
- [0022] 도 5A 내지 도 5H는 일 실시예에 따라서 다층 웨이퍼를 제조하기 위한 또 다른 공정을 나타낸 개략 단면도이다.
- [0023] 도 6A 내지 도 6H는 일 실시예에 따라서 다층 웨이퍼를 제조하기 위한 또 다른 공정을 나타낸 개략 단면도이다.
- [0024] 도 7A 내지 도 7H는 일 실시예에 따라서 다층 웨이퍼를 제조하기 위한 또 다른 공정을 나타낸 개략 단면도이다.
- [0025] 도 8은 일 실시예에 따라서 다층 개시 웨이퍼를 이용하여 형성될 수 있는 모놀리식 접적 반도체 구조체의 개략 단면도이다.
- [0026] 도 9는 일 실시예에 따라서 다층 개시 웨이퍼를 이용하여 모놀리식 접적 반도체 구조체를 형성하기 위한 방법의 흐름도이다.
- [0027] 도 10은 일 실시예에 따라서 실리콘 전자장치가 III-V족 발광 소자와 모놀리식 접적되는 접적 소자 구조체의 개략 단면도이다.
- [0028] 도 11은 일 실시예에 따른 발광 소자 구조체의 개략 단면도이다.
- [0029] 도 12는 일 실시예에 따른 발광 소자 구조체의 개략 상면도이다.
- [0030] 도 13A 내지 도 13C는 일 실시예에 따라서 다층 웨이퍼에 모놀리식 접적되는 발광 소자 구조체를 제작하는 방법을 나타낸 개략 단면도이다.
- [0031] 도 14는 일 실시예에 따라서 발광 소자 및 실리콘 광검출기와 모놀리식 접적되는 실리콘 전자장치를 포함하는 접적 소자 구조체의 개략 상면도이다.
- [0032] 도 15A 내지 도 15B는 일 실시예에 따른 모놀리식 접적 광 상호 접속부 버스의 개략도이다.
- [0033] 도 16은 일 실시예에 따라서 실리콘 전자장치와 모놀리식 접적되는 발광 소자의 어레이의 개략 상면도이다.
- [0034] 도 17은 일 실시예에 따라서 광검출기 및 실리콘 전자장치의 어레이와 모놀리식 접적되는 발광 소자의 어레이의 개략 상면도이다.
- [0035] 도 18은 일 실시예에 따른 실리콘 전자장치와 모놀리식 접적되는 발광 소자의 2차원 어레이의 개략 상면도이다.
- [0036] 도 19는 일 실시예에 따른 도 18의 접적 소자 시스템의 개략 단면도이다.
- [0037] 도 20은 일 실시예에 따라서 실리콘 전자장치와 모놀리식 접적되는 발광 소자 및 광검출기의 2차원 어레이의 개략 상면도이다.
- [0038] 도 21은 일 실시예에 따라서 적어도 하나의 실리콘 광검출기 및 적어도 하나의 비실리콘 광검출기를 포함하는 모놀리식 접적 시스템의 단면도이다.
- [0039] 도 22는 일 실시예에 따른 실리콘 전자장치와 비실리콘 전자장치를 포함하는 모놀리식 접적 시스템의 단면도이다.

도면

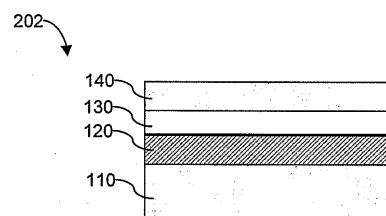
도면1



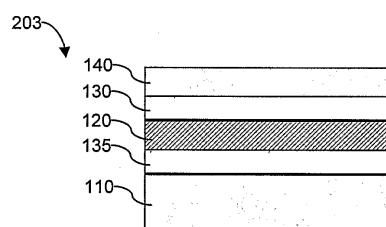
도면2A



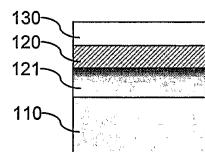
도면2B



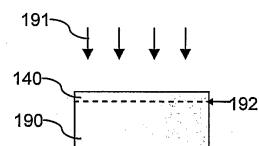
도면2C



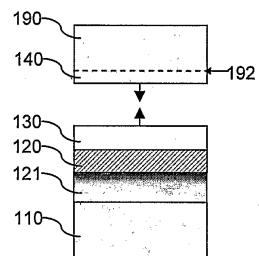
도면3A



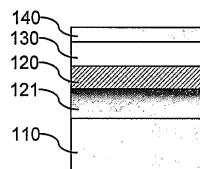
도면3B



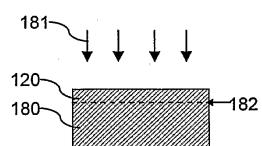
도면3C



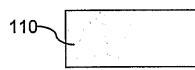
도면3D



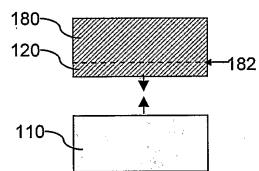
도면4A



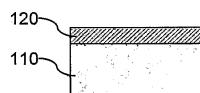
도면4B



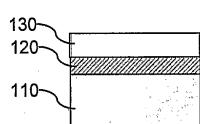
도면4C



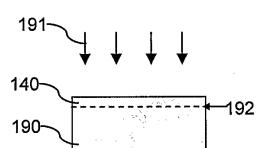
도면4D



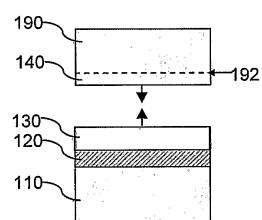
도면4E



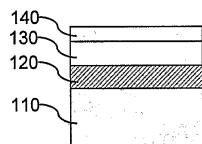
도면4F



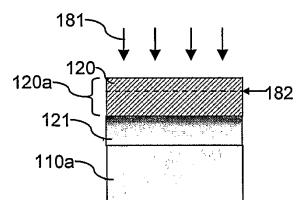
도면4G



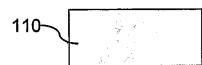
도면4H



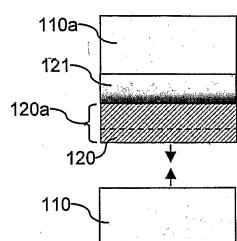
도면5A



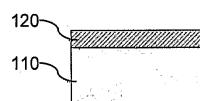
도면5B



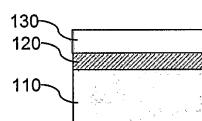
도면5C



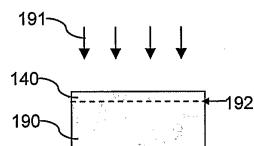
도면5D



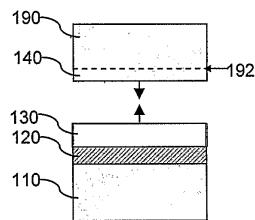
도면5E



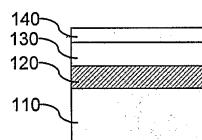
도면5F



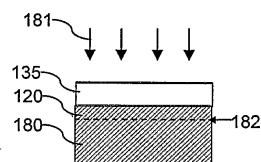
도면5G



도면5H



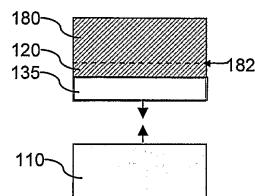
도면6A



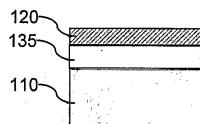
도면6B



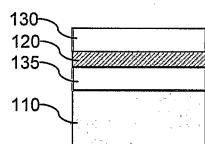
도면6C



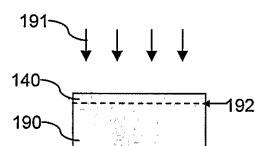
도면6D



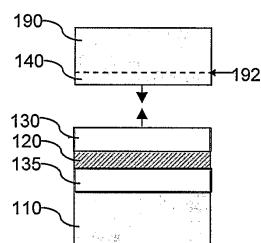
도면6E



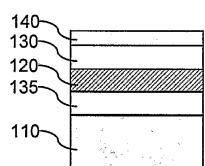
도면6F



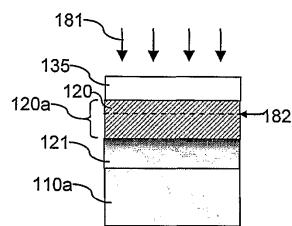
도면6G



도면6H



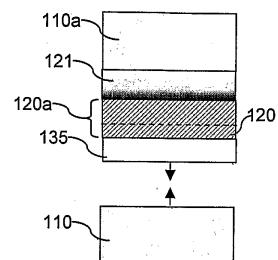
도면7A



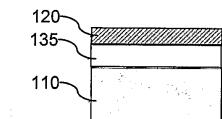
도면7B



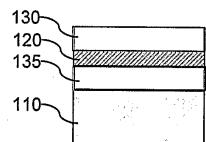
도면7C



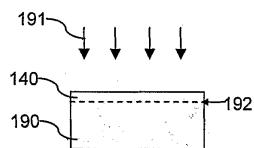
도면7D



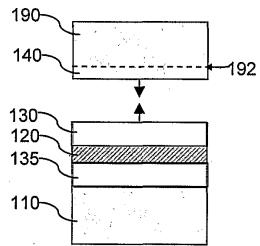
도면7E



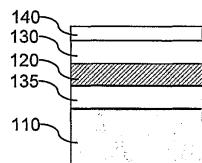
도면7F



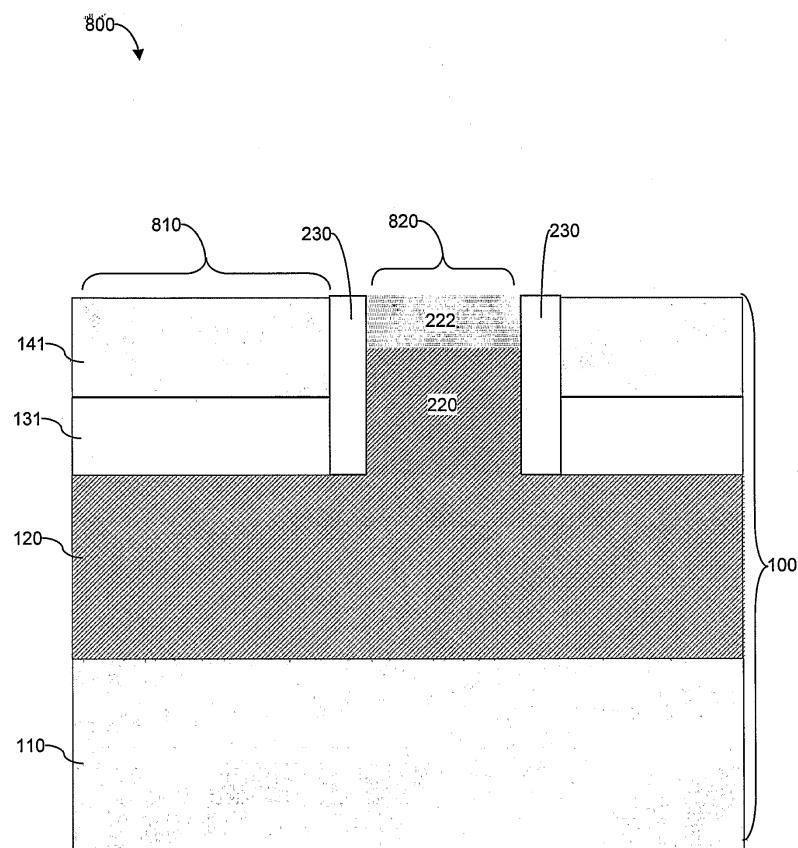
도면7G



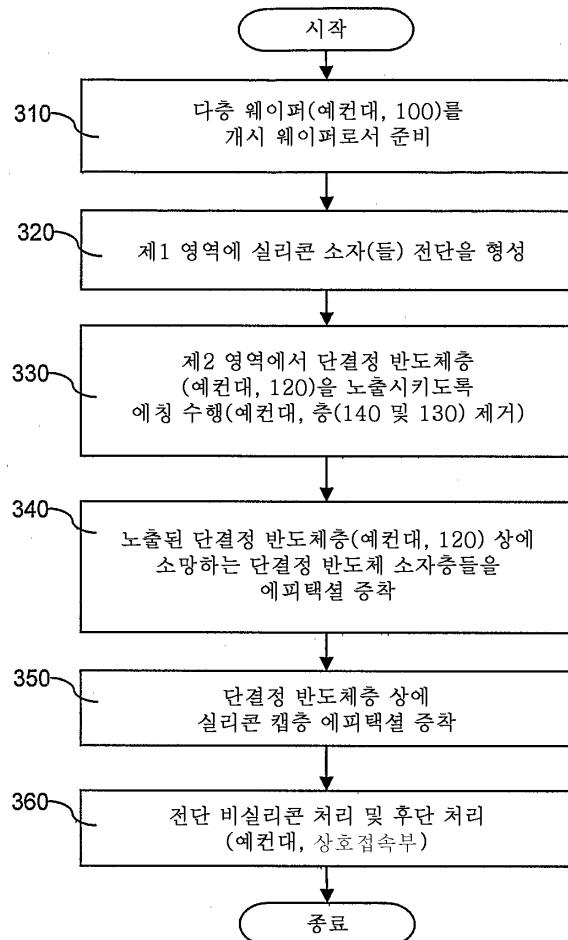
도면7H



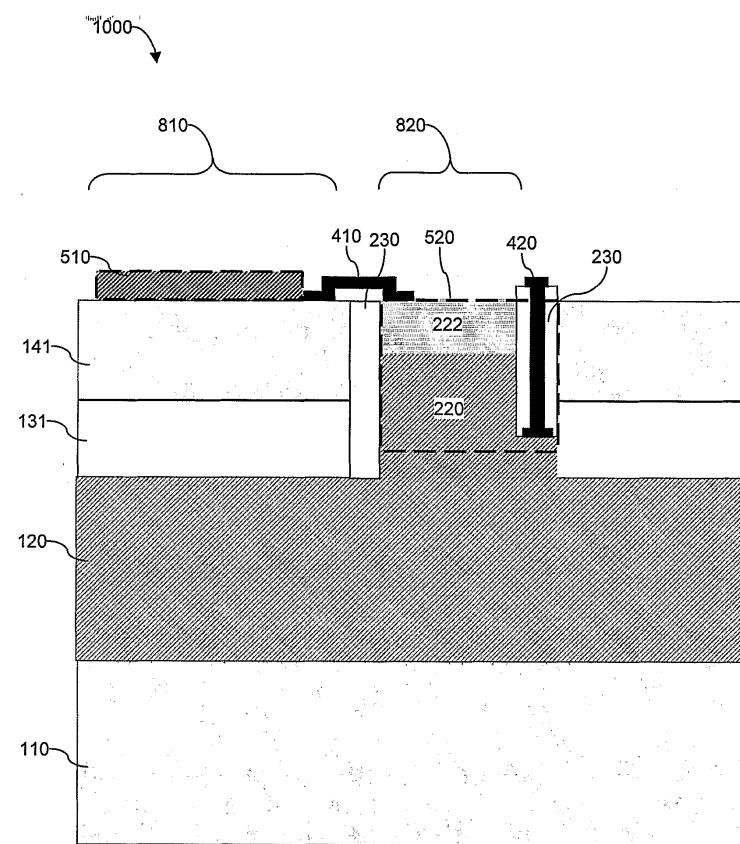
도면8



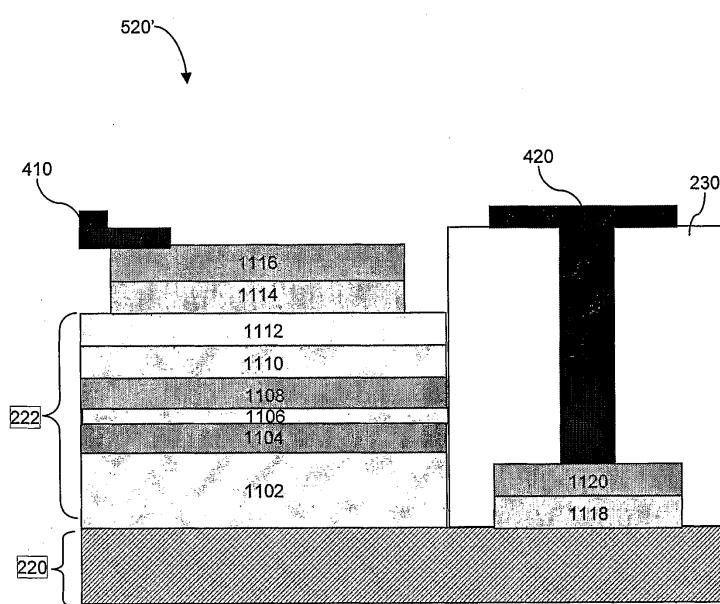
도면9



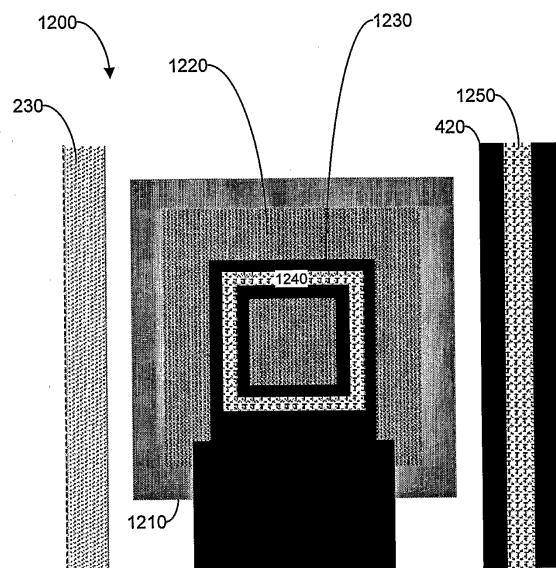
도면10



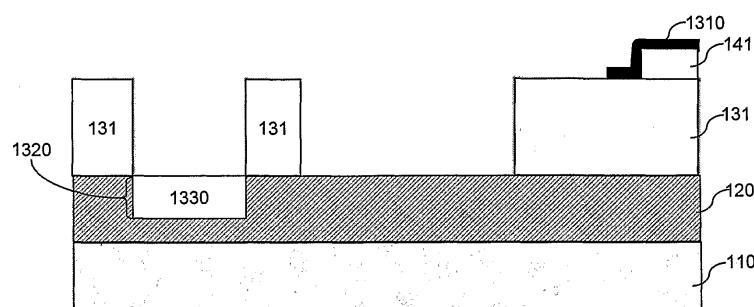
도면11



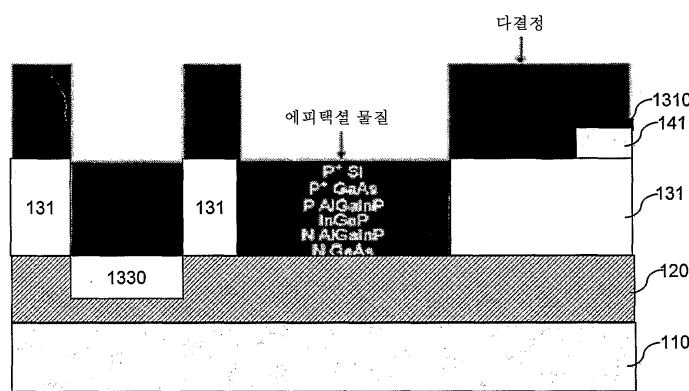
도면12



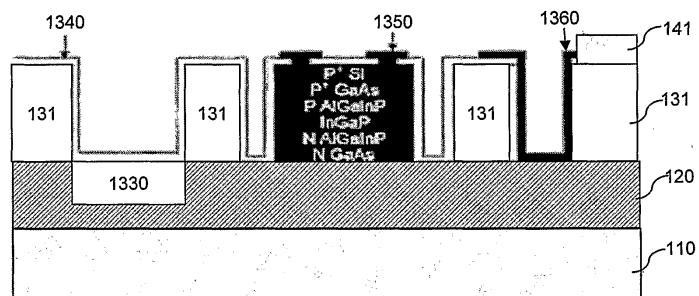
도면13A



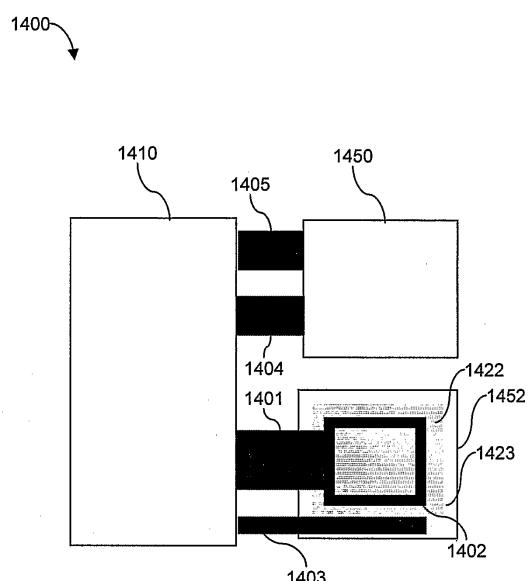
도면13B



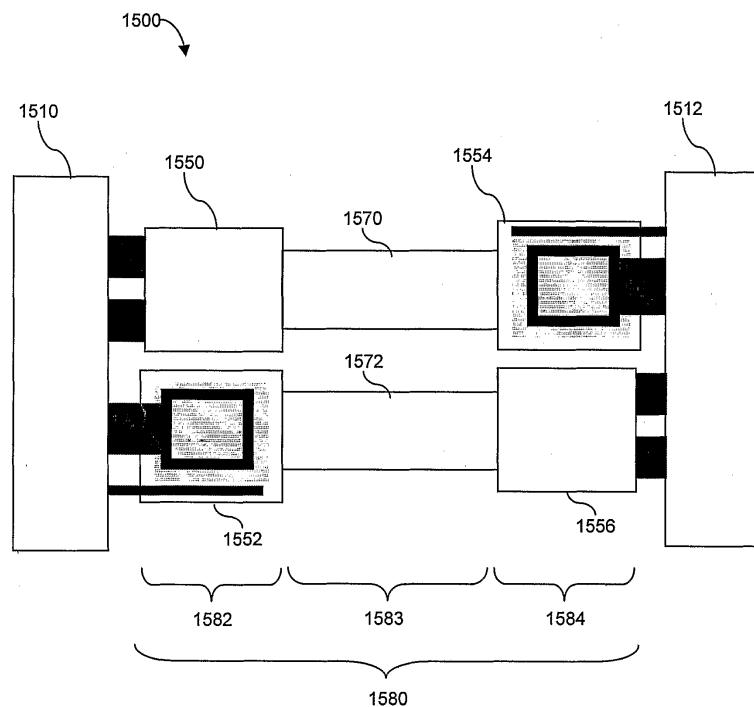
도면13C



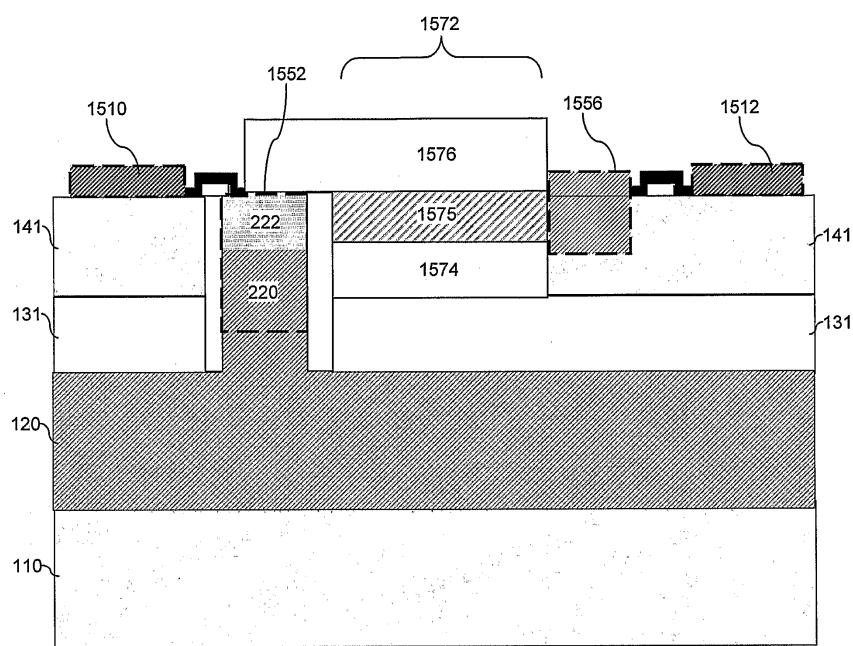
도면14



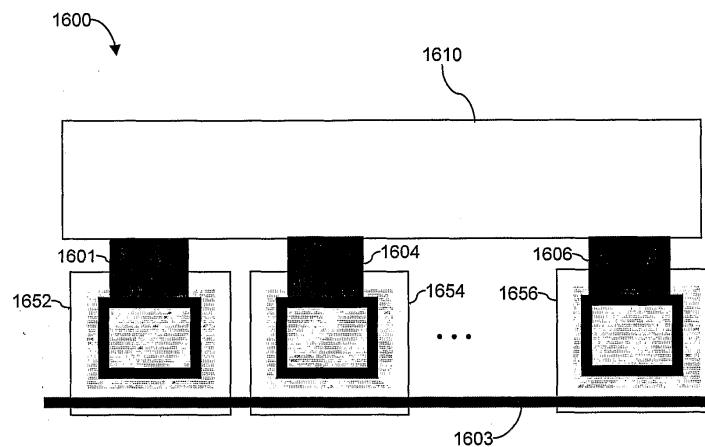
도면15A



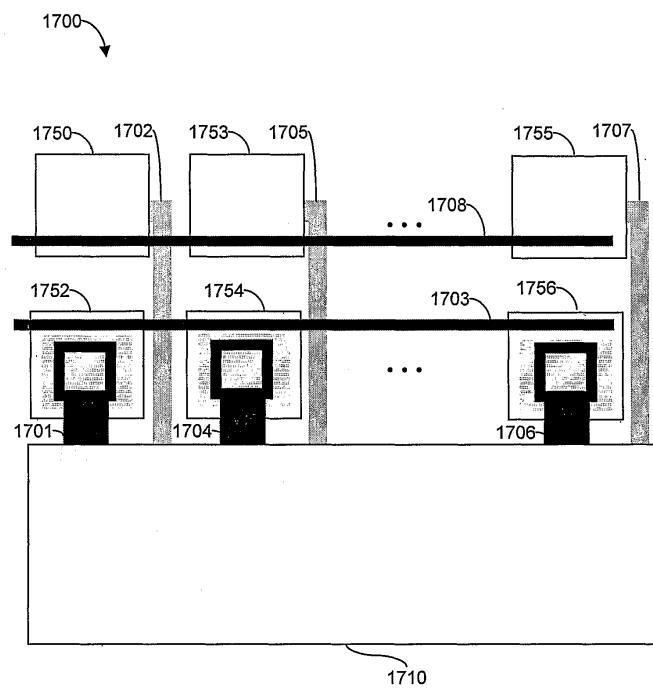
도면15B



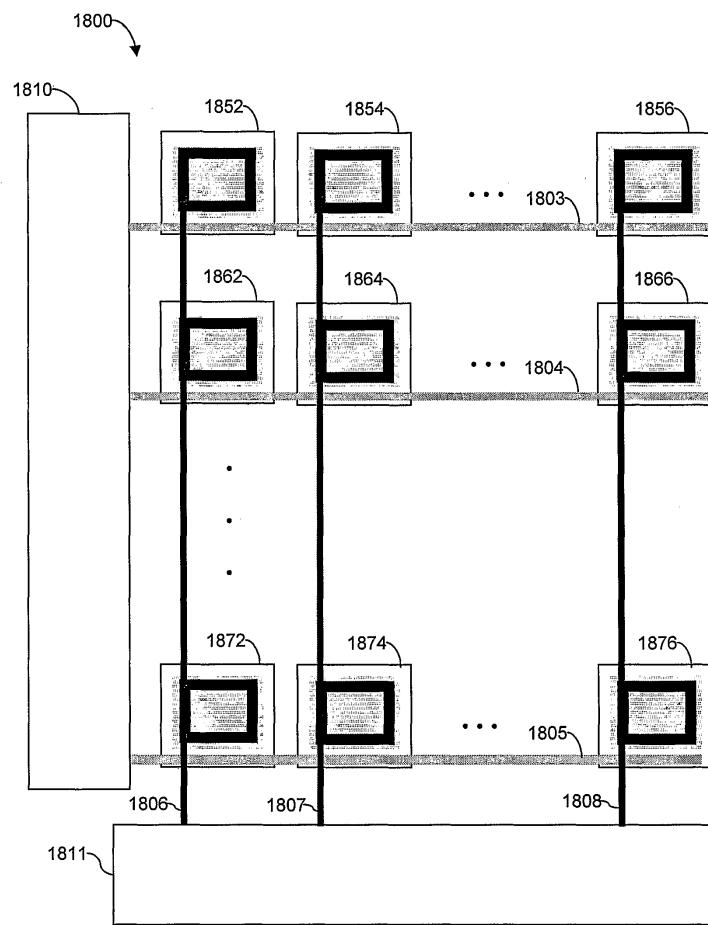
도면16



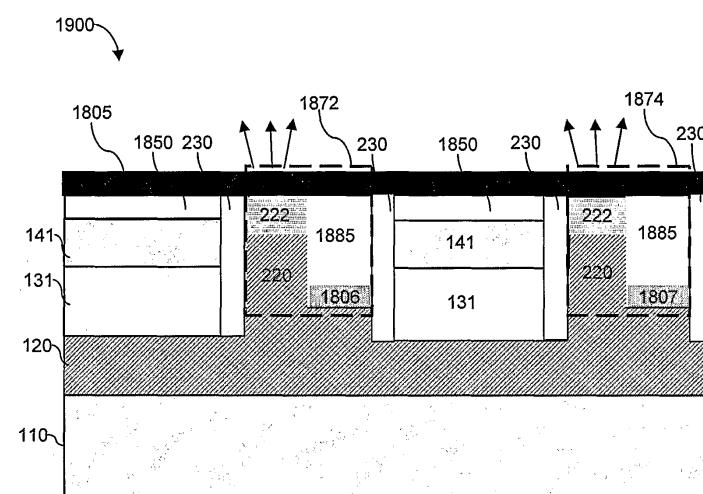
도면17



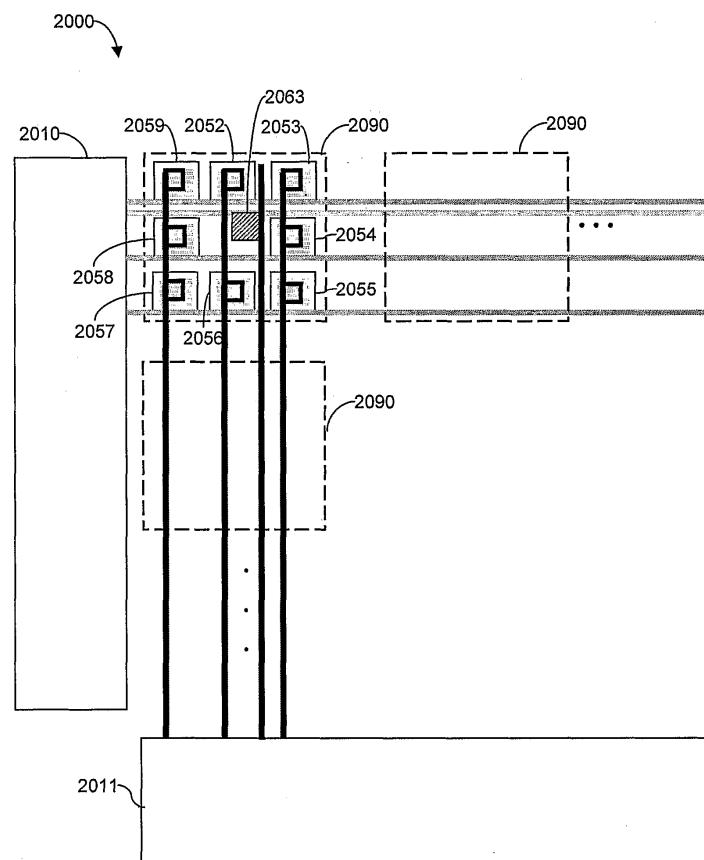
도면18



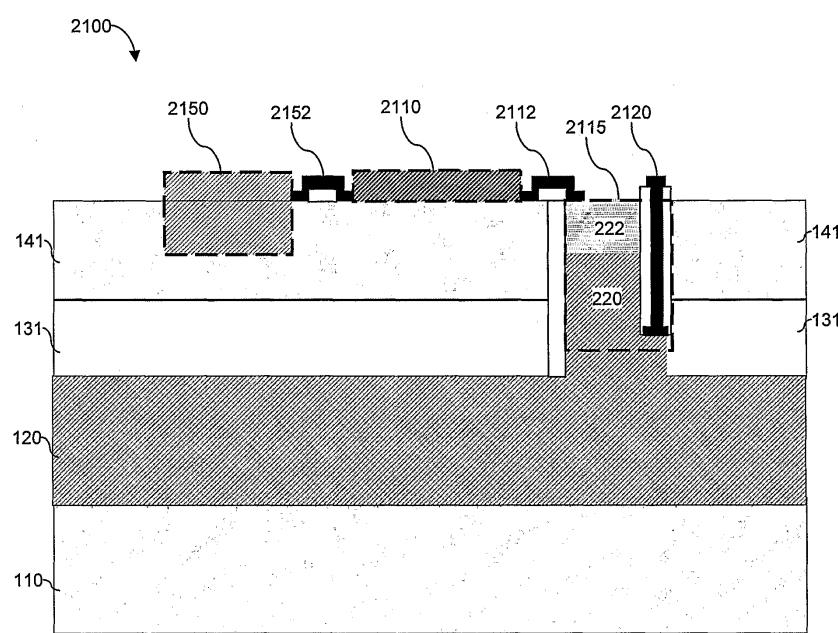
도면19



도면20



도면21



도면22

