

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4674868号
(P4674868)

(45) 発行日 平成23年4月20日(2011.4.20)

(24) 登録日 平成23年2月4日(2011.2.4)

(51) Int. Cl.		F I			
G06K	19/07	(2006.01)	G06K	19/00	J
G06F	1/32	(2006.01)	G06F	1/00	332B

請求項の数 8 (全 11 頁)

(21) 出願番号	特願2006-548632 (P2006-548632)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(86) (22) 出願日	平成16年12月21日(2004.12.21)	(74) 代理人	100089071 弁理士 玉村 静世
(86) 国際出願番号	PCT/JP2004/019058	(72) 発明者	大館 英史 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
(87) 国際公開番号	W02006/067833	(72) 発明者	四方 淳史 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
(87) 国際公開日	平成18年6月29日(2006.6.29)	(72) 発明者	熊原 千明 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
審査請求日	平成19年12月10日(2007.12.10)		

最終頁に続く

(54) 【発明の名称】 カードデバイス

(57) 【特許請求の範囲】

【請求項1】

動作状態として通常動作状態と低消費電力状態とを有し、一定期間コマンド入力がない場合には通常動作状態から低消費電力状態に遷移するカードデバイスであって、

レギュレータ、第1の内部回路及び第2の内部回路を有し、

前記レギュレータは前記外部電圧が高電圧であるときこれを降圧して生成した内部電圧を前記第2の内部回路に供給し、前記外部電圧が低電圧であるときは前記外部電圧をそのまま内部電圧として前記第2の内部回路に供給し、

前記第1の内部回路には外部電圧が動作電源として供給され、前記低消費電力状態に遷移した後であっても動作電源としての外部電圧の供給は継続され、

前記第2の内部回路はマイクロコンピュータを有し、前記低消費電力状態への遷移は前記マイクロコンピュータのスリープ状態への遷移をトリガとし、

前記第1の内部回路は退避用記憶領域を有し、前記マイクロコンピュータはスリープ状態に遷移するとき内部状態の復帰に必要な内部情報を前記退避用記憶領域に退避し、

カードデバイスの動作状態が前記低消費電力状態に遷移するとき、前記第1の内部回路は、前記レギュレータの動作を停止すると共に、前記第2の内部回路への前記レギュレータが供給する内部電圧の供給を抑制するカードデバイス。

【請求項2】

低消費電力状態から動作状態に復帰するとき前記第1の内部回路は前記レギュレータの動作を再開させて前記第2の内部回路に対する内部電圧の供給を可能にする請求項1記載の

10

20

カードデバイス。

【請求項 3】

前記レギュレータは、外部電圧が高電圧であるか否かを判定する電圧検出回路と、前記外部電圧を降圧するとき利用する基準電圧を生成する基準電圧生成回路とを有し、前記低消費電力状態に遷移する際の前記レギュレータの動作停止は、前記電圧検出回路と基準電圧生成回路の動作停止とされる請求項2記載のカードデバイス。

【請求項 4】

低消費電力状態において前記第1の内部回路はコマンド入力に応答して前記レギュレータを動作させて前記第2の内部回路への内部電圧の供給を再開させる請求項1記載のカードデバイス。

10

【請求項 5】

前記マイクロコンピュータはスリープ状態において動作電源の供給を検出することによりパワーオンリセット処理を行なう請求項4記載のカードデバイス。

【請求項 6】

前記マイクロコンピュータはパワーオンリセット処理において前記退避用記憶領域が保有する必要な内部情報の復帰を行う請求項5記載のカードデバイス。

【請求項 7】

動作状態として通常動作状態と低消費電力状態とを有し、一定時間コマンド入力がない場合には通常動作状態から低消費電力状態に遷移するカードデバイスであって、

外部から供給される外部電圧が高電圧であるときレギュレータで前記外部電圧を降圧して内部電圧を生成して内部回路に供給し、外部電圧が低電圧であるとき前記外部電圧をそのまま内部電圧として前記内部回路に供給し、

20

動作状態から低消費電力状態へ遷移する際に、前記内部回路は、前記レギュレータの動作を停止すると共に、前記内部回路の一部への電源供給を停止し、前記内部回路の他の部分へは外部電圧をそのまま内部電圧として供給し、

前記通常動作状態から前記低消費電力状態へ遷移する際に電源供給が停止される前記内部回路の一部にはスリープ状態にされるマイクロコンピュータを含み、

前記内部回路の他の部分は退避用記憶領域を有し、前記マイクロコンピュータはスリープ状態に遷移するとき内部状態の復帰に必要な内部情報を前記退避用記憶領域に退避するカードデバイス。

30

【請求項 8】

前記マイクロコンピュータはパワーオンリセット処理において前記退避用記憶領域が保有する必要な内部情報の復帰を行う請求項7記載のカードデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はメモリカード、ICカード、又はICカード機能とメモリカード機能に代表されるマルチファンクションを有するマルチファンクションカード等のカードデバイスに適用して有効な技術に関する。

【背景技術】

40

【0002】

特許文献1, 2には外部電源としてデュアルボルテージに対応したICカードやメモリカードについて記載がある。これらには、外部から3.3V又は5Vのどちらかの電圧が供給された際に5Vであればレギュレータで3.3Vに降圧し、3.3Vであればそのまま内部回路に供給することが記載される。

【0003】

【特許文献1】特開平6-333103号公報

【特許文献2】特開平9-231339号公報

【発明の開示】

【発明が解決しようとする課題】

50

【0004】

本発明者はカードデバイスの低消費電力化について検討した。カードデバイスのカードコントローラがホストからのコマンド処理を行っていない時に、カードコントローラのマイクロコンピュータをスリープ状態にすることでスタンバイモード（低消費電力モード）時の低消費電力を図ることができる。しかしながら、カードデバイスのスタンバイモード時にマイクロコンピュータはスリープ状態となるが、カードコントローラ内部のレギュレータは絶えず動作しているためその分電力を消費する。シリーズレギュレータの消費電力はスタンバイ状態における消費電力の多くを占めているために、シリーズレギュレータが絶えず動作していることは低消費電力化の妨げとなることが本発明者によって見出された。

10

【0005】

本発明の代表的な一つの目的は、カードデバイスの低消費電力状態における消費電力を小さくすることにある。

【0006】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

20

【0008】

〔1〕カードデバイスは、レギュレータ、第1の内部回路及び第2の内部回路を有し、前記レギュレータは前記外部電圧が高電圧であるときこれを降圧して生成した内部電圧を前記第2の内部回路に供給し、前記外部電圧が低電圧であるときは前記外部電圧をそのまま内部電圧として前記第2の内部回路に供給し、第1の内部回路には外部電圧が動作電源として供給され、一定期間コマンド入力がない場合には低消費電力状態に遷移する。カードデバイスは、前記低消費電力状態に遷移するとき、前記レギュレータの動作を停止すると共に、前記第2の内部回路に対する内部電圧の供給を抑止する。

【0009】

従って、低消費電力状態においてカードデバイスのレギュレータと第2の内部回路における電力消費を抑制することができる。

30

【0010】

本発明の代表的な一つの具体的な形態として、低消費電力状態から動作状態に復帰するとき前記第1の内部回路は前記レギュレータの動作を再開させて前記第2の内部回路に対する内部電圧の供給を可能にする。少なくともこの範囲で第1の内部回路は動作すればよいから、これによる電力消費は極めて少ない。また、第1の内部回路は前記高電圧の外部電圧に対しても耐圧を備えることが必要であるから、通常その論理規模は小さくされると予想され、この点においても第1の内部回路の電力消費は少ない。

【0011】

本発明の代表的な別の一つの具体的な形態として、前記レギュレータは、外部電圧が高電圧であるか否かを判定する電圧検出回路と、前記外部電圧を降圧するとき利用する基準電圧を生成する基準電圧生成回路とを有し、前記低消費電力状態に遷移する際の前記レギュレータの動作停止は、前記電圧検出回路と基準電圧生成回路の動作停止とされる。

40

【0012】

本発明の代表的な別の一つの具体的な形態として、前記第2の内部回路はマイクロコンピュータを有し、前記低消費電力状態への遷移は前記マイクロコンピュータのスリープ状態への遷移をトリガとする。

【0013】

低消費電力状態において前記第1の内部回路はコマンド入力にตอบสนองして前記レギュレータを動作させて前記第2の内部回路への内部電圧の供給を再開させる。前記マイクロコン

50

コンピュータはスリープ状態において動作電源の供給を検出することによりパワーオンリセット処理を行なう。

【0014】

前記第1の内部回路は退避用記憶領域を有し、前記マイクロコンピュータはスリープ状態に遷移するとき内部状態の復帰に必要な内部情報を前記退避用記憶領域に退避する。前記マイクロコンピュータはパワーオンリセット処理において前記退避用記憶領域が保有する必要な内部情報の復帰を行う。スリープ状態から動作状態への遷移にかかる時間の短縮を図ることができる。

【0015】

〔2〕別の表現形態によるカードデバイスは、外部から供給される外部電圧が高電圧であるときレギュレータで前記外部電圧を降圧して内部電圧を生成して内部回路に供給し、外部電圧が低電圧であるとき前記外部電圧をそのまま内部電圧として前記内部回路に供給し、一定期間コマンド入力がない場合には低消費電力状態に遷移する。このカードデバイスは、動作状態から低消費電力状態へ遷移する際に、レギュレータの動作を停止すると共に、内部回路の一部への電源供給を停止し、内部回路の他の部分へは外部電圧をそのまま内部電圧として供給する。

【0016】

本発明の代表的な一つの具体的な形態として、動作状態から低消費電力状態へ遷移する際に電源供給が停止される内部回路の一部にはスリープ状態にされるマイクロコンピュータを含む。前記内部回路の他の部分は退避用記憶領域を有し、前記マイクロコンピュータはスリープ状態に遷移するとき内部状態の復帰に必要な内部情報を前記退避用記憶領域に退避する。前記マイクロコンピュータはパワーオンリセット処理において前記退避用記憶領域が保有する必要な内部情報の復帰を行う。

【発明の効果】

【0017】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0018】

すなわち、カードデバイスの低消費電力状態における消費電力を小さくすることができる。

【図面の簡単な説明】

【0019】

【図1】カードデバイスの一例であるメモリカードのブロック図である。

【図2】レギュレータの構成を例示する回路図である。

【図3】メモリカードのアクティブ状態からスタンバイ状態への遷移とスタンバイ状態からアクティブ状態への遷移を示す動作タイミング図である。

【図4】メモリカードのアクティブ状態からスタンバイ状態への遷移とスタンバイ状態からアクティブ状態への遷移を示すフローチャートである。

【図5】図4のフローチャートに従ったメモリカードの動作説明図である。

【符号の説明】

【0020】

- 1 メモリカード
- 2 ホスト
- 3 フラッシュメモリ
- 4 コントローラ
- 5 レギュレータ
- 6 起動回路
- 7 ロジック部
- 8 マイクロコンピュータ
- 9 退避レジスタ

10

20

30

40

50

- 1 0 コマンドレジスタ
- S T B R E Q スタンバイ要求信号
- C S T B スタンバイ信号
- C L K クロック
- C M D コマンド
- D A T データ
- 2 0 P N P トランジスタ
- 2 1 オペアンプ
- 2 2 基準電圧発生回路
- 2 3 セレクタ
- 2 4 セレクタ
- 2 5 電圧検出回路

10

【発明を実施するための最良の形態】

【0021】

図1にはカードデバイスの一例としてメモリカードが示される。同図に示されるメモリカード(MCRD)1は、ホスト(HST)2からのデータを格納する不揮発性メモリ例えばフラッシュメモリ(FLSH)3と、コントローラ(CTRL)4とから構成される。前記フラッシュメモリ3は閾値電圧の相違によって情報記憶を行う多数の不揮発性メモリトランジスタを有し、例えば不揮発性メモリトランジスタの電荷蓄積領域に選択的に電子を注入することによって閾値電圧を高くする書き込みと、電荷蓄積領域から選択的に電子を放出方向に移動させることによって閾値電圧を低くする消去を電氣的に行うことが可能にされる。前記コントローラ4はホスト2とのインタフェース制御、フラッシュメモリ3に対するハードディスク互換のファイルメモリ制御、メモリカード1の動作モード制御などを行う。

20

【0022】

前記コントローラ4はレギュレータ(RGL)5、起動回路(STR)6及びロジック部(LOG)7を有する。ここでは起動回路(STR)6が第1の内部回路、ロジック部(LOG)7が第2の内部回路とされる。

【0023】

前記レギュレータ5は、スイッチングレギュレータであってもシリーズレギュレータであっても良い。スイッチングレギュレータは容量成分とリアクタンス成分とを有する必要があることから回路規模が比較的大きくなるが、電圧生成効率が比較的高い。一方シリーズレギュレータは半導体素子のみからなることから回路規模が比較的小さいが、電圧生成効率が比較的低い。特にシリーズレギュレータでは内部でのリーク電流が比較的大きいことから、スタンバイ動作時等の出力電力の消費が小さい状態においては内部のリーク電流がレギュレータで消費する電流について支配的となる。

30

【0024】

前記インタフェース制御とモード制御は起動回路6及びロジック部7で行い、フラッシュメモリ2に対するハードディスク互換のファイルメモリ制御はロジック部7で行う。ロジック部7はコントローラ4全体の制御を司るマイクロコンピュータ(MCU)8と図示を省略するロジック回路を有する。起動回路6は退避レジスタ(REG)9、コマンドデコード(CDEC)10、及び図示を省略するロジック回路を有する。起動回路6はホスト2からクロックCLKとコマンドCMDを入力し、ホスト2との間でデータDATの入出力を行う。起動回路6はホスト2から供給されたコマンドの有無をコマンドデコード10で検出する。起動回路6は、メモリカード1の動作モードに応じて所定のタイミングでコマンドをロジック部7に渡し、クロックCLKをロジック部7に出力し、また、ロジック部7との間でデータの受け渡しを行う。

40

【0025】

レギュレータ5は前記外部電圧VCCが高電圧(例えば3.3V)であるときこれを降圧して生成した1.8Vの内部電圧をロジック部7に供給し、前記外部電圧VCCが低電

50

圧（例えば 1.8 V）であるときは前記外部電圧をそのまま内部電圧として前記ロジック部 7 に供給する。前記起動回路 6 には外部電圧 VCC が動作電源として供給される。したがって起動回路 6 は 3.3 V の耐圧電圧を備えたトランジスタによって構成され、ロジック部 7 が 1.8 V の耐圧電圧を有するトランジスタによって構成されるのとは相違する。

【0026】

前記ロジック部 7 はホスト 2 からのコマンドを処理する。コマンドの処理を完了すると、新たなコマンド入力を待つ。コマンドデコーダ 10 は一定期間コマンド入力がない場合を検出すると、コマンドによってマイクロコンピュータ 8 にスリープモードを指示する。これによってマイクロコンピュータ 8 と共にロジック部 7 はスリープモードに遷移するための処理を行なう。このスリープモードに遷移するための処理の一つとして、マイクロコンピュータ 8 の内部状態若しくはロジック部のその他の内部状態をレジスタ 9 に退避する退避動作を行う。退避された内部状態はスリープ状態から動作状態（アクティブ状態）に復帰するとき利用される。このスリープモードに遷移するための処理を完了すると、ロジック部 7 は起動回路 6 に信号 STBREQ にてスタンバイ要求を出す。これによって起動回路 6 は、スタンバイ信号 CSTB をレギュレータ 5 及びロジック部 7 にアサートする。これによってレギュレータ 5 は、動作を停止すると共に、前記ロジック部 7 に対する内部電圧の供給を抑止し、メモリカード 1 のスタンバイ状態が達成される。

【0027】

特に制限されないが、フラッシュメモリ 3 の動作電源は 3.3 V である。外部電圧 VCC が 3.3 V のときはそのまま、1.8 V のときは内蔵チャージポンプ回路で昇圧を行うようになっている。マイクロコンピュータ 8 が前記スリープ状態に入るときにはフラッシュメモリ 3 がスタンバイ状態になっていることを確認する。フラッシュメモリ 3 のスタンバイ状態では内蔵チャージポンプ回路は動作停止、或いはチャージポンプ動作周波数の低下が行われており、いずれにしてもフラッシュメモリ 3 においても低消費電力が考慮されている。

【0028】

スタンバイ状態において起動回路 6 は依然として動作可能にされており、コマンド CMD の供給、又はクロック CLK に同期したコマンド CMD の供給を検出すると、レギュレータ 5 及びロジック部 7 へのスタンバイ信号 CSTB をネゲートする。これによってレギュレータ 5 が動作され、ロジック部 7 には内部電圧の供給が再開される。マイクロコンピュータ 8 は内部電圧の供給を検出してパワーオンリセット処理を開始する。マイクロコンピュータ 8 のパワーオンリセット処理では前記レジスタ 9 に有意の退避データが記憶されている場合にはその退避データをマイクロコンピュータ 8 若しくはロジック部 7 に内部状態データとして復帰させる。ロジック部 7 のマイクロコンピュータ 8 及びその他の回路部分における初期化処理が完了するとメモリカード 1 はアクティブ状態になる。アクティブ状態になると起動回路 6 はアクティブ状態への遷移直前に供給されたコマンドをロジック部 7 に供給し、ロジック部 7 によるコマンド処理を再開可能にする。

【0029】

図 2 にはレギュレータ 5 の構成の例示としてシリーズレギュレータの構成を示す。レギュレータ 5 は、PNP トランジスタ 20、オペアンプ 21、基準電圧発生回路（VRFG）22、セクタ（SEL a）23、セクタ（SEL b）24 及び電圧検出回路（VDT C）25 を有する。

【0030】

前記電圧検出回路 25 は外部電圧 VCC が 3.3 V のような高電圧か、1.8 V のような低電圧化かを判定し、判定信号 DCS を出力する。前記 PNP トランジスタ 20 のエミッタには外部電圧 VCC が供給され、コレクタから内部電圧 Vout が出力される。PNP トランジスタ 20 のコレクタはオペアンプ 21 の反転入力端子（-）に接続され、その非反転入力端子（+）には基準電圧 Vref が印加される。基準電圧 Vref は基準電圧発生回路 22 で生成される。特に制限されないが、基準電圧発生回路 22 は、p チャンネル型 MOS トランジスタと n チャンネル型 MOS トランジスタとの閾値電圧差に基づいて

10

20

30

40

50

生成される。基準電圧 V_{ref} は例えば $1.8V$ とされる。セクタ 23 は判定信号 DCS に従ってオペアンプ 21 の出力又は回路の接地電圧 GND (若しくはコモン電位) を選択して出力する。この回路の接地電位 GND 若しくはコモン電位とは、メモ리카ードとホストとが接続されるグラウンド電圧供給端子 (Supply voltage ground) に接続される電位である。判定信号 DCS が高電圧入力を意味するときはオペアンプ 21 の出力を選択し、低電圧を意味するときは接地電圧 GND を選択する。オペアンプ 21 の出力がセクタ 24 を介して PNP トランジスタ 20 のベースに接続されることにより、 PNP トランジスタ 20 のコンダクタンスが負帰還制御され、外部電圧 VCC に対する降圧動作が行われ、 $1.8V$ に降圧された内部電圧 V_{out} が形成される。一方、接地電圧 GND がセクタ 24 を介して PNP トランジスタ 20 のベースに接続されることにより、 PNP トランジスタ 20 による降圧動作は行われず、 $1.8V$ の外部電圧 VCC がそのまま内部電圧 V_{out} として出力される。セクタ 24 はスタンバイ信号 $CS TB$ に従ってセクタ 23 の出力又は外部電圧 VCC を出力する。スタンバイ信号 $CS TB$ のネゲートによりアクティブモードが指示されるときセクタ 24 は前段セクタ 23 の出力を選択し、前述の如く検出信号 DCS に応じて降圧動作が制御される。一方、スタンバイ信号 $CS TB$ のアサートによりスタンバイモードが指示されるときセクタ 24 は外部電源 VCC を選択し、これによって PNP トランジスタ 20 がカットオフされ、ロジック部 7 への内部電圧 V_{out} の供給が抑止される。これによって、ロジック部 7 は電源供給が遮断され、一切の動作が停止される。更に前記電圧検出回路 25 及び基準電圧発生回路 22 は、スタンバイ信号 $CS TB$ のアサートによりスタンバイモードが指示され、その動作を停止する。これによってレギュレータ 5 の動作も停止され、スタンバイ状態においてレギュレータ 5 による電力消費もない。

【0031】

図 3 にはメモ리카ードのアクティブ状態からスタンバイ状態への遷移とスタンバイ状態からアクティブ状態への遷移を示す動作タイミングが示される。

【0032】

前記ロジック部 7 はホスト 2 からのコマンドを処理する。コマンドの処理を完了すると (t_0)、新たなコマンド入力を待つ。ロジック部 7 はマイクロコンピュータ 8 がコマンド処理完了しコマンドデコーダ 10 が一定期間コマンド入力がない場合を検出すると、信号 SLP によってマイクロコンピュータ 8 にスリープモードを指示する (t_1)。これによってマイクロコンピュータ 8 と共にロジック部 7 はスリープモードに遷移するための処理を行なう。このスリープモードに遷移するための処理の一つとして、マイクロコンピュータ 8 の内部状態若しくはロジック部のその他の内部状態をレジスタ 9 に退避する退避動作を行う。このスリープモードに遷移するための処理を完了すると、ロジック部 7 は起動回路 6 に信号 $STB REQ$ にてスタンバイ要求を出す (t_2)。これによって起動回路 6 は、スタンバイ信号 $CS TB$ をレギュレータ 5 及びロジック部 7 にアサートする (t_3)。これによってレギュレータ 5 は、動作を停止すると共に、前記ロジック部 7 に対する内部電圧の供給を抑止し、メモ리카ード 1 のスタンバイ状態が達成される。スタンバイ状態において起動回路 6 は依然として動作可能にされており、クロック CLK に同期したコマンド CMD の供給を検出すると、レギュレータ 5 及びロジック部 7 へのスタンバイ信号 $CS TB$ をネゲートする (t_4)。これによってレギュレータ 5 が動作され、ロジック部 7 には内部電圧の供給が再開される。マイクロコンピュータ 8 は内部電圧の供給を検出してパワーオンリセット処理を開始する。マイクロコンピュータ 8 のパワーオンリセット処理では前記レジスタ 9 に有意の退避データが記憶されている場合にはその退避データをマイクロコンピュータ 8 若しくはロジック部 7 に内部状態データとして復帰させる。ロジック部 7 のマイクロコンピュータ 8 及びその他の回路部分における初期化処理が完了するとメモ리카ード 1 はアクティブ状態になり、信号 $STB REQ$ がネゲートされる (t_5)。アクティブ状態になると起動回路 6 はアクティブ状態への遷移直前に供給されたコマンドをロジック部 7 に供給し、ロジック部 7 によるコマンド処理が再開可能になる。

【0033】

図4にはメモ리카ードのアクティブ状態からスタンバイ状態への遷移とスタンバイ状態からアクティブ状態への遷移を示すフローチャートが示される。図5には図4のフローチャートに従ったメモ리카ードの動作が示される。

【0034】

前記ロジック部7はホスト2からコマンド入力があると(CMD-IN)、そのコマンド処理を開始する(CMD-PRC)。そのコマンド処理の完了を待って(CMD-FNS)、コマンドデコーダ10が一定期間コマンド入力がない場合を検出すると、ロジック部7はマイクロコンピュータ8にスリープモードを指示する。これによってマイクロコンピュータ8と共にロジック部7はスリープモードに遷移するための処理を行なう。このスリープモードに遷移するための処理を完了すると、ロジック部7は起動回路6に信号STBREQにてスタンバイ要求を出す(STR-REQ)。これによって起動回路6は、スタンバイ信号CSTBをレギュレータ5及びロジック部7にアサートする(STB-AST)。これによってレギュレータ5の動作が停止されると共に(REG-STOP)、前記ロジック部7に対する内部電圧の供給を抑制されてその動作が停止され(LOG-STOP)、メモ리카ード1のスタンバイ状態が達成される。スタンバイ状態において起動回路6は依然として動作可能にされており、クロックCLKに同期したコマンドCMDの供給を検出すると(CMD-DTC)、レギュレータ5及びロジック部7へのスタンバイ信号CSTBをネゲートする(STB-NGT)。このとき、起動回路6はレギュレータ5とロジック部7との起動完了の前に、コマンドCMDに対するレスポンスをホストに送信していても良い。これによってレギュレータ5が動作され(REG-STR)、ロジック部7の動作が起動され(LOG-STR)、コマンド処理(CMD-PRC)が可能にされる。

【0035】

以上説明したメモ리카ードによれば以下の作用効果を得る。

【0036】

〔1〕メモ리카ード1はスタンバイ状態に遷移するとき、前記レギュレータ5の動作を停止すると共に、前記ロジック部7に対する内部電圧の供給を抑制する。従って、スタンバイ状態においてメモ리카ード1のレギュレータ5とロジック部7における電力消費を抑制することができる。

【0037】

〔2〕起動回路6は退避用記憶領域としてのレジスタ9を有し、前記マイクロコンピュータ8はスリープ状態に遷移するとき内部状態の復帰に必要な内部情報を前記レジスタ9に退避するから、スタンバイ状態が解除されるときマイクロコンピュータ8はパワーオンリセット処理において前記レジスタ9が保有する内部情報を用いてスタンバイ直前の内部状態を復帰することができる。したがって、スリープ状態から動作状態への遷移にかかる時間を短縮することができる。

【0038】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0039】

例えば、レギュレータの構成は図2に限定されず適宜変更可能である。外部電圧は3.3Vに限定されず、降圧電圧は1.8Vに限定されず、適宜変更可能である。

【0040】

またメモ리카ード1は一定時間外部からのコマンド入力がないことを検出してマイクロコンピュータ8にスリープモードを指示したが、外部からのスリープ状態に遷移すべきことを指示するコマンドに応じてロジック部7はマイクロコンピュータ8にスリープモードを指示した起動回路6に信号STBREQにてスタンバイ要求を出しても良い。

【0041】

また本発明はメモ리카ードのコントローラにのみ適用できるものではなく、フラッシュ

10

20

30

40

50

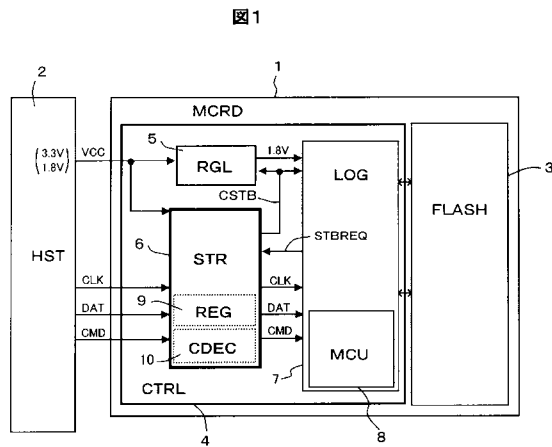
メモリについても適用可能である。コントローラはホストからのコマンドが一定期間ないことを検出して低消費電力状態へ遷移したが、フラッシュメモリについてはコントローラからのアクセスが一定期間ないことを検出して低消費電力状態へ遷移し、フラッシュメモリ内部のレギュレータやチャージポンプ等の動作を停止すればよい。

【産業上の利用可能性】

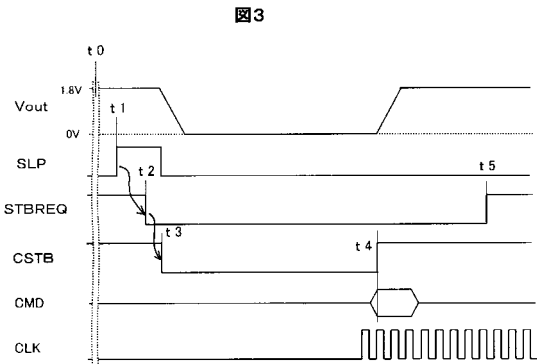
【0042】

本発明は、フラッシュメモリカード等のメモリカードに限定されず、ICカード用マイクロコンピュータが搭載されたICカード、ICカード用マイクロコンピュータとメモリカード用コントローラ及び不揮発性メモリを搭載したマルチファンクションカードなどに広く適用することができる。

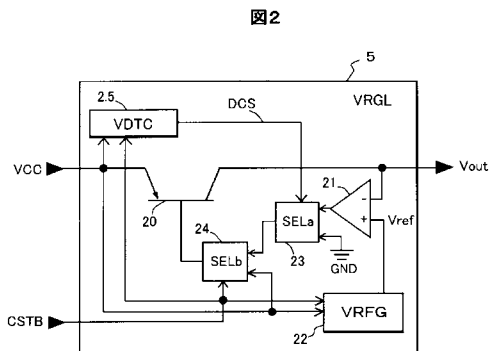
【図1】



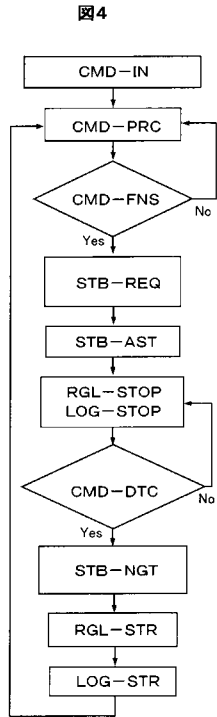
【図3】



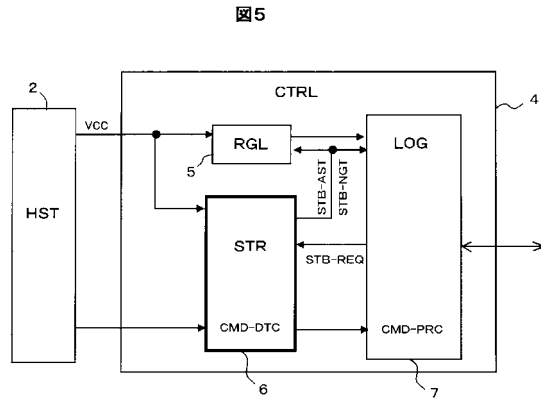
【図2】



【 図 4 】



【 図 5 】



フロントページの続き

審査官 梅沢 俊

- (56)参考文献 特開平02 - 196390 (JP, A)
特開平09 - 231339 (JP, A)
特開2004 - 064328 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06K 19/07

G06F 1/32