(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 29/78

(45) 공고일자 2005년10월26일
(11) 등록번호 10-0524102
(24) 등록일자 2005년10월19일

(21) 출원번호 10-2001-7015560
(22) 출원일자 2001년12월03일
번역문 제출일자 2001년12월03일
(86) 국제출원번호 PCT/JP2001/002469
국제출원일자 2001년03월27일
(65) 공개번호 10-2002-0025886
(43) 공개일자 2002년04월04일
(87) 국제공개번호 WO 2001/84634
국제공개일자 2001년11월08일

(81) 지정국

국내특허 : 캐나다, 중국, 대한민국, 미국, 싱가포르,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스, 터어키,

(30) 우선권주장 JP-P-2000-00131633 2000년04월28일 일본(JP)

(73) 특허권자
도꾸리쯔교세이호징 가가꾸 기쥬쯔 신꼬 기꼬
일본 사이따마껭 가와구찌시 혼쵸 4쵸메 1방 8고

(72) 발명자
모리에다카시
일본국히로시마켄히가시히로시마시사이조츄오5-21-21

이와타아쓰시
일본국히로시마켄히가시히로시마시가가미야마2-360-1-301

나가타마코토
일본국히로시마켄히로시마시미나미구단바라2-1-29-2-707

야마나카도시오
일본국히로시마켄히가시히로시마시사이조츄오시타미1939-1-201

마쓰우라도모히로
일본국히로시마켄히가시히로시마시사이조츄오지케7410-2-B-25

(74) 대리인
유미특허법인

심사관 : 정병홍

(54) 정보 처리 구조체

요약

한번의 전자 동작에 의하여, 고속으로 안정된 동작이 얻어지도록 한 단일 전자 회로에 의한 정보 처리 구조체로서, 미세한 MOSFET(11)의 게이트 전극(12)의 바로 위에, 나노미터 규모 크기의 복수개의 양자 도트(13)를 형성하고, 양자 도트와 게이트 전극 사이에 전자가 직접 터널링할 수 있는 에너지 장벽을 구성하고, 양자 도트와 게이트 전극 사이에서 이동한 전자의 총 개수에 의해 정보를 나타내는 정보 처리 구조체로서, 양자 도트에 접하고, 양자 도트와 전원 전극(14) 사이에 전자가 직접 터널링할 수 있는 에너지 장벽을 구성하도록 전원이 되는 하나의 전원 전극을 설치하고, 양자 도트에 접하여, 양자 도트와 정보 전극이 용량 결합되도록 2개의 정보 전극(15)을 설치하고, 정보 전극으로 결정되는 전위에 대응하여, 쿨롱 차폐 현상에 의해 전자가 양자 도트를 통해서, 전원 전극과 게이트 전극의 사이를 이동하도록 구성한다.

대표도

도 1

색인어

정보처리장치, 에너지장벽, 터널링효과, 쿨롱차폐, 양자

명세서

기술분야

본 발명은, 예를 들면 10nm 내지 0.3nm 정도의 나노미터(nanometer, nm) 규모(scale)의 전자 구조체로 정보를 처리하는 정보 처리 구조체, 특히 한번의(single) 전자 동작으로 패턴의 유사성(similarity)을 검출하는 정보 처리 구조체에 관한 것이다.

배경기술

최근에, 반도체 장치를 제조할 때, 반도체의 미세 가공 기술이 발달함에 따라 예를 들면 1Onm 이하의, 소위 나노미터 규모의 구조체를 제조할 수 있게 되었다. 이러한 미세 가공 기술을 이용하여, 정전 용량이 매우 작은 구조체를 제작하면, 이 구조체 내에 존재하는 한 개의 전자에 대한 정전 에너지(electrostatic energy)가 커지고, 이 구조체 내로 다른 전자가 들어갈 수 없게 되는, 소위 쿨롱 차폐 현상(coulomb blockade phenomenon)이 관측되고, 동시에 전자들 간의 쿨롱 반발력(coulomb repulsion)에 의하여 각각의 전자 움직임을 제어할 수 있게 된다.

따라서 전자가 직접 터널링할 수 있는 에너지 장벽[이하, 터널 접합(tunnel junction)이라고 함]과, 전자가 장벽을 직접 터널링할 수 없는 결합[이하, 용량 결합(capacitive coupling)이라고 함]을 조합함으로써, 전자가 존재할 수 있는 미소 도전체나 미소 반도체로 이루어지는 영역[이하, 양자 도트(quantum dot)라고 함]을 제작하고, 이러한 양자 도트를 조합하여 전자 구조체를 구성할 수 있다. 이 양자 도트는 이미 알려진 바와 같이, 예를 들면 모노 시레인(mono-silane)을 이용하는 감압(low pressure) CVD로 형성된 실리콘(Si)의 양자 도트의 자기 조직화 형성 방법(self-assembling formation)에 의해 형성할 수 있다(Mat. Res. Soc. Symp. Proc. 452(1997) 243, “Self-Assembling Formation of Silicon Quantum Dots by Low Pressure Chemical Vapor Deposition 참조).

이와 같은 전자 구조체로 얻어지는 전자 소자는 전자 한 개의 이동으로 소자의 동작이 행해질 수 있게 된다. 이러한 전자 구조체는 소위 단일 전자 소자라고 불리며, 이 단일 전자 디바이스를 이용한 다양한 단일 전자 회로가 제안되어 있다. 예를 들면, 단일 전자 소자로서, CMOSFET와 유사한 상보형 트랜지스터를 구성하는 것이 가능하고, 이러한 상보형 트랜지스터를 사용한 단일 전자 논리 회로도 이미 제안되어 있다(J. R. Tucker의 "Complementary Digital Logic Based on the Coulomb Blockade" J. Appl. Phys., Vol.72, No.9, 1992, pp. 4399-4413 참조).

그러나 이러한 단일 전자 논리 회로는 종래에는 터널 접합과 커패시터를 조합한 회로도 정도의 회로 구성이 제안되어 있을 뿐이고, 실제 회로 구조로서 실제 형태 즉, 구조체로서의 제안은 거의 이루어지지 않았다.

또한, 메모리에 대하여 설명하면, 종래의 부유 게이트 구조를 미세화 한 "양자 도트 부유 게이트 메모리 구조"가 제안되고 또한 시도되고 있지만, 논리를 실현하는 정보 처리를 위한 회로의 실제 형태, 즉 구조체로서의 제안은 이루어지지 않았다.

그런데 중요한 정보 처리 중 하나로, 두 패턴들 간의 유사도를 검출하는 처리가 있다. 이 처리는 연상 메모리(associative memory), 벡터 양자화(vector quantization), 움직임 예측 등의 패턴 인식과 데이터 압축(data compression) 등의 폭 넓은 정보 처리에 이용될 수 있는 기본적인 처리이다.

이런 처리에서, 디지털 패턴의 유사도를 나타내는 지표로서 "허밍 거리(hamming distance)"가 있다. 이것은 디지털 패턴 간의 서로 다른 비트 수로 정의되며, 비트 수가 적을수록 해밍 거리는 짧고 두 패턴의 유사성이 높으며, 즉 2개의 패턴이 서로 닮았다는 것이 된다. 여기에서, 이 해밍 거리는 예를 들면 디지털 패턴의 각 비트에 대한 배타적 논리합(XOR)을 계산하여, 1이 된 것을 합산하여 계산될 수 있다.

그런데 도 14(A)에 도시한 바와 같이, 2개의 터널 접합(1 및 2)으로 구성된 단일 전자 트랜지스터(single electron transistor)(이하, "SET"라고 함)와 커패시터(Co)(예를 들면, 500aF)를 조합한 회로는 전술한 쿨롱 차폐 현상에 의한 비단조 특성(non-monotone characteristic)[응용 물리 제66권 제2호(1997) p. 100을 참조]을 나타냄으로써, 2개의 터널 접합(1 및 2)의 중간점, 즉 SET의 고립 노드(3)에 각각 커패시터를 사이에 두고 전압(Va, Vb)이 입력되었을 때, 이 전압(Va, Vb)의 "H" 레벨 또는 "L" 레벨의 조합에 대응하고, 도 14(B)에 도시한 바와 같은 출력 전압(Vco)의 시간 특성을 나타낸다. 이러한 특성을 이용하여, 한 개의 SET와 커패시터(Co)를 조합하여, XNOR(배타적 논리합의 부정) 게이트를 실현하는 단일 전자 논리 회로가 제안되어 있다("A Stochastic Associative Memory Using Single-Electron Devices and Its Application to Digit Pattern Association", T. Yamanaka et al, in Ext. Abs. of Int. Conf. on Solid State Device sand Materials, pp. 190-191, Hiroshima, Sept.1998 참조).

도 15에 도시한 단일 전자 논리 회로는 전원(Vdd)과 커패시터(Co) 사이에 이 SET를 병렬로 두 개 접속하고, 전압(Va, Vb)의 반전 전압도 동시에 입력하는 이른바 상보형 구조로 이루어진 것이다. 디지털 패턴의 비트 수와 동일한 개수의 단일 전자 논리 회로를 준비하여, 이들을 공통 커패시터(Co)에 접속하여 구성한 디지털 패턴의 비트 비교기(도 16 참조)에서, 비교될 디지털 패턴의 비트 전압으로 Va를 설정하고, 비교할 디지털 패턴의 비트 전압으로 Vb를 설정함으로써, 비트가 일치한(Va = Vb) SET 쌍에서는, 커패시터(Co)에서 전원(Vdd)으로 전자가 이동하고 도 15(B)에 도시한 바와 같이 커패시터(Co)의 전위(Vco)가 상승함으로써, 서로 일치하는 비트 수가 많을수록 더욱 빠르게 커패시터 전위(Vco)가 상승하게 된다. 따라서 과도하게 전위가 상승하는 변화를 조사함으로써, 상대적인 해밍 거리의 대소를 알 수 있다. 이러한 구성에 따른 디지털 패턴의 비트 비교기가 제안되었다.

또한 단일 전자 디바이스로 구성되는 회로는 확률적으로 동작하는 것이므로, 이 확률성(stochastic nature)을 반대로 적극적으로 이용하면, 기존의 CMOS 회로에서는 실현이 곤란한 지능적인 처리를 실현할 수 있다는 것은 이미 알려져 있다(Yamanaka et al, 1998 supra; and IEICE Tramn. Electron., Vol, E81-C. No. 1, pp. 30-35, 1998, M. Saen et al, "A Stochastic Associative Memory Using Single-Electron Devices" 참조).

발명의 상세한 설명

그러나, 이러한 단일 전자 논리 회로를 실제로 어떤 구조체로서 제작할지에 관해서는 제안되지 않았다.

또한 시간이 경과하면, 커패시터(Co)의 전위(Vco)는 해밍 거리에 관계없이 일정하게 되기 때문에, 안정 상태에서는 해밍 거리를 계측할 수 없다는 문제가 있다.

단일 전자 논리 회로를 기존 CMOS 논리 회로의 구조에 적용하여 제작하는 것은 다음과 같이 원리적으로 치명적인 문제가 존재한다.

즉, 첫째로 단일 전자 회로의 동작에서 기본이 되는 터널링 현상은 확률적이기 때문에, 동작을 확립하기 위해서는 상당히 긴 시간이 필요하여, 동작 속도가 지연된다. 따라서 CMOS 논리 회로의 구조를 적용한 단일 전자 논리 회로는 기존의 CMOS 회로와 비교할 때 동작 속도가 느려 우위성이 없다.

두 번째로, 한 개의 전자에 대한 정전 에너지가 열 에너지보다 충분히 크지 않으면, 안정된 한번의 전자 동작이 얻어지지 않기 때문에, 실온에서 단일 전자 논리 회로를 동작시키기 위해서는 매우 작은 정전 용량(capacitance)을 실현해야 하지만, 예를 들면 실온에서 10^{10} 게이트(gate) 이상의 초대규모회로를 10년 정도 장기간에 걸쳐 에러 없이 동작시키기 위해서

는, 10^{-20}F 정도(order)의 정전 용량을 실현하지 않으면 안된다(JPN. J. Appl. Phys., Vol. 38, 1999, pp. 403-405, S. Shimano, K. Masu, and K. Tsubouchi, "Reliability of Single Electron Transistor Circuits Based on Eb/No-Bit Error Rate Characteristics" 참조).

따라서 이러한 적은 정전 용량을 실현하기 위해서는, 원자 규모 이하의 구조체가 필요하며, 실제로는 실현 불가능하다.

세 번째로, 도트 주변에 불가피하게 존재하는 불순물이나 계면 준위(interfacial energy level)에 전하가 트랩(trap)되게 되고, 이 트랩된 전하에 의하여 도트에 전하가 유기(誘起)되는, 소위 "오프셋 전하" 또는 "백그라운드 전하"가 존재하고, 이 때문에 이상적인 한번의 전자 동작을 행할 수 없다는 문제가 있다.

본 발명은 이러한 문제들을 감안한 것으로, 한번의 전자 동작에 의해, 실온에서 고속으로 안정된 동작을 행할 수 있는 단일 전자 회로에 의한 정보 처리 구조체를 제공하는 것을 목적으로 하고 있다.

상기한 기술적 과제를 해결하기 위하여, 본 발명의 제1 구성에 의하면, MOSFET의 게이트 전극의 바로 위에 복수 개의 나노미터 규모의 미소 도전체나 미소 반도체로 이루어지는 양자 도트가 설치되고, 상기 양자 도트와 상기 게이트 전극 사이에, 전자 또는 정공으로 이루어지는 전하 캐리어가 직접 터널링할 수 있는 에너지 장벽이 형성되어 있고, 상기 양자 도트와 상기 게이트 전극 사이에서 이동한 전하 캐리어의 총 개수에 따라서 정보를 나타내도록 한 정보 처리 구조체로서, 상기 양자 도트에 접하며, 1개의 전원 전극과 정보를 입력하는 적어도 2개의 정보 전극을 가지고, 상기 양자 도트와 상기 전원 전극 사이에는 전하 캐리어가 직접 터널링할 수 있는 에너지 장벽이 형성되어 있고, 상기 양자 도트와 상기 정보 전극 사이에는 전하 캐리어가 이동할 수 없는 용량 결합으로 결합되어 있으며, 상기 정보 전극에서 결정되는 전위에 대응하여, 쿨롱 차폐 현상에 의해 전하 캐리어가 상기 양자 도트를 통해서, 상기 전원 전극과 상기 게이트 전극 사이를 이동한다.

또한 상기한 기술적 과제를 해결하기 위하여, 본 발명의 제2 구성에 의하면, MOSFET의 게이트 전극의 바로 위에, 복수 개의 나노미터 규모 크기의 미소 도전체나 미소 반도체로 이루어지는 제1 양자 도트가 형성되고, 상기 제1 양자 도트와 상기 게이트 전극 사이에, 전자 또는 정공으로 이루어지는 전하 캐리어가 직접 터널링할 수 있는 에너지 장벽이 구성되어 있으며, 상기 제1 양자 도트와 상기 게이트 전극 사이에서 이동한 전하 캐리어의 총 개수에 따라서 정보를 나타내도록 한 정보 처리 구조체로서, 상기 제1 양자 도트에 접하고, 상기 게이트 전극에 접촉하지 않으며, 적어도 3개 이상의 미소 도전체나 미소 반도체로 이루어지는 제2 양자 도트가 배열되어 있고, 상기 제2 양자 도트가 배열된 배열 양단의 양자 도트에 접하여, 정보를 표현하는 정보 전극이 형성되고, 상기 제1 양자 도트와 상기 제2 양자 도트 배열 사이 그리고 상기 제2 양자 도트 배열과 상기 정보 전극 사이는 전하 캐리어가 이동할 수 없는 용량 결합으로 결합되어 있고, 상기 정보 전극에서 결정되는 전위에 대응하여, 상기 제2 양자 도트 배열 중 전하 캐리어에 대한 위치 분포가 변함으로써, 상기 제1 양자 도트와 상기 게이트 전극 사이에서 전하 캐리어의 이동을 제어한다.

본 발명에 따른 정보 처리 구조체는 상기 제1 양자 도트가 복수 개의 양자 도트 열로 구성되어 있는 것이 바람직하다.

본 발명에 따른 정보 처리 구조체는 상기 정보 전극이 적어도 한 개의 제3 양자 도트로 이루어지고, 상기 제3 양자 도트에 축적된 전하 캐리어의 개수에 따라서 정보를 나타내는 것이 바람직하다.

본 발명에 따른 정보 처리 구조체는, 바람직하게는, 정보 전극에 접하여, 상기 정보 전극과 상기 제2 전원 전극 사이에 전하 캐리어가 직접 터널링할 수 없는 에너지 장벽이 형성되어 있고, 상기 제2 전원 전극이 형성되어 있으며, 상기 에너지 장벽에 인가된 전압 또는 광 에너지에 의하여, 전하 캐리어가 정보 전극과 제2 전원 전극 사이를 이동한다.

또한 상기한 기술적 과제를 달성하기 위하여, 본 발명의 제3 구성에 의하면, 복수의 미소 도전체나 미소 반도체를 배열한 제1 양자 도트 열이 형성되고, 상기 제1 양자 도트 열의 양자 도트 사이에는 전하 캐리어가 직접 터널링할 수 있는 에너지 장벽이 형성되어 있으며, 상기 제1 양자 도트 열 양단의 양자 도트에 접하여 적어도 2개의 제1 정보 전극이 형성되고, 상기 제1 정보 전극과 상기 양자 도트 열 양단의 양자 도트는 전하 캐리어가 이동할 수 없는 용량 결합으로 결합되어 있고, 상기 제1 양자 도트 열 중심에 위치하는 양자 도트와 접하여 전원 전극이 형성되고, 상기 전원 전극과 상기 제1 양자 도트 열 중심에 위치하는 양자 도트 사이는 전하 캐리어가 이동할 수 없는 용량 결합으로 결합되어 있고, 상기 제1 양자 도트 열 중심에 위치하는 양자 도트와 접하여 복수의 미소 도전체나 미소 반도체를 배열한 제2 양자 도트 열이 형성되고, 상기 제2 양자 도트 열의 타단에 제2 정보 전극을 형성하고, 상기 제2 양자 도트 열의 양자 도트 사이 그리고 상기 제2 양자 도트 열과 상기 제2 정보 전극 사이에는 전하 캐리어가 직접 터널링할 수 있는 에너지 장벽이 형성되어 있으며, 상기 제1 양자 도트 열 중심에 위치하는 양자 도트와 상기 제2 양자 도트 열 일측 단의 양자 도트는 전하 캐리어가 이동할 수 없는 용량 결합으로 결합되어 있으며, 상기 제1 양자 도트 열의 전위 분포가 상기 제1 양자 도트 열 중심에 위치하는 양자 도트를 중심으로 골

짜기를 형성하도록 상기 전원 전극에 전압을 인가하고, 상기 제1 정보 전극의 전압에 의하여 결정되는 전위 분포에 대응하여, 상기 제1 양자 도트 배열의 중심에 위치하는 양자 도트에 설치한 전하 캐리어가 열 요동에 의하여 상기 제1 정보 전극의 어느 한 쪽으로 이동하거나 이동하지 않는다.

제1 구성에 의하면, MOSFET의 게이트 전극 상에 형성된 각 양자 도트와 정보 전극, 전원 전극에 의해 구성되는 단일 전자 회로에 의하여, 병렬로 정보를 처리하여, 그 처리 결과를 MOSFET의 드레인 전류로서 출력함으로써, 각 단일 전자 회로의 처리 결과를 MOSFET에 의해 통합하여 커다란(macroscopic) 정보 처리를 할 수 있다. 따라서, 한 개의 MOSFET 상에서 여러 비트 패턴의 유사도를 계산할 수 있다.

이 경우, 각 단일 전자 회로가 매우 낮은 소비 전력을 갖고 매우 높은 집적성을 나타내기 때문에, 초병렬 동작을 행할 수 있어, 회로 전체의 처리 속도를 고속으로 할 수 있다.

또한 복수 개의 양자 도트에 의한 병렬 동작에 의하여 엄밀한 동작을 하지 않고, 확률적인 동작을 함으로써, 실온에서도 충분히 동작시킬 수 있다.

더욱이 복수 개의 양자 도트에 의한 병렬 동작에 의해 예비 구성 및 다수결 논리를 이용하여, 회로 전체적으로 오프셋 전하의 영향을 될 수 있는 한 억제할 수 있다.

이 경우, 전원 전극과 정보 전극은 동일한 입력 신호가 복수의 양자 도트에 공통으로 인가되어 양자 도트의 크기에 비하여 클 수도 있기 때문에, 종래의 리소그라피에 의한 배선으로 구성할 수 있다.

또한, 제2 구성에 의하면, 제1 구성과 같이 동작하는 동시에, 유사도(해밍 거리)를 안정 상태에 있는 전하 캐리어의 개수로서 명확히 정량화 할 수 있다.

제3 구성에 의하면, 동작 온도를 향상시킬 수 있어, 실온에서도 충분히 동작 가능하다.

정보 전극에 접촉하여, 이 정보 전극과 제2 전원 전극 사이에 전하 캐리어가 직접 터널링할 수 없는 에너지 장벽을 구성하도록 제2 전원 전극이 형성되어 있으며, 이 에너지 장벽에 인가된 전압이나 광 에너지에 의해, 전하 캐리어가 정보 전극과 제2 전원 전극 사이를 이동하는 경우에는, 상기 전압이나 광 에너지의 도움으로, 전하 캐리어가 정보 전극에 놓여지고 유지됨으로써, 정보 전극에 용이하게 정보가 입력된다.

본 발명은 첨부한 도면과 이하의 상세한 설명 및 본 발명의 실시예를 참조하면 더욱 잘 이해될 것이다. 또한 첨부한 도면에 나타낸 실시예는 본 발명을 특정하는 것이 아니라, 설명과 이해를 용이하게 하기 위한 것이다.

도면의 간단한 설명

도 1은 본 발명에 따른 정보 처리 구조체의 제1 실시예에 대한 구성을 나타내는 것으로, (A)는 개략적인 사시도이고, (B)는 단면도이다.

도 2는 도 1에 도시한 정보 처리 구조체에 존재하는 한 쌍의 양자 도트를 포함하는 단일 전자 회로에 대한 등가 회로를 도시한 도면이다.

도 3은 본 발명에 따른 정보 처리 구조체의 제2 실시예에 대한 구성을 나타내는 것으로, (A)는 개략적인 사시도이고, (B)는 단면도이다.

도 4는 도 3에 도시한 정보 처리 구조체의 워드 길이와 커패시터에 필요한 정전 용량간의 관계를 나타내는 그래프이다.

도 5는 도 3에 도시한 정보 처리 구조체의 구성을 나타내는 등가 회로이다.

도 6은 도 3에 도시한 정보 처리 구조체의 동작 원리를 나타내는 개략적인 도면이다.

도 7은 도 3에 도시한 정보 처리 구조체의 변형예에 대한 구성을 나타내는 것으로, (A)는 개략적인 사시도이고, (B)는 단면도이다.

도 8은 도 7에 도시한 정보 처리 구조체의 구성을 나타내는 등가 회로이다.

도 9는 본 발명에 따른 정보 처리 구조체의 제3 실시예를 나타내는 등가 회로이다.

도 10은 도 9에 도시한 정보 처리 구조체를 도식화하여 나타내는 개략도이다.

도 11은 도 9에 도시한 정보 처리 구조체의 동작 원리를 나타내는 개략도이다.

도 12는 도 9에 도시한 정보 처리 구조체의 전위 장벽을 나타내는 그래프이다.

도 13은 도 9에 도시한 정보 처리 구조체의 동작 시뮬레이션을 나타내는 그래프이다.

도 14는 단일 전자 트랜지스터 구성을 나타내는 것으로, (A)는 회로도이고, (B)는 동작을 나타내는 그래프이다.

도 15는 한 쌍의 단일 전자 트랜지스터에 의한 논리 회로의 구성을 나타내는 것으로 (A)는 회로도이고, (B)는 동작을 나타내는 그래프이다.

도 16은 도 15에 도시한 한 쌍의 단일 전자 트랜지스터를 복수 개 조합시킨 단일 전자 논리 회로를 나타내는 개략도이다.

실시예

다음에, 본 발명에 따른 정보 처리 구조체의 제1 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

도 1과 도 2는 본 발명에 따른 정보 처리 구조체의 제1 실시예를 나타내는 것이다.

도 1에서, 정보 처리 구조체(10)는 MOSFET(11)의 게이트 전극(12) 바로 위에 형성된 10nm 내지 0.3nm의 크기를 갖는 복수 개의 양자 도트(13), 각 양자 도트(13) 위쪽에 접하도록 양자 도트(13) 상에 형성된 전원 전극(14), 그리고 각 양자 도트(13)의 양측에 각각 접하도록 형성된 정보 전극(15)으로 구성되어 있다.

각 양자 도트(13)는 게이트 전극(12)을 따라 1 열로 정렬되어 있는, 예를 들면 자기 조직화 형성법으로 형성되는 미소 도전체나 미소 반도체이며, SET의 고립 노드에 해당한다.

또한 각 양자 도트(13)는 게이트 전극(12)과 터널 접합을 구성하고 있다. 더욱이, MOSFET(l1)의 게이트 용량(gate capacitance)은 상기 커패시터(Co)에 해당한다.

전원 전극(14)은 예시한 것처럼 모든 양자 도트(13)의 상측과 접하도록 플레이트 형태로 형성되어 있고, 각 양자 도트(13)와 터널 접합을 구성하고 있다. 또한 이 전원 전극(14)에는 전원 전압(Vdd)이 공급된다.

정보 전극(15)은 각 양자 도트(13)의 일측에 위치하는 입력 패턴인 제1 정보 전극(15a)(Va)과 타측에 위치하는 참조 패턴인 제2 정보 전극(15b)(Vi)으로 이루어지고, 각 정보 전극(15a, 15b)은 용량 결합에 의하여 모든 양자 도트(13)와 결합된다.

이 경우, 정보 전극(15)은, 예를 들면 리소그라피(lithography)에 의한 배선 패턴으로 구성되지만, 전하를 축적하는 양자 도트로도 구성될 수 있다.

또한 동일한 입력 신호가 복수의 양자 도트(13)에 공통으로 인가될 수도 있기 때문에, 양자 도트(13)의 크기와 비교하면 정보 전극(15)은 배선 패턴이 굵을 수도 있고, 양자 도트가 클 수도 있다.

이와 같이 하여, 1쌍의 양자 도트(13)가 2쌍의 정보 전극(15a, 15b)과 함께 SET 쌍을 구성하여, 도 2에 도시한 등가 회로를 구성한다. 이것은 도 15에 도시한 단일 전자 논리 회로와 동일한 구성이 된다.

본 발명에 따른 정보 처리 구조체(10)는 이상 설명한 것과 같이 구성되어 있고, 각 SET 쌍에 있어서, 한 쌍의 정보 전극(15a, 15b)에는 비교될 2개의 디지털 패턴에 대한 각 비트의 입력 전압(Va, Vi)이 인가되고, 다른 쌍의 정보 전극(15a, 15b)에는 Va와 Vi의 반전 전압이 인가됨으로써, 도 15에 도시한 단일 전자 논리 회로와 같은 정보 처리가 행해지고, 그 결과로 커패시터(Co)의 전위(Vco)가 상승하며 MOSFET의 드레인 전류로서 출력된다.

이에 따라, 도 15에 도시한 단일 전자 논리 회로와 마찬가지로, 비교할 2개의 디지털 패턴에 대한 유사성이 클수록 해밍 거리는 작고, 커패시터(Co)의 전위가 빠르게 상승하기 때문에, 상승 속도를 비교하여 해밍 거리를 상대적으로 결정할 수 있다.

이 경우, 각 SET 쌍은 매우 낮은 소비 전력인 동시에, 매우 높은 집적도를 나타내기 때문에, 초병렬 동작을 행하므로 회로 전체적으로는 고속의 처리 속도가 얻어진다.

또한 복수 개의 양자 도트(13)에 의한 병렬 동작에 따라 예비 구성(redundancy configuration)과 다수결 논리(majority logic)를 이용하여, 회로 전체적으로 오프셋 전하에 대한 영향을 될 수 있는 한 억제할 수 있다.

여기에서, 전원 전극(14)은 예를 들면 종래의 리소그라피에 의한 배선으로 구성할 수 있기 때문에, 보다 간단하고 저렴한 비용으로 병렬 구성이나 예비 구성을 형성할 수 있다.

또한 정보 전극(15)이 양자 도트로 구성되어 있는 경우에는 정보 전극(15)이 전자를 유지할 수 있기 때문에, 정보 전극(15) 자체에 정보를 기억시킬 수 있어 정보 전극(15)에 정보를 기억시킬 수단을 설치할 필요가 없다.

다음에, 본 발명에 따른 정보 처리 구조체의 제2 실시예를 설명한다.

도 3 내지 도 6은 본 발명에 따른 정보 처리 구조체의 제2 실시예를 나타내고 있다. 도 3에서, 정보 처리 구조체(20)는 MOSFET(11)의 게이트 전극(12) 바로 위에 형성된 복수 개의 양자 도트(13), 각 양자 도트(13)의 위쪽에 접하도록 양자 도트(13) 상에 형성된 3개의 제2 양자 도트(21a)로 이루어지는 양자 도트 열(21), 이 양자 도트 열(21)의 위쪽에 접하도록 양자 도트 열(21) 상에 형성된 전원 전극(14), 각 양자 도트 열(21) 양측 단부의 제2 양자 도트(21a)와 각각 양측에서 접하도록 형성된 정보 전극으로서의 양자 도트(22)로 구성되어 있다.

또한 도 1에 나타낸 정보 처리 구조체(10)의 구성 요소와 동일한 구성 요소에는 같은 부호를 부여하고, 그에 대한 설명은 생략한다.

양자 도트 열(21)은 각각의 제2 양자 도트(21a) 사이에 터널 접합이 구성되는 동시에, 양단의 제2 양자 도트(21a)와 정보 전극(22) 사이, 그리고 제2 양자 도트(21a)와 전원 전극(14) 사이에는 용량 결합이 구성되어 있다.

정보 전극(22)은 양자 도트 열(21) 양단에 각각 형성되어 있는 동시에, 각각 양자 도트로 구성되어 있다.

여기에서, 도 4는 몬테카를로 시뮬레이션법(Monte Carlo simulation method)으로 이 단일 전자 논리 회로가 동작하기 위하여 필요한 커패시터(Co)의 용량 범위를, 양자 도트의 기생 용량을 파라미터로 하여 계산한 것이다. 도 4에 도시한 바와 같이, 10^{-15}F 정도에서도 동작 가능하기 때문에, MOSFET(11)로는 게이트 길이가 10nm 정도의 미세 MOSFET를 이용할 수 있다.

이러한 구성의 정보 처리 구조체(20)에서는 하나의 양자 도트(13)가 1 셋트의 양자 도트 열(21), 한 쌍의 정보 전극(22)과 함께 도 5에 도시한 등가 회로를 구성한다.

그리고 도 6에 도시한 바와 같이, 이 양자 도트 열(21)의 제2 양자 도트(21a)[도시한 경우, 중앙의 양자 도트(21a)]에, 전자(e_M)를 배치한다. 이것은 전원 전극(14)에 고전압을 인가하여, 예를 들면 파우라-놀트하임-터널링 현상(Fowler-Nordheim tunneling phenomenon)을 이용하여 전자를 해당 양자 도트(21a)로 공급함으로써 이루어진다.

또한 양자 도트 열(21)의 외측에, 추가로 용량 결합한 제2 전원 전극(도시하지 않음)을 형성하고 이 제2 전원 전극에 고전압을 인가하며, 동일하게 파우라-놀트하임-터널링 현상을 이용하여 전자를 양자 도트(21a)에 공급할 수도 있다. 이 경우, 이 부분에 빛을 조사하여 광 에너지의 도움으로 전자를 터널링시키도록 할 수도 있다.

이와 같이 하면, 개별적으로 전자를 배치하기 위한 배선 패턴을 길게 설치할 필요가 없고, 또한 화상 데이터 등의 디지털 패턴을 직접 양자 도트에 기억시킬 수 있다.

여기에서, 양단의 정보 전극(22) 전위가 같을 경우에는, 전자(e_M)에 작용하는 쿨롱력이 대칭으로 되기 때문에, 도 6(A)에 도시한 바와 같이 전자(e_M)는 중앙의 양자 도트(21a)에서 안정화한다.

반대로, 2개의 정보 전극(22) 전위가 같지 않은 경우에는, 도 6(B)에 도시한 바와 같이, 전자(e_M)는 중앙의 양자 도트(21a)로부터 벗어나, 어느 일측 단부의 양자 도트(21a)[도시한 경우, 좌측단의 양자 도트(21a)]로 이동하여 안정화한다.

이에 따라, 전자(e_M)가 중앙의 양자 도트(21a)에 위치하는지의 여부에 따라 2개의 정보 전극(22)에 대한 데이터가 동일한지의 여부를 판정할 수 있다. 즉, 양자 도트 열(21)은 판정 도트 열로서 배타적 논리합을 실현하게 된다.

이와 같이 하여, 양자 도트 열(21)에서, 2개의 정보 전극(22)에 대한 전위에 대응하여 전자(e_M)가 이동함으로써, 양자 도트(13)에 배치한 전자(e_R)에 의해 이 전자(e_M)를 검출할 수 있다.

즉, 도 5에 도시한 것처럼, 양자 도트 열(21) 중앙의 제2 양자 도트(21a)에 전자(e_M)가 위치하는 경우에, 양자 도트(13)의 전자(e_R)는 쿨롱 반발력에 의해서 커패시터(C0)로 터널링한다. 이에 따라, 정보 처리 구조체(20)는 비트 비교기, 즉 배타적 논리합(XOR)을 실현하게 되고, 도 1의 정보 처리 구조체(10)의 경우와 같이, 커패시터 (Co)를 공통으로 하여 비트 비교기를 복수 개 접속함으로써, 해밍 거리에 따른 개수의 전자를 커패시터(Co)에 축적하여, 이것을 MOSFET의 드레인 전류로서 출력할 수 있다. 이 경우, 해밍 거리는 커패시터(Co)의 안정 상태에 따라서 전자의 개수로서 검출되기 때문에, 정확한 해밍 거리를 표현할 수 있다.

또한 전자(e_R)가 위치하고 있던 양자 도트(13)에는 용량 결합을 사이에 두고 바이어스 전압이 인가되고, 이 바이어스 전압을 적당히 조정하여 커패시터(Co)로 이동한 전자(e_R)를 복귀시킴으로써 초기화를 행한다.

도 3에 나타낸 정보 처리 구조체(20)에서는, 양자 도트 열(21) 중앙의 제2 양자 도트(21a)에 대향하여 양자 도트(13)가 설치되어 있지만, 도 7에 도시한 바와 같이, 양자 도트 열(21) 양단의 제2 양자 도트(21a)에 각각 대향하도록 2개의 양자 도트(13)를 설치하고, 중앙의 제2 양자 도트(21a)에 전자(e_M)를 배치할 수도 있다. 이 경우, 2개의 양자 도트(13)는 1 셋트의 양자 도트 열(21) 및 한 쌍의 정보 전극(22)과 함께 도 8에 도시한 등가회로를 구성한다.

이러한 구성에 의하면, 마찬가지로, 양자 도트 열(21)에서, 2개의 정보 전극(22)의 전위에 대응하여 전자(e_M)가 이동함으로써, 이 전자(e_M)를 양자 도트(13)에 배치한 전자(e_R)로 검출할 수 있다.

즉, 도 8에 도시한 바와 같이, 양자 도트 열(21) 중앙의 제2 양자 도트(21a)에 전자(e_M)가 위치하지 않는 경우에는, 어느 일측 양자 도트(13)의 전자(e_R)는 대향하는 제2 양자 도트(21a)에 위치하는 전자(e_M) 사이의 쿨롱 반발력에 의하여 커패시터(Co)로 터널링한다. 이에 따라, 정보 처리 구조체(20)는 비트 비교기, 즉 배타적 논리합의 부정(XNOR)을 실현하게 되고, 마찬가지로, 커패시터(Co)를 공통으로 하여 비트 비교기를 복수 개 접속함으로써, 해밍 거리에 따른 개수의 전자가 커패시터(Co)에 축적되어, 이것을 MOSFET의 드레인 전류로서 출력할 수 있다.

다음에, 본 발명에 따른 정보 처리 구조체의 제3 실시예를 설명한다.

도 9 내지 도 13은 본 발명에 따른 정보 처리 구조체의 제3 실시예를 나타내고 있다.

도 9에서, 정보 처리 구조체(30)는 도 3에 나타낸 정보 처리 구조체(20)와 비교하여, 양자 도트 열(21)을 구성하는 제2 양자 도트(21a)를 예를 들면 11개로 증가시키고, 동시에 양자 도트(13)를 3개의 양자 도트(31a)로 이루어지는 양자 도트 열(31)로 구성하며, 또한 양자 도트 열(21) 중앙의 제2 양자 도트(21a)가 용량 결합(C3)에 의해 접지 되어 있다는 점이 상이한 구성으로 이루어져 있다. 이 구성을 양자 도트, 양자 도트 사이의 거리 그리고 양자 도트와 전극 사이의 거리로 모식적으로 나타내면, 정보 처리 구조체(30)는 도 10에 나타낸 구성이 된다.

이러한 구성의 정보 처리 구조체(30)에 의하면, 정보 전극(22)의 전위를 적절히 설정함으로써, 도 11(A)에 도시한 바와 같이, 전체 양자 도트 열(21)에서, 중앙의 전위가 약간 낮고, 양단의 전위가 가장 낮아지도록 전위 장벽이 형성되어 있다.

따라서, 쌍방의 정보 전극(22)에 대한 전위가 같은 경우에는, 이러한 전위 장벽에 의해 중앙에 위치하는 전자는 중앙에 머무른 채 이동할 수 없다. 물론, 온도가 상승하여 오랜 시간 흐르면, 열 에너지의 도움으로, 즉 열 요동에 의해, 중앙에 위치하는 전자는 양측의 전위 장벽을 넘을 수 있게 되어 양단의 양자 도트(21a)까지 이동한다.

한편, 쌍방의 정보 전극(22)에 대한 전위가 다른 경우에는, 도 11(B)에 도시한 바와 같이, 양자 도트 열(21)의 일측(도시한 경우, 우측) 단부 부근의 전위 장벽이 가장 낮게 되고, 그때까지의 전위 장벽도 낮아지기 때문에, 중앙에 위치하는 전자가 우측단의 양자 도트(21a)로 이동할 수 있다. 도 12는 전자가 존재하는 양자 도트의 위치와 시스템 전체의 에너지의 관계를 시뮬레이션한 결과를 나타내고 있다.

이와 같이 하여, 실온 부근의 어떤 시간 범위에서 관측했을 때, 정보 전극(22, 22)의 전위가 같을 경우에는 전자는 양자 도트 열 중앙의 양자 도트에 위치하고, 정보 전극의 전위가 다른 경우에는, 전자가 양자 도트 열 중 어느 일측 단부의 양자 도트에 위치하게 된다.

따라서, 도 3에 나타낸 정보 처리 구조체(20)의 경우와 동일하게, 커패시터(Co)를 공통으로 하여, 도 9의 구성을 복수 개 접속함으로써, MOSFET의 게이트 용량인 해밍 거리에 대응하는 개수의 전자가 커패시터(Co)에 축적되어, 이것을 MOSFET의 드레인 전류로서 출력할 수 있다.

이 경우, 정보 처리 구조체(30)는 양자 도트 열(21)이 다수의 양자 도트(21a)로 구성됨으로써, 열 요동을 이용하여 확률론적인 동작을 행하게 되므로 실온에서도 충분히 동작한다.

예를 들면, 커패시터(Co)의 용량을 100aF로 하고, 터널 저항을 5MΩ으로 하여, 10^{-6}초 정도의 시간 범위에서 관측하면, 도 13의 시뮬레이션 결과에 도시한 바와 같이, 실온(300K)에서 거의 적정한 XOR 동작이 가능하게 된다.

또한 이 경우, 정보 처리 구조체(30)는 확률론적인 동작을 하기 때문에, 엄밀한 XOR 동작은 이루어지지 않지만, 적당한 시간에서의 평균 전위를 구함으로써, 동작 정밀도를 향상시킬 수 있으며, 동시에 확률론적인 동작을 적극적으로 이용함으로써, 기존의 CM0S 회로에서 실현할 수 없던 지능적인 처리도 할 수 있다.

전술한 실시예에서는, 정보 전극의 전위에 대응하여 이동하는 전하 캐리어(charge carrier)가 전자인 경우에 대하여 설명했지만, 이것에 한정되지 않고 전하 캐리어로서는 정공(positive hole)도 될 수도 있다.

또 본 발명은 예시적인 실시예에 대해 설명한 것이며, 본 발명의 요지와 범위를 벗어나지 않고, 실시예의 다양한 변경, 생략, 추가가 가능하다. 따라서 본 발명은 전술한 실시예에 한정되지 않고, 특허청구 범위에 기재된 요소에 의하여 규정되는 범위 및 그와 균등한 범위를 포함하는 것으로서 이해해야 한다.

산업상 이용 가능성

이상의 설명으로부터 이해되는 바와 같이, 본 발명의 정보 처리 구조체는 MOSFET의 게이트 전극 상에 형성된 10nm 내지 0.3nm 정도의 크기를 갖는 양자 도트를 포함하는 단일 전자 회로로 병렬 정보 처리를 실행하고, 그 처리 결과를 M0SFET의 드레인 전류로서 출력함으로써, 각 단일 전자 회로의 처리 결과를 MOSFET로 총합하여 커다란 정보 처리를 할 수 있다. 따라서, 한 개의 MOSFET 상에서 멀티 비트 패턴의 유사도를 계산할 수 있다.

제1 실시예에서 설명한 본 발명에 따른 정보 처리 구조체는 단순한 구조로 패턴의 유사도를 비교할 수 있다. 제2 실시예에서 설명한 본 발명에 따른 정보 처리 구조체는 제1 실시예와 비교하면 약간 복잡하지만, 유사도(해밍 거리)를 안정 상태의 전자 개수로서 명확하게 정량화할 수 있다는 이점이 있다. 또, 제3 실시예에서 설명한 본 발명에 따른 정보 처리 구조체는 동작 온도를 향상시킬 수 있어, 실온에서의 동작도 가능하다.

이상과 같이, 본 발명에 의하면, 소비 전력이 매우 낮고, 매우 높은 집적성을 나타내기 때문에, 초병렬 동작(massively-parallel processing operating)을 행하여, 고속의 처리 속도가 얻어진다. 또한, 복수 개의 양자 도트에 의한 병렬 동작에

따라 예비 구성과 다수결 논리를 이용하여, 회로 전체적으로 오프셋 전하의 영향을 될 수 있는 한 억제할 수 있다. 따라서, 본 발명에 따른 정보 처리 구조체는 패턴의 유사도를 이용하는 정보 처리를 실행하는 장치나, 신경망(neural network) 등에 기초하는 지능 처리 기계·학습 기계, 또한 연상 처리 장치(associative processor) 등에 응용할 수 있다.

이와 같이 함으로써, 본 발명에 의하면, 실온에서 한번의 전자 동작을 실시하여 고속이면서 안정된 동작이 이루어지는 매우 우수한 단일 전자 회로에 의한 정보 처리 구조체가 제공된다.

(57) 청구의 범위

청구항 1.

MOSFET과, 이 MOSFET의 게이트 전극의 바로 위에 설치된 나노미터 규모의 미소 도전체나 미소 반도체로 이루어진 복수의 양자 도트를 가지고, 상기 양자 도트와 상기 게이트 전극 사이에, 전자 또는 정공으로 이루어지는 전하 캐리어가 직접 터널링할 수 있는 에너지 장벽이 형성되어 있으며, 상기 양자 도트와 상기 게이트 전극 간에 이동한 전하 캐리어의 총 개수에 따라서 허밍 거리(Hamming distance)의 정보를 나타내도록 하여, 비교대상인 두 디지털 패턴 간의 허밍 거리를 판별하는 정보 처리 구조체로서,

상기 양자 도트에 인접하여 배치된 전원 전극과,

상기 양자 도트에 인접하여 가로질러 배치되고, 상기 양자 도트에 인가되어 상기 비교대상인 두 디지털 패턴의 각 비트에 대한 전압으로 정보의 데이터를 나타내는 전위를 가지는, 적어도 한 쌍의 정보 전극

을 포함하고,

상기 양자 도트와 상기 전원 전극의 사이에 상기 전하 캐리어가 터널링할 수 있는 전위 장벽이 형성되며,

상기 한 쌍의 정보 전극과 그 사이의 양자 도트의 사이에는, 상기 양자 도트와 상기 정보 전극 사이를 상기 전하 캐리어가 이동할 수 없도록 용량 결합이 제공되고,

상기 정보 전극에서 결정된 상대 전위에 따라, 쿨론 차폐 현상(Coulomb blockade)에 의해 상기 전하 캐리어가 상기 양자 도트를 통해 상기 전원 전극과 상기 게이트 전극 사이를 이동하며,

상기 양자 도트를 통해 상기 전원 전극과 상기 게이트 전극 사이를 이동하는 상기 전하 캐리어는, 상기 MOSFET의 게이트 커패시터의 전위의 상승을 가져오고, 상기 MOSFET의 드레인 전류로서 출력되며, 상기 허밍 거리는 상기 드레인 전류의 상승 속도를 비교함으로써 간접적으로 판별되는 것을 특징으로 하는 정보 처리 구조체.

청구항 2.

MOSFET과, 이 MOSFET의 게이트 전극의 바로 위에 설치된 복수의 제1 양자 도트를 가지고, 상기 양자 도트 각각은 나노미터 규모의 미소 도전체나 미소 반도체로 이루어지며, 상기 제1 양자 도트와 상기 게이트 전극 사이에, 전자 또는 정공으로 이루어지는 전하 캐리어가 직접 터널링할 수 있는 에너지 장벽이 형성되어 있으며, 상기 제1 양자 도트와 상기 게이트 전극 간에 이동한 전하 캐리어의 총 개수에 따라서 허밍 거리의 정보를 나타내도록 하여, 비교대상인 두 디지털 패턴 간의 허밍 거리를 판별하는 정보 처리 구조체로서,

상기 게이트 전극에는 인접하지 않으면서 상기 제1 양자 도트에 인접하여 배열되고, 나노미터 규모의 미소 도전체나 미소 반도체로 이루어진 양자 도트가 적어도 3개 이상이 1열을 이루고 있는 복수의 제2 양자 도트 열과,

상기 비교대상인 두 디지털 패턴의 각 비트에 대한 전압으로서 정보의 데이터를 나타내는 전위를 인가받는, 복수 쌍의 정보 전극

을 포함하고,

상기 각 쌍의 정보 전극은 상기 제2 양자 도트 열의 각각의 양측 끝에 인접하여 형성되고,

상기 제1 양자 도트와 상기 각각의 제2 양자 도트 열의 사이와, 상기 각각의 제2의 양자 도트 열과 이에 대응하는 상기 각 쌍의 정보 전극의 사이에, 각각 용량 결합이 제공되어 이들 사이를 상기 전하 캐리어가 이동할 수 없도록 하며,

상기 각 쌍의 정보 전극에서 결정된 상대 전위에 따라 대응하는 상기 제2 양자 도트 열에서 발생되는 전자 위치 분포의 변화가, 상기 전하 캐리어가 쿨롱 반발력(Coulomb repulsion)에 의해 상기 제1 양자 도트와 상기 게이트 전극 사이를 이동하거나 또는 이동하지 못하게 하고, 쿨롱 반발력에 의해 상기 제1 양자 도트와 상기 게이트 전극 사이를 이동한 상기 전하 캐리어는 상기 MOSFET의 게이트 커패시터의 전위를 상승시키고, 상기 MOSFET의 드레인 전류로서 출력되며, 상기 허밍 거리는 상기 드레인 전류로부터 안정 상태에 있는 상기 게이트 커패시터에서의 전자의 개수로 표현되는 것을 특징으로 하는 정보 처리 구조체.

청구항 3.

비교대상인 두 디지털 패턴 간의 허밍 거리(Hamming distance)를 판별하는 정보 처리 구조체로서,

각 양자 도트가 나노미터 규모의 미소 전도체 또는 미소 반도체로 이루어지고, 인접하는 양자 도트의 사이에는 전하 캐리어가 직접 터널링할 수 있는 에너지 장벽이 형성되어 있는, 1열의 제1 양자 도트와,

상기 제1 양자 도트 열의 양측 끝에 각각 위치한 양자 도트에 인접하고, 상기 양자 도트 열을 가로질러 배치되며, 상기 비교대상인 두 디지털 패턴의 각 비트에 대한 전압으로서 정보의 데이터를 나타내는 전위를 인가받는, 적어도 한 쌍의 정보 전극과,

상기 제1 양자 도트 열의 중앙에 위치한 양자 도트에 인접하여 형성된 전원 전극과,

각 양자 도트가 나노미터 규모의 미소 전도체 또는 미소 반도체로 이루어지고, 그 열의 일측 끝이 상기 제1 양자 도트 열의 중앙에 위치한 양자 도트에 인접하여 배치된, 1열의 제2 양자 도트와,

상기 제2 양자 도트 열의 타측 끝에 인접하여 배치된 MOSFET의 게이트 전극

을 포함하고,

상기 각 쌍의 정보 전극과 상기 제1 양자 도트 열의 양측 끝에 위치하여 상기 정보 전극에 인접한 양자 도트의 사이에, 그들 사이를 전하 캐리어가 이동하지 못하도록 용량 결합을 제공하며,

상기 전원 전극과 상기 중앙에 위치한 양자 도트의 사이에, 그들 사이를 전하 캐리어가 이동하지 못하도록 용량 결합을 제공하고,

상기 제2 양자 도트 열의 인접하는 양자 도트들 사이와, 상기 제2 양자 도트 열의 타측 끝과 상기 게이트 전극 사이에, 각각 전하 캐리어가 직접 터널링할 수 있는 에너지 장벽이 형성되며, 상기 중앙에 위치한 양자 도트와 상기 일측 끝에 위치한 상기 양자 도트 사이에 이들 사이를 전하 캐리어가 이동할 수 없도록 용량 결합을 제공하고,

상기 제2 양자 도트 열의 전위 분포가 상기 중앙에 위치한 양자 도트를 중심으로 전위 골짜기를 형성하도록 상기 전원 전극에 전압이 인가되며,

상기 정보 전극에서의 상대 전압으로 결정된 전위 분포에 따라, 한 쌍의 정보 전극 중 어느 일측에 대한 열 요동에 의해 상기 제1 양자 도트 열의 중앙에 위치한 양자 도트에 있는 전하 캐리어가 이동하거나 또는 이동할 수 없게 되고,

상기 중앙에 위치한 양자 도트에서의 상기 전하 캐리어의 존재 또는 부존재가, 상기 전하 캐리어가 쿨롱 반발력(Coulomb repulsion)에 의해 상기 제2 양자 도트와 상기 게이트 전극 사이를 이동하거나 또는 이동하지 못하게 하고, 상기 제2 양자 도트와 상기 게이트 전극 사이를 이동한 상기 전하 캐리어는 상기 MOSFET의 게이트 커패시터의 전위를 상승시키고, 나

아가 상기 MOSFET의 드레인 전류로서 출력되며, 상기 허밍 거리는 상기 드레인 전류로부터 안정 상태에 있는 상기 게이트 커패시터에서의 전자의 개수로 표현되고, 상기 열 요동은 이것을 상온에서 동작할 수 있도록 하는 것을 특징으로 하는 정보 처리 구조체.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 정보 전극은, 미소 도전체나 미소 반도체로 이루어지는 적어도 한 개의 제3 양자 도트와, 상기 제3 양자 도트에 용량적으로 결합된 전극으로 형성되고,

상기 제3 양자 도트 각각은 상기 비교대상인 두 디지털 패턴의 각 비트에 대한 상기 전압을, 그 전압에 대응하는 수의 전하 캐리어를 보유함으로써, 저장하는 것을 특징으로 하는 정보 처리 구조체.

청구항 5.

삭제

청구항 6.

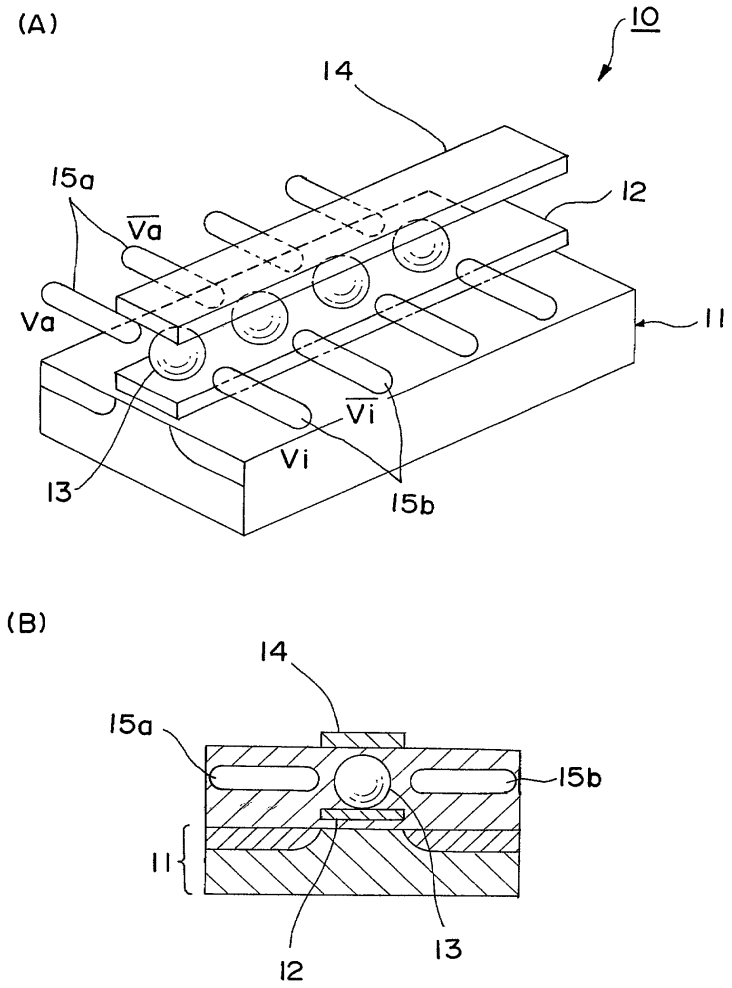
삭제

청구항 7.

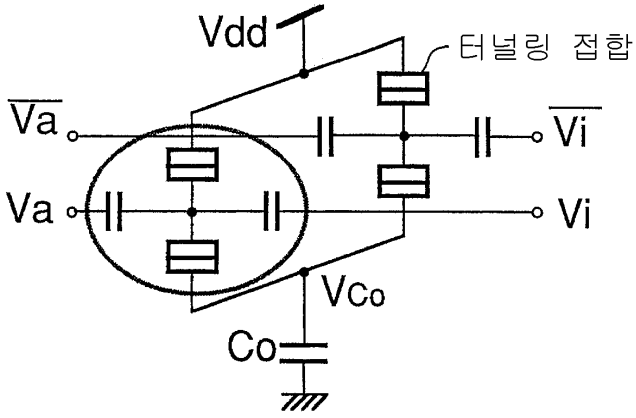
삭제

도면

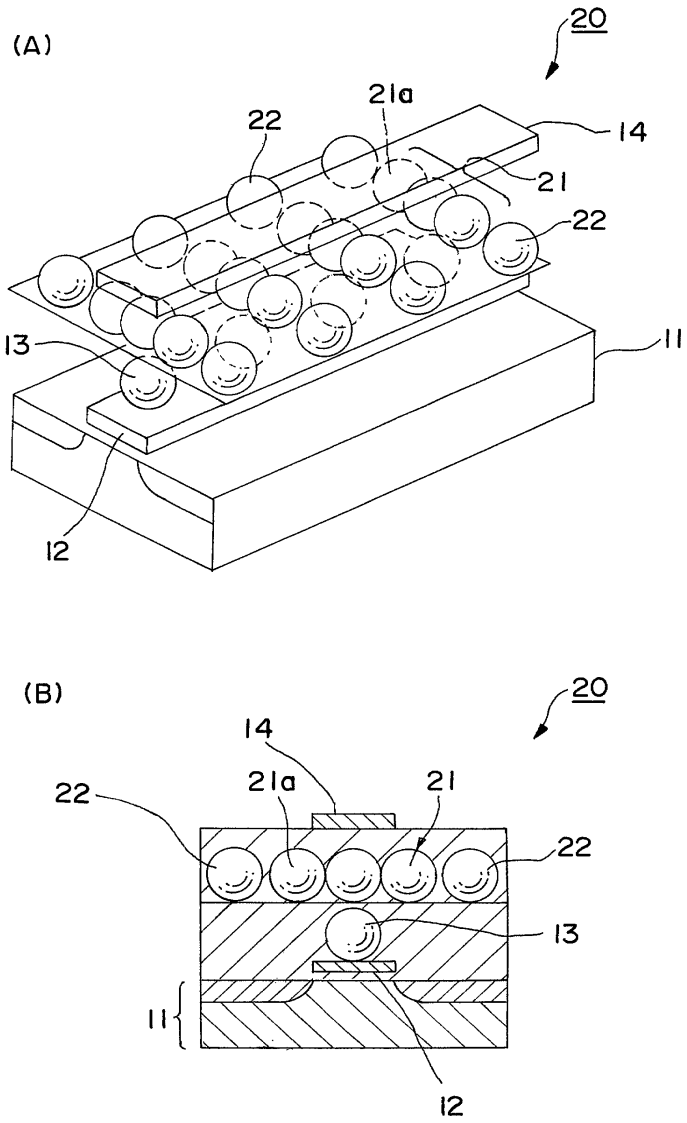
도면1


(A)
10
14
15a
12
Va
Va
11
Vi
Vi
13
15b
(B)
14
15a
15b
11
12
13

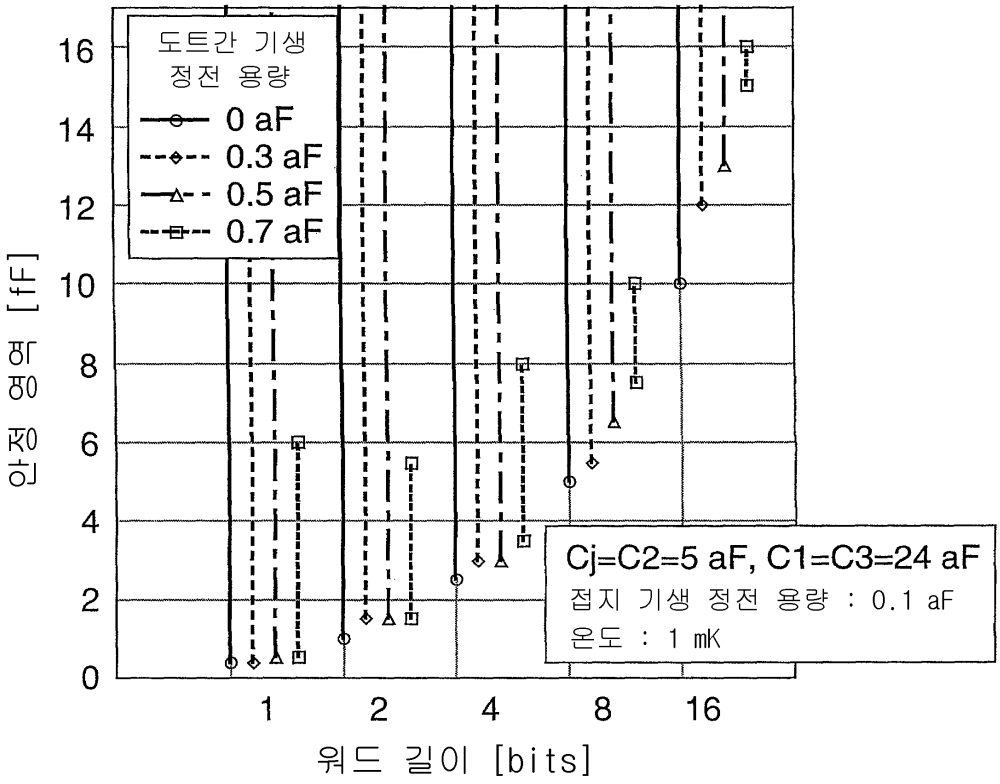
도면2


Vdd
터널링 접합
Va
Vi
Va
Vi
Vco
Co

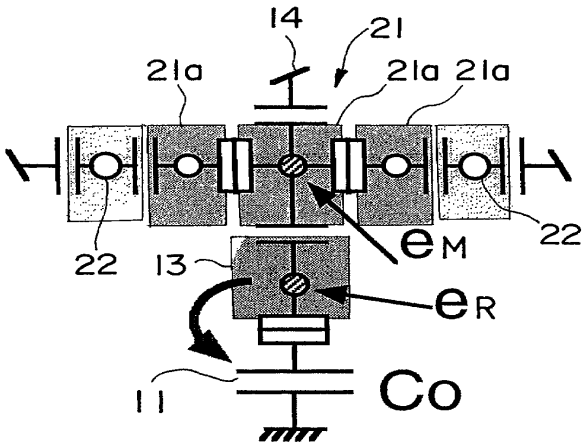
도면3



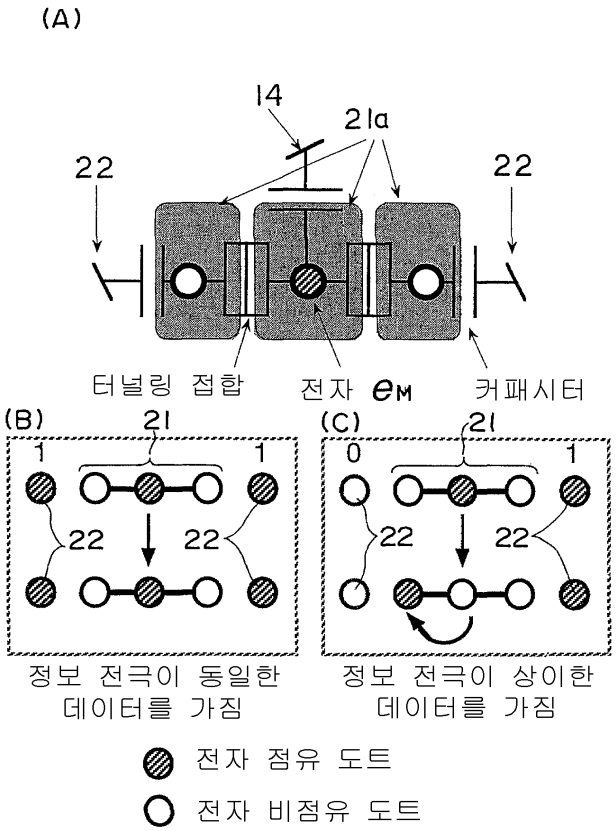
도면4


도트간 기생
정전 용량
0 aF
0.3 aF
0.5 aF
0.7 aF
Cj=C2=5 aF, C1=C3=24 aF
접지 기생 정전 용량 : 0.1 aF
온도 : 1 mK
16
14
12
10
8
6
4
2
0
1
2
4
8
16
워드 길이 [bits]

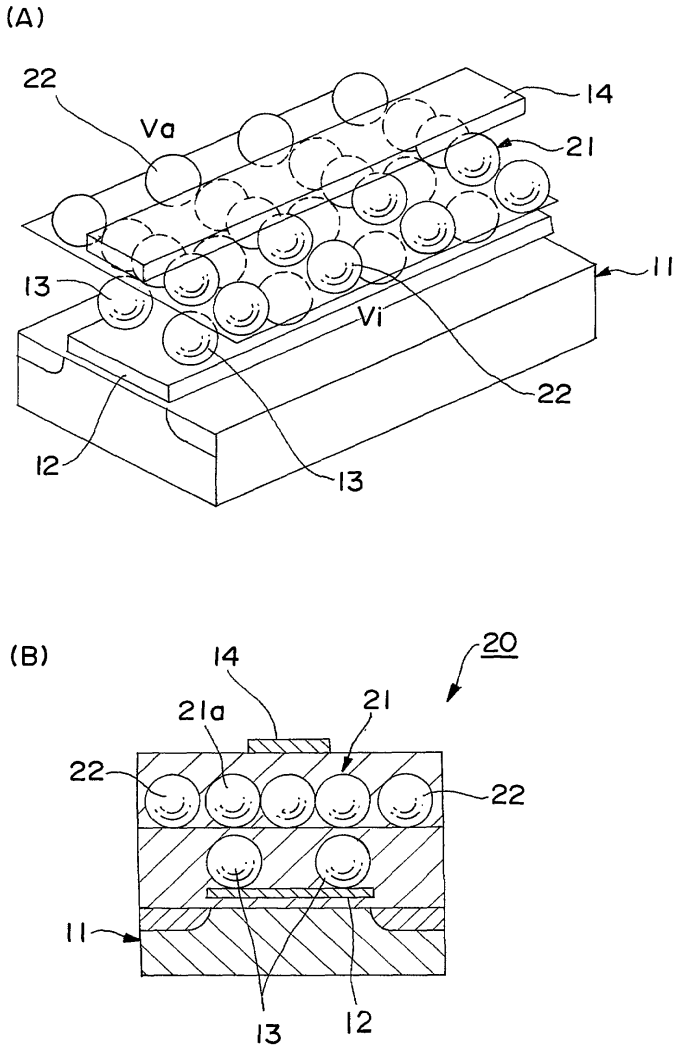
도면5


14
21
21a
21a
21a
22
22
13
eM
eR
11
Co

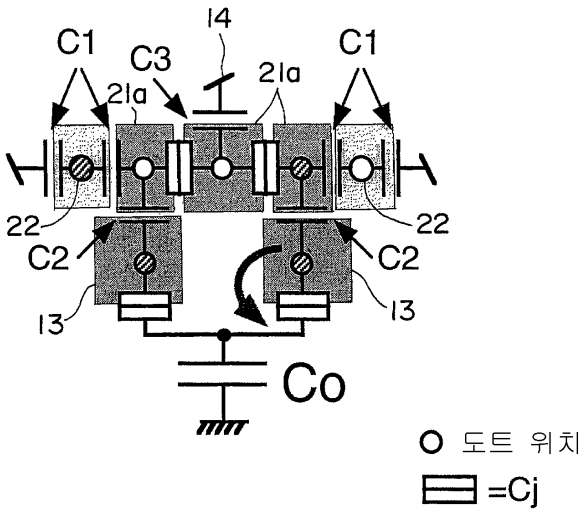
도면6


(A)
14
21a
22
22
터널링 접합
전자 e_M
커패시터
(B)
21
1
1
22
22
정보 전극이 동일한
데이터를 가짐
(C)
21
0
1
22
22
정보 전극이 상이한
데이터를 가짐
전자 점유 도트
전자 비점유 도트

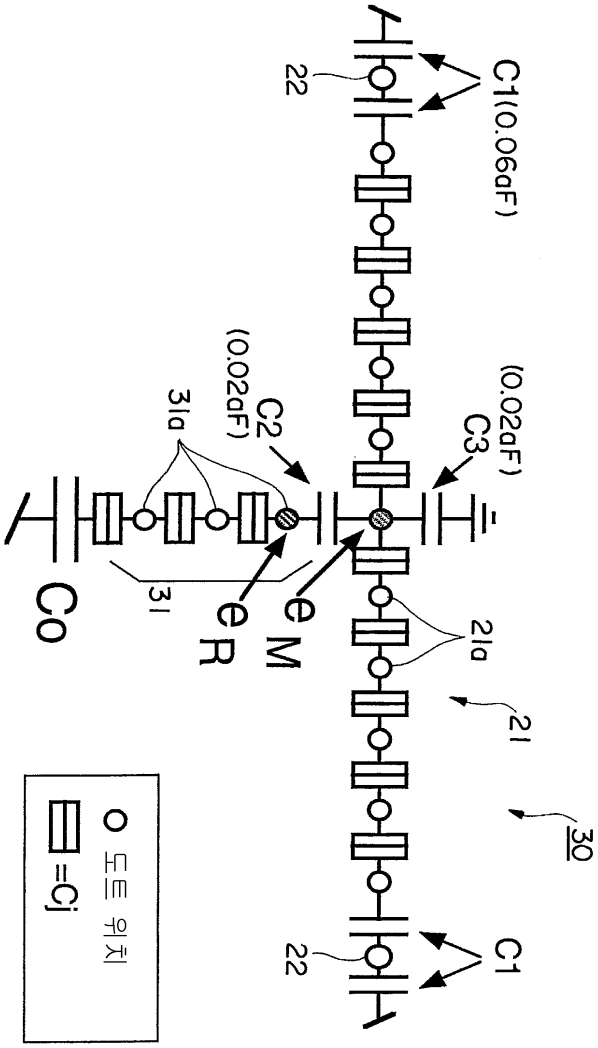
도면7


(A)
22
Va
14
21
11
13
Vi
22
12
13
(B)
14
20
21a
21
22
22
11
13
12

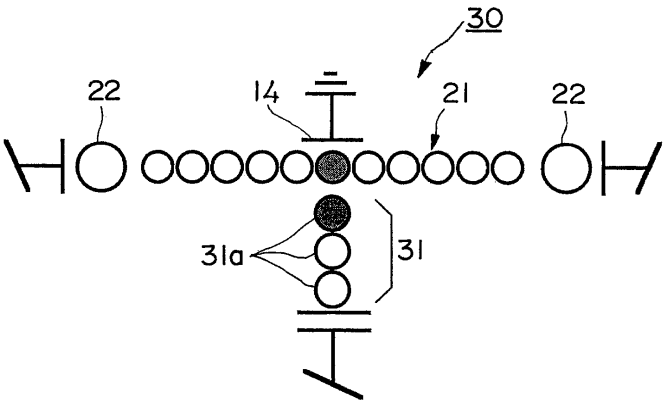
도면8


14
C1
C3
C1
21a
21a
22
22
C2
C2
13
13
Co
O 도트 위치
=Cj

도면9

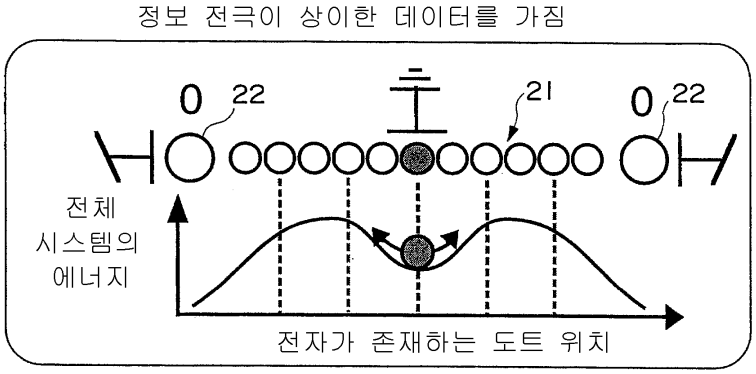

22
C1(0.06aF)
C2
(0.02aF)
31a
C3
(0.02aF)
Co
31
eR
eM
21a
21
30
22
C1
도트 위치
=Cj

도면10

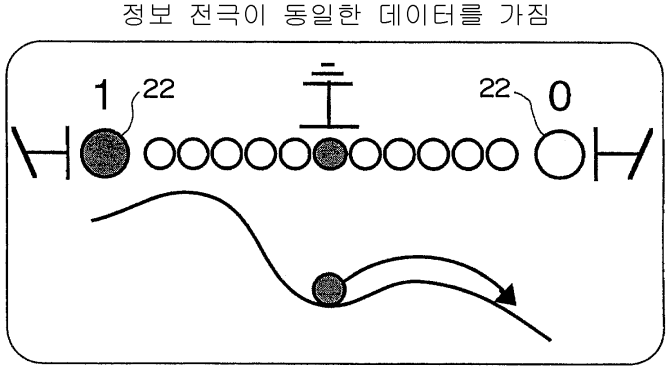

30
22
14
21
22
31a
31

도면11

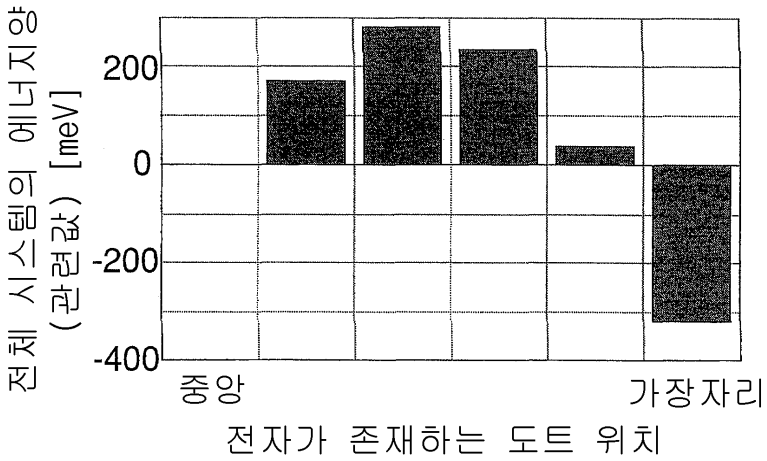
(A)


정보 전극이 상이한 데이터를 가짐
0
22
21
0
22
전체
시스템의
에너지
전자가 존재하는 도트 위치

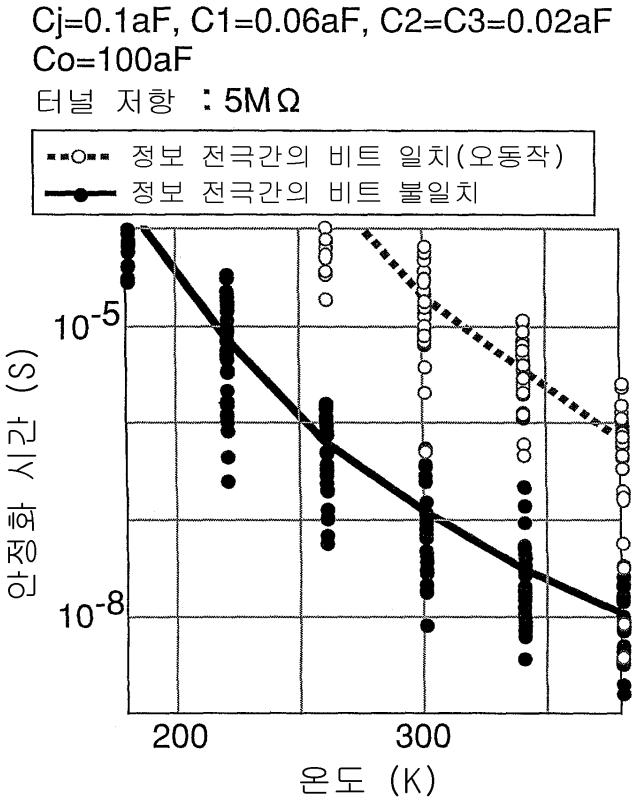
(B)


정보 전극이 동일한 데이터를 가짐
1
22
22
0

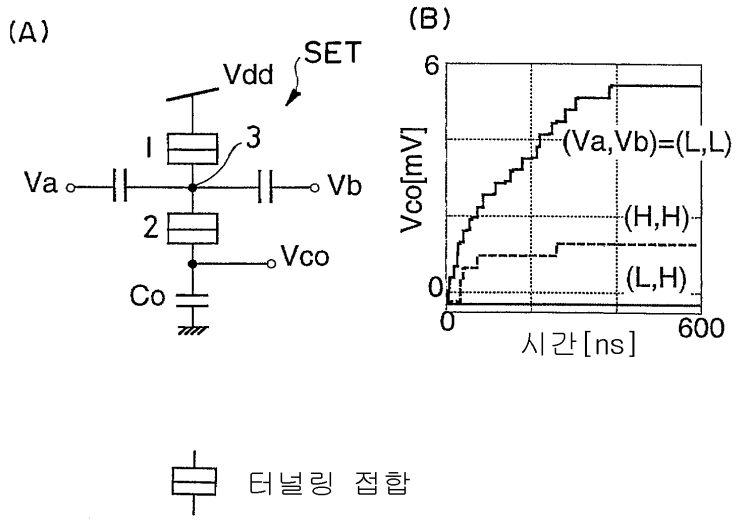
도면12


전체 시스템의 에너지양
(관련값) [meV]
200
0
-200
-400
중앙
가장자리
전자가 존재하는 도트 위치

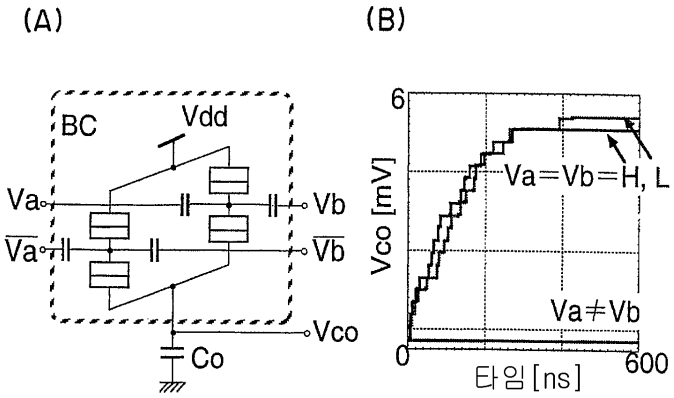
도면13


Cj=0.1aF, C1=0.06aF, C2=C3=0.02aF
Co=100aF
터널 저항 : 5MΩ
정보 전극간의 비트 일치(오동작)
정보 전극간의 비트 불일치
10-5
10-8
안정화 시간 (S)
200
300
온도 (K)

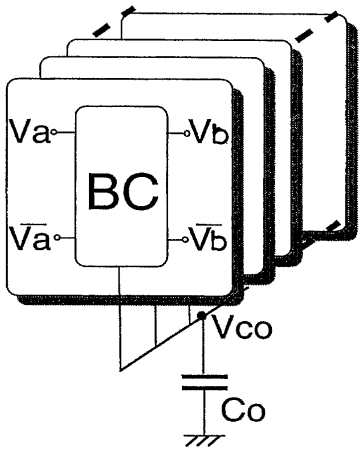
도면14


(A)
Vdd
SET
1
3
Va
Vb
2
Vco
Co
(B)
6
0
Vco[mV]
(Va,Vb)=(L,L)
(H,H)
(L,H)
0
600
시간[ns]
터널링 접합

도면15


(A)
(B)
BC
Vdd
Va
Vb
Va
Vb
Vco
Co
6
Vco [mV]
Va=Vb=H, L
Va≠Vb
0
600
타임[ns]

도면16


Va
Vb
BC
Va
Vb
Vco
Co