

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
16. November 2017 (16.11.2017)



(10) Internationale Veröffentlichungsnummer
WO 2017/194623 A1

(51) Internationale Patentklassifikation:
H01L 33/00 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2017/061218

(22) Internationales Anmeldedatum:
10. Mai 2017 (10.05.2017)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2016 108 682.7
11. Mai 2016 (11.05.2016) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **RACZ, David**; Adalbert-Stifter-Str. 45, Regens-
burg 93051 (DE). **SPERL, Matthias**; Brombeerweg 2,
93098 Mintraching (DE).

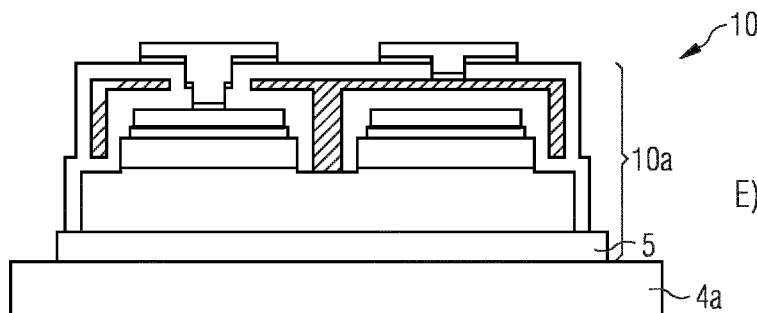
(74) Anwalt: **EPPING HERMANN FISCHER PATENTAN-
WALTSGESELLSCHAFT MBH**; Schlossschmidstr. 5,
80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP,
KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA,

(54) Title: METHOD FOR PRODUCING AN OPTOELECTRONIC COMPONENT, AND OPTOELECTRONIC COMPONENT

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES OPTOELEKTRONISCHEN BAUELEMENTS UND
OPTOELEKTRONISCHES BAUELEMENT

FIG 4



(57) Abstract: A method for producing an optoelectronic component is specified, wherein a method step A) involves providing at least one light-emitting semiconductor chip (10a) comprising a sapphire substrate (1) and an epitaxially grown layer sequence (10b). A further method step B) involves arranging the light-emitting semiconductor chip (10a) by a side facing away from the sapphire substrate (1) onto a carrier (4), and a method step C) involves detaching the sapphire substrate (1) from the semiconductor chip (10a). A further method step D) involves applying a converter element (5) on a region of the semiconductor chip (10a) in which the sapphire substrate (1) was detached, and a further method step E) involves arranging the semiconductor chip (10a) onto an auxiliary carrier (4a), such that the converter element (5) faces the auxiliary carrier (4a). A further method step F) involves detaching the carrier (4) from the semiconductor chip (10a).

(57) Zusammenfassung: Es wird ein Verfahren zur Herstellung eines optoelektronischen Bauelements angegeben, bei welchem in einem Verfahrensschritt A) ein Bereitstellen zumindest eines lichtemittierenden Halbleiterchips (10a) umfassend ein Saphirsubstrat (1) und eine epitaktisch gewachsene Schichtenfolge (10b) erfolgt. In einem weiteren Verfahrensschritt B) erfolgt ein Anordnen des lichtemittierenden Halbleiterchips (10a) mit einer dem Saphirsubstrat (1) abgewandten Seite auf einen Träger (4), und in einem Verfahrensschritt C) ein Ablösen des Saphirsubstrats (1) vom Halbleiterchip (10a). In einem weiteren Verfahrensschritt D) erfolgt ein Aufbringen eines Konverterelements (5) auf einem Bereich des Halbleiterchips (10a), in welchem das Saphirsubstrat (1) abgelöst wurde, und in ei-

SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (*soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart*): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

nem weiteren Verfahrensschritt E) ein Anordnen des Halbleiterchips (10a) auf einen Hilfsträger (4a), so dass das Konverterelement (5) dem Hilfsträger (4a) zugewandt ist. In einem weiteren Verfahrensschritt F) erfolgt ein Ablösen des Trägers (4) vom Halbleiterchip (10a).

Beschreibung

Verfahren zur Herstellung eines optoelektronischen Bauelements und optoelektronisches Bauelement

5

Die Erfindung betrifft ein Verfahren zur Herstellung eines optoelektronischen Bauelements und ein optoelektronisches Bauelement.

- 10 Der Erfindung liegt die Aufgabe zugrunde ein verbessertes Verfahren zur Herstellung eines optoelektronischen Bauelements sowie ein optoelektronisches Bauelement anzugeben, welches sich durch eine flache Bauweise, eine verbesserte thermische Anbindung an ein Konverterelement, und
15 einer verbesserten Effizienz in der Weißlichtemission auszeichnet.

- Diese Aufgabe wird durch ein Erzeugnis und ein Verfahren gemäß den unabhängigen Patentansprüchen gelöst. Vorteilhafte
20 Ausgestaltungen und Weiterbildungen der Erfindung sind Gegenstand der abhängigen Ansprüche.

- Ein Verfahren zur Herstellung des optoelektronischen Bauelements umfasst in einem Verfahrensschritt A) ein
25 Bereitstellen zumindest eines lichtemittierenden Halbleiterchips umfassend ein Saphirsubstrat und eine epitaktisch gewachsene Schichtenfolge. In einem weiteren Verfahrensschritt B) umfasst das Verfahren ein Anordnen des lichtemittierenden Halbleiterchips mit einer dem
30 Saphirsubstrat abgewandten Seite auf einen Träger, und in einem weiteren Verfahrensschritt C) ein Ablösen des Saphirsubstrats vom Halbleiterchip. In einem weiteren Verfahrensschritt D) umfasst das Verfahren ein Aufbringen

eines Konverterelements auf einem Bereich des Halbleiterchips, in welchem das Saphirsubstrat abgelöst wurde, und in einem weiteren Verfahrensschritt E) ein Anordnen des Halbleiterchips auf einen Hilfsträger, so dass
5 das Konverterelement dem Hilfsträger zugewandt ist. In einem weiteren Verfahrensschritt F) umfasst das Verfahren ein Ablösen des Trägers vom Halbleiterchip.

Der Halbleiterchip kann vorteilhaft in Flip-Chip Bauweise
10 ausgebildet sein. Weiterhin umfasst der Halbleiterchip vorteilhaft Kontaktstellen, welche auf einer gleichen Seite angeordnet sind, welche einer Abstrahlseite des Halbleiterchips abgewandt ist. Bei dem Anordnen des Halbleiterchips sind die Kontaktstellen vorteilhaft dem
15 Träger zugewandt.

Nach dem Anordnen des Halbleiterchips auf dem Träger im Verfahrensschritt B) ist eine Abstrahlseite des Halbleiterchips vorteilhaft dem Träger abgewandt. Bei dem
20 Träger handelt es sich vorteilhaft um einen während der Herstellung des Bauelements nur temporär im Bauelement verbleibenden Träger.

Vorteilhaft ist eine Thermo-Release Folie auf dem Träger
25 angeordnet, auf welcher der Halbleiterchip angeordnet wird. Eine Thermo-Release Folie erzeugt eine gute Haftung des Trägers am Halbleiterchip und lässt sich bei Erwärmung vorteilhaft einfach ablösen.

30 Nach dem Ablösen des Saphirsubstrats, beispielsweise mittels Laser-Lift-Off, ist der Halbleiterchip vorteilhaft zumindest an der dem Träger abgewandten Seite frei vom Saphirsubstrat.

Das Konverterelement kann im Verfahrensschritt D) vorteilhaft so auf die dem Träger abgewandte Abstrahlseite des Halbleiterchips aufgebracht werden, dass die Abstrahlseite vorteilhaft vollständig mit dem Konverterelement bedeckt wird. Da das Konverterelement in jenen Bereichen auf den Halbleiterchip aufgebracht wird, in welchem das Saphirsubstrat entfernt wurde, ergibt sich vorteilhaft eine gute thermische Anbindung des Konverterelements an den Halbleiterchip. Hierdurch kann vorteilhaft eine Stokes-Verschiebung beim Betrieb des Halbleiterchips und der Konversion von Licht verringert oder vermieden werden. Bei der Stokes-Verschiebung verschiebt sich die Wellenlänge von Licht zwischen Absorption und Emission, wobei dieser Effekt temperaturabhängig ist. Eine Steigerung der Effizienz eines Weißlicht abstrahlenden Bauelements wird durch die Verringerung der Stokes-Verschiebung erhöht.

Weiterhin kann vorteilhafterweise ein besonders flaches Bauelement hergestellt werden, da durch das Ablösen des Saphirsubstrats das Bauelement an sich eine geringere Dicke aufweist, als dies mit dem Saphirsubstrat an der Abstrahlseite der Fall wäre. Das Konverterelement zeichnet sich vorteilhaft dadurch aus, dass es mechanisch stabil ist. Mit anderen Worten kann das Konverterelement als tragendes Element des Halbleiterchips dienen.

Der Hilfsträger, auf welchem der Halbleiterchip mit dem Konverterelement angeordnet wird umfasst beispielsweise ein Polyester (Mylar).

Nach dem Anordnen des Halbleiterchips auf dem Hilfsträger dienen vorteilhaft das Konverterelement und der Hilfsträger zur mechanischen Stabilität des Halbleiterchips. Dadurch ist

es vorteilhaft möglich den Träger im Verfahrensschritt F) sicher vom Halbleiterchip abzulösen, wobei das Konverterelement und der Hilfsträger nach dem Ablösen des Trägers den Halbleiterchip tragen.

5

Gemäß zumindest einer Ausführungsform des Verfahrens erfolgen die Verfahrensschritte A) bis F) in der angegebenen Reihenfolge.

- 10 Gemäß zumindest einer Ausführungsform des Verfahrens wird im Verfahrensschritt A) eine Vielzahl von lichtemittierenden Halbleiterchips in einem Waferverbund bereitgestellt.

Der Waferverbund, umfassend eine Vielzahl von

- 15 Halbleiterchips, beispielsweise in der Form von Flip-Chips, wird vorteilhaft so auf dem Träger angeordnet, dass Emissionsseiten aller Halbleiterchips dem Träger abgewandt sind und vorteilhaft Kontaktstellen zur elektrischen Kontaktierung der Halbleiterchips dem Träger zugewandt sind.

- 20 Mit der Anordnung in einem Waferverbund kann insbesondere verstanden werden, dass eine Vielzahl von Halbleiterchips benachbart auf einem tragenden Element, beispielsweise einem Substrat, angeordnet sind. Auch wenn die Vielzahl von Halbleiterchips auf den Träger oder den Hilfsträger
- 25 übertragen wird, kann die Anordnung der Halbleiterchips auf dem Träger oder dem Hilfsträger als Waferverbund bezeichnet werden. Auf diese Weise erfolgt vorteilhaft das Anordnen der Vielzahl der Halbleiterchips auf dem Träger in einem Schritt. Die Halbleiterchips behalten vorteilhaft während allen
- 30 Verfahrensschritten A) bis F) ihre Position relativ zueinander stets bei. Hierbei weist der Träger zumindest eine laterale Ausdehnung auf, welche gleich der lateralen Ausdehnung des Waferverbunds der Halbleiterchips ist. Die

laterale Ausdehnung erstreckt sich hierbei senkrecht zu einer Flächennormalen auf die Abstrahlseite des Halbleiterchips. Vorteilhaft ist die laterale Ausdehnung des Trägers größer als die laterale Ausdehnung des Waferverbunds. Die

5 Halbleiterchips sind vorteilhaft alle der gleichen Bauart, beispielsweise Flip-Chips, wobei diese auch identisch sein können. Das Anordnen des Waferverbunds auf dem Träger erfolgt beispielsweise mittels Kleben. So werden im Verfahrensschritt B) die Halbleiterchips mit einer ihrer Abstrahlseite
10 abgewandten Seite auf den Träger angeordnet. In weiterer Folge der Herstellung des Bauelements erstreckt sich der Hilfsträger lateral vorteilhaft über alle Halbleiterchips.

Gemäß zumindest einer Ausführungsform des Verfahrens wird
15 nach dem Verfahrensschritt F) der Waferverbund mit dem Konverterelement und dem Hilfsträger in eine Vielzahl von optoelektronischen Bauelementen vereinzelt.

Vorteilhaft weist der Waferverbund mit der Vielzahl von
20 Halbleiterchips auch nachdem der Träger abgelöst wurde eine ausreichende mechanische Stabilität auf, welche insbesondere durch das Konverterelement und/oder durch den Hilfsträger gegeben ist, so dass der Waferverbund mit der Vielzahl der Halbleiterchips in eine Vielzahl einzelner optoelektronischer
25 Bauelemente vereinzelt werden kann. Nach dem Vereinzeln weist vorteilhaft jedes einzelne Bauelement ein Konverterelement und ein Teilstück des Hilfsträgers auf. In einem weiteren Verfahrensschritt wird nach dem Vereinzeln der Hilfsträger vorteilhaft vollständig entfernt. Nach einem Entfernen der
30 Halbleiterchips vom Hilfsträger sind die Bauelemente vorteilhaft vollständig frei vom Hilfsträger.

Die Halbleiterchips können vorteilhaft seitlich verspiegelt sein, wodurch eine Anordnung mehrerer optoelektronischer Bauelemente realisierbar ist, wobei ein Bauelement einen hohen Kontrast gegenüber den benachbarten Bauelementen aufweist. Die Abstände zwischen den Halbleiterchips können dabei vorteilhaft 100 µm oder weniger betragen. Eine reflektierende Schicht kann hierbei Seitenflächen des Halbleiterchips und des Konverterelements bedecken. Die reflektierende Schicht kann beispielsweise Silber, Aluminium, einen dielektrischen Spiegel oder eine Kombination daraus umfassen.

Gemäß zumindest einer Ausführungsform des Verfahrens erfolgt das Vereinzeln mittels Laserstrukturierung (laser scribing), Stealth Dicing, Plasmaschneiden (plasma dicing) oder mechanischem Sägen.

Für die Vereinzelung kommen Verfahren zur Anwendung, welche die Halbleiterchips möglichst wenig beeinträchtigen, etwa durch Temperatur oder mechanische Beanspruchung.

Gemäß zumindest einer Ausführungsform des Verfahrens wird im Verfahrensschritt D) das Konverterelement auf alle Halbleiterchips aufgebracht.

Das Konverterelement wird vorteilhaft im selben Verfahrensschritt auf alle Halbleiterchips des Waferverbunds aufgebracht.

In weiterer Folge wird der Waferverbund mit der Vielzahl der Halbleiterchips und dem Konverterelement auf einen Hilfsträger angeordnet.

Gemäß zumindest einer Ausführungsform des Verfahrens ist das Konverterelement einkristallin.

Ein Konverterelement zeichnet sich vorteilhaft durch eine, je
5 nach Anwendung, maßangefertigte Oberflächenstruktur aus.
Weiterhin kann ein Konverterelement präzise in den für den
Halbleiterchip oder die Vielzahl von Halbleiterchips
notwendigen Dimensionen bereitgestellt werden. So kann eine
je nach benötigter Anwendung angepasste Oberflächenstruktur
10 des Konverterelements angewandt werden, beispielsweise weist
die Oberfläche des Konverterelements Streuzentren in Form
mikroskopischer Vertiefungen auf. Die angepasste
Oberflächenstruktur ermöglicht sehr flache Konverterelemente
bei welchen eine Rückreflexion von Licht in das Bauteil
15 verringert ist. Das einkristalline Konverterelement kann
beispielsweise Durchbrüche aufweisen, wobei Photonen an den
Grenzen zwischen Durchbruch und Konverterelement vorteilhaft
in Abstrahlrichtung aus dem Konverterelement abgestrahlt
werden.

20 Das Konverterelement kann vorteilhaft auch einen Stapel
mehrerer Konverterelemente umfassen, welche beispielsweise
Licht in unterschiedliche Farben konvertieren. Beispielsweise
kann ein Konverterelement einen Stapel mit einem roten und
25 einem grünen einkristallinen Konverterelement umfassen.

Gemäß zumindest einer Ausführungsform des Verfahrens wird das
Konverterelement mit einer Klebeschicht beschichtet und das
Konverterelement mit der Klebeschicht auf den
30 Halbleiterchip(s) aufgeklebt.

Das Konverterelement kann für den Fall, dass es selbst eine
mechanisch stabile Form aufweist, mit einer Klebeschicht aus

einem Klebematerial beschichtet werden, mit welchem es danach vorteilhaft in jenen Bereichen auf den oder die Halbleiterchips aufgeklebt wird, in welchen das Saphirsubstrat entfernt wurde. Vorteilhaft kann das Konverterelement auch auf eine Vielzahl von Halbleiterchips in einem Waferverbund präzise auf die Halbleiterchips aufgeklebt werden, so dass eine stabile mechanische Verbindung sowie eine gute thermische Anbindung entsteht. Das Aufkleben mit des Konverterelements mit einer Klebeschicht eignet sich vorteilhaft für ein einkristallines Konverterelement.

Gemäß zumindest einer Ausführungsform des Verfahrens ist die Klebeschicht transparent und umfasst Si.

Transparentes Silikon eignet sich vorteilhaft um ein Konverterelement thermisch an den Halbleiterchips anzubinden und eine mechanisch stabile Verbindung zu erzeugen, welche eine hohe Alterungsstabilität aufweist.

Gemäß zumindest einer Ausführungsform des Verfahrens wird die Klebeschicht mittels Spin-coating auf das Konverterelement aufgebracht.

Gemäß zumindest einer Ausführungsform des Verfahrens wird das Konverterelement anodisch auf die epitaktisch gewachsene Schichtenfolge gebondet.

Das Konverterelement, beispielsweise ein einkristallines Konverterelement, kann direkt mit der epitaktisch gewachsenen Halbleiterschichtenfolge, beispielsweise mit einem n-dotierten Halbleiterbereich, in Kontakt gebracht werden. Dabei wird das Konverterelement auf einer zur Abstrahlung

vorgesehenen Seite der epitaktisch gewachsenen Halbleiterschichtenfolge aufgebracht. Die epitaktisch gewachsene Halbleiterschichtenfolge umfasst vorteilhaft zumindest einen n-dotierten und einen p-dotierten Halbleiterbereich, sowie eine aktive Zone und ist insbesondere Teil des Halbleiterchips. Bei einer Vielzahl von Halbleiterchips im Waferverbund kann vorteilhaft jeder Halbleiterchip eine epitaktisch gewachsene Halbleiterschichtenfolge umfassen, auf welcher ein Konverterelement in direktem Kontakt aufgebracht wird.

Bei einem Konverterelement, welches anodisch auf die epitaktisch gewachsene Halbleiterschichtenfolge gebondet wird kann vorteilhaft auf die Anwendung von organischem Material im Konverterelement oder in der Verbindung zwischen Konverterelement und Halbleiterchip verzichtet werden. In diesem Fall eignet sich das Konverterelement für den Betrieb bei hohen Temperaturen, da das auf diese Weise hergestellte Bauelement durch den Verzicht von organischem Material eine geringere Alterung aufweist.

Gemäß zumindest einer Ausführungsform des Verfahrens umfasst das Konverterelement ein Konvertermaterial, das in Glas eingebracht ist.

Das Konvertermaterial kann vorteilhaft in Glas eingebracht sein und beispielsweise eine Glasplatte oder eine Keramik mit lichtkonvertierender Wirkung umfassen. Die Glasplatte weist hierbei eine mechanische Stabilität auf, welche den Halbleiterchip oder die Vielzahl von Halbleiterchips im Waferverbund stabil tragen kann und mit den Chips mechanisch stabil und thermisch leitend angebunden sein kann. Vorteilhaft können im Glas mehrere unterschiedliche

Konvertermaterialien eingemischt sein. Beispielsweise können mehrere Konvertermaterialien in einer Suspension im Glas eingemischt sein.

- 5 Gemäß zumindest einer Ausführungsform des Verfahrens umfasst oder ist das Konverterelement ein keramisches Plättchen.

Es wird ferner ein optoelektronisches Bauelement angegeben. Vorzugsweise wird das optoelektronische Bauelement durch das
10 oben beschriebene Verfahren hergestellt. Das heißt, sämtliche für das Verfahren offenbarten Merkmale sind auch für das optoelektronische Bauelement offenbart und umgekehrt.

Ein optoelektronisches Bauelement umfasst einen
15 lichtemittierenden Halbleiterchip mit einer epitaktisch gewachsenen Schichtenfolge mit einem p-dotierten Halbleiterbereich, einem n-dotierten Halbleiterbereich und einer aktiven Zone, wobei der n-dotierte Halbleiterbereich einer Abstrahlseite des Halbleiterchips zugewandt ist. Der
20 Halbleiterchip umfasst weiterhin eine p-Kontaktstelle und eine n-Kontaktstelle, welche beide auf einer gleichen Seite des Halbleiterchips angeordnet sind, und welche von der Abstrahlseite des Halbleiterchips abgewandt sind. Weiterhin umfasst der Halbleiterchip eine Spiegelschicht, welche auf
25 dem p-dotierten Halbleiterbereich angeordnet ist und dem n-dotierten Halbleiterbereich abgewandt ist, sowie ein Konverterelement, welches auf dem n-dotierten Halbleiterbereich angeordnet ist und dem p-dotierten Halbleiterbereich abgewandt ist.

30

Die epitaktisch gewachsene Schichtenfolge basiert vorteilhaft auf einem Nitrid-Halbleitermaterial, insbesondere auf Halbleitermaterialien des Materialsystems InAlGaN.

Die epitaktisch gewachsene Schichtenfolge basiert vorzugsweise auf einem III-V-Verbindungshalbleitermaterial.

Beispielsweise kann die Halbleiterschichtenfolge

$\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$, mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x + y \leq 1$,

5 enthalten. Dabei muss das III-V-Verbindungshalbleitermaterial nicht zwingend eine mathematisch exakte Zusammensetzung nach einer der obigen Formeln aufweisen. Vielmehr kann es einen oder mehrere Dotierstoffe sowie zusätzliche Bestandteile aufweisen, die die physikalischen Eigenschaften des Materials
10 im wesentlichen nicht ändern.

Das Bauelement umfasst vorteilhaft kein Substrat, da dieses im Herstellungsverfahren von der epitaktisch gewachsenen Schichtenfolge abgelöst wurde, die mechanische Stabilität des
15 Halbleiterchips wird vorteilhaft durch das Konverterelement gewährleistet.

Die Spiegelschicht, welche an der epitaktisch gewachsenen Schichtenfolge angeordnet ist hat die Funktion, in Richtung
20 von der Kontaktstellen und emittierte Strahlung vorteilhaft in Richtung des Konverterelements zu reflektieren. Auf diese Weise wird eine Absorption von Strahlung in den Kontaktstellen weitestgehend verhindert. Die Spiegelschicht kontaktiert den p-dotierten Halbleiterbereich elektrisch.

25

Das Bauelement ist an den p- und n-Kontaktstellen vorteilhaft oberflächenmontierbar. Insbesondere können die p-Kontaktstelle und die n-Kontaktstelle gemeinsam eine ebene Montagefläche für den Halbleiterchip ausbilden.

30

Gemäß zumindest einer Ausführungsform des optoelektronischen Bauelements umfasst dieses eine äußere Verkapselung, welche den Halbleiterchip lateral an Seitenflächen und an einer der

Abstrahlseite abgewandten Seite verkapselt, wobei die p-Kontaktstelle und die n-Kontaktstelle die äußere Verkapselung durchkontaktieren.

5 Durch die äußere Verkapselung werden vorteilhaft Mesaflanken der epitaktisch gewachsenen Schichtenfolge und die weiteren Bestandteile der Halbleiterchips vor äußeren Einflüssen, insbesondere vor dem Eindringen von Feuchtigkeit, geschützt. Die äußere Verkapselung kann beispielsweise eine Kombination
10 aus einer vorzugsweise durch Atomlagenabscheidung (ALD) abgeschiedenen Al₂O₃-Schicht und einer Siliziumoxid- und/oder Nitridschicht umfassen.

Weitere Vorteile, vorteilhafte Ausführungsformen und
15 Weiterbildungen ergeben sich aus dem im Folgenden in Verbindung mit den Figuren beschriebenen Ausführungsbeispiel.

Die Figur 1a zeigt einen im Verfahrensschritt A) bereitgestellten Halbleiterchip in einer schematischen
20 Seitenansicht.

Figur 1b zeigt das optoelektronische Bauelement in einer schematischen Seitenansicht während dem Verfahren zur Herstellung.

25

Die Figur 1c zeigt eine Vielzahl von Halbleiterchips in einem Waferverbund.

Figuren 2, 3, 4 und 5 zeigen das optoelektronische Bauelement
30 in einer schematischen Seitenansicht während dem Verfahren zur Herstellung.

Gleiche oder gleichwirkende Elemente sind in den Figuren jeweils mit den gleichen Bezugszeichen versehen. Die in den Figuren dargestellten Bestandteile sowie die Größenverhältnisse der Bestandteile untereinander sind nicht
5 als maßstabsgerecht anzusehen.

Die Figur 1a zeigt eine Ausführungsform eines lichtemittierenden Halbleiterchips 10a, nach dem Bereitstellen im Verfahrensschritt A). Vorteilhaft kann auch
10 eine Vielzahl solcher Halbleiterchips 10a in einem Waferverbund bereitgestellt werden (Figur 1c). Bei dem Halbleiterchip 10a handelt es sich vorteilhaft um einen als Flip-Chip ausgebildeten LED-Chip, welcher an der Lichtabstrahlseite ein vorteilhaft transparentes und klares
15 Saphirsubstrat 1 umfasst.

Der Halbleiterchip 10a umfasst eine epitaktisch gewachsene Schichtenfolge 10b. Die epitaktisch gewachsene Schichtenfolge 10b basiert auf einem Nitrid-Halbleitermaterial, insbesondere
20 auf Halbleitermaterialien des Materialsystems InAlGaN.

Die epitaktisch gewachsene Schichtenfolge 10b weist einen p-dotierten Halbleiterbereich 11a, einen n-dotierten Halbleiterbereich 12a eine dazwischen angeordnete aktive Zone
25 13 auf, wobei der n-dotierte Halbleiterbereich 12a an das Saphirsubstrat angrenzt.

Der Halbleiterchip 10a umfasst vorteilhaft eine Spiegelschicht 14, welche an einer vom Saphirsubstrat 1
30 abgewandten Seite der epitaktisch gewachsenen Schichtenfolge 10b angeordnet ist. Insbesondere steht die Spiegelschicht 14 in direktem Kontakt mit dem p-leitenden Bereich 11a. Die Spiegelschicht hat die Funktion, in Richtung von

- Kontaktstellen 11 und 12 emittierte Strahlung vorteilhaft in Richtung des Saphirsubstrats 1 und der Abstrahlseite des Halbleiterchips zu reflektieren. Auf diese Weise wird eine Absorption von Strahlung in den Kontaktstellen 11 und 12
- 5 weitestgehend verhindert. Die Spiegelschicht umfasst vorteilhaft Silber mit einer Dicke von beispielsweise 140 nm. Die Spiegelschicht kontaktiert den p-dotierten Halbleiterbereich 11a elektrisch.
- 10 Über der Spiegelschicht ist vorteilhaft eine Kontaktschicht 14a und über dieser eine weitere Kontaktschicht 14b angeordnet, wobei die Kontaktschicht 14a eine ZnO-Schicht mit einer Dicke von beispielsweise 70 nm umfasst und die weitere Kontaktschicht 14b eine metallische Schichtenfolge,
- 15 insbesondere eine Pt/Au/Cr-Schichtenfolge mit Schichtdicken von beispielsweise 40 nm / 550 nm / 10 nm umfasst. Die genannten Zahlenwerte gelten vorteilhaft mit einer Toleranz von +/- 50 %. Die Cr-Schicht dient insbesondere zur Verbesserung der Haftung der Cr-Schicht nachfolgenden
- 20 Bauteile, beispielsweise einer Verkapselung 14c. Die Spiegelschicht 14 und die Kontaktschicht 14a und die weitere Kontaktschicht 14b weisen vorteilhaft eine Verkapselung 14c auf.
- 25 Mittels einer Durchkontaktierung 15 durch die aktive Zone 13 erfolgt eine Kontaktierung des n-dotierten Halbleiterbereichs 12a mit der n-Kontaktstelle 12.
- 30 An der vom Saphirsubstrat 1 abgewandten Oberfläche weist der Halbleiterchip 10a eine p-Kontaktstelle 11 und eine n-Kontaktstelle 12 auf, welche beispielsweise aus mehreren Teilschichten zusammengesetzt sein können, beispielsweise aus Ti/Pt- Schichten und einer nach außen abschließenden

Goldschicht. Die p-Kontaktstelle 11 und die n-Kontaktstelle 12 können vorteilhaft als Kontaktpads ausgeführt sein.

Der Halbleiterchip 10a ist an den p- und n-Kontaktstellen 11 und 12 vorteilhaft oberflächenmontierbar. Insbesondere können
5 die p-Kontaktstelle 11 und die n-Kontaktstelle 12 gemeinsam eine ebene Montagefläche für den Halbleiterchip ausbilden.

Eine Kontaktführung 15a, welche mit der n-Kontaktstelle 12 verbunden ist und sich durch die Durchkontaktierung 15
10 erstreckt ist nach außen hin durch eine elektrisch isolierende äußere Verkapselung geschützt.

Zusätzlich zu der Verkapselung der Spiegelschicht 14 weist der Halbleiterchip 10a eine äußere Verkapselung 16 auf,
15 welche die Außenseiten des Halbleiterchips 10a bedeckt. Auf diese Weise werden insbesondere die MESAflanken der epitaktisch gewachsenen Schichtenfolge und die Kontaktschichten vor äußeren Einflüssen, insbesondere vor dem Eindringen von Feuchtigkeit, geschützt. Die äußere
20 Verkapselung 16 kann eine Kombination aus einer vorzugsweise durch Atomlagenabscheidung (ALD) abgeschiedenen Al₂O₃-Schicht und einer Siliziumoxid- und/oder Nitridschicht umfassen.

Die Figur 1b zeigt in einer schematischen Seitenansicht das
25 optoelektronische Bauelement 10 nach Verfahrensschritten A) und B), wobei die Verfahrensschritten A) und B) in der angegebenen Reihenfolge erfolgen. Der lichtemittierende Halbleiterchip 10a wird mit einer dem Saphirsubstrat 1 abgewandten Seite auf dem Träger 4 angeordnet.

30

Es ist vorteilhaft möglich, dass eine Vielzahl von Halbleiterchips 10a in einem Waferverbund angeordnet sind und auf einem einzigen Träger 4 in derselben Weise angeordnet

werden, wie dies für einen einzelnen Halbleiterchip 10a der Fall ist.

Der Halbleiterchip 10a wird vorteilhaft auf dem Träger 4 aufgeklebt, wobei es sich bei dem Träger 4 um eine Thermo-Release Folie handeln kann, welche auf einem starren Träger angeordnet ist. Die Thermo-Release-Folie und der starre Träger bilden in diesem Fall vorteilhaft den Träger 4. Der Träger 4 ist mechanisch stabil, so dass der Halbleiterchip 10a, oder eine Vielzahl von Halbleiterchips, mechanisch stabil auf dem Träger 4 angeordnet werden kann.

Die Figur 1c zeigt eine Vielzahl von Halbleiterchips 10a in einem Waferverbund. Die Halbleiterchips 10a sind vorteilhaft alle auf einem tragenden Element, beispielsweise einem Saphirsubstrat 1 angeordnet. Die Figur 1c zeigt eine Draufsicht auf das Saphirsubstrat 1. Die Halbleiterchips 10a können vorteilhaft in gleichen Abständen zueinander angeordnet sein.

Die Figur 2 zeigt in einer schematischen Seitenansicht das Bauelement 10 nach einem Verfahrensschritt C). Das Saphirsubstrat wurde nach dem Anordnen des Halbleiterchips 10a auf dem Träger 4 vom Halbleiterchip 10a abgelöst, beispielsweise mittels Laser-Lift-Off. Vorteilhaft wurde das Saphirsubstrat von der Abstrahlseite vollständig entfernt, wonach nach einem Verfahrensschritt C) der n-dotierte Halbleiterbereich 12a des Halbleiterchips 10a an einer dem Träger 4 abgewandten Seite des Halbleiterchips 10a vorteilhaft freiliegt.

30

Die Figur 3 zeigt in einer schematischen Seitenansicht das Bauelement 10 aus der Figur 2 nach einem Verfahrensschritt D). Auf die Seite des Halbleiterchips 10a, von welcher das

Saphirsubstrat 1 im Verfahrensschritt C) abgelöst wurde, wird im Verfahrensschritt D) ein Konverterelement 5 aufgebracht. Vorteilhaft wird das Konverterelement 5 auf den n-dotierten Halbleiterbereich 12a des Halbleiterchips 10a aufgebracht.

5 Bei dem Konverterelement 5 kann es sich vorteilhaft um ein einkristallines Konverterelement oder um eine Glasplatte mit einem darin eingebrachten Konvertermaterial handeln. Vorteilhaft kann es sich hierbei um ein keramisches Plättchen als Konverterelement handeln. Im Falle eines einkristallinen
10 Konverterelements kann beispielsweise ein Cryophosphor verwendet werden, wie es beispielsweise von Crytur oder Hitachi erzeugt wird. Das einkristalline Konverterelement kann vorteilhaft einen Stapel mehrerer Konverterelemente umfassen. Das Konverterelement 5 wurde vor dem Aufbringen
15 vorteilhaft mit einer Klebeschicht 7 versehen, und wird im Verfahrensschritt D) auf dem Halbleiterchip 10a aufgeklebt. Die Klebeschicht 7 umfasst beispielsweise klares und transparentes Silikon, welches mittels Spin-Coating auf das Konverterelement 5 aufgebracht wurde.

20 Alternativ dazu kann das Konverterelement 5 auch mittels anodischem Bonden auf die epitaktisch gewachsene Schichtenfolge 10b aufgebracht werden. Die Anwendung einer Klebeschicht ist hierbei nicht notwendig.

25 Nach einem Verfahrensschritt D) weist der Halbleiterchip 10a eine mechanisch stabile Verbindung mit dem Konverterelement 5 auf, welches vorteilhaft thermisch gut an den Halbleiterchip 10a angebunden ist.

30 Die Figur 4 zeigt in einer schematischen Seitenansicht das Bauelement 10 aus der Figur 3 nach Verfahrensschritten E) und F).

Es erfolgt ein Anordnen des Halbleiterchips 10a auf einem
Hilfsträger 4a (Verfahrensschritt E)), wobei das
Konverterelement 5 dem Hilfsträger 4a zugewandt ist, und ein
5 Ablösen des Trägers 4 vom Halbleiterchip 10a
(Verfahrensschritt F)). Nach dem Verfahrensschritt E) ist das
Konverterelement 5 mechanisch stabil mit dem Hilfsträger 4a
verbunden.

10 Die Verfahrensschritte D) und E) können vorteilhaft auch
gleichzeitig erfolgen.

Die Figur 5 zeigt in einer schematischen Seitenansicht den
Halbleiterchip 10a aus der Figur 4, wobei ein weiterer
15 Halbleiterchip 10a auf dem Hilfsträger 4a angeordnet ist. Die
Halbleiterchips wurden vorteilhaft in einem Waferverbund
bereitgestellt und die Verfahrensschritte B) bis F) in der
genannten Reihenfolge an den Halbleiterchips im Waferverbund
durchgeführt. Im Waferverbund wird im Verfahrensschritt A)
20 vorteilhaft eine Vielzahl von Halbleiterchips 10a
bereitgestellt. Zur einfacheren Veranschaulichung sind in der
Figur 5 nur zwei Halbleiterchips 10a gezeigt.

Das Konverterelement kann vorteilhaft den Halbleiterchip
25 und/oder den Waferverbund stabilisieren.

Das Konverterelement 5 kann vorteilhaft eine ebene Form mit
konstanter Dicke umfassen und sich vorteilhaft lateral über
die Halbleiterchips 10a oder den Waferverbund hinaus
30 erstrecken. Beispielsweise weist das Konverterelement 5 eine
Dicke von größer 100 µm oder größer 200 µm auf. Das
Konverterelement 5 weist vorteilhaft eine ebene Oberfläche
auf. Das Konverterelement 5 kann auf der Abstrahlseite

vorteilhaft eine Aufrauung umfassen. Vor dem Vereinzeln kann das Konverterelement 5 beispielsweise eine in Draufsicht runde Form umfassen. Nach dem Vereinzeln kann sich das Konverterelement 5 in lateraler Richtung wenige μm über den Halbleiterchip 10a hinaus erstrecken, beispielsweise an allen Seiten des Halbleiterchips 10a. Das Konverterelement 5 weist vorteilhaft an lateralen Rändern Vereinzelungsspuren auf.

Ähnlich einer äußeren Verkapselung der Seitenflächen des Halbleiterchips 10a kann auch eine reflektierende Schicht auf die Seitenflächen des Konverterelements aufgebracht werden (nicht gezeigt). Die reflektierende Schicht kann beispielsweise Silber, Aluminium, einen dielektrischen Spiegel oder eine Kombination daraus umfassen.

Nach dem Verfahrensschritt F) wird der Waferverbund in eine Vielzahl von Halbleiterchips 10 vereinzelt. Das Vereinzeln erfolgt beispielsweise mittels Laserstrahlschneiden, Stealth Dicing, Plasma Dicing oder mechanischem Sägen, wobei vorteilhaft das Konverterelement 5 und der Hilfsträger 4a zertrennt werden.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele auf diese beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 102016108682.7, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Bezugszeichenliste

	1	Saphirsubstrat
	4	Träger
5	4a	Hilfsträger
	5	Konverterelement
	7	Klebeschicht
	10	optoelektronisches Bauelement
	10a	lichtemittierender Halbleiterchip
10	11	p-Kontaktstelle
	11a	p-dotierter Halbleiterbereich
	12	n-Kontaktstelle 12
	12a	n-dotierter Halbleiterbereich
	13	aktive Zone
15	14	Spiegelschicht
	14a	Kontaktschicht
	14b	weitere Kontaktschicht
	14c	Verkapselung
	15	Durchkontaktierung
20	15a	Kontaktführung
	16	äußere Verkapselung
	A)	Verfahrensschritt
	B)	Verfahrensschritt
	C)	Verfahrensschritt
25	D)	Verfahrensschritt
	E)	Verfahrensschritt
	F)	Verfahrensschritt

Patentansprüche

1. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) umfassend die Schritte:
 - 5 A) Bereitstellen zumindest eines lichtemittierenden Halbleiterchips (10a) umfassend ein Saphirsubstrat (1) und eine epitaktisch gewachsene Schichtenfolge (10b),
 - 10 B) Anordnen des lichtemittierenden Halbleiterchips (10a) mit einer dem Saphirsubstrat (1) abgewandten Seite auf einen Träger (4),
 - C) Ablösen des Saphirsubstrats (1) vom Halbleiterchip (10a),
 - 15 D) Aufbringen eines Konverterelements (5) auf einem Bereich des Halbleiterchips (10a), in welchem das Saphirsubstrat (1) abgelöst wurde,
 - E) Anordnen des Halbleiterchips (10a) auf einen Hilfsträger (4a), so dass das Konverterelement (5) dem Hilfsträger (4a) zugewandt ist, und
 - 20 F) Ablösen des Trägers (4) vom Halbleiterchip (10a).
2. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach Anspruch 1,
25 bei dem die Verfahrensschritte A) bis F) in der angegebenen Reihenfolge erfolgen.
3. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach Anspruch 1,
30 bei dem im Verfahrensschritt A) eine Vielzahl von lichtemittierenden Halbleiterchips (10a) in einem Waferverbund bereitgestellt werden.

4. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach dem vorhergehenden Anspruch, bei dem nach dem Verfahrensschritt F) der Waferverbund mit dem Konverterelement (5) und dem Hilfsträger (4a) in eine Vielzahl von optoelektronischen Bauelementen (10) vereinzelt wird.
5. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach dem vorhergehenden Anspruch, bei dem das Vereinzeln mittels Laserstrukturierung (laser scribing), Stealth Dicing (keine Übersetzung bekannt), Plasmaschneiden (plasma dicing) oder mechanischem Sägen erfolgt.
6. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach einem der vorhergehenden Ansprüche, bei dem im Verfahrensschritt D) das Konverterelement (5) auf alle Halbleiterchips (10a) aufgebracht wird.
7. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach einem der vorhergehenden Ansprüche, bei dem das Konverterelement (5) einkristallin ist.
8. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach einem der vorhergehenden Ansprüche, bei dem das Konverterelement (5) mit einer Klebeschicht (7) beschichtet wird und das Konverterelement (5) mit der Klebeschicht (7) auf den Halbleiterchip(s) (10a) aufgeklebt wird.

9. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach dem vorhergehenden Anspruch, bei dem die Klebeschicht (7) transparent ist und Si umfasst.
- 5
10. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach einem der vorhergehenden Ansprüche 8 oder 9, bei dem die Klebeschicht (7) mittels Spin-coating auf das Konverterelement (5) aufgebracht wird.
- 10
11. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach Anspruch 7, bei dem das Konverterelement (5) anodisch auf die epitaktisch gewachsene Schichtenfolge (10b) gebondet wird.
- 15
12. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach einem der vorhergehenden Ansprüche 1 bis 6 oder 8 bis 10, bei dem das Konverterelement (5) ein Konvertermaterial (5a) umfasst, das in Glas eingebracht ist.
- 20
13. Verfahren zur Herstellung eines optoelektronischen Bauelements (10) nach dem vorhergehenden Anspruch, bei dem das Konverterelement (5) ein keramisches Plättchen umfasst oder ein keramisches Plättchen ist.
- 25
14. Optoelektronisches Bauelement (10) umfasst einen lichtemittierenden Halbleiterchip (10a) mit
- 30
- einer epitaktisch gewachsenen Schichtenfolge (10b) mit einem p-dotierten Halbleiterbereich (11a), einem n-dotierten Halbleiterbereich (12b) und einer

aktiven Zone, wobei der n-dotierte Halbleiterbereich (12b) einer Abstrahlseite (2) des Halbleiterchips (10a) zugewandt ist,

- einer p-Kontaktstelle (11) und eine n-Kontaktstelle (12), welche beide auf einer gleichen Seite des Halbleiterchips (10a) angeordnet sind, und welche von der Abstrahlseite (2) des Halbleiterchips (10a) abgewandt sind,
- einer Spiegelschicht (14), welche auf dem p-dotierten Halbleiterbereich (11a) angeordnet ist und dem n-dotierten Halbleiterbereich (12b) abgewandt ist, und
- einem Konverterelement (5), welches auf dem n-dotierten Halbleiterbereich (12b) angeordnet ist und dem p-dotierten Halbleiterbereich (11a) abgewandt ist.

15. Optoelektronisches Bauelement (10) nach dem vorhergehenden Anspruch,
- bei dem das Bauelement (10) eine äußere Verkapselung (16) umfasst, welche den Halbleiterchip 10a) an Seitenflächen und an einer der Abstrahlseite (2) abgewandten Seite verkapselt, wobei die p-Kontaktstelle (11) und die n-Kontaktstelle (12) die äußere Verkapselung durchkontaktieren.

FIG 1A

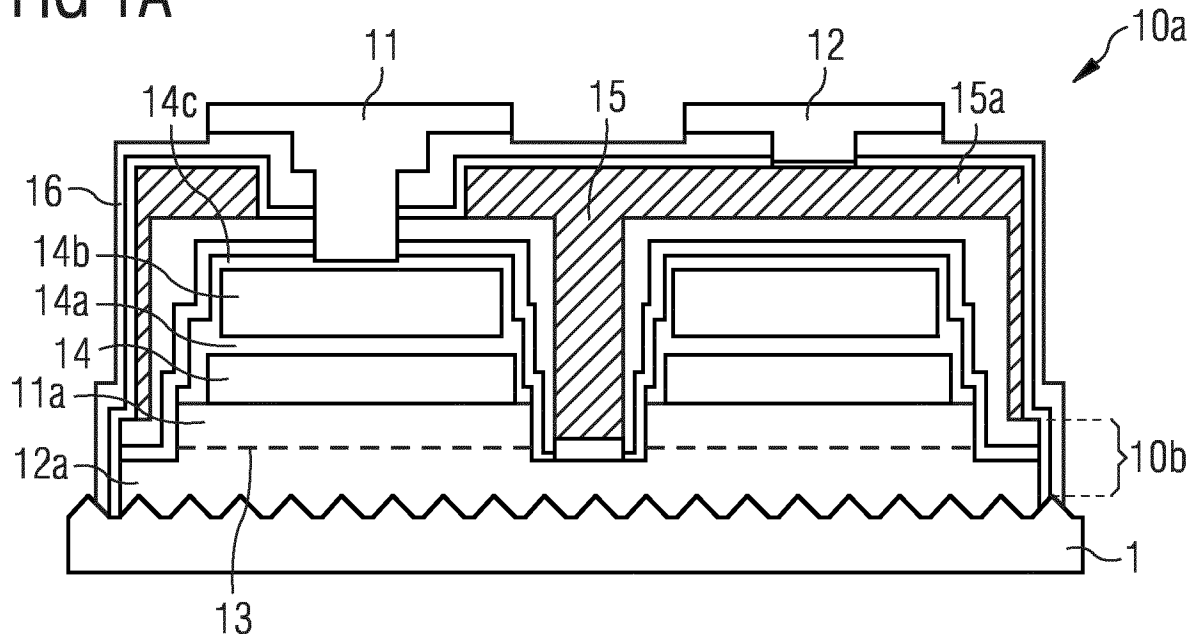


FIG 1B

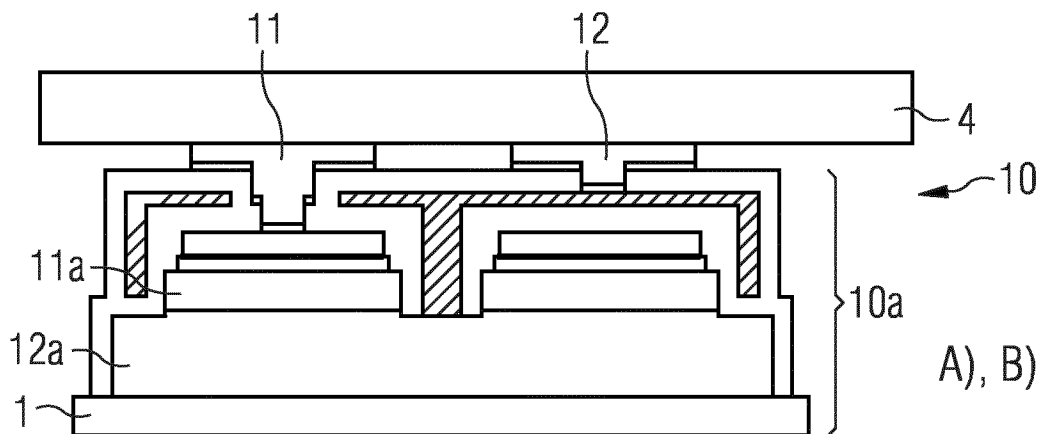


FIG 1C

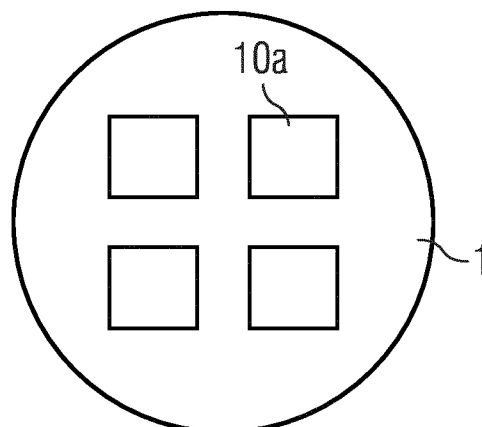


FIG 2

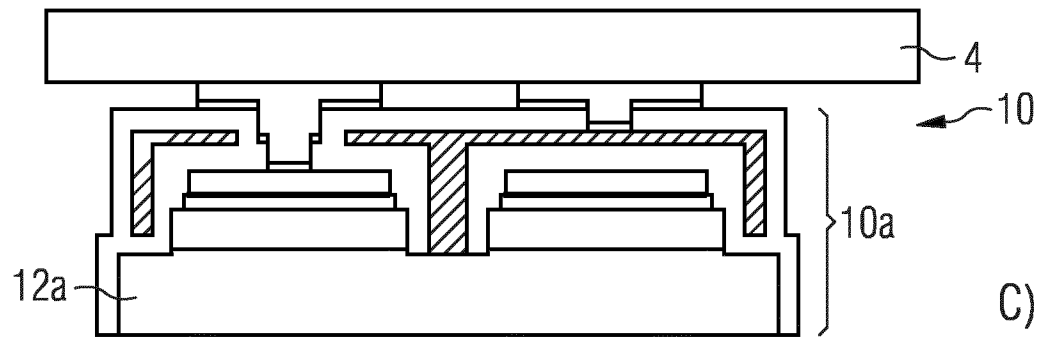


FIG 3

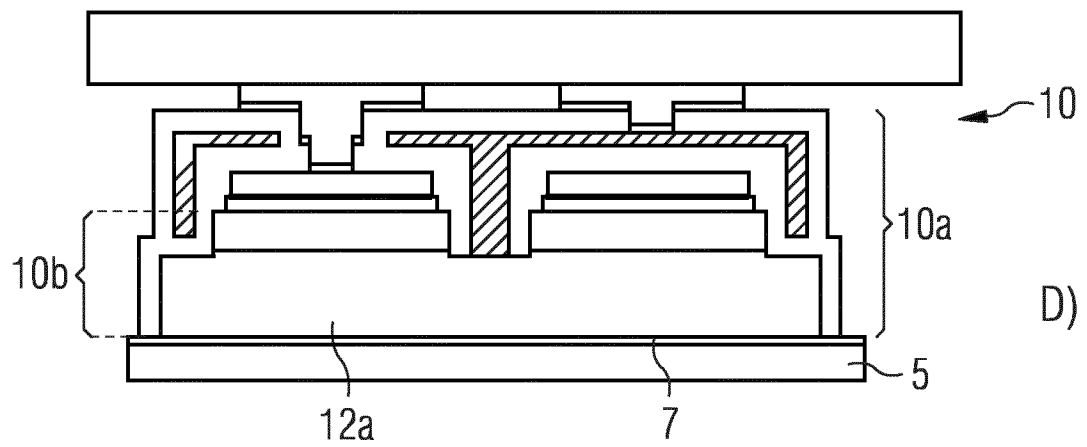


FIG 4

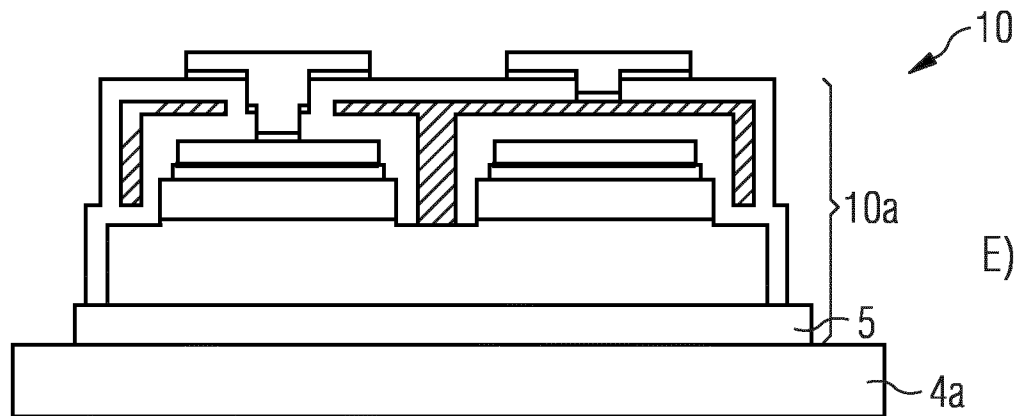
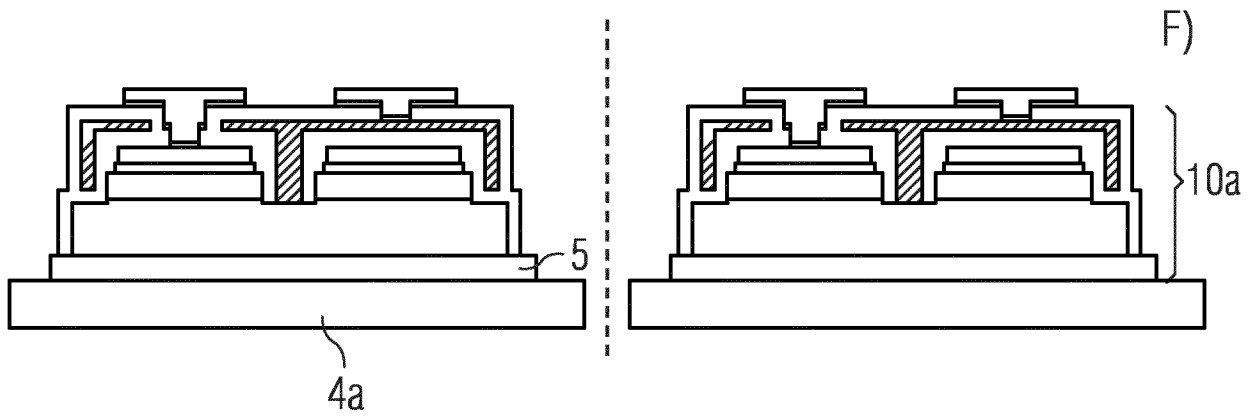


FIG 5



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/061218A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L33/00
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 10 2008 039790 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 4 March 2010 (2010-03-04) paragraphs [0008], [0014], [0018]; claims 1-15	1-15
A	----- DE 10 2009 051746 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 31 March 2011 (2011-03-31) claims 1-14	1-15
A	----- WO 2015/124464 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 27 August 2015 (2015-08-27) claims 1-12	1-15
	----- -/-	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

7 June 2017

Date of mailing of the international search report

26/06/2017

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

But, Gabriela-Ileana

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2017/061218

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 10 2014 100772 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 23 July 2015 (2015-07-23) claims 1-14 -----	1-15
A	US 2011/266569 A1 (BASIN GRIGORIY [US] ET AL) 3 November 2011 (2011-11-03) claims 1-15 -----	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/061218

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 102008039790 A1	04-03-2010	NONE	
DE 102009051746 A1	31-03-2011	CN 102576790 A	11-07-2012
		DE 102009051746 A1	31-03-2011
		EP 2483937 A1	08-08-2012
		JP 2013506976 A	28-02-2013
		KR 20120091173 A	17-08-2012
		TW 201126775 A	01-08-2011
		US 2012248492 A1	04-10-2012
		WO 2011039023 A1	07-04-2011
WO 2015124464 A1	27-08-2015	DE 102014102292 A1	27-08-2015
		US 2017018695 A1	19-01-2017
		WO 2015124464 A1	27-08-2015
DE 102014100772 A1	23-07-2015	DE 102014100772 A1	23-07-2015
		JP 2017504214 A	02-02-2017
		US 2017005079 A1	05-01-2017
		WO 2015110460 A1	30-07-2015
US 2011266569 A1	03-11-2011	CN 102906887 A	30-01-2013
		EP 2564435 A1	06-03-2013
		JP 5927179 B2	01-06-2016
		JP 2013526052 A	20-06-2013
		KR 20130095190 A	27-08-2013
		TW 201203596 A	16-01-2012
		US 2011266569 A1	03-11-2011
		WO 2011135528 A1	03-11-2011

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H01L33/00

ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 10 2008 039790 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 4. März 2010 (2010-03-04) Absätze [0008], [0014], [0018]; Ansprüche 1-15	1-15
A	DE 10 2009 051746 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 31. März 2011 (2011-03-31) Ansprüche 1-14	1-15
A	WO 2015/124464 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 27. August 2015 (2015-08-27) Ansprüche 1-12	1-15
	----- -/-	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

7. Juni 2017

Absendedatum des internationalen Recherchenberichts

26/06/2017

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

But, Gabriela-Ileana

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 10 2014 100772 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 23. Juli 2015 (2015-07-23) Ansprüche 1-14	1-15

A	US 2011/266569 A1 (BASIN GRIGORIY [US] ET AL) 3. November 2011 (2011-11-03) Ansprüche 1-15	1-15

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2017/061218

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 102008039790 A1	04-03-2010	KEINE	
DE 102009051746 A1	31-03-2011	CN 102576790 A	11-07-2012
		DE 102009051746 A1	31-03-2011
		EP 2483937 A1	08-08-2012
		JP 2013506976 A	28-02-2013
		KR 20120091173 A	17-08-2012
		TW 201126775 A	01-08-2011
		US 2012248492 A1	04-10-2012
		WO 2011039023 A1	07-04-2011
WO 2015124464 A1	27-08-2015	DE 102014102292 A1	27-08-2015
		US 2017018695 A1	19-01-2017
		WO 2015124464 A1	27-08-2015
DE 102014100772 A1	23-07-2015	DE 102014100772 A1	23-07-2015
		JP 2017504214 A	02-02-2017
		US 2017005079 A1	05-01-2017
		WO 2015110460 A1	30-07-2015
US 2011266569 A1	03-11-2011	CN 102906887 A	30-01-2013
		EP 2564435 A1	06-03-2013
		JP 5927179 B2	01-06-2016
		JP 2013526052 A	20-06-2013
		KR 20130095190 A	27-08-2013
		TW 201203596 A	16-01-2012
		US 2011266569 A1	03-11-2011
		WO 2011135528 A1	03-11-2011