

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3548115号

(P3548115)

(45) 発行日 平成16年7月28日(2004.7.28)

(24) 登録日 平成16年4月23日(2004.4.23)

(51) Int. Cl.<sup>7</sup>

H03K 19/003

F I

H03K 19/003

Z

請求項の数 11 (全 21 頁)

(21) 出願番号	特願2000-395932 (P2000-395932)	(73) 特許権者	000003078
(22) 出願日	平成12年12月26日 (2000.12.26)		株式会社東芝
(65) 公開番号	特開2002-198793 (P2002-198793A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年7月12日 (2002.7.12)	(74) 代理人	100058479
審査請求日	平成15年3月25日 (2003.3.25)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体集積回路及び半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

入力端が共通接続された同一の論理機能を有する第1及び第2の論理回路と、これらの論理回路の出力を切り換える出力切換回路とを具備してなり、

第1の論理回路は、第1のしきい値電圧 $V_{t1}$ のMOSFETから構成され、且つ電位 $V_1$ の第1の電源が供給されるもので、第2の論理回路は、第2のしきい値電圧 $V_{t2}$  ( $V_{t1} > V_{t2}$ )のMOSFETから構成され、且つ電位 $V_2$  ( $V_1 > V_2$ )の第2の電源が供給されるもので、

第1及び第2の論理回路は共に、pMOSFETで構成されるpMOSブロックとnMOSFETで構成されるnMOSブロックを電源に対して直列接続してなる相補論理の論理ブロックで構成され、

前記出力切換回路は、第1及び第2の論理回路のそれぞれのpMOSブロックとnMOSブロックとの間に挿入され、制御信号に応じて各ブロック間の一方を低インピーダンス、他方を高インピーダンスに切り換え、且つ低インピーダンスに切り換えた方の論理回路の出力を出力端に出力するものであることを特徴とする半導体集積回路。

【請求項2】

前記出力切換回路は、前記第1の論理回路の各ブロック間及び前記第2の論理回路の各ブロック間に、それぞれスイッチング用のpMOSFETとnMOSFETを直列に接続し、且つ両方のpMOSFETとnMOSFETの接続点を出力端に接続してなり、

前記制御信号により一方のスイッチング用のpMOSFETとnMOSFETがオンの時

10

20

、他方のスイッチング用の p M O S F E T と n M O S F E T がオフとなるように構成されていることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

前記第 1 の論理回路側のスイッチング用 p M O S F E T と前記第 2 の論理回路側のスイッチング用 n M O S F E T の各ゲートに出力切り換えのための制御信号が入力され、前記第 1 の論理回路側のスイッチング用 n M O S F E T と前記第 2 の論理回路側のスイッチング用 p M O S F E T の各ゲートに前記制御信号の反転信号が入力されることを特徴とする請求項 2 記載の半導体集積回路。

【請求項 4】

前記出力切換回路は、前記第 1 の論理回路の各ブロック間に p M O S F E T と n M O S F E T が直列に接続され、且つ該 2 つの M O S F E T の接続点が出力端に接続された第 1 のスイッチ回路と、前記第 2 の論理回路の各ブロック間に 2 つの n M O S F E T が直列に接続され、且つ該 2 つの M O S F E T の接続点が出力端に接続された第 2 のスイッチ回路とからなり、

前記制御信号により一方のスイッチ回路の各 M O S F E T がオンの時、他方のスイッチ回路の各 M O S F E T がオフとなるように構成されていることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 5】

前記第 1 のスイッチ回路の p M O S F E T と前記第 2 のスイッチ回路の各 n M O S F E T の各ゲートに出力切り換えのための制御信号が入力され、前記第 1 のスイッチ回路の n M O S F E T のゲートに前記制御信号の反転信号が入力されることを特徴とする請求項 4 記載の半導体集積回路。

【請求項 6】

前記第 1 及び第 2 の論理回路は、インバータを構成するものであることを特徴とする請求項 1 ~ 5 の何れかに記載の半導体集積回路。

【請求項 7】

請求項 6 記載の半導体集積回路をフリップフロップのインバータ部として用いたことを特徴とする半導体集積回路装置。

【請求項 8】

前記第 2 の電源は n M O S トランジスタ或いは p M O S トランジスタを介して前記第 2 の論理回路に接続され、前記出力切換回路により前記第 1 の論理回路の出力が選択されるとき、前記第 2 の電源の電源線は前記第 2 の電源から切り離されることを特徴とする請求項 7 記載の半導体集積回路装置。

【請求項 9】

前記第 2 の電源と前記第 2 の論理回路との間に接続された n M O S トランジスタ或いは p M O S トランジスタは、スイッチ用の M O S トランジスタであることを特徴とする請求項 8 記載の半導体集積回路装置。

【請求項 10】

入力信号が与えられる第 1 のスイッチングゲートと、請求項 1 記載の半導体集積回路から構成され、前記第 1 のスイッチングゲートを介して入力信号が入力されるマスターフリップフロップと、このマスターフリップフロップの出力信号が与えられる第 2 のスイッチングゲートと、請求項 1 記載の半導体集積回路から構成され、前記第 2 のスイッチングゲートを介してマスターフリップフロップの出力信号が入力されるスレーブフリップフロップと、請求項 1 記載の半導体集積回路から構成され、前記第 1 及び第 2 のスイッチングゲートを制御するバッファ回路とを具備してなることを特徴とする半導体集積回路装置。

【請求項 11】

入力端が共通接続された論理機能が異なる第 1 及び第 2 の論理回路と、これらの論理回路の出力を切り換える出力切換回路とを具備してなり、

第 1 の論理回路は、第 1 のしきい値電圧  $V_{t1}$  の M O S F E T から構成され、且つ電位  $V_1$  の第 1 の電源が供給されるもので、第 2 の論理回路は、第 2 のしきい値電圧  $V_{t2}$  ( $V$

10

20

30

40

50

$t_1 > V_{t2}$ )のMOSFETから構成され、且つ電位 $V_2$  ( $V_1 > V_2$ )の第2の電源が供給され、さらに一定の電位を出力するもので、

第1及び第2の論理回路は共に、pMOSFETで構成されるpMOSブロックとnMOSFETで構成されるnMOSブロックを電源に対して直列接続してなる相補論理の論理ブロックで構成され、

前記出力切換回路は、第1及び第2の論理回路のそれぞれのpMOSブロックとnMOSブロックとの間に挿入され、制御信号に応じて各ブロック間の一方を低インピーダンス、他方を高インピーダンスに切り換え、且つ低インピーダンスに切り換えた方の論理回路の出力を出力端に出力するものであることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の電源レベルを有し、極めて低い電源電圧で論理回路を動作させる半導体集積回路に係わり、特に動作用の回路と待機用の回路を備えた半導体集積回路に関する。

【0002】

【従来の技術】

近年、半導体集積回路の集積度の向上は著しく、ギガビット級の半導体メモリでは1チップに数億個の半導体素子が、64ビットのマイクロプロセッサでは1チップに数百万個から1千万個の半導体素子が集積されるようになってきている。集積度の向上は素子の微細化によって達成され、1GビットDRAM(Dynamic Random Access Memory)においては、 $0.15\mu\text{m}$ のゲート長のMOSトランジスタが用いられ、更に集積度が高まると $0.1\mu\text{m}$ 以下のゲート長のMOSトランジスタが用いられるようになる。

【0003】

このような微細MOSトランジスタにおいては、ホットキャリア生成によるトランジスタの特性の劣化やTDDB(Time Dependent Dielectric Breakdown)による絶縁膜破壊が起きる。また、ゲート長が短くなることによるしきい値電圧の低下を抑えるため、基板領域や領域の不純物濃度が高められると、ソース、ドレインの接合電圧が低下する。これらの微細素子の信頼性を維持するためには、電源電圧を下げるのが有効である。即ち、ソース・ドレイン間の横方向電界を弱めることによってホットキャリアの発生を防ぎ、ゲート・バルク間の縦方向電界を弱めることによってTDDBを防ぐ。さらに、電源電圧を下げることによって、ソース・バルク間、ドレイン・バルク間の接合に加わる逆バイアスを低下させ、耐圧の低下に対応させる。

【0004】

また、近年での市場の拡大が著しい携帯情報機器においては、リチウムイオン電池に代表される軽量でかつエネルギー密度の高い電源が主流に使われている。しかしながら、リチウムイオン電池は電圧が3V程度であり、上記微細MOSトランジスタの耐圧より高く、微細トランジスタを用いた回路に適用する場合、電源電圧変換回路で降圧する必要がある。また、論理回路で用いられるCMOS回路の動作時の消費電力は、動作周波数に比例し電源電圧の二乗に比例するため、電源電圧を低下させることはチップ消費電力の低下に著しい効果がある。

【0005】

そこで、携帯機器をより長時間使うためには、高エネルギー密度の電池、高効率の電源変換変圧器、低電圧動作の集積回路が要求されている。降圧した電源電圧を特に消費電力の大きいマイクロプロセッサ及びベースバンドLSIに用いることは、LSIの低消費電力化の観点からも望ましい。

【0006】

一方、携帯情報機器内では、上記論理回路の他にDRAM, SRAMなどの記憶素子も必須であるが、DRAMではセルの電荷量を十分に確保しソフトエラー耐性を高めるため、SRAMでは低電源電圧動作時の速度劣化を避けるために、論理回路に見られるような顕

10

20

30

40

50

著な低消費電力化はなされておらず、現在では1.5V程度の電源電圧の素子が実用化されている。しかしながら、この電源電圧は論理回路の動作可能最低電圧とは大きく異なるため、記憶回路と論理回路を混載したLSIにおいては、現在、将来いずれにおいても、様々な電源電圧を供給するマルチ電源構成になると考えられる。

#### 【0007】

図17に、記憶回路及び論理回路を同一チップ上に集積化した携帯情報機器用半導体集積回路とその電源系の構成を示す。電源系はリチウムイオン電池1700と電源電圧変換回路1701から構成され、半導体集積回路1704は論理回路1702とオンチップ記憶回路1703から構成される。リチウムイオン電池1700の3Vを電源電圧変換回路1701で0.5V電圧に変換し、論理回路1702に0.5V電源を供給する。一方、オンチップ記憶回路1703は、高速動作のためには一般的に1.5~2.0V以上の電源電圧を必要とするため、ここではリチウムイオン電池1700の3V電源を供給している。

10

#### 【0008】

図17の構成では、論理回路の電源電圧を3Vから0.5V程度にすることにより理論的には動作時の消費電力を約95%削減でき、消費電力の劇的な低減が図れる。しかし、一般の3Vから2Vの電源電圧で動作するCMOS回路の電源電圧を下げるとそのままではしきい値電圧が高いため、素子の動作速度が低下したり動作しなくなるという問題があり、これを解決するためMOSトランジスタのしきい値電圧は電源電圧の低下と共に下げられている。例えば0.5Vの低電源電圧で動作する論理回路を構成するためには、絶対値で0.1~0.15V程度と従来のMOSFETのしきい値電圧の1/3程度のしきい値電圧のMOSFETを用いる必要がある。

20

#### 【0009】

しかしながら、このような低しきい値電圧では、例えばMOSFETのサブスレッシュホールド特性を決定するSファクタが100mV/decadeとすると、MOSFETのオフリーク電流が約3桁程度と大幅に増す。従って、低電源電圧化だけのアプローチでは、動作時の消費電力の低減が図れるものの、機器の待機時の消費電力が大幅に増加する。従って、このままでは携帯情報機器用半導体集積回路としては適していないことになる。

#### 【0010】

図18は、上記の問題を鑑みたもので、リチウムイオン電池1800の3Vを電源電圧変換回路1801で0.5V電圧に変換し、半導体集積回路1805に0.5Vの極めて低い電圧を供給し、論理回路1802内に0.5V電源を供給することで動作時の低消費電力化を図る。また、正電圧発生回路1803と負電圧発生回路1804を備え、それぞれの回路で電源電圧以上と接地電位以下の電位を発生するようにする。それぞれの電圧発生回路で発生した電位を論理回路1802内のnウェル及びpウェルに供給する構成することで、通常の動作時は論理回路内のMOSFETのしきい値電圧の絶対値を低めにし動作速度を優先する。本構成では、待機時は論理回路内のMOSFETのしきい値電圧の絶対値を大きくし、オフ時のリーク電流を減らすことで低消費電力化を図ることが可能となる。

30

#### 【0011】

しかしながら、本技術では、0.5V電源のような極めて低い電圧の場合には以下の問題点が顕在化する。まず、半導体集積回路においては、正電圧発生回路1803、負電圧発生回路1804に対してチャージポンプ方式を用いるのが一般的であるが、0.5V電源のように極めて低い電圧では、通常のチャージポンプ方式はウェル電位を制御するためには十分な駆動能力が得られない。そこで、駆動能力を増すためには駆動用MOSFETのサイズが極めて大きくなってしまい、電圧発生回路のレイアウト面積が従来の場合よりも大きくなる。

40

#### 【0012】

図19は、同じくオフ時のリーク電流の問題を鑑みたもので、半導体集積回路1905に3種類の電源を供給している。即ち、半導体集積回路内にオンチップで集積化されている

50

論理回路1902に、ニッケル水素電池1900から供給される3V電源(VDD)と接地(VSS)の他に、電源電圧変換回路1901から供給される論理回路用電源VD1(0.5V)をしきい値の大きいpMOSFET1903を介して論理回路の疑似電源線VDDVに接続している。本構成では、スタンバイ時には論理回路内の必要な情報を記憶回路1904に退避した後に、pMOSFET1903のゲート電圧をVDDとしMOSFET1903をオフ状態にする。その際、リーク電流は、しきい値の大きいpMOSFET1903のオフ特性によって決まるため、非常に小さくなる。

#### 【0013】

しかしながら、待機時には論理回路1902の電源は切断されるため、文献(Sub-1-V Swing Bus Architecture for Future Low-Power ULSIs by Nakagome et. al., 1992 VLSI Circuit Symposium, 9-2)に示されるように、論理回路内のフリップフロップ内の情報は事前に記憶回路内に退避させる手順が必要となる。また、論理回路の回路規模が大きく、消費電力が高い場合には、動作時に電流切断用のスイッチトランジスタpMOSFET1903のON抵抗による電位降下による論理回路ブロックの回路安定性、速度特性に対する影響を小さくするために、pMOSFET1903の素子サイズを非常に大きくする必要がある。そのため、pMOSFET1903により電源をスイッチする回路のレイアウト面積が大きくなる問題に加え、pMOSFET1903のゲートを駆動するドライバ回路の消費電力が大きくなってしまいう問題がある。

#### 【0014】

このように、論理回路において動作時の低消費電力特性と待機時の低消費電力特性を両立させるために従来から提案されている方法では、切り換えのための大規模な回路が必要となるためレイアウト面積が大きくなり、最終的に半導体集積回路のコストの増加を招く、大規模の回路であるため切り換えにある程度の時間を要する或いは切り換えを速くするためには周辺の駆動回路の駆動能力を高める必要があるため消費電力の増大を招く、さらには論理ゲート内のフリップフロップの情報を維持するため、新たな付加回路が必要となりレイアウト面積の増大を招いている。

#### 【0015】

##### 【発明が解決しようとする課題】

このように従来、携帯機器を狙った半導体集積回路においては、動作時の速度仕様を満たしつつ、動作時及び待機時の低消費電力化を実現することが必須である。待機時の低消費電力化を狙った方法として半導体集積回路内の論理回路の電源以上の電圧及び接地電位以下の電位をオンチップで発生させてウェル電位を制御することにより待機時の低消費電力化を実現する(ウェル電位制御方式)、或いはオフ特性の良好なFETを用いて電源スイッチを構成する等の方式(電源スイッチ方式)がある。

#### 【0016】

これらの方法は、待機時の低消費電力化には有効であるものの、動作時の低消費電力化を狙って0.5V程度の極めて低い電源電圧を用いた場合には、次のような問題を有する。

#### 【0017】

(1) ウェル電位制御方式においては、電位発生回路の低電源電圧化による駆動能力低下を補うためのレイアウト面積の増大を招く。

(2) ウェル電位制御方式、電源スイッチ方式いずれの場合においても、高速な動作、待機の切り換えを狙った際の動作、待機制御回路による電力消費量の増大を招く。

(3) 電源スイッチ方式において、電源スイッチ用FETによる電源電圧降下による回路安定性の低下、速度特性の劣化を招く。

(4) 電源スイッチ方式の待機時においてデータ保持を行うための付加回路が必要となる。

#### 【0018】

そして、これらの問題は、いずれにおいてもレイアウト面積の増大、消費電力の増大、設計の複雑化などにつながるため、最終的には集積回路のコストが増加することになる。

10

20

30

40

50

## 【0019】

本発明は、上記の事情を考慮してなされたもので、その目的とするところは、0.5V程度の非常に小さな電源電圧で動作する論理回路に対し、複雑な制御回路を用いず、動作時及び待機時の低消費電力化を実現することのできる半導体集積回路を提供することにある。

## 【0020】

## 【課題を解決するための手段】

## (構成)

上記課題を解決するために本発明は、次のような構成を採用している。

即ち本発明は、入力端が共通接続された同一の論理機能を有する第1及び第2の論理回路と、これらの論理回路の出力を切り換える出力切換回路とを具備してなる半導体集積回路であって、第1の論理回路は、第1のしきい値電圧 $V_{t1}$ のMOSFETから構成され、且つ第1の電源電位 $V_1$ が供給されるもので、第2の論理回路は、第2のしきい値電圧 $V_{t2}$  ( $V_{t1} > V_{t2}$ )のMOSFETから構成され、且つ第2の電源電位 $V_2$  ( $V_1 > V_2$ )が供給されるもので、第1及び第2の論理回路は共に、pMOSFETで構成されるpMOSブロックとnMOSFETで構成されるnMOSブロックを電源に対して直列接続してなる相補論理の論理ブロックで構成され、前記出力切換回路は、第1及び第2の論理回路のそれぞれのpMOSブロックとnMOSブロックとの間に挿入され、制御信号に応じて各ブロック間の一方を低インピーダンス、他方を高インピーダンスに切り換え、且つ低インピーダンスに切り換えた方の論理回路の出力を出力端に出力するものであることを特徴とする。

## 【0021】

ここで、本発明の望ましい実施態様としては次のものが挙げられる。

(1) 出力切換回路は、第1の論理回路の各ブロック間及び第2の論理回路の各ブロック間に、それぞれスイッチング用のpMOSFETとnMOSFETを直列に接続し、且つ両方のpMOSFETとnMOSFETの接続点を出力端に接続してなり、制御信号により一方のスイッチング用のpMOSFETとnMOSFETがオンの時、他方のスイッチング用のpMOSFETとnMOSFETがオフとなるように構成されていること。

(2) 第1の論理回路側のスイッチング用pMOSFETと第2の論理回路側のスイッチング用nMOSFETの各ゲートに出力切り換えのための制御信号が入力され、第1の論理回路側のスイッチング用nMOSFETと第2の論理回路側のスイッチング用pMOSFETの各ゲートに前記制御信号の反転信号が入力されること。

## 【0022】

(3) 出力切換回路は、第1の論理回路の各ブロック間にpMOSFETとnMOSFETが直列に接続され、且つ該2つのMOSFETの接続点が出力端に接続された第1のスイッチ回路と、第2の論理回路の各ブロック間に2つのnMOSFETが直列に接続され、且つ該2つのMOSFETの接続点が出力端に接続された第2のスイッチ回路とからなり、制御信号により一方のスイッチ回路の各MOSFETがオンの時、他方のスイッチ回路の各MOSFETがオフとなるように構成されていること。

(4) 第1のスイッチ回路のpMOSFETと第2のスイッチ回路の各nMOSFETの各ゲートに出力切り換えのための制御信号が入力され、第1のスイッチ回路のnMOSFETのゲートに前記制御信号の反転信号が入力されること。

## 【0023】

(5) 第1及び第2の論理回路は、インバータを構成するものであること。そして、このインバータをフリップフロップに用いること。

## 【0024】

(6) 第2の電源はnMOSトランジスタ或いはpMOSトランジスタを介して第2の論理回路に接続され、出力切換回路により第1の論理回路の出力が選択されるとき、第2の電源の電源線は第2の電源から切り離されること。

## 【0025】

(7) 第2の電源と第2の論理回路との間に接続されたnMOSトランジスタ或いはpMOSトランジスタはスイッチ用のMOSトランジスタであること。

【0026】

また本発明は、入力信号が与えられる第1のスイッチングゲートと、第1のスイッチングゲートを介して入力信号が入力されるマスターフリップフロップと、このマスターフリップフロップの出力信号が与えられる第2のスイッチングゲートと、第2のスイッチングゲートを介してマスターフリップフロップの出力信号が入力されるスレーブフリップフロップと、第1及び第2のスイッチングゲートを制御するバッファ回路とを備えた半導体集積回路装置であって、前記各フリップフロップ及びバッファ回路はそれぞれ、入力端が共通接続された同一の論理機能を有する第1及び第2の論理回路と、これらの論理回路の出力を切り換える出力切換回路とを有し、第1の論理回路は、第1のしきい値電圧 $V_{t1}$ のMOSFETから構成され、且つ第1の電源電位 $V_1$ が供給されるもので、第2の論理回路は、第2のしきい値電圧 $V_{t2}$  ( $V_{t1} > V_{t2}$ )のMOSFETから構成され、且つ第2の電源電位 $V_2$  ( $V_1 > V_2$ )が供給されるもので、第1及び第2の論理回路は共に、pMOSFETで構成されるpMOSブロックとnMOSFETで構成されるnMOSブロックを直列接続してなる相補論理の論理ブロックで構成され、前記出力切換回路は、第1及び第2の論理回路のそれぞれのpMOSブロックとnMOSブロックとの間に挿入され、制御信号に応じて各ブロック間の一方を低インピーダンス、他方を高インピーダンスに切り換え、且つ低インピーダンスに切り換えた方の論理回路の出力を出力端に出力するものであることを特徴とする。

10

20

【0027】

また本発明は、入力端が共通接続された論理機能が異なる第1及び第2の論理回路と、これらの論理回路の出力を切り換える出力切換回路とを具備してなる半導体集積回路であって、第1の論理回路は、第1のしきい値電圧 $V_{t1}$ のMOSFETから構成され、且つ電位 $V_1$ の第1の電源が供給されるもので、第2の論理回路は、第2のしきい値電圧 $V_{t2}$  ( $V_{t1} > V_{t2}$ )のMOSFETから構成され、且つ電位 $V_2$  ( $V_1 > V_2$ )の第2の電源が供給され、さらに一定の電位を出力するもので、第1及び第2の論理回路は共に、pMOSFETで構成されるpMOSブロックとnMOSFETで構成されるnMOSブロックを電源に対して直列接続してなる相補論理の論理ブロックで構成され、前記出力切換回路は、第1及び第2の論理回路のそれぞれのpMOSブロックとnMOSブロックとの間に挿入され、制御信号に応じて各ブロック間の一方を低インピーダンス、他方を高インピーダンスに切り換え、且つ低インピーダンスに切り換えた方の論理回路の出力を出力端に出力するものであることを特徴とする。

30

【0028】

(作用)

本発明によれば、入力端が共通接続された同一の論理機能を有する第1及び第2の論理回路のそれぞれを、pMOSFETで形成されるpMOSブロックとnMOSFETで形成されるnMOSブロックとを直列接続した相補論理の論理ブロックで構成し、第1の論理回路におけるMOSFETのしきい値 $V_{t1}$ に比して第2の論理回路におけるMOSFETのしきい値 $V_{t2}$ を低くし、第1の論理回路に供給される電源電位 $V_1$ に比して第2の論理回路に供給される電源電位 $V_2$ を低くし、第1及び第2の論理回路のそれぞれにおいて各ブロック間に、制御信号に応じて各ブロック間の一方を導通、他方を遮断すると共に、導通側の論理回路の出力を出力端に出力する出力切換回路を挿入することにより、動作時は低いしきい値電圧のMOSFETを論理スイッチングのために用いた第1の論理回路を出力に接続することで低消費電力で動作させ、待機時は高いしきい値電圧のMOSFETをリーク電流経路に挿入した第2の論理回路を出力に接続することで低漏洩電流特性で動作させることが可能となる。

40

【0029】

即ち、複数のしきい値電圧からなるMOSFETから構成された論理ゲート内に動作用の回路と別のより高い電源で動作する待機用の回路とを持つことによって、動作時の高速特

50

性と待機時の消費電力特性を実現することができる。

【0030】

また、上記論理回路を用いてフリップフロップ・ラッチなどの記憶回路を構成し、記憶回路以外の論理回路は電源から切り離せるようにすることにより、動作時は低電位の電源により論理回路は低消費電力特性で動作し、待機時にはフリップフロップでデータを保持し、他の論理回路は電源から切り離すことにより低漏洩電流特性で待機するようになる。

【0031】

【発明の実施の形態】

以下、本発明の詳細を図示の実施形態によって説明する。

【0032】

(第1の実施形態)

図1は、本発明の第1の実施形態に係わる半導体集積回路100の基本構成を示すブロック図である。

【0033】

この半導体集積回路100は、 $V1 > V2$ を満たす二つの電源102, 103から電圧の供給を受け、内部論理回路101も同様に二つの電源102, 103からの電圧の供給を受けている。内部論理回路101は二つの同一の論理機能を示す第1及び第2の論理回路104, 105からなるが、それぞれがpMOS回路ブロック106, 107とpMOS回路ブロックに対して双対の接続からなるnMOS回路ブロック108, 109からなり、それぞれの出力端は制御信号Contにより切り換えを行う出力切換回路110を介して出力端outに接続されている。

【0034】

本実施形態では、半導体集積回路100の動作時には、制御信号ContによりpMOS回路ブロック107とnMOS回路ブロック109の出力端子が出力に接続され、低電圧で低消費電力動作を行う。一方、pMOS回路ブロック106とnMOS回路ブロック108は、出力切換回路110により電氣的に浮遊しているため、第1の論理回路104では電流の漏洩経路が無くなる。次に、制御信号Contにより待機として動作する場合であるが、出力切り換え信号により第1の論理回路104内のpMOS回路ブロック106とnMOS回路ブロック108の出力が出力端outに接続されるが、pMOS回路ブロック106とnMOS回路ブロック108は何れもしきい値電圧の絶対値が大きい方のトランジスタによって構成されているため、第1の論理回路104においては低漏洩電流特性となる。

【0035】

このとき、第2の論理回路105内のpMOS回路ブロック107とnMOS回路ブロック109は出力切換回路110により電氣的に浮遊しているため、pMOS回路ブロック107, nMOS回路ブロック109を構成するFETのしきい値電圧に拘わらず低漏洩電流特性となる。従って、動作時は低電源電圧による低消費電力特性となり、待機時には低漏洩電流特性となる。

【0036】

図2は、本実施形態に使用した出力切換回路110の具体的な例を示したものである。pMOSFET200, 202とnMOSFET201, 203のドレインは出力端outに接続され、各々のソースは図1におけるpMOS回路ブロック106, 107、nMOS回路ブロック108, 109にそれぞれ接続されている。そして、pMOSFET200, nMOSFET203のゲートに制御信号Contが供給され、pMOSFET202, nMOSFET201のゲートに制御信号Contの相補信号/Contが供給される。このような構成にすることにより、一方の論理回路の出力を出力端outに接続すると同時に、他方の論理回路の出力を電氣的に浮遊することができるようになる。

【0037】

図3は、本実施形態に使用した出力切換回路の別の具体例を示したものである。pMOSFET300及びnMOSFET301, 303のドレインは出力端に接続され、nMO

10

20

30

40

50

S F E T 3 0 2 のソースは出力端に接続され、M O S F E T 3 0 0 , 3 0 1 , 3 0 3 のソースは図 1 における p M O S 回路ブロック 1 0 6 及び n M O S 回路ブロック 1 0 8 , 1 0 9 にそれぞれ接続され、n M O S F E T 3 0 2 のドレインは図 1 における p M O S 回路ブロック 1 0 7 に接続されている。そして、p M O S F E T 3 0 0 及び n M O S F E T 3 0 2 , 3 0 3 のゲートに制御信号 C o n t が供給され、n M O S F E T 3 0 1 のゲートに制御信号 C o n t の相補信号 / C o n t が供給される。

**【 0 0 3 8 】**

即ち、第 1 の論理回路 1 0 4 を構成する M O S 回路ブロック 1 0 6 , 1 0 8 間に、p M O S F E T 3 0 0 と n M O S F E T 3 0 1 からなる第 1 のスイッチ回路が挿入され、第 2 の論理回路 1 0 5 を構成する M O S 回路ブロック 1 0 7 , 1 0 9 間に、n M O S F E T 3 0 2 , 3 0 3 からなる第 2 のスイッチ回路が挿入されている。そして、C o n t , / C o n t により第 1 及び第 2 のスイッチ回路は相補的に動作するようになっている。

10

**【 0 0 3 9 】**

本構成においても図 2 と同様、一方の論理回路の出力を出力端に接続すると同じに他方の論理回路の出力を電氣的に浮遊することができるようになる。また、図 2 に示した回路構成とは異なり、第 2 の論理回路 1 0 5 内の各ブロック 1 0 7 , 1 0 9 に接続される第 2 のスイッチ回路を全て n M O S F E T で形成しているため、駆動力の増大を図ることが可能となる。

**【 0 0 4 0 】**

図 4 は、本実施形態に係わる半導体集積回路の具体的な例を示す図である。電源 V 1 の供給を受けるインバータ 4 0 1 , 4 0 2 は、論理的には出力切り換えの制御信号とその相補信号を作る目的で挿入され、ハイレベル V 1、ローレベル接地電位を出力する。また、低漏洩電流特性とするため、しきい値電圧の絶対値の高い F E T (高しきい値 F E T) からなる。論理回路は、電源 V 1 に接続される第 1 の論理回路 4 0 3 と電源 V 2 ( V 1 > V 2 ) に接続される第 2 の論理回路 4 0 4 からなり、出力端には図 2 で示した出力切換回路が接続される。出力切換回路を構成するトランジスタ 4 0 5 ~ 4 0 8 は何れも高しきい値 F E T からなる。なお、本回路では p M O S 回路ブロック、n M O S 回路ブロックの何れも単一トランジスタからなるため、論理機能としては論理反転 (インバータ) である。

20

**【 0 0 4 1 】**

本回路において、S l e e p 信号が H i g h のとき、即ち待機時には第 1 の論理回路 4 0 3 の出力が出力端に接続され、第 2 の論理回路 4 0 4 の出力は十分に O F F している p M O S F E T 4 0 7 , n M O S F E T 4 0 8 により出力端と遮断される。従って、漏洩電流量は、高しきい値 F E T の漏洩特性で決定されるため、従来のしきい値電圧の絶対値が小さい F E T (低しきい値 F E T) を用いていた場合と比較して非常に小さくなる。一方、S l e e p 信号が L o w のとき、即ち動作時には、第 1 の論理回路 4 0 3 の出力は、n M O S F E T 4 0 5 , p M O S F E T 4 0 6 により出力端と遮断され、第 2 の論理回路 4 0 4 の出力は出力端と接続される。この際の回路の論理振幅は電源電位の低い V 2 となるため、消費電力は非常に小さくなる。

30

**【 0 0 4 2 】**

図 5 は、本実施形態に係わる半導体集積回路の別の具体例を示す図である。電源 V 1 の供給を受けるインバータ 5 0 1 , 5 0 2 は、論理的には出力切り換えの制御信号とその相補信号を作る目的で挿入され、ハイレベル V 1、ローレベル接地電位を出力する。また、低漏洩電流特性とするため、しきい値電圧の絶対値の高い F E T (高しきい値 F E T) からなる。論理回路は、電源 V 1 に接続される第 1 の論理回路 5 0 3 と電源 V 2 ( V 1 > V 2 ) に接続される第 2 の論理回路 5 0 4 からなり、出力端には図 3 で示した出力切換回路が接続される。出力切換回路を構成するトランジスタ 5 0 5 ~ 5 0 8 は何れも高しきい値 F E T からなる。なお、本回路では p M O S 回路ブロック、n M O S 回路ブロックの何れも単一トランジスタからなるため、論理機能としては論理反転 (インバータ) である。

40

**【 0 0 4 3 】**

本回路において、S l e e p 信号が H i g h のとき、即ち待機時には第 1 の論理回路 5 0

50

3の出力が出力端に接続され、第2の論理回路504の出力は十分にOFFしているnMOSFET507, 508により出力端と遮断される。従って、漏洩電流量は、高しきい値FETの漏洩特性で決定されるため、従来のしきい値電圧の絶対値が小さいFET(低しきい値FET)を用いていた場合と比較して非常に小さくなる。一方、Sleep信号がLowのとき、即ち動作時には、第1の論理回路503の出力は、nMOSFET505, pMOSFET506により出力端と遮断され、第2の論理回路504の出力は出力端と接続される。この際の回路の論理振幅は電源電位の低いV<sub>2</sub>となるため、消費電力は非常に小さくなる。

#### 【0044】

図6では、図4或いは図5のインバータをフリップフロップ内に用いた実施形態を示す。10  
半導体集積回路600は、電源としてV<sub>cc</sub>とV<sub>cc</sub>-05が供給され、動作時にはV<sub>cc</sub>とV<sub>cc</sub>-05が内部回路に供給され、待機時にはV<sub>cc</sub>が供給されるようになっている。図4或いは図5で示したインバータとpMOSFETとnMOSFETを並列接続したトランスファークロップから構成されるマスタースレーブフリップフロップ602, 603及び通常の論理回路604から構成されている。V<sub>cc</sub>-05は/Sleep1信号をゲートに接続したnMOSFET601により内部電源線V<sub>cc</sub>-05-inとの切断・接続が可能となっている。

#### 【0045】

電源は、高電位であるV<sub>cc</sub>はマスタースレーブフリップフロップ602, 603に供給され、内部電源線V<sub>cc</sub>-05-inはフリップフロップを含む内部論理回路602~6 20  
04に供給されている。また、マスタースレーブフリップフロップ602, 603内のトランスファークロップのゲート入力動作時にはクロックが入力されるが、待機時にはOFFとなるようにゲートを介してクロック信号が入力されるようにしてある。

#### 【0046】

このような構成の場合、動作状態ではnMOSFET601がON状態のため、V<sub>cc</sub>-05とV<sub>cc</sub>-05-inが等しくなる。そこで、マスタースレーブフリップ602, 603内のインバータは、論理振幅がV<sub>cc</sub>-05の振幅で動作し、また論理回路604を含む半導体集積回路600内の論理回路も論理振幅がV<sub>cc</sub>-05の振幅で動作するため、低消費電力動作が可能となる。一方、待機状態即ちnMOSFET601がOFFの状態の時は、V<sub>cc</sub>-05とV<sub>cc</sub>-05-inが切り離されるため、V<sub>cc</sub>-05-in 30  
はゆっくりと接地電位に近づく(図7のV<sub>cc</sub>-05-in参照)。従って、論理回路604に代表される半導体集積回路600内の論理回路のハイレベルがゆっくりと接地電位に近づいていく。

#### 【0047】

一方、マスタースレーブフリップフロップ602, 603のインバータは高電源電位V<sub>cc</sub>と接続されているため、トランスファークロップを待機時にoffになるようにクロック信号にゲーティングすることにより、ハイレベルがV<sub>cc</sub>、ローレベルが接地電位となりフリップフロップの内容は保持される(図7のQ参照)。待機状態から動作状態になったときには、数nsの回復時間を見ればフリップフロップ内のハイレベルはV<sub>cc</sub>-05、ローレベルは接地電位となるため、再び動作することができる(図7のQ参照)。 40  
以上の説明における各ノードの電位を示したものが、図7である。内部電源V<sub>cc</sub>-05-in、マスタースレーブフリップフロップ602, 603の出力Q、論理回路の出力が、動作時と待機時にどのようなようになるかを纏めて示した。ここではFET601はnMOSの場合の説明である。FET601はsleep信号で制御するpMOSであっても同様の効果が得られる。

#### 【0048】

図1に係わる本実施形態に関して、図8を用いて具体的に示す。ここでは、0.25μm CMOSプロセスを前提とした例を述べるが、基本的にはCMOSプロセスであれば構わない。なお、図4ではインバータとしたが、この例では2入力のNANDとしている。

#### 【0049】

まず、電源電圧 $V_{cc}$ として通常の1次電池或いはNi系の2次電池の起電力である1.2Vとし、 $V_{cc} - 0.5$ として $V_{cc}$ からDC-DC変換して作り出すことを想定した0.5Vとする。図中のFETで太線を用いたFETは、高しきい値FETでnMOSFETのしきい値電圧0.4V、pMOSFETのしきい値電圧-0.4Vである。図中のその他のFETは、低しきい値FETでnMOSFETのしきい値電圧0.1V、pMOSFETのしきい値電圧-0.1Vである。

インバータ801, 802は、内部FETとしては高しきい値FETで構成され、 $V_{cc}$ が給電されている。本ゲートは、内部論理回路の待機、動作の制御信号を作るために用いており、その負荷に応じてFETサイズを決定する必要があるが、ここでは論理回路1ゲートを駆動するだけであるのでゲート幅として、pMOSFETは8 $\mu$ m、nMOSFETは4 $\mu$ mとしている。ここで、pMOSFETとnMOSFETでゲート幅を変えるのは、双方の駆動能力を揃えるためである。論理回路は、FET803~814で構成され、pMOSFET803, 804, 809, 810及びnMOSFET807, 808, 813, 814で2入力NANDを構成している。また、MOSFET805, 806, 811, 812は出力切換回路に相当し、全てのFETを高しきい値FETで構成している。

#### 【0050】

FETのゲート幅は、FET803~808は全て1 $\mu$ mとし、FET809~811は2 $\mu$ m、FET812~814は1 $\mu$ mで構成している。仮に、サブスレッシュホールド特性を決定するSファクタが100mV/decadeとすると、本構成における待機時で $D_{in1} = D_{in2} = V_{cc}$ で $D_{out}$ がゼロ出力のときは、FET803, 804, 809, 810, 811, 812がoffしている。この中でFET809, 810の漏洩電流は他のFETと比較して約1000倍漏洩電流が大きい(10nA)、即ち抵抗が低いため無視すると、漏洩電流経路は $V_{cc} - 0.5$  811 GNDと $V_{cc}$  803及び804 GNDとなる。従って、FET811及びFET803, 804の漏洩経路となるため、最悪で30pA程度の漏洩電流となる。

#### 【0051】

次に、待機時の別のワーストケースとして $D_{in1} = V_{cc}$ ,  $D_{in2} = GND$ 、 $D_{out}$ が $V_{cc}$ 出力の際は、FET803, 807, 809, 811~813がoffしている。この中でFET809, 813の漏洩電流は他のFETと比較して約1000倍漏洩電流が大きい(10nA)ため無視すると、漏洩電流経路は $V_{cc} - 0.5$  811 812 or 807 GNDと $V_{cc}$  803 812 or 807 GNDとなるため、最悪で20pA程度の漏洩電流となる。一方、動作時にはFET805, 806がoffするが、FET805, 806を介する漏洩電流は10pA程度と非常に小さいため、動作時の消費電力はFET809~814における容量の充放電電流で決定される。この際には、 $D_{out}$ の論理振幅は0.5Vであるため、極めて小さい動作時の消費電流となる。

#### 【0052】

本実施形態を従来例と比較する。まず、図18に示す基板電位を変える方式では、本実施形態にあるような動作時にはpMOSFETとnMOSFETのしきい値電圧が $\pm 0.1$ VのCMOS回路で待機時に $\pm 0.4$ Vのしきい値電圧を実現するためには、基板に与える電位としてnMOSFETに-0.5Vから-3Vの電位を、pMOSFETで-0.5Vから-1.5Vの電位を与える必要がある。容量の大きい基板の電位を1V以上変化させる必要があるため、駆動能力を考慮した基板電位発生回路の規模は非常に大きくなる。

#### 【0053】

一方、図19に示すスイッチトランジスタを用いた方法では、待機時に電源が切断されるため論理回路の動作或いはデータ保持が困難になるが、本実施形態ではこのような問題は回避できている点が大きく異なる。また、ここでは、図2に示す出力切換回路を用いた例を示しているが、図3に示す切換回路を用いた場合においても同様の効果が得られる。

10

20

30

40

50

## 【 0 0 5 4 】

( 第 2 の実施形態 )

次に、本発明の第 2 の実施形態に関して説明する。図 9 は、図 6 のマスタースレーブフリップフロップに関して詳細に示したものである。但し、電源スイッチ 6 0 1 は含んでいない。

## 【 0 0 5 5 】

電源電圧としては、1.2 V を想定した  $V_{cc}$  と 0.5 V を想定した  $V_{cc} - 0.5$  があるものとする。本フリップフロップは、待機信号用バッファとしてのインバータ 9 0 1、クロックバッファとしてのインバータ 9 0 2, 9 0 3、トランスファージェート 9 0 4, 9 0 5、マスターラッチ 9 0 6、スレーブラッチ 9 0 7、トランスファージェート駆動用バッファ 9 0 8 ~ 9 1 1 から構成される。ラッチ 9 0 6, 9 0 7 の回路構成を図 1 0 に、トランスファージェート 9 0 4, 9 0 5 内の p M O S F E T のゲートを駆動するバッファ 9 0 8, 9 0 9 ( B u f 1 ) の回路構成を図 1 1 に、更に n M O S F E T のゲートを駆動するバッファ 9 1 0, 9 1 1 ( B u f 0 ) の回路構成を図 1 2 に示す。図 1 0 ~ 1 2 の各回路にはゲート幅を付記した。

10

## 【 0 0 5 6 】

図 9 に示すマスタースレーブフリップフロップは、動作時にはトランスファージェート 9 0 4, 9 0 5 を通して、ラッチ 9 0 6, 9 0 7 にデータが格納される。このとき、回路内のノードの論理振幅は  $V_{cc} - 0.5$  で決定される 0.5 V であるため、低消費電力で動作することが可能となる。また、 $S l e e p = 1$  とし待機状態となると、トランスファージェート 9 0 4, 9 0 5 を駆動するバッファの内 B u f 1 の出力は  $V_{cc}$  となり、B u f 0 の出力は 0 となるため、トランスファージェート 9 0 4, 9 0 5 が o p e n ( オフ ) となる。

20

## 【 0 0 5 7 】

一方、ラッチ 9 0 6, 9 0 7 のゲートは第 1 の実施形態のインバータから構成されているため、その内容は  $V_{cc}$  或いは 0 の電位で保持される。トランスファージェート 9 0 4, 9 0 5 を駆動するバッファの  $V_{cc} - 0.5$  電源線は内部ノードと o f f トランジスタを介して切り離されるため、例えば図 6 に示すように F E T 6 0 1 により  $V_{cc} - 0.5$  が浮遊状態になったとしても、問題無くデータは保持される。本マスタースレーブフリップフロップは、第 1 の実施形態で述べたインバータ或いは同様の構成のバッファ回路を用いて動作するため、待機時における漏洩電流は 1 0 0 p A 以下にすることが可能であり、また動作時には論理振幅 0.5 V と低消費電力動作を実現する。

30

## 【 0 0 5 8 】

以上のように、本マスタースレーブフリップフロップが低漏洩電流で動作すること、及び低消費電力で動作することを示した。本マスタースレーブフリップフロップは、待機時においては  $V_{cc} - 0.5$  のノード電位によらず低漏洩電流特性が維持できるため、 $V_{cc} - 0.5$  を浮遊ノードとすることを可能とする。従って、フリップフロップ以外の論理回路の給電を停止し、フリップフロップではデータ保持を可能とするため、半導体集積回路の漏洩電流を全体としてフリップフロップの保持電流だけとすることができる。このため、大幅な低消費電力化を可能とする。また、本マスタースレーブフリップフロップを従属接続した 1 0 0 b i t シフトレジスタを 0.25  $\mu$ m C M O S プロセスにおいて試作を行い、1 0 0 M H z での動作を確認している。

40

## 【 0 0 5 9 】

( 第 3 の実施形態 )

次に、本発明の第 3 の実施形態に関して説明する。図 1 3 は、図 6 のマスタースレーブフリップフロップに関する別の具体例を詳細に示したものである。

## 【 0 0 6 0 】

電源電圧としては、1.2 V を想定した  $V_{cc}$  と 0.5 V を想定した  $V_{cc} - 0.5$  があるものとする。本フリップフロップは、待機信号用バッファとしてのインバータ 1 3 0 1、クロックバッファとしてのインバータ 1 3 0 2, 1 3 0 3、p M O S F E T と n M O S F E T から構成されるトランスファージェート 1 3 0 4, 1 3 0 5, 1 3 0 4 - 1, 1 3 0 5

50

- 1、マスターラッチ用インバータ1306, 1306-1、スレーブラッチ用インバータ1307, 1307-1、トランスファークラック駆動用バッファ1308, 1309から構成される。

【0061】

マスターラッチ用インバータ1306, 1306-1、スレーブラッチ用インバータ1307, 1307-1の回路構成を図14に、トランスファークラック1304, 1305-1内のpMOSFETのゲートとトランスファークラック1305, 1304-1内のnMOSFETのゲートを駆動するトランスファークラック駆動用バッファ1308 (Buf1)の回路構成を図15に、トランスファークラック1304, 1305-1内のnMOSFETのゲートとトランスファークラック1305, 1304-1内のpMOSFETのゲートを駆動するトランスファークラック駆動用バッファ1309 (Buf0)の回路構成を図16に示す。ここで、ラッチ用インバータ1306, 1307は図14内のMTinv2に対応し、ラッチ用インバータ1306-1は図14内のMtin v3に対応する。図13~16の各回路にはゲート幅を付記した。

10

【0062】

図13に示すマスタースレーブラッチフリップフロップは、動作時にはトランスファークラック1304, 1305を通して、それぞれマスターラッチ用インバータ1306, スレーブラッチ用インバータ1307にデータが格納される。このとき、回路内のノードの論理振幅はVcc-0.5Vで決定される0.5Vであるため、低消費電力で動作することが可能となる。また、Sleep=1とし待機状態となると、トランスファークラックを駆動するバッファの内Buf1の出力はVccとなり、Buf0の出力は0となるため、トランスファークラック1304及び1305-1がオフとなり、トランスファークラック1304-1と1305がオンとなる。このとき、トランスファークラック1304-1がオンであるのでマスターラッチ内の内容は、Vcc或いは0の電位で保持される。

20

【0063】

一方、スレーブ側はトランスファークラック1305が導通なのでインバータ1307を介して浮遊ノードであるVcc-0.5Vの電位或いは接地電位の0Vを出力する。本マスタースレーブラッチフリップフロップも、第2の実施形態と同様に待機時における漏洩電流は100pA以下にすることが可能であり、また動作時には論理振幅0.5Vと低消費電力動作を実現することができる。

30

以上のように、本マスタースレーブラッチフリップフロップが低漏洩電流で動作すること、及び低消費電力で動作することを示した。本マスタースレーブラッチフリップフロップは、待機時においてはVcc-0.5Vのノード電位によらず低漏洩電流特性が維持できるため、Vcc-0.5Vを浮遊ノードとすることを可能とする。従って、フリップフロップ以外の論理回路の給電を停止し、フリップフロップではデータ保持を可能とするため、半導体集積回路の漏洩電流を全体としてフリップフロップの保持電流だけとすることができる。このため、大幅な低消費電力化を可能とする。また、本マスタースレーブラッチフリップフロップを従属接続した100bitシフトレジスタを0.25μmCMOSプロセスにおいて試作を行い、100MHzでの動作を確認している。

【0064】

なお、本発明は上述した各実施形態に限定されるものではない。論理回路としては、2入力NAND, インバータ, フリップフロップ以外に、NOR, OR/NAND, AND/NOR, ラッチなどの回路を用いることができ、この種の回路でも同様の効果が期待される。また、第2或いは第3の実施形態において、内部電源を浮遊にする方法としてFETスイッチを用いた方法で説明を行ったが、例えばDC-DCコンバータを接続し、DC-DCコンバータ最終段のバッファ回路のゲートに論理回路を付加し、出力ノードを浮遊ノードとするような構成においても問題はない。また、Vcc電源として1.2Vを用いているが、FETの耐圧が十分にある、或いはFETの縦積み構成などにより耐圧が確保できるのであれば、より高い電源を用いる構成でも問題がない。

40

【0065】

50

また、実施形態ではF E Tを全てM O S型として説明しているが、ここで云うM O S型は必ずしもゲート絶縁膜として酸化膜を用いたものに限らず、酸化膜以外の絶縁膜を用いた、いわゆるM I S型も含むものである。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【 0 0 6 6 】

【発明の効果】

以上詳述したように本発明によれば、0.5V程度の極めて低い論理振幅を有する論理回路を有する半導体集積回路において、入力端が共通で同一の論理機能を持つ第1の論理回路と第2の論理回路を持ち、第1の論理回路を高いしきい値のpMOSFETによる回路ブロックとnMOSFETによる回路ブロックの構成とし、第2の論理回路を低いしきい値のpMOSFETによる回路ブロックとnMOSFETによる回路ブロックの構成とし、それぞれの回路ブロックの出力を出力切換回路に接続することにより、出力切換回路で論理回路の電源接続、遮断が行えるため、動作時は低いしきい値電圧のMOSFETを論理スイッチングのために用いた第1の論理回路を出力に接続することで低消費電力で動作させ、待機時は高いしきい値電圧のMOSFETをリーク電流経路に挿入した第2の論理回路を出力に接続することで低漏洩電流特性で動作させることが可能となる。

10

【 0 0 6 7 】

これにより、0.5V程度の非常に小さな電源電圧で動作する論理回路に対し、複雑な制御回路を用いず、動作時及び待機時の低消費電力化を実現することができる。さらに、レイアウト面積の縮小、設計の容易化などにつながるため半導体集積回路の製造コストの低減を図ることも可能となる。

20

【 0 0 6 8 】

また、上記論理回路を用いてフリップフロップ・ラッチなどの記憶回路を構成し、記憶回路以外の論理回路は電源から切り離せるようにすることにより、動作時は低電位の電源により論理回路は低消費電力特性で動作し、待機時にはフリップフロップでデータを保持し、他の論理回路は電源から切り離すことにより低漏洩電流特性で待機するようになる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる半導体集積回路の基本構成を示すブロック図。

【図2】第1の実施形態に使用した出力切換回路の具体的構成例を示す図。

【図3】第1の実施形態に使用した出力切換回路の別の具体的構成例を示す図。

30

【図4】第1の実施形態に係わる半導体集積回路の具体的構成例を示す図。

【図5】第1の実施形態に係わる半導体集積回路の別の具体的構成例を示す図。

【図6】図4 或いは図5のインバータをフリップフロップ内に用いた例を示す図。

【図7】図6の論理回路の各ノードの電圧を示す図。

【図8】第1の実施形態に係わる半導体集積回路の詳細を示す図。

【図9】第2の実施形態を説明するためのもので、図6のマスタースレーブフリップフロップの具体例を詳細に示す図。

【図10】図9の回路に用いたラッチ回路の構成例を示す図。

【図11】図9の回路に用いたバッファ回路(Buf1)の構成例を示す図。

【図12】図9の回路に用いたバッファ回路(Buf0)の構成例を示す図。

40

【図13】第3の実施形態を説明するためのもので、図6のマスタースレーブフリップフロップの別の具体例を詳細に示す図。

【図14】図13の回路に用いたマスターラッチ回路の構成例を示す図。

【図15】図13の回路に用いたバッファ回路(Buf1)の構成例を示す図。

【図16】図13の回路に用いたバッファ回路(Buf0)の構成例を示す図。

【図17】従来の低消費電力半導体集積回路の構成を示すブロック図。

【図18】従来の低消費電力半導体集積回路の構成を示すブロック図。

【図19】従来の低消費電力半導体集積回路の構成を示すブロック図。

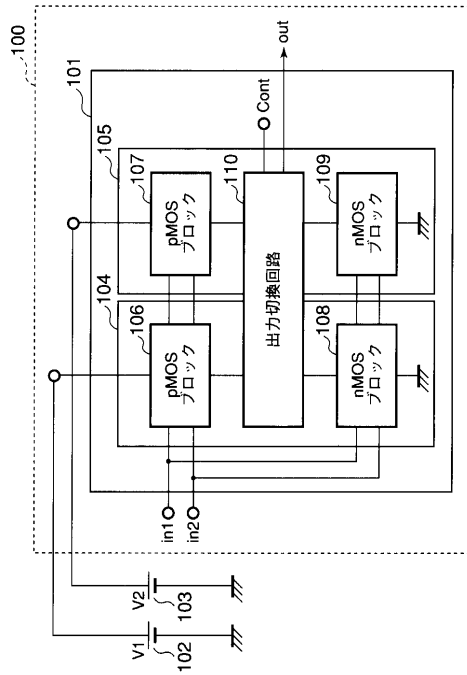
【符号の説明】

100, 600, 1704, 1805, 1905...半導体集積回路

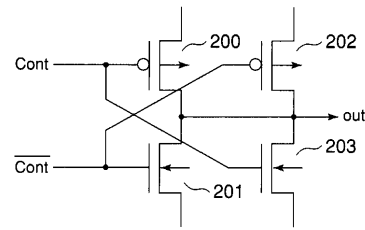
50

1 0 1 , 6 0 4 ... 内部論理回路  
1 0 2 , 1 0 3 ... 電源  
1 0 4 , 1 0 5 , 1 7 0 2 , 1 8 0 2 , 1 9 0 2 ... 論理回路  
1 0 6 , 1 0 7 ... p M O S 回路ブロック  
1 0 8 , 1 0 9 ... n M O S 回路ブロック  
1 1 0 ... 出力切換回路  
2 0 0 , 2 0 2 , 3 0 0 , 4 0 6 , 4 0 7 , 5 0 6 , 5 0 7 , 8 0 3 ~ 8 0 5 , 8 0 9 ~  
8 1 1 , 1 9 0 3 ... p M O S F E T  
2 0 1 , 2 0 3 , 3 0 1 , 3 0 2 , 3 0 3 , 4 0 5 , 4 0 8 , 5 0 5 , 5 0 8 , 6 0 1 ,  
8 0 6 ~ 8 0 8 , 8 1 2 ~ 8 1 4 ... n M O S F E T 10  
4 0 1 , 4 0 2 , 5 0 1 , 5 0 2 , 8 0 1 , 8 0 2 , 9 0 1 ~ 9 0 3 , 1 3 0 1 ~ 1 3 0  
3 ... インバータ  
4 0 3 , 5 0 3 ... 電源 V 1 に接続された論理回路  
4 0 4 , 5 0 4 ... 電源 V 2 に接続された論理回路  
6 0 2 , 6 0 3 ... マスタースレーブフリップフロップ  
9 0 4 , 9 0 5 , 1 3 0 4 , 1 3 0 5 ... トランスファージェート  
9 0 6 , 9 0 7 ... ラッチ  
9 0 8 ~ 9 1 1 , 1 3 0 8 , 1 3 0 9 ... バッファ  
1 3 0 6 ... マスターラッチ用インバータ  
1 3 0 7 ... スレーブラッチ用インバータ 20  
1 7 0 0 , 1 8 0 0 ... リチウムイオン電池  
1 7 0 1 , 1 8 0 1 , 1 9 0 1 ... 電源電圧変換回路  
1 7 0 3 ... オンチップ記憶回路  
1 8 0 3 ... 正電圧発生回路  
1 8 0 4 ... 負電圧発生回路  
1 9 0 0 ... ニッケル水素電池  
1 9 0 4 ... 記憶回路

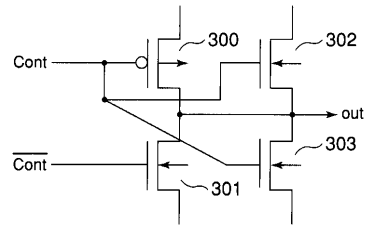
【 図 1 】



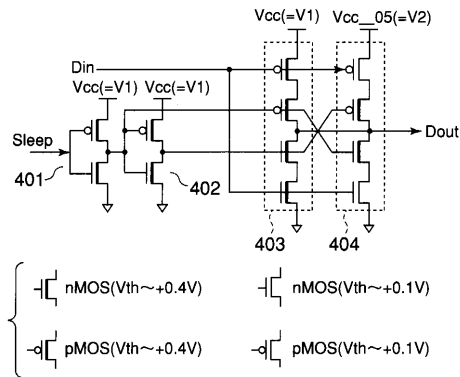
【 図 2 】



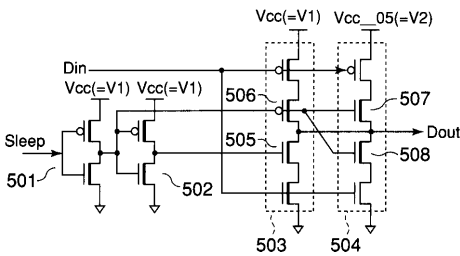
【 図 3 】



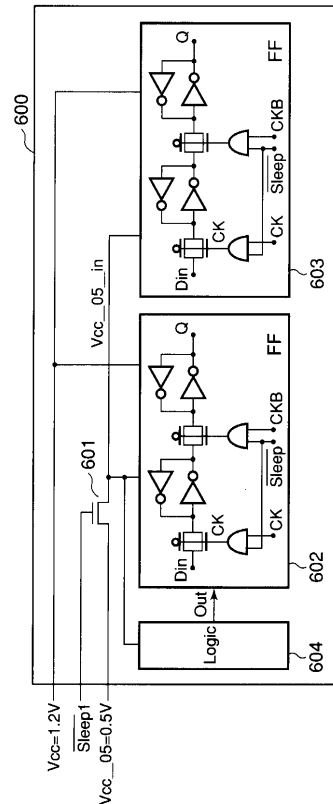
【 図 4 】



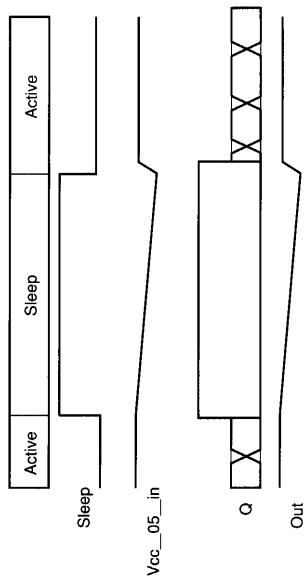
【 図 5 】



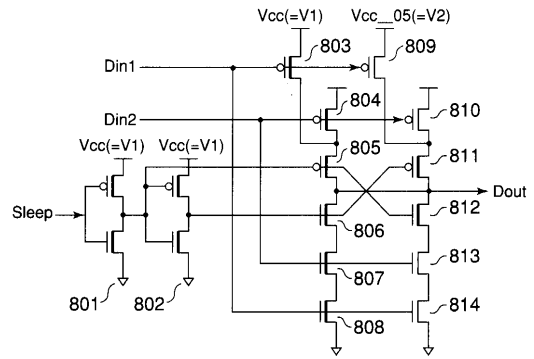
【 図 6 】



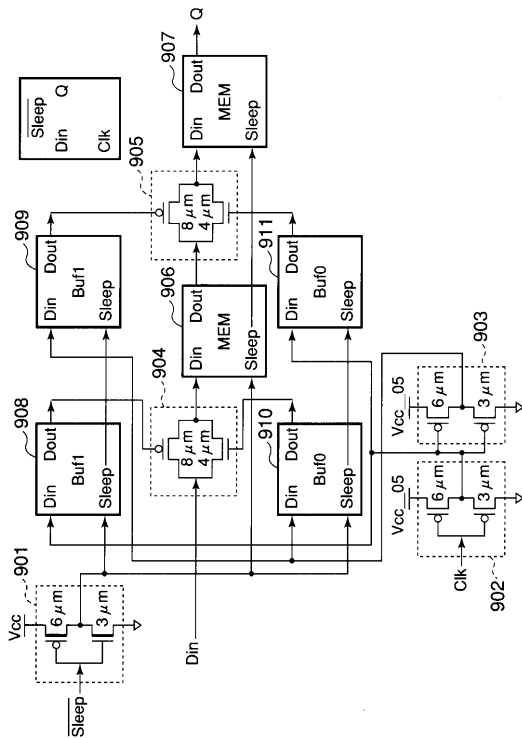
【 図 7 】



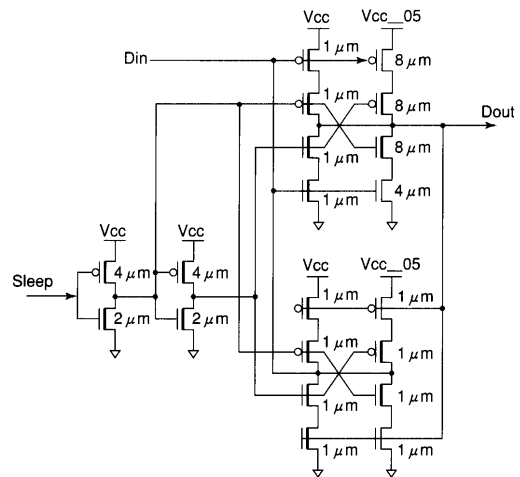
【 図 8 】



【 図 9 】



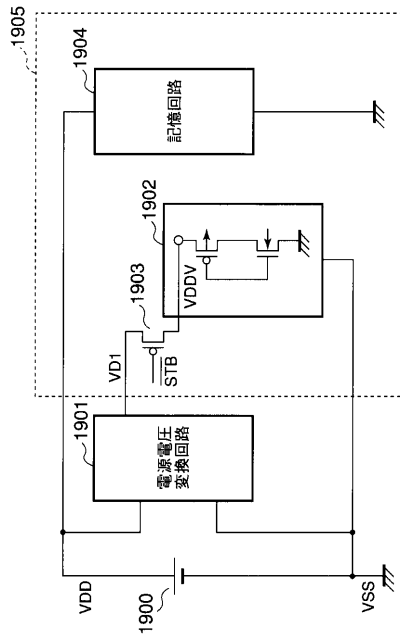
【 図 10 】







【 図 1 9 】



---

フロントページの続き

- (74)代理人 100070437  
弁理士 河井 将次
- (72)発明者 亀山 敦  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 布施 常明  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 大内 和則  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 吉田 雅子  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

審査官 彦田 克文

- (56)参考文献 特開平06-029834(JP,A)  
特開2000-306382(JP,A)  
特開平05-029914(JP,A)  
特開平11-097984(JP,A)  
特開平04-057410(JP,A)  
特開平05-029915(JP,A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H03K 19/003