



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

252430

(11) B₁

(51) Int. Cl.⁴
G 11 C 11/14

(61)

(23) Výstavní priorita
(22) Přihlášeno 13 06 85
(21) PV 4303-85

(40) Zveřejněno 12 02 87

(45) Vydáno 25.06.88

(75)

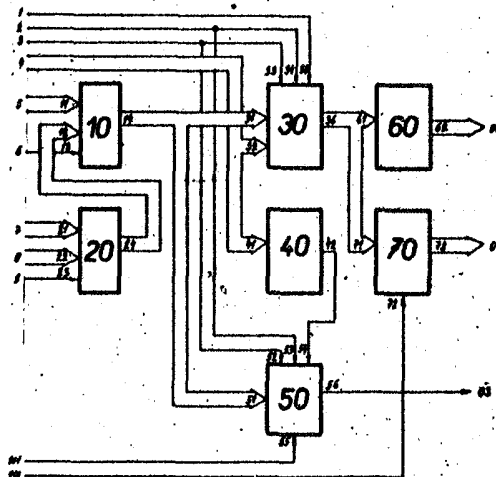
Autor vynálezu

ŠMÍD ZBYNĚK ing., BRNO

(54)

Zapojení paměťových obvodů grafické báze
dynamické polovodičové paměti

Cílem řešení je vytvořit zapojení, v němž po dobu, kdy není požadováno zobrazení grafické informace, jsou obvody grafické báze využitelné procesorem pro záznam libovolné informace, přičemž navíc je pro zápis nebo čtení informace z obvodů grafické báze využitelný celý repertoár, pracujících s operační pamětí procesoru. Uvedeného cíle se dosáhne zapojením s dvěma multiplexory, s paměťovými obvody, obvody pro vyhodnocení parity, paměťovými obvody, oddělovacími obvody a s třístavovými oddělovacími obvody. Zapojení lze využít v operační paměti pro grafickou zobrazovací jednotku, zejména malých výpočetních prostředků.



Vynález se týká zapojení paměťových obvodů grafické báze dynamické polovodičové paměti pro grafickou zobrazovací jednotku výpočetních prostředků.

U malých výpočetních prostředků se ve stále větší míře požaduje možnost zobrazení vypočítaných výsledků v grafické formě pomocí grafické zobrazovací jednotky. Kvalita tohoto grafického zobrazení je závislá na celkovém počtu zobrazovaných bodů. U dosud známých zapojení tím značně rostou požadavky na paměť grafické informace zobrazovací jednotky, která je využitelná pouze pro tento účel.

Uvedené nevýhody odstraňuje zapojení paměťových obvodů grafické báze dynamické polovodičové paměti podle vynálezu, jehož podstatou je, že první skupina adresových vstupů prvního multiplexoru tvoří současně skupinu adresových vstupů zapojení, kdežto jeho řídicí vstup tvoří současně čtvrtý řídicí vstup zapojení a jeho skupina adresových výstupů je připojena na skupinu adresových vstupů paměťových obvodů, jejichž skupina datových výstupů je dále připojena na skupinu datových vstupů oddělovacích obvodů, skupina datových výstupů oddělovacích obvodů tvoří současně druhou skupinu datových výstupů zapojení, skupina adresových vstupů řádku druhého multiplexoru tvoří současně skupinu adresových vstupů řádku zapojení, kdežto jeho skupina adresových vstupů sloupce tvoří současně skupinu adresových vstupů sloupce zapojení, jeho řídicí vstup tvoří současně pátý řídicí vstup zapojení a jeho skupina adresových výstupů je připojena na druhou skupinu adresových vstupů prvního multiplexoru.

Výhodou zapojení podle vynálezu je, že po dobu, kdy není požadováno zobrazování grafické informace, jsou obvody grafické báze využitelné procesorem pro záznam libovolné informace. Navíc je pro zápis nebo čtení informace z obvodů grafické báze využitelný celý repertoár instrukcí, pracujících s operační pamě-

tí procesoru.

Příklad zapojení paměťových obvodů grafické báze dynamické polovodičové paměti podle vynálezu je znázorněn na připojeném výkrese v blokovém schématu.

První řídicí vstup 35 paměťových obvodů 30 tvoří současně první řídicí vstup 1 zapojení pro připojení na neznázorněné řídicí obvody grafické báze. Druhý řídicí vstup 34 paměťových obvodů 30 je připojen na první řídicí vstup 53 paměťových obvodů 50 parity a tvoří současně druhý řídicí vstup 2 zapojení pro připojení na řídicí obvody grafické báze. Třetí řídicí vstup 33 paměťových obvodů 30 je připojen na druhý řídicí vstup 52 paměťových obvodů 50 parity a tvoří současně třetí řídicí vstup 3 zapojení pro připojení na řídicí obvody grafické báze. Skupina datových vstupů 32 paměťových obvodů 30 je spojena se skupinou datových vstupů 41 obvodu 40 pro vyhodnocení parity a tvoří současně skupinu datových vstupů 4 zapojení pro připojení na neznázorněný procesor. První skupina adresových vstupů 11 prvního multiplexoru 10 tvoří současně skupinu adresových vstupů 5 zapojení pro připojení na neznázorněné řídicí obvody paměti. Řídicí vstup 13 prvního multiplexoru 10 tvoří současně čtvrtý řídicí vstup 6 zapojení pro připojení na řídicí obvody grafické báze. Skupina adresových vstupů 21 řádky druhého multiplexoru 20 tvoří současně skupinu adresových vstupů 7 řádky zapojení pro připojení na neznázorněný displej. Skupina adresových vstupů 22 sloupce druhého multiplexoru 20 tvoří současně skupinu adresových vstupů 8 sloupce zapojení pro připojení na displej. Řídicí vstup 23 druhého multiplexoru 20 tvoří současně pátý řídicí vstup 9 zapojení pro připojení na řídicí obvody grafické báze. Skupina adresových výstupů 14 prvního multiplexoru 10 je připojena na skupinu adresových vstupů 31 paměťových obvodů 30 a na skupinu adresových vstupů 51 paměťových obvodů 50 parity. Skupina adresových výstupů 24 druhého multiplexoru 20 je připojena na druhou skupinu adresových vstupů 12 prvního multiplexoru 10. Třetí řídicí vstup 55 paměťových obvodů 50 parity tvoří současně šestý řídicí vstup 101 zapojení pro připojení na řídicí obvody grafické báze. Řídicí vstup 72 třístavových oddělovacích obvodů 70 tvoří současně sedmý řídicí vstup 111 zapojení pro připojení na řídicí obvody grafické báze. Skupina datových výstupů 36 paměťových obvodů 30 je připojena na skupinu datových vstupů 61 oddělovacích obvodů 60 a na skupinu datových vstupů 71 třístavových oddělovacích obvodů 70.

Paritní výstup 42 obvodu 10 pro vyhodnocení parity je připojen na paritní vstup 54 paměťových obvodů 50 parity, jejichž paritní výstup 56 tvoří současně paritní výstup 03 zapojení pro připojení na řídicí obvody paměti. Skupina datových výstupů 62 oddělovacích obvodů 60 tvoří současně druhou skupinu datových výstupů 02 zapojení pro připojení na displej. Skupina datových výstupů 73 třístavových oddělovacích obvodů 70 tvoří současně první skupinu datových výstupů 01 zapojení pro připojení na řídicí obvody paměti.

Fokud zobrazení je zhasnuto, je první multiplexor 10 nastaven signálem na řídicím výstupu 13 tak, že na skupinu adresových výstupů 14 se přivedou adresové signály z první skupiny adresových vstupů 11. Fyzická adresa paměti procesoru je dále vedena na skupinu adresových vstupů 31 paměťových obvodů 30 a na skupinu adresových vstupů 51 paměťových obvodů 50 parity. Současně jsou pomocí signálu na řídicím vstup 72 třístavových oddělovacích obvodů 70 tyto zaktivovány tak, že datové signály na skupině výstupů 36 paměťových obvodů 30 jsou zapojeny na skupinu datových výstupů 73 třístavových oddělovacích obvodů 70. Obvod 40 pro vyhodnocení parity a paměťové obvody 50 parity přitom zaznamenávají při zápisu informace příslušnou paritu zapisovaných dat a při čtení z obvodů grafické báze procesorem prostřednictvím paritního výstupu 56 informují řídicí obvody paměti procesoru o přečtené paritě čteného slova. Při zápisu informace je vstupní datová informace předána na skupinu datových vstupů 32 paměťových obvodů 30 a na skupinu datových vstupů 41 obvodu 40 pro vyhodnocení parity. Signály na prvním řídicím vstupu 1 zapojení řídí výběr sloupců, signály na druhém řídicím vstupu 2 zapojení řídí výběr řádků a signály na třetím vstupu 3 zapojení řídí zápis do paměti.

Při trvalém zobrazování informace jsou obvody grafické báze trvale přiděleny zobrazovací jednotce a zápis do paměťových obvodů grafické báze se provádí pouze při zpětném běhu řádku nebo snímku zobrazovací jednotky. V případě aktivního běhu paprsku zobrazovací jednotky je první multiplexor 10 přepnut signálem na řídicím vstupu 13 tak, že na skupinu adresových výstupů 14 je připojena druhá skupina adresových vstupů 12. Druhý multiplexor 20 připojuje v tomto případě pomocí signálu na řídicím vstupu 23 skupinu adresových vstupů 21 řádků a skupinu adresových vstupů 22 sloupců na skupinu adresových vstupů 31 paměťových obvodů 30. Ob-

vod 40 pro vyhodnocení parity a paměťové obvody 50 parity jsou signálem na třetím řídicím vstupu 55 vyřazeny z činnosti. Čtená data jsou k zobrazení předávána přes oddělovací obvody 60. Řídicí signály na prvním až třetím řídicím vstupu 35, 34, 33 paměťových obvodů 30 jsou v tomto případě prostřednictvím řídicích obvodů grafické báze přepnuty na zobrazovací jednotku, která si je synchronně s vlastní činností generuje.

Fokud procesor chce zapsat nebo přečíst informaci z paměťových obvodů grafické báze v tomto režimu, kdy se trvale zobrazuje, přepne se činnost paměťových obvodů grafické báze na dobu zpětného běhu řádku nebo snímku do režimu popsaného při trvale zhasnutém zobrazení.

Vynálezu lze využít v operační paměti pro grafickou zobrazovací jednotku, zejména malých výpočetních prostředků.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení paměťových obvodů grafické báze dynamické polovodičové paměti, v němž první řídicí vstup paměťových obvodů tvoří současně první řídicí vstup zapojení, jejich druhý řídicí vstup je připojen na první řídicí vstup paměťových obvodů parity a tvoří současně druhý řídicí vstup zapojení a jejich třetí řídicí vstup je připojen na druhý řídicí vstup paměťových obvodů parity a tvoří současně třetí řídicí vstup zapojení, skupina adresových vstupů paměťových obvodů je spojena se skupinou adresových vstupů paměťových obvodů parity, kdežto jejich skupina datových vstupů je spojena se skupinou datových vstupů obvodu pro vyhodnocení parity a tvoří současně skupinu datových vstupů zapojení, skupina datových výstupů paměťových obvodů je připojena na skupinu datových vstupů třístavových oddělovacích obvodů, jejichž skupina datových výstupů tvoří současně první datový výstup zapojení, paritní výstup obvodu pro vyhodnocení parity je připojen na paritní vstup paměťových obvodů parity, jejichž třetí řídicí vstup tvoří současně šestý řídicí vstup zapojení a jejichž paritní výstup tvoří současně paritní výstup zapojení, řídicí vstup třístavových oddělovacích obvodů tvoří současně sedmý řídicí vstup zapojení, vyznačené tím, že první skupina adresových vstupů (11) prvního multiplexoru (10) tvoří současně skupinu adresových vstupů (5) zapojení, kdežto jeho řídicí vstup (13) tvoří současně čtvrtý řídicí vstup (6) zapojení a jeho skupina adresových výstupů (14) je připojena na skupinu adresových vstupů (31) paměťových obvodů (30), jejichž skupina datových výstupů (36) je dále připojena na skupinu datových vstupů (61) oddělovacích obvodů (60), skupina datových výstupů (62) oddělovacích obvodů (60) tvoří současně druhou skupinu datových výstupů (02) zapojení, skupina adresových vstupů (21) řádku druhého multiplexoru (20) tvoří současně skupinu adresových vstupů (7) řádku zapojení, kdežto jeho skupina adresových vstupů (22) sloupce tvoří současně skupinu adresových vstupů (8) sloupce zapojení a řídicí vstup (23) tvoří současně pátý řídicí vstup (9) zapojení a skupina adresových výstupů (24) je připojena na druhou skupinu adresových vstupů (12) prvního multiplexoru (10).

