



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201018095 A1

(43)公開日：中華民國 99 (2010) 年 05 月 01 日

(21)申請案號：098118815

(22)申請日：中華民國 98 (2009) 年 06 月 05 日

(51)Int. Cl. : **H03M13/11 (2006.01)**

(30)優先權：2008/06/23 美國 61/074,701

(71)申請人：羅門泰耶艾維大學有限公司 (以色列) RAMOT AT TEL AVIV UNIVERSITY LTD.
(IL)

以色列

(72)發明人：沙朗 伊蘭 SHARON, ERAN (IL)；阿爾羅德 伊丹 ALROD, IDAN (IL)；立特森
賽門 LITSYN, SIMON (IL)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：46 項 圖式數：12 共 76 頁

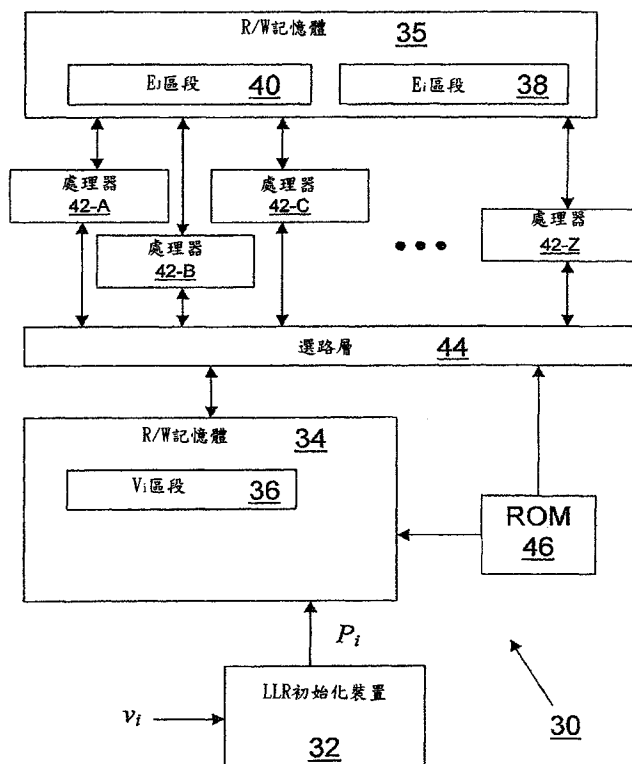
(54)名稱

藉由解碼器重置以克服 LDPC 捕捉集合

OVERCOMING LDPC TRAPPING SETS BY DECODER RESET

(57)摘要

為在複數個迭代中解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示(自一頻道匯入)，藉由在一圖表之 N 個位元節點與 $N - K$ 個校驗節點之間交換訊息來更新該等碼字位元之估計：若該解碼依據一預定失效準則未能收斂並若該等碼字位元估計滿足包括一捕捉集合的該圖表之一準則表徵，則在繼續該等迭代前重置該等訊息之至少一部分。或者，若依據一預定失效準則該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。



30：解碼器

32：LLR 初始化方塊

34：讀取/寫入記憶體

35：讀取/寫入記憶體

36：記憶體區段

38：記憶體區段

40：記憶體區段

42：處理單元

44：選路層

46：唯讀記憶體
(ROM)



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201018095 A1

(43)公開日：中華民國 99 (2010) 年 05 月 01 日

(21)申請案號：098118815

(22)申請日：中華民國 98 (2009) 年 06 月 05 日

(51)Int. Cl. : **H03M13/11 (2006.01)**

(30)優先權：2008/06/23 美國 61/074,701

(71)申請人：羅門泰耶艾維大學有限公司 (以色列) RAMOT AT TEL AVIV UNIVERSITY LTD.
(IL)

以色列

(72)發明人：沙朗 伊蘭 SHARON, ERAN (IL)；阿爾羅德 伊丹 ALROD, IDAN (IL)；立特森
賽門 LITSYN, SIMON (IL)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：46 項 圖式數：12 共 76 頁

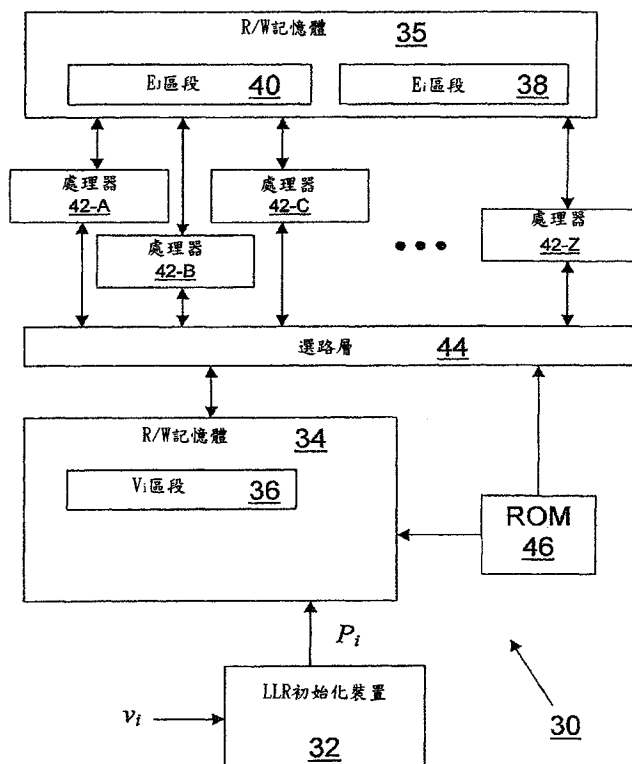
(54)名稱

藉由解碼器重置以克服 LDPC 捕捉集合

OVERCOMING LDPC TRAPPING SETS BY DECODER RESET

(57)摘要

為在複數個迭代中解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示(自一頻道匯入)，藉由在一圖表之 N 個位元節點與 $N - K$ 個校驗節點之間交換訊息來更新該等碼字位元之估計：若該解碼依據一預定失效準則未能收斂並若該等碼字位元估計滿足包括一捕捉集合的該圖表之一準則表徵，則在繼續該等迭代前重置該等訊息之至少一部分。或者，若依據一預定失效準則該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。



30：解碼器

32：LLR 初始化方塊

34：讀取/寫入記憶體

35：讀取/寫入記憶體

36：記憶體區段

38：記憶體區段

40：記憶體區段

42：處理單元

44：選路層

46：唯讀記憶體
(ROM)

六、發明說明：

【發明所屬之技術領域】

本文中揭示一種用於克服由於捕捉集合的未收斂之低密度奇偶校驗(LDPC)解碼的方法與相關聯裝置。

【先前技術】

錯誤校正碼(ECC)通常用於通信系統與儲存系統中。在通信頻道與在儲存裝置兩者中發生的各種物理現象導致破壞通信或儲存資訊的雜訊效應。錯誤校正編碼方案可用於保護通信或儲存資訊免受所得錯誤。此係藉由在透過通信頻道傳輸或儲存於該記憶體裝置中之前編碼該資訊來完成。該編碼程序藉由將冗餘添加至該資訊而將該資訊位元序列變換成一碼字。接著，可使用此冗餘以便透過一解碼程序自該可能破壞的碼字恢復該資訊。

在通信系統與儲存系統兩者中，一資訊位元序列 i 係編碼成一編碼位元序列 v ，其係調變或映射成適合於該通信頻道或該記憶體裝置之一符號序列 x 。於該通信頻道或記憶體裝置之輸出處，獲得一符號序列 y 。該系統之一ECC解碼器解碼該序列 y 並恢復該位元序列 $\hat{i}$ ，其應該以高機率來重建原始資訊位元序列 i 。

一共同ECC族係線性二進制區塊碼之族。尺寸 K 的一長度 N 線性二進制區塊碼係長度 K 資訊位元序列至長度 N 碼字中的一線性映射，其中 $N > K$ 。將該編碼之速率定義為 $R = K/N$ 。尺寸 $1 \times N$ 的一碼字 v 之編碼程序通常係依據下列藉由以尺寸 $K \times N$ 之一產生器矩陣 G 乘以尺寸 $1 \times K$ 之資訊位元序

列 i 來完成：

$$\underline{v} = i \cdot \underline{G} \quad (1)$$

亦習慣的定義尺寸 $M \times N$ 之一奇偶校驗矩陣 H ，其中 $M = N - K$ 。

該奇偶校驗矩陣係透過以下等式與該產生器矩陣相關：

$$\underline{G} \underline{H}^T = \underline{0} \quad (2)$$

可使用該奇偶校驗矩陣以便校驗一長度 N 二進制向量是否係一有效碼字。一 $1 \times N$ 二進制向量 $\underline{v}$ 屬於該碼，在(且僅在)以下等式成立的情況下：

$$\underline{H} \cdot \underline{v}' = \underline{0} \quad (3)$$

(在等式(3)中， $\underline{v}'$ 上的質數意指 $\underline{v}'$ 係一行向量。)

近年來，迭代編碼方案已變得非常流行。在此等方案中，該碼係構建為數個簡單組成碼之一序連並係使用一迭代解碼演算法藉由在該等簡單碼之組成解碼器之間交換資訊來解碼。通常，可使用說明該等組成碼之間之互連的一偶圖來定義該碼。在此情況下，可將解碼視為一迭代訊息透過圖表邊緣傳遞。

一類流行的迭代碼係低密度奇偶校驗(LDPC)碼。一LDPC碼係藉由一稀疏奇偶校驗矩陣 H 定義的一線性二進制區塊碼。如圖1中所顯示，該碼可藉由一稀疏偶圖 $G = (V, C, E)$ 來等效定義，該稀疏偶圖具有 N 個位元節點之一集合 V (在圖1中 $N = 13$)、 M 個校驗節點之一集合 C (在圖1中 $M = 10$) 及將位元節點連接至校驗節點之邊緣之一集合 E (在圖1中 $E = 38$)。該等位元節點對應於該等碼字位元而該等校驗節點對應於對該等位元之奇偶校驗限制。一位元節點係藉由

邊緣連接至該位元節點參與的校驗節點。在圖1之左側上的碼之矩陣表示中，連接位元節點*i*與校驗節點*j*的一邊緣係藉由於列*j*與行*i*之交叉處之一非零矩陣元素來描述。

緊鄰圖1之第一與最後校驗節點顯示的係等式(3)之等效列。符號「 $\oplus$ 」意指「XOR」。

可使用迭代訊息傳遞解碼演算法來解碼LDPC碼。此等演算法藉由沿表示該碼之基本偶圖之邊緣在位元節點與校驗節點之間交換訊息來操作。該解碼器具備該等碼字位元之初始估計(基於該通信頻道輸出或基於讀取記憶體內容)。此等初始估計係藉由施加該等位元應滿足作為一有效碼字(依據等式(3))的奇偶校驗限制來精細化與改良。此係藉由使用沿該等圖表邊緣傳遞之訊息在表示該等碼字位元之位元節點與表示對該等碼字位元之奇偶校驗限制的校驗節點之間交換資訊來完成。

在迭代解碼演算法中，通常利用「軟」位元估計，其傳達該等位元估計與該等位元估計之可靠性兩者。

可以各種形式來表達藉由沿該等圖表邊緣傳遞之訊息傳達的位元估計。用於表達一「軟」位元估計的一般措施係作為一對數概度比(LLR)

$$\log \frac{Pr(v=0 \mid \text{當前限制與觀察})}{Pr(v=1 \mid \text{當前限制與觀察})},$$

其中「當前限制與觀察」係在計算手邊訊息中考量的各種奇偶校驗限制與對應於參與此等奇偶校驗之位元的觀察 y 。在不喪失一般性的情況下，為簡單起見吾人在下文中

假定全文使用 LLR 訊息。該 LLR 之記號提供該位元估計 (即，正 LLR 對應於 $v=0$ 而負 LLR 對應於 $v=1$)。該 LLR 之量值提供該估計之可靠性 (即， $|LLR|=0$ 意指該估計完全不可靠而 $|LLR|=\pm\infty$ 意指該估計完全可靠並且位元值係已知)。

通常，在該解碼期間沿位元節點與校驗節點之間的圖表邊緣傳遞的訊息係外在的。自一邊緣 e 上之一節點 n 傳遞之一外在訊息 m 考量所有在除邊緣 e 以外連接至 n 的邊緣上接收的值 (此係該訊息係稱為外在的原因：其僅基於新資訊)。

一訊息傳遞解碼演算法之一範例係信念傳播 (BP) 演算法，其係視為此訊息傳遞演算法之族中的最佳演算法。

假設 $P_v = \log \frac{\Pr(v=0|y)}{\Pr(v=1|y)}$ 表示僅基於所接收或所讀取符號 y 而

對於位元 v 的初始解碼器估計。請注意，亦可能該等位元之一些並非透過該通信頻道來發送或並非儲存於記憶體裝置中，因此不存在對於此等位元之 y 觀察。在此情況下，存在兩種可能性：1) 縮短位元 - 該等位元係已知 α 先驗及 $P_v = \pm\infty$ (取決於該位元係 0 或 1)。2) 刺穿位元 - 該等位元係未知先驗並且 $P_v = \log \frac{\Pr(v=0)}{\Pr(v=1)}$ ，其中 $\Pr(v=0)$ 與 $\Pr(v=1)$ 分別係該

位元 v 係 0 或 1 之先驗機率。假定該等資訊位元具有為 0 或 1 的相等 α 先驗機率並假定該碼為線性，則 $P_v = \log \frac{1/2}{1/2} = 0$ 。

假設 $Q_v = \log \frac{\Pr(v=0|y, H \cdot \underline{v} = 0)}{\Pr(v=1|y, H \cdot \underline{v} = 0)}$ 表示針對位元 v 之最終解碼器

估計，其係基於整個接收或讀取的序列 y 並假定位元 v 係一

碼字之部分(即，假定 $H \cdot \underline{v} = 0$)。

假設 Q_{vc} 表示自位元節點 v 至校驗節點 c 之一訊息。假設 R_{cv} 表示自校驗節點 c 至位元節點 v 之一訊息。

該BP演算法利用以下更新規則用於計算該等訊息：

該位元節點至校驗節點計算規則係：

$$Q_{vc} = P_v + \sum_{c' \in N(v, G) \setminus c} R_{c'v} \quad (4)$$

此處， $N(n, G)$ 表示該圖表 G 中一節點 n 之相鄰者之集合而且 $c' \in N(v, G) \setminus c$ 指排除節點「 c 」之此等相鄰者(總和係關於除 c 以外的所有相鄰者)。

該校驗節點至位元節點計算規則係：

$$R_{cv} = \varphi^{-1} \left(\sum_{v' \in N(c, G) \setminus v} \varphi(Q_{v'c}) \right) \quad (5)$$

此處， $\varphi(x) = \left\{ \text{sign}(x), -\log \tanh\left(\frac{|x|}{2}\right) \right\}$ 與在 φ 域中之運算係在群組 $\{0, 1\} \times R^+$ 上完成(此基本上意指此處該總和係定義為在量值上的總和與在記號上的 XOR)。類似於等式(4)的標記， $N(c, G)$ 表示該圖表 G 中一校驗節點 c 之位元節點相鄰者之集合而且 $v' \in N(c, G) \setminus v$ 指排除節點「 v 」之此等相鄰者(該總和係關於除 v 以外的所有相鄰者)。

針對位元 v 的最終解碼器估計係：

$$Q_v = P_v + \sum_{c' \in N(v, G)} R_{c'v} \quad (6)$$

在訊息傳遞解碼期間傳遞訊息的順序係稱為解碼排程。

BP解碼並非意味著利用一特定排程：其僅定義計算規則(等式(4)、(5)及(6))。該解碼排程並不影響該碼之預期錯

誤校正能力。然而，該解碼排程可顯著影響該解碼器的收斂速率與該解碼器的複雜性。

用於解碼LDPC碼之標準訊息傳遞排程係滿排程，其中在各迭代中所有可變節點及其後所有校驗節點都將新訊息傳遞至其相鄰者(R. G. Gallager的低密度奇偶校驗碼(馬薩諸塞州劍橋市，MIT Press，1963年))。圖2給出基於該滿排程之標準BP演算法。

基於該滿排程的BP演算法之標準實施方案就記憶體需求方面較為昂貴。吾人需要儲存總共 $2|V|+2|E|$ 個訊息(用於儲存該等 P_v 、 Q_v 、 Q_{vc} 及 R_{cv} 訊息)。此外，該滿排程展現一低收斂速率並因此要求更高的解碼邏輯(例如，一ASIC上的更多處理器)用於提供於一給定解碼輸送量之一要求的錯誤校正能力。

更有效率的串列訊息傳遞解碼排程係已知。在一串列訊息傳遞排程中，該等位元或校驗節點係串列橫越並且針對各節點，該等對應訊息係傳送至該節點內與自該節點傳送。例如，可藉由以某一順序串列橫越該圖表中之校驗節點來實施一串列排程並且針對各校驗節點 $c \in C$ ，以下訊息係傳送：

1. 針對各 $v \in N(c)$ 之 Q_{vc} (即，至該節點 c 內之所有 Q_{vc} 訊息)
2. 針對各 $v \in N(c)$ 之 R_{cv} (即，來自節點 c 之所有 R_{cv} 訊息)

與該滿排程相比，串列排程致能該圖表上資訊之立即與更快傳播從而導致更快的收斂(近似係兩倍快)。此外，可以記憶體需求之明顯減小來有效率地實施串列排程。此可

藉由使用該等 Q_v 訊息與該等 R_{cv} 訊息來實現以便計算即時的 Q_v 訊息，因此避免使用一額外記憶體用於儲存該等 Q_v 訊息的需要。此係藉由基於等式(4)與(6)將 Q_v 表達為 $(Q_v - R_{cv})$ 來完成。此外，與以該先驗訊息 P_v 所初始化相同的記憶體係用於儲存迭代更新的 Q_v α 後驗訊息。獲得記憶體需求中之一額外減小，因為在該串列排程中吾人僅需要使用 $N(c) \forall c \in C$ 的知識，而在該滿排程之標準實施方案中吾人使用兩個資料結構 $N(c) \forall c \in C$ 與 $N(v) \forall v \in V$ ，其要求兩倍的記憶體用於儲存該碼的圖表結構。圖3顯示該串列排程的解碼演算法。

總而言之，串列解碼排程具有優於該滿排程之以下優點：

- 1) 與該標準滿排程相比較，串列解碼排程以一因數2來加速該收斂。此意指與基於該滿排程之一解碼器相比較，吾人僅需要一半的解碼器邏輯以便提供於一給定輸送量之一給定錯誤校正能力。
- 2) 串列解碼排程提供該解碼器之一有效率記憶實施方案。需要用於僅儲存 $|V| + |E|$ 個訊息的一RAM(而非如在該標準滿排程中用於儲存 $2|V| + 2|E|$ 個訊息)。與該標準滿排程相比較，需要一半的用於儲存該碼的圖表結構之ROM大小。
- 3) 可將「即時」收斂測試實施為在一迭代期間完成之計算的部分，從而允許在一迭代期間之收斂偵測與於任何點處的解碼終止。此可節省解碼時間與能量消耗。

定義

本文中說明的該等方法係適用於校正至少兩個不同環境中的資料中之錯誤。一環境係其中自一儲存媒體擷取資料之環境。另一環境係其中自一傳輸媒體接收資料之環境。儲存媒體與傳輸媒體兩者係將錯誤添加至資料的一「頻道」之特殊情況。本文中將「擷取」與「接收」資料之概念一般化為「匯入」資料之概念。「擷取」資料與「接收」資料兩者係自一頻道「匯入」資料之特殊情況。

藉由本文中呈現的該等方法解碼之資料係一碼字之表示。該等資料僅係該碼字之一「表示」，而非碼字本身，因為該碼字可能在應用該等方法之一者用於解碼之前已由該頻道中之雜訊加以破壞。

【發明內容】

迭代編碼系統展現稱為錯誤底的一不合需要之效應，如圖4中所示，其中在該通信頻道中或在該記憶體裝置中之一特定「雜訊」位準之下，即使係該等位元錯誤之原因的「雜訊」變得更小，但該解碼器之輸出處的區塊錯誤率(BER)仍開始慢得多地減小。此效應係有問題的，尤其在儲存系統中，其中要求的解碼器輸出區塊錯誤率應係極小($\sim 10^{-10}$)。應注意，在圖4中，該雜訊增加至右側。

為吾人熟知的係一迭代編碼系統之錯誤校正能力與錯誤底隨碼長度增加而改良(任何ECC系統都係如此，但尤其係對於迭代編碼系統而言，其中該錯誤校正能力於短碼長度相當差)。

然而，在迭代編碼系統之習知實施方案中，該解碼硬體之記憶體複雜性與該碼長度成比例；因此使用長碼導致高複雜性，即使在已知的最有效率實施方案中(例如串列排程解碼器)。

因此，本文所呈現係用於實施極長LDPC碼之方法，其使用低複雜性解碼硬體來提供極低錯誤底與接近最佳的錯誤校正能力。

雖然正確設計的LDPC碼係極強大的，並可校正一碼字中較大數目之錯誤，但係稱為「捕捉集合」之一現象可引起解碼器失效，並增加該碼之錯誤底，即使不正確位元之數目可能係極小並可係限於圖表中之特定區域。捕捉集合並非較佳加以定義用於一般LDPC碼，而已將其說明為：「此等係具有相對較小數目的可變節點之集合以使得所誘發子圖僅具有較小數目的奇數度校驗節點」。

捕捉集合係與該LDPC圖表之佈局以及與使用的特定解碼演算法相關，較難避免並較難分析。

捕捉集合在儲存之領域中係一問題，因為歷史上儲存裝置要求的可靠性相對較高，例如每 10^{14} 個儲存位元1位元錯誤。結果係記憶體裝置(例如快閃記憶體裝置)中採用的碼應展現較低錯誤底，而捕捉集合增加該錯誤底。

因此，本文中提供的一具體實施例係一種解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的方法，該方法包括：(a)自一頻道匯入該碼字之該表示；(b)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估

計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及(c)若(i)該解碼依據一預定失效準則而未能收斂，以及(ii)該等碼字位元之該等估計滿足包括一捕捉集合的該圖表之一準則表徵：在繼續該等迭代前重置該等訊息之至少一部分。

本文中提供的另一具體實施例係一種解碼將 K 個資訊位元編碼為 $N>K$ 個碼字位元的一碼字之一表示的方法，該方法包括：(a)自一頻道匯入該碼字之該表示；(b)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及(c)若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。

本文中提供的另一具體實施例係一種用於解碼將 K 個資訊位元編碼為 $N>K$ 個碼字位元的一碼字之一表示的解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(a)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一表圖表中在該等位元節點與該等校驗節點之間交換訊息；以及(b)若(i)該解碼依據一預定失效準則而未能收斂，以及(ii)該等碼字位元之該等估計滿足

包括一捕捉集合的該圖表之一準則表徵：在繼續該等迭代前重置該等訊息之至少一部分。

本文中提供的另一具體實施例係一種用於解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(a)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及(b)若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。

本文中提供的另一具體實施例係一種記憶體控制器，其包括：(a)一編碼器，其用於將 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字；以及(b)一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(i)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息，以及(ii)若(A)該解碼依據一預定失效準則而未能收斂，以及(B)該等碼字位元之該等估計滿足包括一捕捉集合的該圖表之一準則表徵：在繼續該等迭代前重置該等訊息之至少一部分。

本文中提供的另一具體實施例係一種記憶體控制器，其包括：(a)一編碼器，其用於將 K 個資訊位元編碼為 $N>K$ 個碼字位元之一碼字；以及(b)一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(i)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及(ii)若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。

本文中提供的另一具體實施例係一種接收器，其包括：(a)一解調變器，其用於解調變自一通信頻道接收之一訊息，從而產生將 K 個資訊位元編碼為 $N>K$ 個碼字位元之一碼字之一表示；以及(b)一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(i)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息，以及(ii)若(A)該解碼依據一預定失效準則而未能收斂，以及(B)該等碼字位元之該等估計滿足包括一捕捉集合的該圖表之一準則表徵：在繼續該等迭代前重置該等訊息之至少一部分。

本文中提供的另一具體實施例係一種接收器，其包括：

(a)一解調變器，其用於解調變自一通信頻道接收之一訊息，從而產生將 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字之一表示；以及(b)一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(i)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及(ii)若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。

本文中提供的另一具體實施例係一種用於發送與接收一訊息的通信系統，其包括：(a)一發射器，其包括：(i)一編碼器，其用於將該訊息之 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字，以及(ii)一調變器，其用於經由一通信頻道作為一調變信號來發送該碼字；以及(b)一接收器，其包括：(i)一解調變器，其用於接收來自該通信頻道之該調變信號並用於解調變該調變信號，從而提供該碼字之一表示，以及(ii)一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(A)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該

等位元節點與該等校驗節點之間交換訊息，以及(B)若(I)該解碼依據一預定失效準則而未能收斂，以及(II)該等碼字位元之該等估計滿足包括一捕捉集合的該圖表之一準則表徵：在繼續該等迭代前重置該等訊息之至少一部分。

本文中提供的另一具體實施例係一種用於發送與接收一訊息的通信系統，其包括：(a)一發射器，其包括：(i)一編碼器，其用於將該訊息之 K 個資訊位元編碼為 $N>K$ 個碼字位元之一碼字，以及(ii)一調變器，其用於經由一通信頻道作為一調變信號來發送該碼字；以及(b)一接收器，其包括：(i)一解調變器，其用於接收來自該通信頻道之該調變信號並用於解調變該調變信號，從而提供該碼字之一表示，以及(ii)一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(A)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及(B)若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。

本文中提供的另一具體實施例係一種解碼將 K 個資訊位元編碼為 $N>K$ 個碼字位元的一碼字之一表示的方法，該方法包括：(a)自一頻道匯入該碼字之該表示；(b)提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；(c)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包

括在該矩陣之該等列與該等行之間交換訊息；以及(d)若(i)該解碼依據一預定失效準則而未能收斂，以及(ii)該等碼字位元之該等估計滿足包括一捕捉集合的該奇偶校驗矩陣之一準則表徵：在繼續該等迭代前重置該等訊息之至少一部分。

本文中提供的另一具體實施例係一種解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的方法，該方法包括：(a)自一頻道匯入該碼字之該表示；(b)提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；(c)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及(d)若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等行傳送的該等訊息之至少一部分。

本文中提供的另一具體實施例係一種用於解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(a)提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；(b)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及(c)若(i)該解碼依據一預定失效準則而未能收斂，以及(ii)該等碼字位元之該等估計滿足包括一捕捉集合的該奇偶校驗矩陣之一準則表徵：在繼續該等迭代前重置該等訊息之至少一部分。

本文中提供的另一具體實施例係一種用於解碼將 K 個資訊位元編碼為 $N>K$ 個碼字位元之一碼字之一表示的解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(a)提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；(b)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及(c)若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等行傳送的該等訊息之至少一部分。

本文中提供的另一具體實施例係一種記憶體控制器，其包括：(a)一編碼器，其用於將 K 個資訊位元編碼為 $N>K$ 個碼字位元之一碼字；以及(b)一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(i)提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；(ii)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息，以及(iii)若(A)該解碼依據一預定失效準則而未能收斂，以及(B)該等碼字位元之該等估計滿足包括一捕捉集合的該奇偶校驗矩陣之一準則表徵：在繼續該等迭代前重置該等訊息之至少一部分。

本文中提供的另一具體實施例係一種記憶體控制器，其包括：(a)一編碼器，其用於將 K 個資訊位元編碼為 $N>K$ 個碼字位元之一碼字；以及(b)一解碼器，其包括一處理器，

其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(i)提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；(ii)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及(iii)若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等行傳送的該等訊息之至少一部分。

本文中提供的另一具體實施例係一種接收器，其包括：(a)一解調變器，其用於解調變自一通信頻道接收之一訊息，從而產生將 K 個資訊位元編碼為 $N>K$ 個碼字位元的一碼字之一表示；以及(b)一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(i)提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；(ii)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息，以及(iii)若(A)該解碼依據一預定失效準則而未能收斂，以及(B)該等碼字位元之該等估計滿足包括一捕捉集合的該奇偶校驗矩陣之一準則表徵：在繼續該等迭代前重置該等訊息之至少一部分。

本文中提供的另一具體實施例係一種接收器，其包括：(a)一解調變器，其用於解調變自一通信頻道接收之一訊息，從而產生將 K 個資訊位元編碼為 $N>K$ 個碼字位元的一碼字之一表示；以及(b)一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算

法而解碼該碼字之該表示，該等步驟包括：(i)提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；(ii)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及(iii)若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等行傳送的該等訊息之至少一部分。

本文中提供的另一具體實施例係一種用於發送與接收一訊息的通信系統，其包括：(a)一發射器，其包括：(i)一編碼器，其用於將該訊息之 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字，以及(ii)一調變器，其用於經由一通信頻道作為一調變信號來發送該碼字；以及(b)一接收器，其包括：(i)一解調變器，其用於接收來自該通信頻道之該調變信號並用於解調變該調變信號，從而提供該碼字之一表示，以及(ii)一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(A)提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；(B)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息，以及(C)若(I)該解碼依據一預定失效準則而未能收斂，以及(II)該等碼字位元之該等估計滿足包括一捕捉集合的該奇偶校驗矩陣之一準則表徵：在繼續該等迭代前重置該等訊息之至少一部分。

本文中提供的另一具體實施例係一種用於發送與接收一訊息的通信系統，其包括：(a)一發射器，其包括：(i)一編

碼器，其用於將該訊息之 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字，以及(ii)一調變器，其用於經由一通信頻道作為一調變信號來發送該碼字；以及(b)一接收器，其包括：(i)一解調變器，其用於接收來自該通信頻道之該調變信號並用於解調變該調變信號，從而提供該碼字之一表示，以及(ii)一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：(A)提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；(B)在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及(C)若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等行傳送的該等訊息之至少一部分。

本文中提供四種一般方法，其用於解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字之一表示(已自一頻道匯入)。

依據最初兩種一般方法，在複數個解碼迭代中，藉由在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表的該等位元節點與該等校驗節點之間交換訊息來更新該等碼字位元之估計。

依據第一個一般方法，若該解碼依據一預定失效準則已失效，並且若該等碼字位元估計滿足包括一捕捉集合的該圖表之一準則表徵，則在繼續該等迭代前重置該等訊息之至少一部分。

在該第一個一般方法之一些具體實施例中，將該圖表之至少一部分分割為複數個子圖。該等訊息之該交換的至少一部分係在每一子圖內加以分離實現。包括一捕捉集合的該圖表之相關聯準則包括在該等子圖之僅一者中至收斂的該解碼之失效。

包括一捕捉集合的該圖表之另一準則係該等碼字位元估計之一校正子的至多約1%的元素在兩個連續迭代中係非零及常數。

該等訊息之該至少部分的重置較佳包括設定欲自該等校驗節點傳送的該等訊息之至少一部分，及/或截斷欲自該等位元節點傳送的該等訊息之至少一部分。最佳地，該重置包括將欲自該等校驗節點傳送之所有訊息設定至零，及/或截斷欲自該等位元節點傳送的所有訊息。較佳地，欲自該等位元節點傳送的訊息係對數概度比，其中將被截斷的訊息截斷至至多在約10與約16之間的一量值。

依據第二個一般方法，若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。

一較佳失效準則包括(例如)在預定數目個迭代後、或在預定時間後、或在預定數目個訊息(該等位元節點與該等校驗節點之間)交換後係非零的該等碼字位元估計之一校正子的至少預定數目個元素(例如一元素)。另一較佳失效準則包括在兩個連續迭代中保持非零的該等碼字位元估計之一校正子的至多預定數目個元素。另一較佳失效準則包

括在係小於一預定限制的兩個連續迭代後該等碼字位元估計之一校正子的非零元素之該等數目之間的差異。另一較佳失效準則包括在係小於一預定限制的預定數目個連續迭代前與後(例如在一單一迭代前與後)的該等碼字位元估計之間的漢明(Hamming)距離。

較佳地，截斷自該等位元節點傳送的所有訊息。

較佳地，該等訊息係對數概度比而且將被截斷的訊息截斷至至多在約10與約16之間的一量值。

如以上表明，LDPC解碼之圖形表示係等效於一矩陣表示，如圖1中解說。因此，依據第三與第四個一般方法，使用一奇偶校驗矩陣來更新該等碼字位元之估計用以連接具有 N 個位元向量元素之一位元向量與具有 $N-K$ 個校驗向量元素之一校驗向量。在複數個解碼迭代中，藉由在如此連接的該等位元向量元素與該等校驗向量元素之間交換訊息而更新該等碼字位元之估計。

依據第三個一般方法，若該解碼依據一預定失效準則已失效，並且若該等碼字位元估計滿足包括一捕捉集合的該奇偶校驗矩陣之一準則表徵，則在繼續該等迭代前重置該等訊息之至少一部分。

依據第四個一般方法，若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等行傳送的該等訊息之至少一部分。

對應於四個一般方法之一者的一解碼器包括一或多個處理器，其用於藉由執行用於依據對應一般方法來更新該等

碼字位元估計的一演算法而解碼該碼字之該表示。

對應於該四個一般方法之一者的一記憶體控制器包括：一編碼器，其用於將 K 個資訊位元編碼為 $N>K$ 個位元之一碼字；以及一解碼器，其對應於該一般方法。通常地，此一記憶體控制器包括電路，其用於在一主要記憶體中儲存該碼字之至少一部分並用於自主要記憶體擷取該碼字之該至少部分之一(可能雜訊)表示。對應於該四個一般方法之一者的一記憶體裝置包括此一記憶體控制器並還包括該主要記憶體。

對應於該四個一般方法之一者的一接收器包括一解調變器，其用於解調變自一通信頻道接收之一訊息。該解調變器提供將 K 個資訊位元編碼為 $N>K$ 個碼字位元的一碼字之一表示。此一接收器亦包括對應於該一般方法之一解碼器。

對應於該四個一般方法之一者的一通信系統包括一發射器與一接收器。該發射器包括：一編碼器，其用於將一訊息之 K 個資訊位元編碼為 $N>K$ 個碼字位元之一碼字；以及一調變器，其用於經由一通信頻道作為一調變信號來發送該碼字。該接收器係對應於該一般方法之一接收器。

【實施方式】

克服由於捕捉集合的未收斂的低複雜性LPDC解碼與LPDC解碼之原則與操作可參考圖式與附隨說明加以較佳理解。

在針對LDPC碼之習知解碼器中，由該解碼器所要求的

記憶體與該碼長度 N (等於該碼的基本圖表 $|V|$ 中的可變節點之數目) 成比例並與該碼的基本圖表 $|E|$ 中的邊緣之數目成比例。在有效率的實施方案 (例如基於串列排程的解碼器) 中，該要求的記憶體可小至 $|V| + |E| * bpm$ 個位元，其中 $|V|$ 係位元估計之數目， $|E|$ 係邊緣訊息之數目而 bpm 係每一儲存於該解碼器之記憶體中之訊息的位元之數目 (應注意為簡單起見吾人此處假定相同數目之位元係要求用於儲存位元估計與邊緣訊息，儘管情況不必如此)。假定足夠的解碼時間係可用，與一習知解碼器相比較，本文中呈現的解碼器使用更小的記憶體用於實施該解碼、同時儲存僅一較小分率的該 $|V|$ 個位元估計與該 $|E|$ 個邊緣訊息而無解碼器的錯誤校正能力中之任何劣化。此係藉由採用一適當解碼排程與使用本文中說明之解碼硬體來實現。

本文中說明的方法與解碼器藉由將表示該碼之基本圖表分成數個區段來操作並操作以藉由循序處理該圖表之不同區段 (每次一或多個區段) 來實施該訊息傳遞解碼演算法。在解碼期間之每一級，僅對應於當前在處理之該 (等) 圖表區段的位元估計與邊緣訊息係儲存。以此方式，可採用一極長 LDPC 碼，從而提供接近最佳錯誤校正能力與極低錯誤底，同時利用一低複雜性解碼硬體。

本文中呈現的解碼器高度適合於在記憶體裝置中的使用，其主要係針對以下三個原因：

1. 一低 ECC 錯誤底在記憶體裝置中尤為重要，其具有嚴格的解碼器輸出 BER 要求 ($< 10^{-15}$)。當使用短碼時，實現此

類低錯誤底極為困難並通常要求犧牲該碼的錯誤校正能力，其由於該碼之較短長度所致已係折衷。因此，使用一等效長碼，該碼的錯誤校正能力係改良，並因而要求更低的ECC冗餘用於保護資訊免受損壞儲存資料之一給定記憶體「雜訊」影響。此進而導致該記憶體之更佳成本效率，因為可在一給定數目之記憶體單元中(或使用一給定記憶體矽大小)儲存更大數量的資訊。因此，預期在記憶體裝置中採用一長ECC提供一顯著優點。

2. 本文中呈現的LDPC方法允許於每一處理階段處理該碼的基本圖表之一區段，而非一次處理整個圖表。此意指吾人可於每一階段僅儲存該等「軟」位元估計之一部分而非一次儲存該等「軟」位元估計之全部。此處，術語「軟」位元估計指一位元集合，其針對從自該儲存器(可能係快閃裝置)之讀取推導出之各儲存位元說明一估計「 y 」之可靠性。

可在一記憶體裝置中容易地利用此特徵，因為僅可自該儲存裝置讀取當前要求的位元觀察(y)，因此在該記憶體控制器中不需要一大緩衝器以便實施該ECC解碼。或者，即使一次自該記憶體讀取所有位元觀察(藉由向量 y 表示)，儲存其所要求的緩衝器通常仍比儲存由該解碼器所要求之位元觀察(該等 P_v 訊息)所要求的記憶體小得多。以此方式，每次僅產生對應於當前藉由該解碼器處理之圖表區段的軟位元估計之部分，從而導致一更小的解碼器記憶體需求。

考量(例如)一SLC快閃記憶體裝置(每單元儲存一位元之一快閃記憶體裝置；「SLC」意指「單層單元」並且實際上係一誤稱，因為每一單元支援兩個層；「SLC」中的「S」指僅存在一程式化層。)，其中各單元儲存一單一位元 v 並且自各單元讀取之狀態 y 可以係0或1。則儲存讀取單元狀態之向量 y 所需要的記憶體係 N 個位元。另一方面，儲存所有該等軟位元估計(P_v 訊息)所要求的記憶體可以更大(例如若每一LLR估計係儲存於6個位元中則係 $6N$ 個位元)。因此，更有效率的係在各解碼器啟動中僅產生要求的軟位元估計。可基於該記憶體「雜訊」之先驗知識從自該快閃記憶體裝置讀取的對應位元觀察 y 產生針對某一位元 v 之一LLR位元估計 $P_v = \log \frac{\Pr(v=0|y)}{\Pr(v=1|y)}$ 。

換言之，假設「 y 」係自該單元讀取，藉由知道記憶體「雜訊」統計，吾人可推導出儲存於一特定記憶體單元中之一位元 v 係0/1的機率。

例如，假定在一特定SLC快閃記憶體裝置中，讀取與其係程式化至一狀態不同的單元之狀態的機率係 $p=10^{-2}$ ，則若 $y=0$ 則 $p_v = \log \frac{1-p}{p} = 4.6$ ，而若 $y=1$ 則 $p_v = \log \frac{p}{1-p} = -4.6$ 。

此外，若可自該快閃裝置之各單元讀取的狀態(藉由「 y 」表示)之數目係8，因為該單元儲存一單一位元(一「硬位元」)並且該裝置經組態用以讀取八個臨限電壓位準(等效於兩個「軟位元」)，則在該控制器中要求針對3個位元之儲存的各元素「 y 」係轉換成一LLR值 P_v ，

其可以係表示為3個以上位元，例如表示為6個位元 (BPM=每訊息之位元=6)。與自該快閃單元讀取的2個軟位元相反並對應於此6位元LLR值，此等6個位元係一軟位元估計。

3. 本文中呈現的類型之一解碼排程允許一更小的記憶體需求(與習知解碼排程相比較)。然而，本文中呈現的解碼排程可能減緩解碼器收斂速率並增加解碼時間，尤其係在接近該解碼器的最大錯誤校正能力操作時。此一解碼器高度適合於記憶體裝置，其可容忍可變的ECC解碼延時。例如，若ECC收斂至正確儲存碼字的要求解碼時間由於破壞的位元之較高數目所致而較長，則該記憶體控制器可停止讀取該記憶體直到先前讀取的碼字之解碼係完成。應注意，在快閃記憶體裝置之大部分壽命期間，該記憶體「雜訊」係較小並且破壞的位元之數目係較小。因此，該解碼器有效率並快速操作，從而允許一有效率的管線式記憶體讀取。極少地，自該記憶體讀取之破壞的位元之數目係較高，從而要求更長的解碼時間並導致一讀取管線暫停。因此，即使具有此等可變解碼時間特性，平均上該輸送量不受損害。

依據一類具體實施例，表示該碼之偶圖 $G=(V,C,E)$ 係以下列方式分成數個區段。1)將位元節點之集合 V 分成 t 個不相交子集： $V_1、V_2、...、V_t$ (使得 $V=V_1 \cup V_2 \cup ... \cup V_t$)。2)針對位元節點之各子集 V_i ，形成校驗節點之一子集 C_i ，其包括僅連接至 V_i 中之位元節點的所有校驗節點。3)形成外部校

驗節點之一子集 C_J ，其包括不在到目前為止形成之校驗節點子集之任一者中的所有校驗節點，即 $C_J = C \setminus (C_1 \cup C_2 \cup \dots \cup C_t)$ 。

4) 將該圖表 G 分成 t 個子圖 G_1 、 G_2 、...、 G_t 以使得 $G_i = (V_i, C_i, E_i)$ ，其中 E_i 係在 V_i 中之位元節點與 C_i 中之校驗節點之間連接的邊緣之集合。表示藉由 E_J (應注意 $E_J = E \setminus (E_1 \cup E_2 \cup \dots \cup E_t)$) 連接至該集合 C_J 之邊緣。

在此等具體實施例中，該圖表 G 係依據一特殊訊息傳遞排程來處理，其係藉由反覆實行解碼階段並且在各解碼階段中按以下順序沿該等圖表邊緣來交換訊息：

- $i=1$ 至 t 時

1. 沿 E_J 中之邊緣自校驗節點 $c \in C_J$ 傳送 R_{cv} 訊息至位元節點 $v \in V_i$ ，其在圖 5 中描述為 R_{CJV_i} 訊息。將自校驗節點 $c \in C_i$ 至位元節點 $v \in V_i$ 的 R_{cv} 訊息設定為零，其在圖 5 中描述為 R_{Civi} 訊息。將初始位元估計設定為針對每一位元 $v \in V_i$ 之 P_v ，其在圖 5 中描述為 P_{Vi} 訊息。應注意，訊息 R_{CJV_i} 係在此步驟前針對其他 $t-1$ 個子圖 G_k ， $k \neq i$ 而啟動該解碼器之結果。在尚未處理其他子圖的情況下，圖 5 中之其對應訊息 Q_{vicJ} 係設定為 P_{vi} ，即自該記憶體讀取或自該通信頻道接收的估計。在此等係刺穿位元的情況下，其 P_{vi} 的位元為零。

2. 依據某一排程 (例如依據圖 3 中說明的串列排程，其係藉由串列橫越 C_i 中之校驗節點並針對各校驗節點傳送訊息往返於該校驗節點來實行)，沿 E_i 中之邊緣，藉由自 V_i 中之位元節點至 C_i 中之校驗節點傳送 Q_{vc} 訊息與

自 C_i 中之校驗節點至 V_i 中之位元節點傳送 R_{cv} 訊息來實行一或多個迭代。此係描述為圖 5 中之 $Q_{v_i c_i}$ 與 $R_{c_i v_i}$ 訊息。

3. 沿 E_J 中之邊緣將 Q_{vc} 訊息自 V_i 中之位元節點傳送至 C_J 中之校驗節點，如圖 5 中之 $Q_{v_i c_J}$ 訊息所描述。

解碼繼續直到該解碼器收斂至滿足所有奇偶校驗限制的一有效碼字，或直到達到允許的解碼階段之一最大數目。針對於每一子圖 i 內傳遞之訊息停止準則係類似的：迭代直到滿足此子圖內的所有奇偶校驗限制或到達允許迭代之最大數目。一般而言，迭代的最大允許數目可自一子圖至另一子圖或自該解碼器之一啟動至另一啟動而改變。

沿 E_J 中之邊緣傳送的訊息(圖 5 中之 $R_{C_J V_i}$ 訊息與 $Q_{V_i C_J}$ 訊息)係用於在該圖表之不同區段之間交換資訊。可依據該訊息傳遞解碼演算法之標準計算規則來計算在解碼期間之每一級傳送的訊息。例如，若實施 BP 解碼，則依據等式 (4) 與 (5) 來計算該等訊息。其他訊息傳遞解碼演算法(例如最小和演算法、Gallagher A 演算法與 Gallagher B 演算法)具有其本身的計算規則。

採用實施 BP 解碼的每一子圖內的串列排程訊息傳遞解碼，在圖 6 中加總此一解碼演算法。在此演算法中，在僅解碼對應於位元節點 $v \in V_i$ 的 Q_v 訊息期間之每一級，儲存對應於 E_i 中之邊緣的 R_{cv} 訊息與對應於 E_J 中之邊緣的訊息。因此，與有效率的習知解碼器中的 $(|V| + |E|)$ 訊息相比較，此類具體實施例之解碼器要求同時僅儲存(最大 $\{|V_1|, |V_2|, \dots, |V_i|\} +$

最大 $\{|E_1|, |E_2|, \dots, |E_i| + |E_j|\}$ 訊息。因此，該記憶體需求係一習知解碼器所要求之記憶體的 $\sim 1/t$ 分率。當實施長 LDPC 碼時，此提供一解碼器的複雜性之一顯著優點。

圖 7A 顯示依據此類具體實施例的一範例性解碼器 30 之一高階示意方塊圖。解碼器 30 包括：

1. 一初始 LLR 計算方塊 32，其基於自該記憶體讀取或自該通信頻道接收的對應位元觀察 $\mathcal{Y}_i = [y_v: v \in V_i]$ (其中 y_v 係對應於位元 v 之觀察) 來計算當前處理的子圖 $G_i = (V_i, C_i, E_i)$ 中針對位元 $v \in V_i$ 的初始位元估計 $\mathcal{P}_i = [P_v: v \in V_i]$ 。
2. 一讀取/寫入記憶體 34，其包括一記憶體區段 36 用於儲存當前處理的子圖中針對位元節點 $v \in V_i$ 之位元估計 (初始化為該等 P_v 訊息之 Q_v 訊息)。
3. 一讀取/寫入記憶體 35，其包括：
 - 3a. 一記憶體區段 38，其用於儲存對應於當前處理的子圖之邊緣集合 E_i 的 R_{cv} 訊息。
 - 3b. 一記憶體區段 40，其用於儲存沿 E_j 中之邊緣的訊息。該記憶體區段 40 儲存：i) 自位元節點 $v \in V_i$ ， $\forall i \in \{1, \dots, n\} \setminus i$ 至校驗節點 $c \in C_j$ 的 Q_{vc} 訊息，其中 i 係當前處理的子圖之索引；以及 ii) 對於位元節點 $v \in V_i$ ，記憶體區段 40 首先儲存來自校驗節點 $c \in C_j$ 的 R_{cv} 訊息並且之後該子圖的處理記憶體區段 40 儲存至校驗節點 $c \in C_j$ 的 Q_{vc} 。
4. 處理單元 42，其用於實施在更新該等訊息中涉及的計算 (如圖 6 所示)。
5. 一選路層 44，其導引記憶體 34 與處理單元 42 之間的訊

息。例如，在此類具體實施例之一些子類中，在圖6中透過子圖 G_1 至 G_i 的循環內，選路層44指派各處理器42其本身的當前子圖 G_i 之校驗節點並且針對所有 G_i 之校驗節點(或針對與存在的處理器42一樣多的 G_i 之校驗節點)並列完成該校驗節點處理。

6. 一唯讀記憶體(ROM)46，其用於儲存該碼的圖表結構。藉由選路層44之記憶體定址與切換係基於ROM 46中之項目。

解碼器30包括複數個處理單元42以使得可並列實現在更新該等訊息中涉及的計算。僅具有一處理單元42之一替代性具體實施例會不包括一選路層44。

如以上所述，一串列傳遞排程串列地橫越該等校驗節點或該等位元節點。圖7A之解碼器30串列地橫越該等校驗節點。圖7B係串列地橫越該等位元節點之一類似解碼器31的高階示意方塊圖。

圖8顯示依據此類具體實施例分割的圖表之一範例。在此範例中使用一LDPC碼，其藉由具有18個位元節點與9個校驗節點之一規則偶圖來加以說明使得每一位元節點係連接至兩個校驗節點而且每一校驗節點係連接至四個位元節點。此係一長度18、速率1/2的LDPC碼。在圖8之左側上顯示原始圖表。此亦係圖1之圖表。在將其位元節點、校驗節點與邊緣分割為子集後的該圖表係顯示於圖8之右側上。應注意，此係相同的圖表，僅為清楚起見而重新配置。對於此碼而言，一先前技術有效率解碼器會要求儲存

18+36=54 個 訊 息 ， 而 該 對 應 解 碼 器 30 要 求 僅 儲 存
6+8+12=26個 訊 息 ， 從 而 提 供 該 解 碼 器 的 記 憶 體 複 雜 性 之
52%的 減 小 ， 同 時 維 持 相 同 的 錯 誤 校 正 能 力 。

較 佳 地 ， 如 圖 8之 範 例 中 ， 所 有 子 圖 應 佈 局 上 相 同 。 在
此 背 景 中 ，「 佈 局 上 相 同 」 意 指 所 有 子 圖 具 有 相 等 數 目 的
位 元 節 點 與 相 等 數 目 的 校 驗 節 點 ； 每 一 位 元 節 點 就 至 內 部
校 驗 節 點 的 連 接 性 方 面 在 每 隔 一 子 圖 中 具 有 一 對 應 位 元 節
點 ； 而 且 每 一 子 圖 校 驗 節 點 就 至 位 元 節 點 的 連 接 性 方 面 在
每 隔 一 子 圖 中 具 有 一 對 應 校 驗 節 點 。 例 如 ， 在 圖 8 中 ：

位 元 節 點 1、5、11、13、16及 17對 應 ， 因 為 位 元 節 點 1
與 5係 連 接 至 子 圖 1之 兩 個 校 驗 節 點 ， 位 元 節 點 11與 16係 連
接 至 子 圖 2之 兩 個 校 驗 節 點 ， 位 元 節 點 13與 17係 連 接 至 子
圖 3之 兩 個 校 驗 節 點 ， 並 且 此 等 位 元 節 點 都 不 連 接 至 一 外
部 校 驗 節 點 (集 合 C_J 之 一 校 驗 節 點)。

剩 餘 位 元 節 點 對 應 ， 因 為 此 等 位 元 節 點 之 每 一 者 係 連 接
至 相 同 子 圖 之 一 校 驗 節 點 。

該 等 子 圖 之 所 有 校 驗 節 點 對 應 ， 因 為 此 等 校 驗 節 點 之 每
一 者 係 連 接 至 僅 係 連 接 至 子 圖 校 驗 節 點 的 其 子 圖 之 兩 個 位
元 節 點 並 係 連 接 至 亦 係 連 接 至 外 部 校 驗 節 點 的 其 子 圖 之 兩
個 其 他 位 元 。

應 注 意 ， 該 等 子 圖 不 需 要 具 有 對 該 等 外 部 校 驗 節 點 之 相
同 連 接 性 以 便 「 佈 局 上 相 同 」。 例 如 ， 連 接 至 相 同 外 部 校
驗 節 點 7的 子 圖 3之 兩 個 位 元 節 點 15與 18亦 係 連 接 至 子 圖 3
之 相 同 校 驗 節 點 9， 但 連 接 至 相 同 外 部 校 驗 節 點 2的 子 圖 1

之兩個位元節點4與12係連接至子圖1之不同的校驗節點(3與8)。

然而，若需要，可藉由一貪心演算法(Greedy algorithm)來將任何LDPC圖表 G 分割成子圖。該第一子圖係藉由選擇一任意位元節點集合來構建。該第一子圖之該等校驗節點係僅連接至此等位元節點的校驗節點。該第二子圖係藉由自剩餘位元節點之中選擇一任意位元節點集合來構建。當然，較佳的係，該第二子圖中的位元節點數目係與該第一子圖中的位元節點數目相同。再次，該第二子圖之校驗節點係僅連接至該第二子圖之位元節點的校驗節點。位元節點之此任意選擇係按需要次數重複。最後子圖則係由未選擇的位元節點與僅連接至此等位元節點的校驗節點組成。剩餘校驗節點構成 C_J 。

在以上說明的該類具體實施例中，該LDPC圖表 G 係分割成 t 個子圖，各具有其本身的位元節點與校驗節點，加上僅校驗節點之一分離子集 C_J 。在另一類具體實施例中，如圖9所解說， G 係分割成正好 t 個子圖，各具有其本身的位元節點與校驗節點。例如，使用以上說明的貪心演算法，該最後子圖(G_t)包括該等未選擇的位元節點、僅連接至此等位元節點的校驗節點，並還包括所有剩餘的校驗節點。此係等效於係連接至自子圖之位元節點分離之其本身的位元節點子集的第一類具體實施例之集合 C_J 。在此類具體實施例中，圖6之演算法係藉由僅在子圖循環中包括子圖 G_1 至 G_{t-1} 並藉由在該子圖循環之後僅在 G_t 內的訊息之分離交

換來結束每一解碼階段來修改。圖9顯示 $t=4$ 的情況。在此等具體實施例之一子類中，該等位元之一些係刺穿位元，而且 G_i 係專屬於此等位元： G_i 之所有位元係刺穿位元，而且所有刺穿位元係 G_i 之位元。

圖10係一快閃記憶體裝置的高階示意方塊圖。包括以一矩陣配置的複數個記憶體單元M之一記憶體單元陣列1係藉由一行控制電路2、一列控制電路3、一c-源極控制電路4以及一c-p井控制電路5來控制。行控制電路2係連接至記憶體單元陣列1的位元線(BL)用於讀取儲存於該等記憶體單元(M)中的資料；用於決定一寫入操作期間的該等記憶體單元(M)之一狀態；以及用於控制該等位元線(BL)之電位位準以促進該寫入或以抑制該寫入。列控制電路3係連接至字線(WL)以選擇字線(WL)之一者，施加讀取電壓，施加與藉由行控制電路2控制的位元線電位位準組合的寫入電壓，以及施加與其上形成記憶體單元(M)的p型區域之電壓耦合的抹除電壓。C-源極控制電路4控制連接至記憶體單元(M)的一共同源極線。c-p井控制電路5控制c-p井電壓。

儲存於該等記憶體單元(M)中的資料係藉由行控制電路2讀取出並係經由I/O線與資料輸入/輸出緩衝器6而輸出至外部I/O線。欲儲存於該等記憶體單元中之程式資料係經由該等外部I/O線而輸入至資料輸入/輸出緩衝器6並係傳送至行控制電路2。該等外部I/O線係連接至一控制器20。

用於控制快閃記憶體裝置之命令資料係輸入至連接至外

部控制線的一命令介面，該等外部控制線係與控制器20連接。該命令資料通知該快閃記憶體要求什麼操作。輸入命令傳送至狀態機8控制行控制電路2、列控制電路3、c-源極控制4、c-p井控制電路5及資料輸入/輸出緩衝器6。狀態機8可輸出快閃記憶體的狀態資料，例如就緒/忙碌(READY/BUSY)或通過/未通過。

控制器20係連接或可連接一主機系統，例如個人電腦、數位相機、個人數位助理。其係起始命令之主機，例如將資料儲存於記憶體陣列1或自該記憶體陣列1讀取資料，並分別提供或接收此類資料。控制器20將此類命令轉換為可藉由命令電路7解譯並執行之命令信號。控制器20亦通常含有用於係寫入至該記憶體陣列或自該記憶體陣列讀取的使用者資料之緩衝器記憶體。一典型記憶體裝置包括包括控制器20的一積體電路晶片21，及各含有一記憶體陣列及相關聯控制、輸入/輸出及狀態機電路的一或多個積體電路晶片22。當然，趨勢係將此一裝置之記憶體陣列與控制器電路一起整合在一或多個積體電路晶片上。該記憶體裝置可作為該主機系統之部分嵌入，或可包括於一記憶卡中，該記憶卡係可卸除式插入至主機系統之一配合插座中。此一卡可包括整個記憶體裝置，或可將具有相關聯周邊電路的控制器與記憶體陣列提供於分離的卡中。

圖11係圖10之部分的放大圖，其顯示控制器20，該控制器包括：一編碼器52，其用於將自該主機接收之使用者資料編碼為一或多個碼字；電路54，其用於指示命令電路7

將該等碼字(或僅其非刺穿的位元，若該等碼字之位元之任一者係刺穿的位元)儲存於記憶體單元陣列1中並用於指示命令電路7自記憶體單元陣列1擷取該等儲存的碼字(或在刺穿位元的情況下係其儲存的部分)；以及解碼器30，其用於解碼藉由電路54擷取的碼字之表示。或者，控制器20可包括解碼器31而非解碼器30。

雖然本文中揭示的方法與解碼器主要旨在用於資料儲存系統，但此等方法與解碼器亦適用於通信系統，尤其係依賴於透過強烈衰減高頻之媒體的波傳播的通信系統。此類通信係固有地較慢並具有雜訊。此類通信之一範例係海岸站與水下潛水艇之間的無線電波通信。

圖12係包括一發射器110、一頻道103及一接收器112的一通信系統100之高階示意方塊圖。發射器110包括一編碼器101及一調變器102。接收器112包括一解調變器104及解碼器30。編碼器101接收一訊息並產生一對應碼字。調變器102使產生的碼字經受一數位調變(例如BPSK、QPSK或多值QAM)，並經由頻道103將所得調變信號發射至接收器112。在接收器112處，解調變器104自頻道103接收該調變信號並使該接收調變信號經受一數位解調變，例如BPSK、QPSK或多值QAM。解碼器30解碼原始碼字之所得表示，如以上所說明。或者，接收器112可包括解碼器31而非解碼器30。

現轉向捕捉集合的問題，存在用於克服LDPC解碼中之捕捉集合的兩個類型的習知方法。

- 1.藉由設計無捕捉集合的LDPC碼來避免捕捉集合。
- 2.藉由解碼期間的演算法平均值來克服捕捉集合。

第一類型的習知方法具有以下缺點：

因為並未較佳定義捕捉集合，而且長LDPC碼相當複雜，故設計具有一低錯誤底之一圖表並證明該錯誤底較低可能係要求廣泛模擬之一困難任務。此外，此一方法可排除相對於其他態樣展現較佳性質的一些LDPC碼的使用，例如編碼/解碼方案中的實施方案複雜性、解碼速度及靈活性。

至於第二類型的習知方法，在解碼期間使用演算方法用於克服捕捉集合：

在文獻中提及數個建議方法：

- 1.平均
- 2.通知動態排程
- 3.識別該捕捉集合並設計設法對其加以避免的一訂製和-積演算法。

1.平均方法使用針對該等位元值之一更新演算法。該等更新不僅係基於先前迭代之結果，而且係基於針對少數迭代之結果的平均。已建議數個平均方法，其包括算術平均、幾何平均、以及一加權算術幾何平均。

2.通知動態排程。在此方法中，在每一迭代並非更新所有的校驗節點，而相反基於該圖表中之該等訊息的當前狀態來選擇欲更新之下一校驗節點。基於一度量來選擇該校驗節點，該度量測量此校驗節點更新對於解碼程序如何有

用。

兩方法可實現錯誤底中之改良，但該等演算法之相關聯複雜性較高，因為平均要求儲存先前訊息之歷史，並且通知動態排程導致較高計算複雜性。

第三類型的方法要求捕捉集合的識別以及針對每一圖表的一定製演算法(tailor-made algorithm)，其限制其對特定情境的使用，尤其當在相同應用中考量多個LDPC碼時。

依據目前說明的創新方法，在兩個階段中實行一碼字之解碼。在第一階段期間，沿藉由該LDPC碼定義的圖表來實行習知解碼。

若猜想一捕捉集合存在，其防止該解碼程序收斂至一合法碼字(即滿足所有奇偶校驗等式之一碼字)，則進入該解碼的第二階段。在此階段中，修改與該碼之該圖表的節點相關聯的該等值之某些。

因為一捕捉集合的存在意味著較小數目的位元未能正確收斂，若除較小數目的位元外其餘的位元在該解碼之連續迭代期間係穩定的，或若當滿足所有其他奇偶校驗等式時較小數目的奇偶校驗等式失效，則可識別一捕捉集合的存在。例如，若在如以上說明分割的一圖表之僅一子圖內的僅奇偶校驗等式失效，則猜想此子圖為或包括一捕捉集合。暗示一捕捉集合之存在的另一表徵係不一致失效的僅1%或更小的奇偶校驗等式。例如，校正子 $H \cdot v'$ (其中 v' 係估計位元之行向量)之元素的此某些係非零並在兩個連續迭代中加以識別，從而暗示一捕捉集合的存在。

此類修改之兩個範例係如下：

1. 將該等校驗節點訊息 R_{cv} 之該等值重置至零。
2. 截斷對應於位元機率的該等軟值 Q_v ，即，將對應於位元機率的該等軟值 Q_v 之量值限制為不大於一預定值，通常 10 與 16 之間的一值。

在此方法學後的動機係當不正確的位元在迭代程序期間達到較高機率並且該等不正確的結果(在對應於奇偶校驗等式的節點處加以含有)的可靠性亦係較高時，發生由於較小捕捉集合的未能收斂。在此一情形中，進一步迭代將不改變在不正確的位元上進行的硬決策(較佳加以實施為該等軟值之記號)

然而，若該解碼器已在其中一較小捕捉集合外側的所有位元已在其正確值的一初始狀態中開始其操作，則正確解碼碼字之機率係極高。

藉由將該等訊息 R_{cv} 之該等值重置至零，吾人回復其中該捕捉集合外側的所有位元係正確的一狀態。

在此情形中，與經正確解碼的位元(在此級的大多數位元)相關的訊息 Q_{vc} 與 R_{cv} 快速建立至較高可靠性值，而與該捕捉集合中之位元相關的訊息更慢建立，因此對來自該等正確訊息的對應於該捕捉集合中之位元的值存在更大影響。此一程序協助校正該捕捉集合中之位元的該等值。

此程序僅對一習知 LDPC 解碼演算法添加最小複雜性。

在一具體實施例中，該演算法針對有限數目的迭代實行解碼。在未能收斂後，該演算法立即添加用於設定特定變

量(例如一些或所有 R_{cv} 訊息)至零之一步驟，並接著繼續習知解碼。

在另一具體實施例中，在實行有限數目的迭代後，添加針對數個變量(例如一些或所有 Q_v 值)的一截斷操作，並接著該演算法繼續習知解碼。

與基於習知高複雜性及定製的方法相比，兩個演算法實施起來係極簡單的且複雜性較低，此外其應用至一般 LDPC 圖表。

截斷該等軟值 Q_v 係對各種非收斂準則及緩慢收斂準則產生反應方面係有益，如下：

1. 若在預定數目個迭代後，或在預定時間後、或在預定數目個訊息交換後，該校正子之預定數目個元素係非零。該預定數目個元素之一典型值係1。

2. 若該校正子之至多預定數目個元素在兩個連續迭代中保持非零。

3. 若在兩個連續迭代中該校正子之非零元素的該等數目之間的差異小於一預定限制，從而暗示緩慢收斂。

4. 若在預定數目個迭代(通常一迭代)前與後的該等位元估計之間的漢明距離係小於一預定限制，從而暗示緩慢收斂。

容易地修改圖 7A 與 7B 的解碼器 30 與 31 用以說明非收斂並用於如以上說明的緩慢收斂。明確而言，回應如藉由選路層 44 決定的非收斂或緩慢收斂，修改選路層 44 以依據以上說明的準則偵測非收斂或緩慢收斂，而且修改處理器 42

至一些或所有 $R_{c,v}$ 值外的零及/或以截斷一些或所有 Q_v 值。

上面已說明一有限數目之具體實施例，其包括用於解碼一碼字之一表示的方法、使用此等方法之解碼器、其控制器包括此類解碼器之記憶體及其接收器包括此類解碼器之通信系統。應明白可進行該等方法、解碼器、記憶體及系統的許多變更、修改及其他應用。

【圖式簡單說明】

本文中已僅藉由範例並參考附圖說明各種具體實施例，在該等附圖中：

圖1顯示一LDPC碼如何可表示為一稀疏奇偶校驗矩陣或一稀疏偶圖；

圖2顯示一滿排程信念傳播演算法；

圖3顯示一習知串列排程信念傳播演算法；

圖4解說錯誤底；

圖5顯示如何在一子圖內及在一子圖與一外部校驗節點集合之間交換訊息；

圖6顯示一信念傳播演算法，其中在子圖內及在該等子圖與一外部校驗節點集合之間交換訊息；

圖7A與7B係用於實施圖6之演算法的解碼器之高階示意方塊圖；

圖8與9顯示將圖1之稀疏偶圖分割成子圖的兩種方式；

圖10係其控制器包括圖7A之解碼器之一快閃記憶體裝置的高階示意方塊圖；

圖11係圖10的細節；及

圖 12 係其接收器包括圖 7A 之解碼器之一通信系統的高階示意方塊圖。

【主要元件符號說明】

1	記憶體單元陣列
2	行控制電路
3	列控制電路
4	c-源極控制電路
5	c-p井控制電路
6	資料輸入/輸出緩衝器
7	命令電路
8	狀態機
20	控制器
21	積體電路晶片
22	積體電路晶片
30	解碼器
31	解碼器
32	LLR初始化方塊
34	讀取/寫入記憶體
35	讀取/寫入記憶體
36	記憶體區段
38	記憶體區段
40	記憶體區段
42	處理單元
44	選路層

46	唯讀記憶體 (ROM)
52	編碼器
54	電路
101	編碼器
102	調變器
103	頻道
104	解調變器
110	發射器
112	接收器
M	記憶體單元

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98118815

※申請日：98.6.5

※IPC 分類：H03M 13/11 (2006.01)

一、發明名稱：(中文/英文)

藉由解碼器重置以克服LDPC捕捉集合

OVERCOMING LDPC TRAPPING SETS BY DECODER RESET

二、中文發明摘要：

為在複數個迭代中解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示(自一頻道匯入)，藉由在一圖表之 N 個位元節點與 $N-K$ 個校驗節點之間交換訊息來更新該等碼字位元之估計：若該解碼依據一預定失效準則未能收斂並若該等碼字位元估計滿足包括一捕捉集合的該圖表之一準則表徵，則在繼續該等迭代前重置該等訊息之至少一部分。或者，若依據一預定失效準則該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。

三、英文發明摘要：

To decode, in a plurality of iterations, a representation, imported from a channel, of a codeword that encodes K information bits as $N > K$ codeword bits, estimates of the codeword bits are updated by exchanging messages between N bit nodes and $N-K$ check nodes of a graph: If the decoding has failed to converge according to a predetermined failure criterion and if the codeword bit estimates satisfy a criterion symptomatic of the graph including a trapping set, at least a portion of the messages are reset before continuing the iterations. Alternatively, if the decoding fails to converge according to a predetermined failure criterion, at least a portion of the messages that are sent from the bit nodes are truncated before continuing the iterations.

七、申請專利範圍：

1. 一種解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的方法，該方法包含：
 - (a) 自一頻道匯入該碼字之該表示；
 - (b) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及
 - (c) 若
 - (i) 該解碼依據一預定失效準則而未能收斂，以及
 - (ii) 該等碼字位元之該等估計滿足包括一捕捉集合的該圖表之一準則表徵：
 則在繼續該等迭代前重置該等訊息之至少一部分。
2. 如請求項1之方法，其進一步包含：
 - (d) 將該圖表之至少一部分分割為複數個子圖，其中該等訊息之該交換的至少一部分係在每一子圖內而分離實現；以及
 其中係包括一捕捉集合之該圖表的表徵之該準則包括在該等子圖之僅一者中至收斂的該解碼之失效。
3. 如請求項1之方法，其中係包括一捕捉集合之該圖表的表徵之該準則包括於兩個連續迭代中係非零及常數的該等估計之一校正子(syndrome)的至多約1%的元素。
4. 如請求項1之方法，其中該重置包括將該等訊息之至少一部分設定至零以自該等校驗節點加以傳送。

5. 如請求項4之方法，其中該重置包括將所有該等訊息設定至零以自該等校驗節點加以傳送。
6. 如請求項1之方法，其中該重置包括截斷該等訊息之至少一部分以自該等位元節點加以傳送。
7. 如請求項6之方法，其中該重置包括截斷所有該等訊息以自該等位元節點加以傳送。
8. 如請求項6之方法，其中該等訊息係對數概度比而且其中該截斷係至至多在約10與約16之間的一量值。
9. 一種解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的方法，該方法包含：
 - (a) 自一頻道匯入該碼字之該表示；
 - (b) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及
 - (c) 若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。
10. 如請求項9之方法，其中該預定失效準則包括係非零之該等估計的一校正子之至少預定數目個元素。
11. 如請求項10之方法，其中該預定數目係1。
12. 如請求項10之方法，其中該預定失效準則包括在預定數目個該等迭代後係非零之該校正子的該至少預定數目個元素。

13. 如請求項10之方法，其中該預定失效準則包括在一預定時間後係非零之該校正子的該至少預定數目個元素。
14. 如請求項10之方法，其中該預定失效準則包括在該等訊息之預定數目個交換後係非零之該校正子的該至少預定數目個元素。
15. 如請求項9之方法，其中該預定失效準則包括於兩個連續迭代中保持非零的該等估計之一校正子的至多預定數目個元素。
16. 如請求項9之方法，其中該預定失效準則包括在係小於一預定限制的兩個連續迭代後該等估計之一校正子的非零元素之數目之間的一差異。
17. 如請求項9之方法，其中該預定失效準則包括在係小於一預定限制的預定數目個連續迭代前與後的該等估計之間的一漢明距離。
18. 如請求項17之方法，其中該預定數目個連續迭代係1。
19. 如請求項9之方法，其中截斷自該等位元節點傳送的所有該等訊息。
20. 如請求項9之方法，其中該等訊息係對數概度比而且其中該截斷係至至多在約10與約16之間的一量值。
21. 一種用於解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的解碼器，其包含一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：
 - (a) 在複數個解碼迭代中，藉由以下步驟更新該等碼字

位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及

(b) 若

(i) 該解碼依據一預定失效準則而未能收斂，以及

(ii) 該等碼字位元之該等估計滿足包括一捕捉集合的該圖表之一準則表徵：

則在繼續該等迭代前重置該等訊息之至少一部分。

22. 一種用於解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的解碼器，其包含一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：

(a) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及

(b) 若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。

23. 一種記憶體控制器，其包含：

(a) 一編碼器，其用於將 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字；以及

(b) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼

該碼字之一表示，該等步驟包括：

(i) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息，以及

(ii) 若

(A) 該解碼依據一預定失效準則而未能收斂，以及

(B) 該等碼字位元之該等估計滿足包括一捕捉集合的該圖表之一準則表徵：

則在繼續該等迭代前重置該等訊息之至少一部分。

24. 如請求項 23 之記憶體控制器，其進一步包含：

(c) 用於在一主要記憶體中儲存該碼字之至少一部分並用於自該主要記憶體擷取該碼字之該至少部分之一表示之電路。

25. 一種記憶體裝置，其包含：

(a) 如請求項 24 之記憶體控制器；以及

(b) 該主要記憶體。

26. 一種記憶體控制器，其包含：

(a) 一編碼器，其用於將 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字；以及

(b) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之一表示，該等步驟包括：

- (i) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及
- (ii) 若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。

27. 如請求項 26 之記憶體控制器，其進一步包含：

- (c) 用於在一主要記憶體中儲存該碼字之至少一部分並用於自該主要記憶體擷取該碼字之該至少部分之一表示之電路。

28. 一種記憶體裝置，其包含：

- (a) 如請求項 27 之記憶體控制器；以及
- (b) 該主要記憶體。

29. 一種接收器，其包含：

- (a) 一解調變器，其用於解調變自一通信頻道接收之一訊息，從而產生將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示；以及
- (b) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：
 - (i) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點

與該等校驗節點之間交換訊息，以及

(ii) 若

(A) 該解碼依據一預定失效準則而未能收斂，以及

(B) 該等碼字位元之該等估計滿足包括一捕捉集合的該圖表之一準則表徵：

則在繼續該等迭代前重置該等訊息之至少一部分。

30. 一種接收器，其包含：

(a) 一解調變器，其用於解調變自一通信頻道接收之一訊息，從而產生將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示；以及

(b) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：

(i) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及

(ii) 若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。

31. 一種用於發送與接收一訊息的通信系統，其包含：

(a) 一發射器，其包括：

(i) 一編碼器，其用於將該訊息之 K 個資訊位元編碼

為 $N > K$ 個碼字位元之一碼字，以及

(ii) 一調變器，其用於經由一通信頻道作為一調變信號來發送該碼字；以及

(b) 一接收器，其包括：

(i) 一解調變器，其用於接收來自該通信頻道之該調變信號並用於解調變該調變信號，從而提供該碼字之一表示，以及

(ii) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：

(A) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息，以及

(B) 若

(I) 該解碼依據一預定失效準則而未能收斂，以及

(II) 該等碼字位元之該等估計滿足包括一捕捉集合的該圖表之一準則表徵：

則在繼續該等迭代前重置該等訊息之至少一部分。

32. 一種用於發送與接收一訊息的通信系統，其包含：

(a) 一發射器，其包括：

- (i) 一編碼器，其用於將該訊息之 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字，以及
 - (ii) 一調變器，其用於經由一通信頻道作為一調變信號來發送該碼字；以及
 - (b) 一接收器，其包括：
 - (i) 一解調變器，其用於接收來自該通信頻道之該調變信號並用於解調變該調變信號，從而提供該碼字之一表示，以及
 - (ii) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：
 - (A) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在包括 N 個位元節點與 $N-K$ 個校驗節點之一圖表中在該等位元節點與該等校驗節點之間交換訊息；以及
 - (B) 若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等位元節點傳送的該等訊息之至少一部分。
33. 一種解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的方法，該方法包含：
- (a) 自一頻道匯入該碼字之該表示；
 - (b) 提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；
 - (c) 在複數個解碼迭代中，藉由以下步驟更新該等碼字

位元之估計，該等步驟包括在該矩陣之該等列與該等行之間交換訊息；以及

(d) 若

(i) 該解碼依據一預定失效準則而未能收斂，以及

(ii) 該等碼字位元之該等估計滿足包括一捕捉集合的該奇偶校驗矩陣之一準則表徵：

則在繼續該等迭代前重置該等訊息之至少一部分。

34. 一種解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的方法，該方法包含：

(a) 自一頻道匯入該碼字之該表示；

(b) 提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；

(c) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及

(d) 若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等行傳送的該等訊息之至少一部分。

35. 一種用於解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的解碼器，其包含一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：

(a) 提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；

(b) 在複數個解碼迭代中，藉由以下步驟更新該等碼字

位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及

(c) 若

(i) 該解碼依據一預定失效準則而未能收斂，以及

(ii) 該等碼字位元之該等估計滿足包括一捕捉集合的該奇偶校驗矩陣之一準則表徵：

則在繼續該等迭代前重置該等訊息之至少一部分。

36. 一種用於解碼將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示的解碼器，其包含一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：

(a) 提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；

(b) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及

(c) 若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等行傳送的該等訊息之至少一部分。

37. 一種記憶體控制器，其包含：

(a) 一編碼器，其用於將 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字；以及

(b) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼

該碼字之一表示，該等步驟包括：

- (i) 提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；
- (ii) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息，以及
- (iii) 若
 - (A) 該解碼依據一預定失效準則而未能收斂，以及
 - (B) 該等碼字位元之該等估計滿足包括一捕捉集合的該奇偶校驗矩陣之一準則表徵：
 則在繼續該等迭代前重置該等訊息之至少一部分。

38. 如請求項37之記憶體控制器，其進一步包含：

- (c) 用於在一主要記憶體中儲存該碼字之至少一部分並用於自該主要記憶體擷取該碼字之該至少部分之一表示之電路。

39. 一種記憶體裝置，其包含：

- (a) 如請求項38之記憶體控制器；以及
- (b) 該主要記憶體。

40. 一種記憶體控制器，其包含：

- (a) 一編碼器，其用於將 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字；以及
- (b) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之一表示，該等步驟包括：

- (i) 提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；
- (ii) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及
- (iii) 若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等行傳送的該等訊息之至少一部分。

41. 如請求項40之記憶體控制器，其進一步包含：

- (c) 用於在一主要記憶體中儲存該碼字之至少一部分並用於自該主要記憶體擷取該碼字之該至少部分之一表示之電路。

42. 一種記憶體裝置，其包含：

- (a) 如請求項41之記憶體控制器；以及
- (b) 該主要記憶體。

43. 一種接收器，其包含：

- (a) 一解調變器，其用於解調變自一通信頻道接收之一訊息，從而產生將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示；以及
- (b) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：
 - (i) 提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；
 - (ii) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行

之間交換訊息，以及

(iii) 若

(A) 該解碼依據一預定失效準則而未能收斂，以及

(B) 該等碼字位元之該等估計滿足包括一捕捉集

合的該奇偶校驗矩陣之一準則表徵：

則在繼續該等迭代前重置該等訊息之至少一部分。

44. 一種接收器，其包含：

(a) 一解調變器，其用於解調變自一通信頻道接收之一訊息，從而產生將 K 個資訊位元編碼為 $N > K$ 個碼字位元的一碼字之一表示；以及

(b) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：

(i) 提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；

(ii) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及

(iii) 若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等行傳送的該等訊息之至少一部分。

45. 一種用於發送與接收一訊息的通信系統，其包含：

(a) 一發射器，其包括：

(i) 一編碼器，其用於將該訊息之 K 個資訊位元編碼

為 $N > K$ 個碼字位元之一碼字，以及

(ii) 一調變器，其用於經由一通信頻道作為一調變信號來發送該碼字；以及

(b) 一接收器，其包括：

(i) 一解調變器，其用於接收來自該通信頻道之該調變信號並用於解調變該調變信號，從而提供該碼字之一表示，以及

(ii) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：

(A) 提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；

(B) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息，以及

(C) 若

(I) 該解碼依據一預定失效準則而未能收斂，以及

(II) 該等碼字位元之該等估計滿足包括一捕捉集合的該奇偶校驗矩陣之一準則表徵：

則在繼續該等迭代前重置該等訊息之至少一部分。

46. 一種用於發送與接收一訊息的通信系統，其包含：

(a) 一發射器，其包括：

- (i) 一編碼器，其用於將該訊息之 K 個資訊位元編碼為 $N > K$ 個碼字位元之一碼字，以及
 - (ii) 一調變器，其用於經由一通信頻道作為一調變信號來發送該碼字；以及
- (b) 一接收器，其包括：
- (i) 一解調變器，其用於接收來自該通信頻道之該調變信號並用於解調變該調變信號，從而提供該碼字之一表示，以及
 - (ii) 一解碼器，其包括一處理器，其用於藉由執行用於藉由以下步驟更新該碼字之估計的一演算法而解碼該碼字之該表示，該等步驟包括：
 - (A) 提供具有 $N-K$ 列與 N 行之一奇偶校驗矩陣；
 - (B) 在複數個解碼迭代中，藉由以下步驟更新該等碼字位元之估計，該等步驟包括在該等列與該等行之間交換訊息；以及
 - (C) 若依據一預定失效準則，該解碼未能收斂，則在繼續該等迭代前截斷自該等行傳送的該等訊息之至少一部分。

八、圖式：

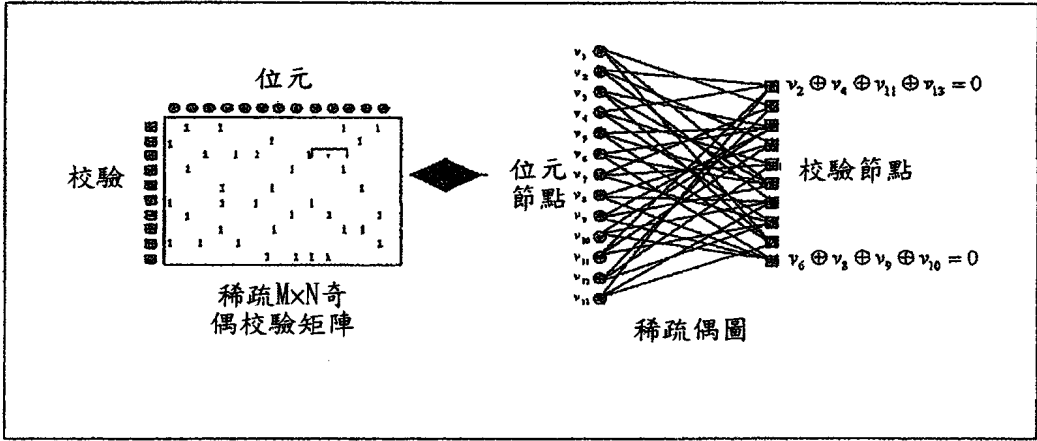


圖1

Initialization :
for all $c \in C, v \in N(c, G)$ $R_{cv} \leftarrow 0$

Iteration :
for all $v \in V$ (Compute bit to check messages)
 for all $c \in N(v, G)$
 $Q_{vc} \leftarrow P_v + \sum_{c' \in N(v, G) \setminus c} R_{c'v}$
 end of loop
end of loop
for all $c \in C$ (Compute check to bit messages)
 for all $v \in N(c, G)$
 $R_{cv} \leftarrow \varphi^{-1} \left(\sum_{v' \in N(c, G) \setminus v} \varphi(Q_{v'c}) \right)$
 end of loop
end of loop
for all $v \in V$ (update final bit estimates)
 $Q_v \leftarrow P_v + \sum_{c \in N(v, G)} R_{cv}$
end of loop

Stop Criteria :
for all $v \in V$ $\hat{v} = \text{sign}(Q_v)$
if $H \cdot \hat{\underline{v}} = 0$, stop
else, continue to next iteration

圖 2

```

Initialization :
for all  $v \in V, c \in C$     $R_{cv} \leftarrow 0$ 
for all  $v \in V$             $Q_v \leftarrow P_v$ 

Iteration :
for all  $c \in C$            (Serially traversing the check nodes)
   $S \leftarrow \sum_{v \in N(c, G)} \varphi(Q_v - R_{cv})$ 
  for all  $v \in N(c, G)$ 
     $Q_{vc} \leftarrow Q_v - R_{cv}$            (Sending  $Q_{vc}$  messages into the check nodes)
     $R_{cv} \leftarrow \varphi^{-1}(S - \varphi(Q_{vc}))$  (Sending  $R_{cv}$  messages out from the check nodes)
     $Q_v \leftarrow Q_{vc} + R_{cv}$            (updating a - posteriori LLRs)
  end of loop
end of loop

Stop Criteria :
for all  $v \in V$   $\hat{v} = \text{sign}(Q_v)$ 
if  $H \cdot \hat{\underline{v}} = 0$ , stop
else, continue to next iteration

```

圖 3

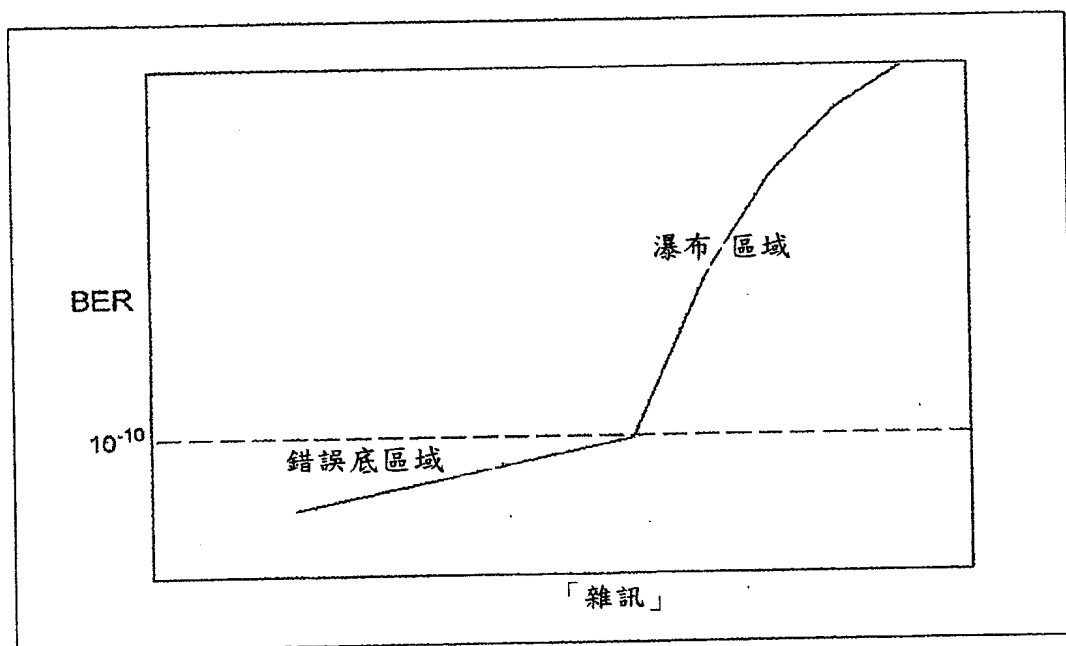


圖4

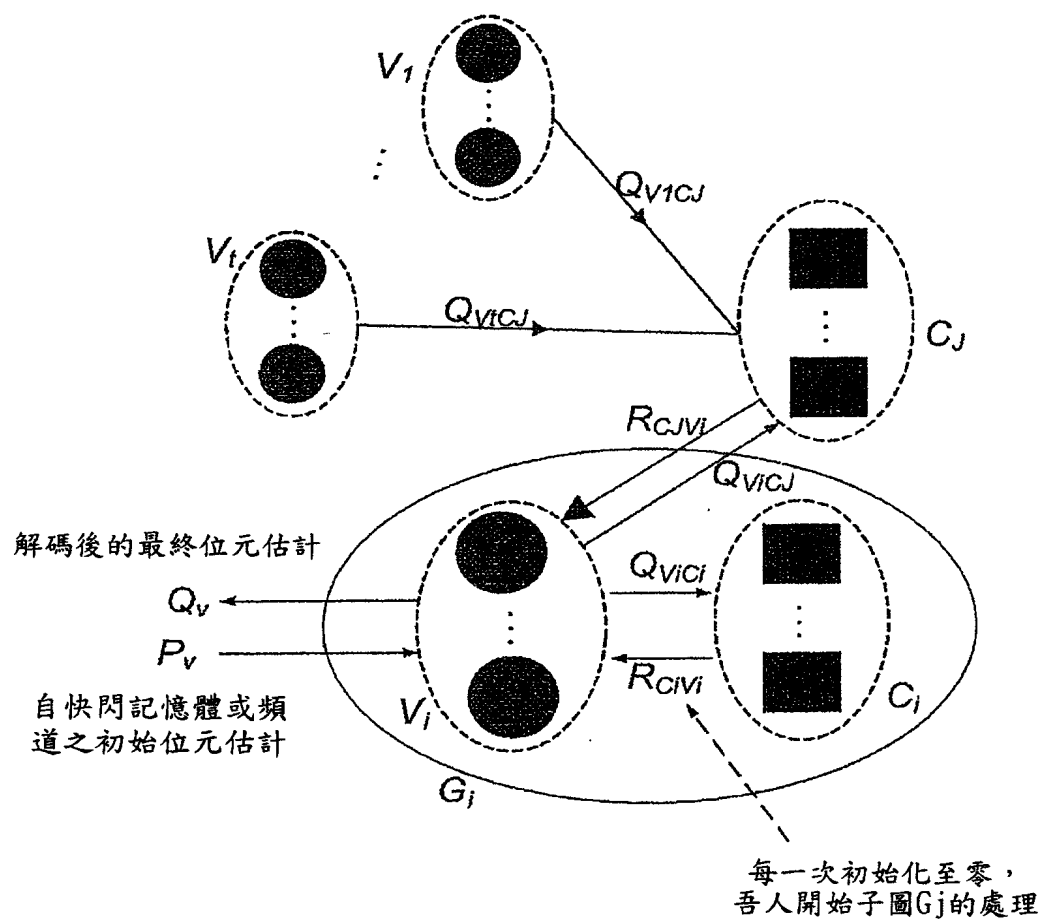


圖5

Decoding phases :

for all $c \in C_j, v \in N(c, G)$: $Q_{vc} = P_v$

for all $i \in \{1, \dots, t\}$: (go over sub-graphs)

Sub-graph initialization :

for all $v \in V_i, c \in C_i$: $R_{cv} \leftarrow 0$

for all $v \in V_i$: $Q_v \leftarrow P_v = \text{function}(y_v)$

for all $v \in V_i, c \in C_j$: $R_{cv} \leftarrow \varphi^{-1} \left(\sum_{v' \in N(c, G_i)} \varphi(Q_{v'c}) \right)$ (exchange inter sub-graph information)

Sub-graph (i) iterations :

for all $c \in C_i$: (go over sub-graph check nodes)

Check node processing (send messages to and from check node):

$$S \leftarrow \sum_{v \in N(c, G_i)} \varphi(Q_v - R_{cv})$$

for all $v \in N(c, G_i)$:

$$Q_{icmp} \leftarrow Q_v - R_{cv}$$

$$R_{cv} \leftarrow \varphi^{-1}(S - \varphi(Q_{icmp}))$$

$$Q_v \leftarrow Q_{icmp} + R_{cv}$$

end of loop

end of check nodes loop

end of iteration loop

Sub-Graph Stop Criteria :

for all $v \in V_i$: $\hat{v} = \text{sign}(Q_v)$

if $H_i \cdot \hat{v} = 0$ or maximal number of iterations is reached, stop

$H_i \triangleq$ the parity-check matrix corresponding to sub-graph G_i

else, continue to next iteration

Sub-graph termination :

for all $v \in V_i, c \in C_j$: $Q_{vc} \leftarrow P_v + \sum_{c' \in N(v, G_i)} R_{c'v}$ (exchange inter sub-graph information)

end of sub-graphs loop

Stop Criteria :

for all $v \in V$: $\hat{v} = \text{sign}(Q_v)$

if $H \cdot \hat{v} = 0$ or maximal number of phases, then stop

$H \triangleq$ the parity-check matrix corresponding to graph G

else, continue to next phase

end of phases loop

圖 6

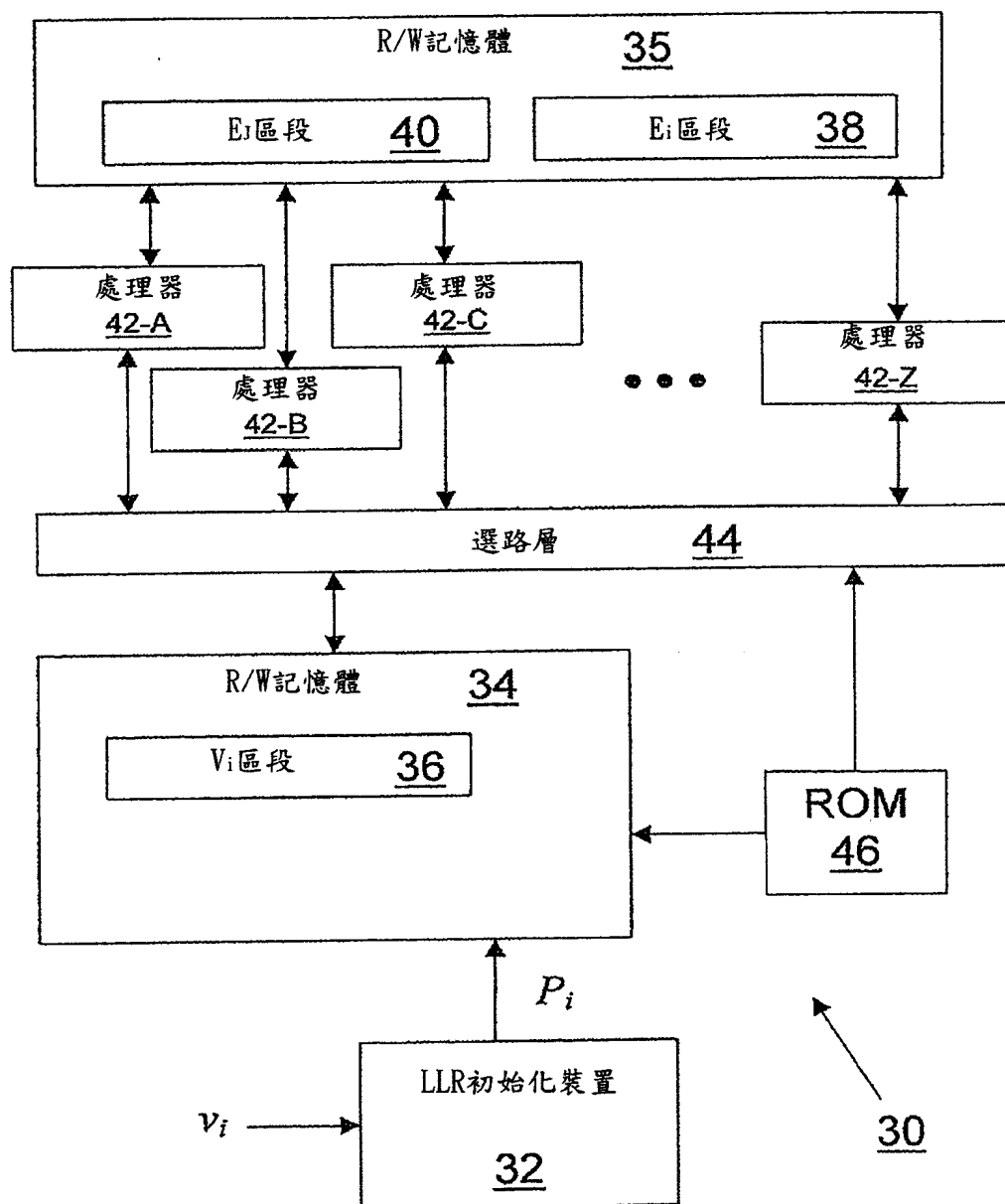


圖 7A

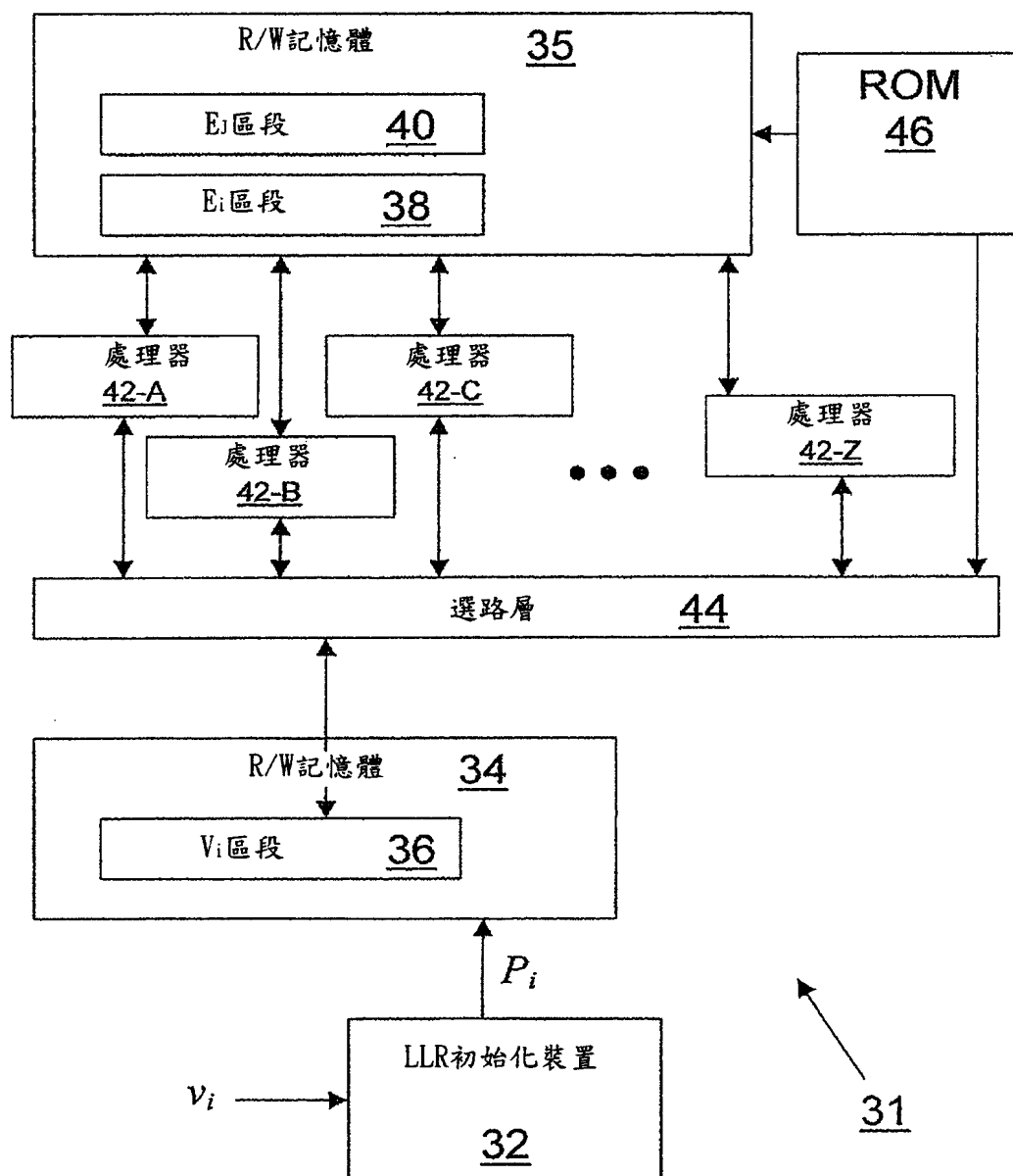


圖 7B

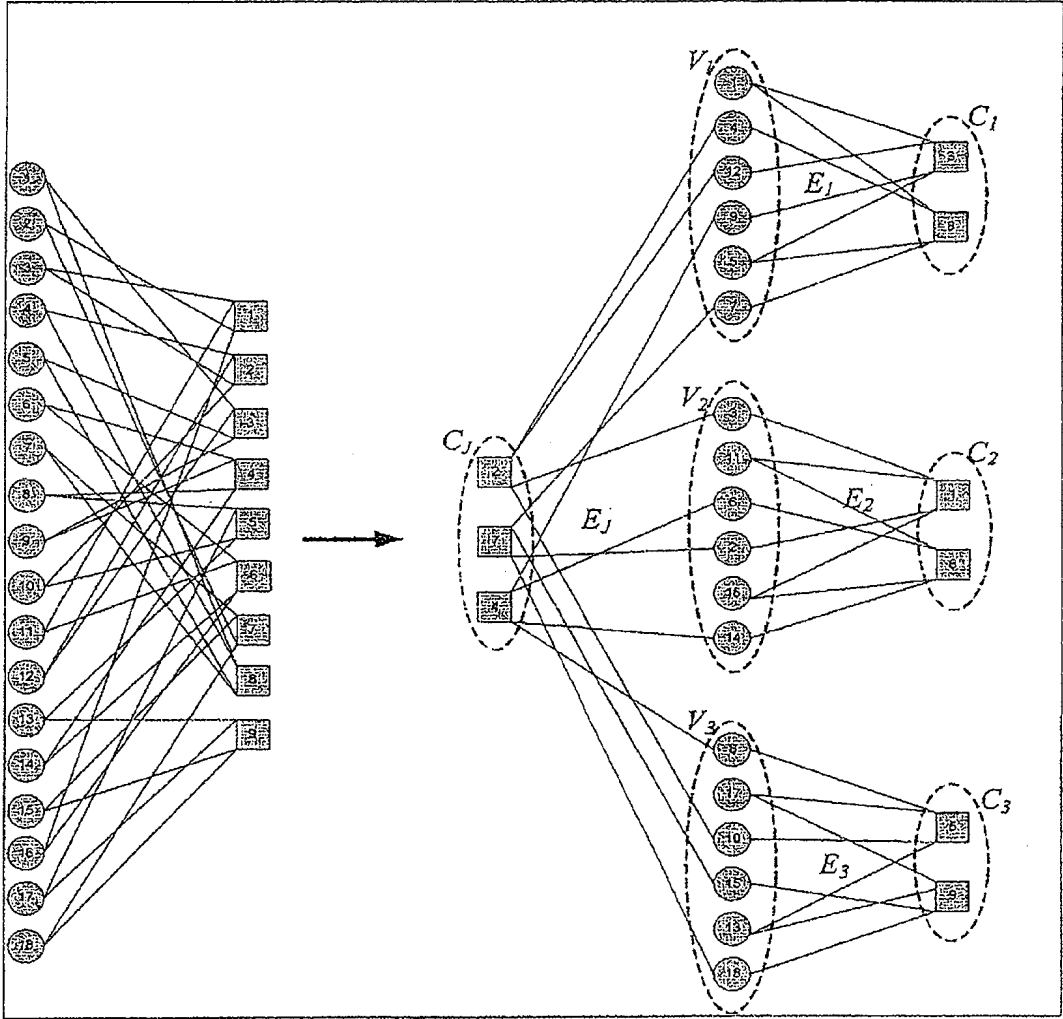


圖8

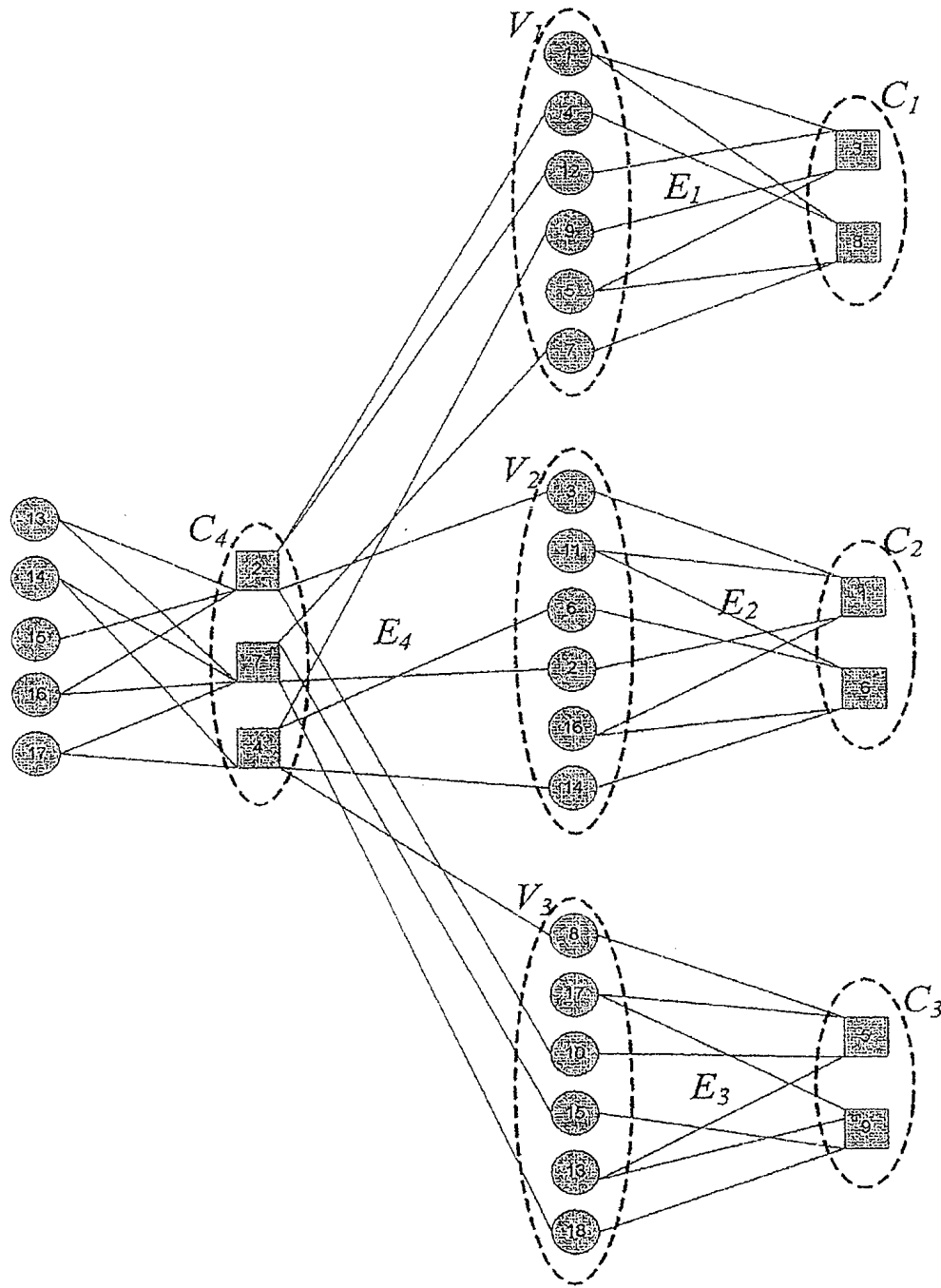


圖9

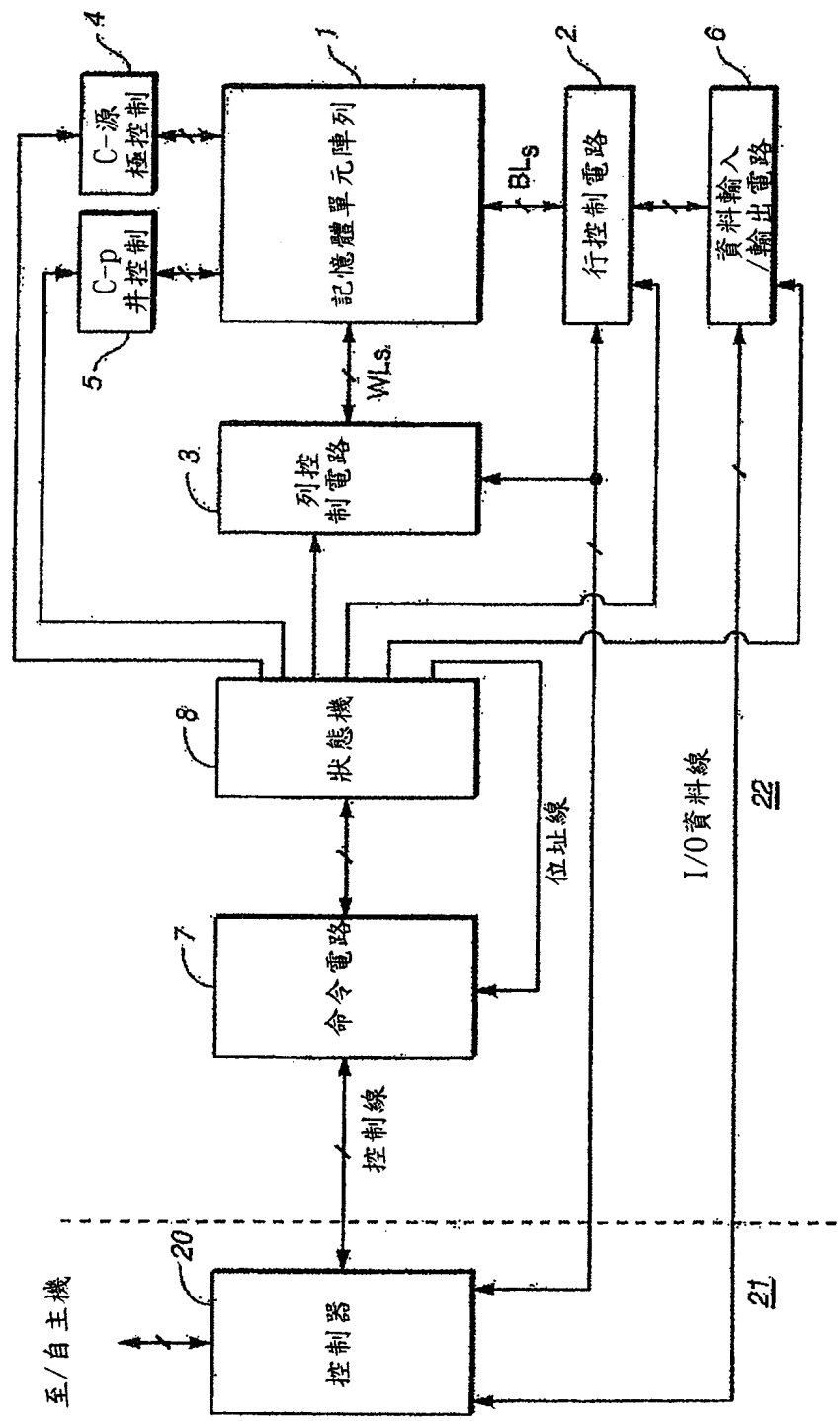


圖 10

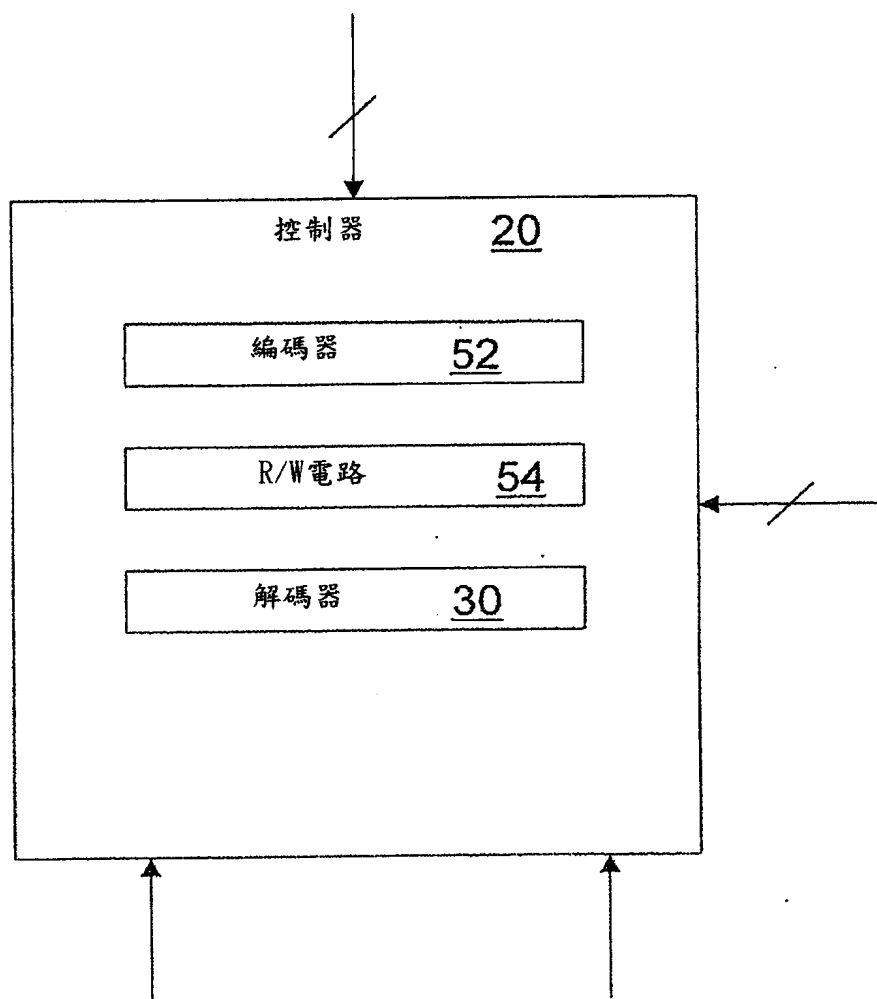


圖 11

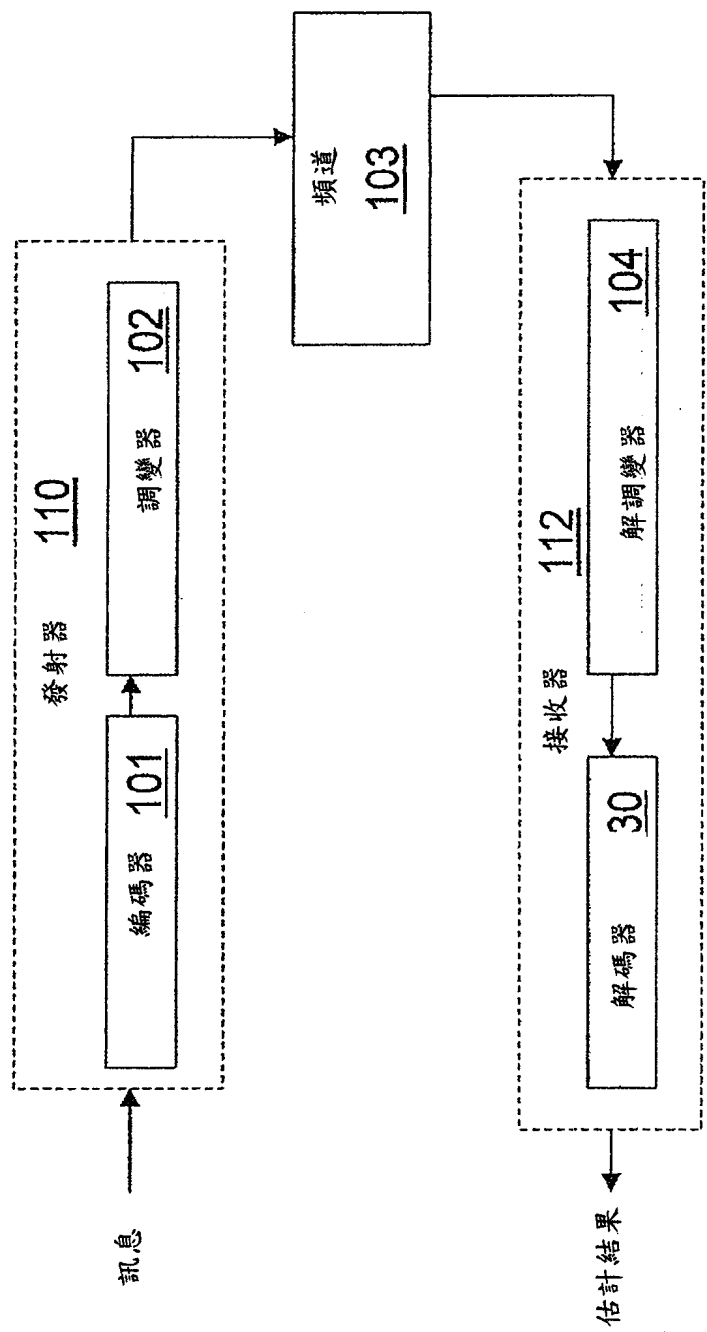


圖12

四、指定代表圖：

(一)本案指定代表圖為：第 (7A) 圖。

(二)本代表圖之元件符號簡單說明：

30	解碼器
32	LLR初始化方塊
34	讀取/寫入記憶體
35	讀取/寫入記憶體
36	記憶體區段
38	記憶體區段
40	記憶體區段
42	處理單元
44	選路層
46	唯讀記憶體(ROM)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)