(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 107251255 B
(45)授权公告日 2020.06.26

(21)申请号 201680012146.5

(22)申请日 2016.03.23

(65)同一申请的已公布的文献号
申请公布号 CN 107251255 A

(43)申请公布日 2017.10.13

(30)优先权数据
14/668,085 2015.03.25 US

(85)PCT国际申请进入国家阶段日
2017.08.25

(86)PCT国际申请的申请数据
PCT/US2016/023817 2016.03.23

(87)PCT国际申请的公布数据
WO2016/154339 EN 2016.09.29

(73)专利权人 德州仪器公司
地址 美国德克萨斯州

(72)发明人 马修·D·罗米格
弗兰克·斯特普尼克
苏米亚·甘地

(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
代理人 林斯凯

(51)Int.Cl.
H01L 51/00(2006.01)
H01G 9/04(2006.01)
H01L 29/94(2006.01)
B82Y 40/00(2006.01)

(56)对比文件
CN 201994181 U,2011.09.28,
US 6388207 B1,2002.05.14,
JP 2009188219 A,2009.08.20,
WO 2008139392 A2,2008.11.20,

审查员 蒋佳

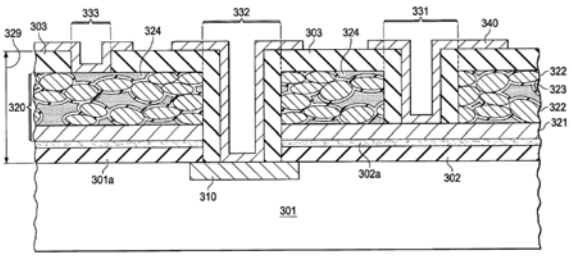
权利要求书2页 说明书7页 附图19页

(54)发明名称

用于电容性结构的导电穿聚合物通孔

(57)摘要

在所描述实例中,一种电子系统包含具有端子垫(310)的电子主体(301)及嵌入于所述电子主体中的至少一个电容器。所述电容器包含:绝缘且具粘合性的第一聚合物膜(302),其覆盖除所述端子垫之外的主体表面;高密度电容性元件薄片(320),第一电容器端子是附接到所述第一聚合物膜(302)的金属箔(321),第二端子是导电聚合物化合物(324)且绝缘体是电介质表层(323)。薄片(320)具有若干组通孔,包含:通达所述金属箔(321)的第一组孔,通达所述端子(310)的第二组孔及通达所述导电聚合物化合物(324)的第三组孔。绝缘第二聚合物膜(303)内衬于所述孔的侧壁上且使薄片表面平面化。金属填充所述聚合物侧壁之间的所述通孔且在系统表面上形成导电迹线及附接垫。



CN 107251255 B

1.一种电子系统,其包括:

电子主体,其具有具导电端子垫的表面;

至少一个电容器,其嵌入于所述电子主体中,所述电容器包含:

绝缘第一聚合物膜,其覆盖除所述端子垫之外的所述主体表面,所述绝缘第一聚合物膜是具粘合性的;

高密度电容性元件薄片,其具有第一电容器端子及第二电容器端子,所述第一电容器端子是附接到所述绝缘第一聚合物膜的金属箔且所述第二电容器端子是导电聚合物化合物;

所述薄片具有若干组通孔,第一组孔通达所述金属箔,第二组孔通达所述主体端子垫且第三组孔通达所述导电聚合物化合物;

绝缘第二聚合物膜,其内衬于所述孔的侧壁上且使薄片表面平面化;及

金属,其填充所述聚合物侧壁之间的所述通孔且在系统表面上形成导电迹线及附接垫。

2.根据权利要求1所述的系统,其中所述电容性元件薄片包含与烧结金属颗粒的多孔密集体接触的金属箔,颗粒表面覆盖有电介质表层,且相对薄片侧由填充所述金属颗粒之间的孔隙的导电聚合物材料形成,所述薄片可作为以所述金属作为第一端子、所述导电聚合物作为第二端子及所述金属颗粒的所述电介质表层作为绝缘体的高密度电容器来操作。

3.根据权利要求1所述的系统,其中所述电子主体包含嵌入式电路。

4.根据权利要求1所述的系统,其中所述电子主体包含一或多个有源半导体芯片的组合件。

5.根据权利要求1所述的系统,其中所述电子系统选自包含以下各项的群组:具有包含同步降压转换器的DC/DC转换器的电力供应器系统、回扫转换器、DC/DC升压转换器、隔离式转换器、电荷泵、燃料计量仪、具有驱动器及负载开关的电力级、电压参考、电流参考及电流传感器。

6.根据权利要求5所述的系统,其中所述嵌入式至少一个电容器在其表面上具有用于外部部件的重分布迹线及附接垫。

7.根据权利要求6所述的系统,其中所述附接垫具有所附接连接器,所述所附接连接器选自包含焊料球及线球接合件的群组。

8.根据权利要求6所述的系统,其中所述外部部件包含电感器。

9.根据权利要求1所述的系统,其中所述电子主体及所述嵌入式至少一个电容器囊封于封装中。

10.一种用于制作电子系统的方法,其包括:

提供具有嵌入式电子主体的半导体晶片,晶片表面具有所述电子主体的导电接触垫;

跨越所述晶片表面层压绝缘第一聚合物膜,所述绝缘第一聚合物膜是具粘合性的;

提供高密度电容性元件薄片,一个薄片侧形成为与烧结金属颗粒的多孔密集体接触的金属箔,颗粒表面覆盖有电介质表层,且相对薄片侧由填充所述颗粒之间的孔隙的导电聚合物材料形成,所述薄片可作为以所述金属作为第一端子、所述导电聚合物作为第二端子及所述金属颗粒的所述电介质表层作为绝缘体的电容器来操作;

通过所述薄片的金属箔将所述薄片附接到所述绝缘第一聚合物膜上;

向所述薄片中开通具有第一直径的若干组通孔，所述通孔包含通达所述金属箔的第一组孔及通达所述晶片接触垫的第二组孔；

跨越所述晶片层压绝缘第二聚合物膜，填充具有所述第一直径的所述通孔且使薄片表面平面化；

向所述绝缘第二聚合物膜中开通具有第二直径的若干组穿聚合物通孔，所述第二直径小于所述第一直径；第三组孔嵌套于所述第一组孔内，通达所述金属箔；第四组孔嵌套于所述第二组孔内，通达接触垫；且第五组孔通达导电聚合物表面；

将金属晶种层沉积到所述穿聚合物通孔的侧壁及底部以及所述绝缘第二聚合物膜的表面上并进行图案化，从而在所述表面上形成重分布迹线及附接垫；及

将金属电镀到所述经图案化晶种层上以填充所述穿聚合物通孔且使所述附接垫及重分布迹线加厚。

11.根据权利要求10所述的方法，其进一步包含同时使第一及第二聚合物材料固化的过程。

12.根据权利要求10所述的方法，其进一步包含将所述晶片单个化成若干离散单元的过程，每一单元包含一或多个有源半导体芯片的系统，所述一或多个有源半导体芯片嵌入有由高密度电容性元件组成的一或多个电容器及用于外部组件的多个附接垫。

13.根据权利要求10所述的方法，其中所述电子主体选自包含以下各项的群组：具有包含同步降压转换器的DC/DC转换器的电力供应器系统、回扫转换器、DC/DC升压转换器、隔离式转换器、电荷泵、燃料计量仪、具有驱动器及负载开关的电力级、电压参考、电流参考及电流传感器。

14.根据权利要求10所述的方法，其中所述电介质表层是密合的且不含空隙。

15.根据权利要求14所述的方法，其中所述电介质表层是绝缘金属氧化物层。

16.根据权利要求12所述的方法，其中所述外部组件包含电感器。

17.根据权利要求10所述的方法，其中所述金属箔适于均匀地氧化且粘合到聚合物化合物。

用于电容性结构的导电穿聚合物通孔

技术领域

[0001] 本发明一般来说涉及半导体装置及过程，且更特定来说涉及与嵌入式纳米大小的三维电容器囊封于封装中的电子系统的结构及制作方法。

背景技术

[0002] 电力供应器电路的受欢迎系列包含DC/DC转换器，其为用于将一种DC电压转换为另一DC电压的电力切换装置。对于新兴的电力递送需要，特别适合的组合件(所谓的半桥)是具有串联连接且通过共同切换节点耦合在一起的两个电力MOS场效应晶体管(FET)的电力块。当添加了调节式驱动器及控制器时，所述组合件称为电力级，或更通常称为同步降压转换器或电压调节器。在同步降压转换器中，控制FET芯片(所谓的高侧开关)连接于供应电压V_{IN}与LC_{OUT}输出滤波器之间，且同步(sync)FET芯片(所谓的低侧开关)连接于LC_{OUT}输出滤波器与接地电位之间。控制FET芯片及同步FET芯片的栅极连接到包含用于转换器的驱动器及控制器的电路的半导体芯片。

[0003] 对于当今的许多电力切换装置，电力MOSFET的芯片与驱动器及控制器IC作为个别组件进行组装。芯片通常附接到金属引线框架的矩形或正方形形状的垫。所述垫环绕有作为输出端子的引线。此方法消耗面积且增加模块的占用面积。在另一技术中，控制FET芯片及同步FET芯片彼此上下垂直地组装为堆叠。在此组合件中，至少一个MOSFET芯片经配置以用于垂直电流流动。控制FET芯片的源极电极面向同步FET芯片的漏极电极。

[0004] 通常，组装于印刷电路板上的电子系统的组件当中有各种大小的电容器。为了节省板空间且降低寄生现象，通常将这些电容器作为零部件与其它板组件(例如晶体管及电感器)紧密接近地放置。受节约板有效面积及最小化寄生电效应的严酷趋势的驱动，有时将这些电容器放置于其它组件下方或顶部上。

[0005] 在用于节约的另一实例中，已提出堆叠式芯片电力MOSFET，其将电容器集成到装置的封装中。为了将每区域可获得的电容值增加至少一个数量级，已基于将第三维度折叠到二维区域中的概念而展示电容器。向金属板(例如由铝制成的板)中蚀刻腔。接着，使腔中的铝表面氧化，且用导电材料(例如聚合物化合物)填充腔。在向金属板及导电化合物施加触点之后，三维结构可作为提供高电容值的电容器操作。

发明内容

[0006] 在所描述实例中，一种电子系统包含具有端子垫的电子主体及嵌入于所述电子主体中的至少一个电容器。所述电容器包含：绝缘且具粘合性的第一聚合物膜，其覆盖除所述端子垫之外的主体表面；高密度电容性元件薄片，第一电容器端子是附接到所述第一聚合物膜的金属箔，第二端子是导电聚合物化合物且绝缘体是电介质表层。所述薄片具有若干组通孔，包含：通达所述金属箔的第一组孔，通达所述端子的第二组孔及通达所述导电聚合物化合物的第三组孔。绝缘第二聚合物膜内衬于所述孔的侧壁上且使薄片表面平面化。金属填充所述聚合物侧壁之间的所述通孔且在系统表面上形成导电迹线及附接垫。

附图说明

[0007] 图1展示包含DC/DC转换器、电容器及电感器的电力供应器系统的电路图。

[0008] 图2图解说明根据实例性实施例的具有集成到封装式半导体主体中的电容器的电力供应器系统的简化横截面。

[0009] 图3展示半导体晶片的一部分的示意性横截面，所述半导体晶片具有所附接高密度电容性结构及通达三个深度层级处的导体的导电穿聚合物通孔。

[0010] 图4A图解说明实例性实施例的一部分的横截面，半导体主体与高密度电容性结构及导电穿聚合物通孔成一体，所述导电穿聚合物通孔将主体端子垫连接到具有焊料球连接器的表面接触垫。

[0011] 图4B图解说明实例性实施例的一部分的横截面，半导体主体与高密度电容性结构及导电穿聚合物通孔成一体，所述导电穿聚合物通孔将主体端子垫连接到具有线球接合件连接器的表面接触垫。

[0012] 图5A描绘提供在晶片侧上具有嵌入式电路及电路接触垫的半导体晶片的过程。

[0013] 图5B图解说明跨越晶片表面层压绝缘且具粘合性的第一聚合物膜的过程。

[0014] 图5C展示将高密度电容性元件薄片附接到第一聚合物膜的过程。

[0015] 图5D描绘将承载预界定高密度电容性元件的金属箔附接到第一聚合物膜的过程。

[0016] 图6A描绘在图5C的薄片中开通具有第一直径的若干组通孔的过程。

[0017] 图6B图解说明层压绝缘第二聚合物膜以填充具有第一直径的通孔且使图6A的薄片的表面平面化的过程。

[0018] 图6C展示在图6B的第二聚合物膜中开通具有第二直径的若干组穿聚合物通孔的过程。

[0019] 图6D描绘层压绝缘第二聚合物膜以填充具有第一直径的通孔且使图5D的薄片的表面平面化的过程。

[0020] 图6E图解说明在图6D的第二聚合物膜中开通具有第二直径的若干组穿聚合物通孔的过程。

[0021] 图7A描绘跨越表面沉积金属晶种层的过程。

[0022] 图7B图解说明将金属晶种层图案化的过程。

[0023] 图7C展示在经图案化晶种层上电镀金属以填充穿聚合物通孔且使附接垫及重分布迹线加厚的过程。

[0024] 图8图解说明另一实施例的一部分的横截面。

[0025] 图9描绘又一实施例的横截面。

[0026] 图10展示又一实施例的一部分的横截面。

具体实施方式

[0027] 为了给具有越来越缩小的几何尺寸的半导体芯片及电子系统提供具有高电容值的微型电容器，这些电容器在其为薄膜电容器、集成到使电路元件互连的导电网络中且紧密接近于有源电路时最有效。对于需要封装来保护接合线的装置，电容器可完全集成到封装中。对于可以焊料组装而无外壳的装置，电容器可完全集成到半导体芯片中。

[0028] 集成到导电网络中需要具有穿过绝缘材料的受控深度的导电通孔，使得电容器可

连接到多层级层压网络的每一导电层级。

[0029] 穿过绝缘聚合物的导电通孔的问题通过用以同时形成到金属、耐火金属、导电聚合物及无机绝缘体的聚合物接合件的方法解决。所述方法接受高密度纳米电容器的预制作薄片，将所述薄片附接到半导体晶片，制作多层级层压件的各个层级处电容器与芯片电路之间的互连件，且在需要时在从晶片将装置单个化之前形成用于装置的封装。

[0030] 导电穿聚合物通孔的实例性实施例通过不具有不匹配热膨胀系数的问题(其原本是穿硅通孔的问题)而被区别出来，从而避免归因于分层及温度循环的装置故障。

[0031] 所述方法是灵活的且适用于具有单个半导体芯片的各种装置及例如具有多个芯片的电力供应器系统等装置。由于所述电容器组合高电容密度、高操作频率及极小大小，因此半导体装置可具有在低毫米范围内的小的总体大小。这些进一步展示电容及频率的稳定性，且展现在高温及低温以及温度摆动中的高可靠性。

[0032] 对于用于电力供应器系统的优选应用，实例性实施例通过将输入电容器放置于紧密接近于有源电路处而降低电寄生现象。所降低寄生电感允许增加切换频率，其又允许块体式输出电感器的缩小。

[0033] 优选过程流程实现穿过多个连续施加聚合物化合物的同时光刻及对聚合物的同时固化过程。

[0034] 在图1的电路图中，由虚线轮廓线101指示的电力供应器包含DC/DC转换器102、输入电容器C_{IN} 103、输出电容器C_{OUT} 104及电感器L 105。图2图解说明电力供应器作为用于与焊料球260进行板附接的实例性硅级封装装置200的实施方案。装置200基于实例性实施例。装置200包含封装202中的半导体主体201、输入电容器C_{IN} 203、输出电容器C_{OUT} 204及电感器L 205。半导体主体可为单个硅芯片或多于一个芯片的组合件。更一般来说，主体201可为电子主体，其可包含一或多个半导体芯片的组合件，或一般来说可包含电子电路。

[0035] 如图2的电力供应器中所展示，两个电容器是与半导体主体201一起嵌入，而电感器205(充当电力供应器电路的能量存储装置)是足够大以可靠地用作恒定输出电压V_{OUT}的维持器的离散组件(例如300nH到400nH)。在其它实施例中，电容器可为嵌入式的，使得输出电容器204a位于主体201的背侧上，或输入电容器定位于电感器与封装之间的间隙中。

[0036] 通过将电容器与半导体主体一起嵌入，电力供应器装置的物理尺寸可显著减小。举例来说，虽然具有常规离散电容器及电感器的装置可需要长度2.9mm、宽度2.3mm及高度1mm(包含离散组件)的装置尺寸，但具有嵌入式电容器的相同装置实现长度2.0mm、宽度<1.5mm(例如1.0mm)及高度1mm(包含离散电感器)的尺寸。

[0037] 图3总结将电容器与半导体主体(或一般来说，与电子主体)集成在一起的组合物及方法。在图3中，半导体主体301具有表面301a，表面301a具有半导体主体内部的电路的导电端子垫310。对于DC/DC转换器的实例，垫310包含显示于图1中的图式中的端子(V_{IN}、V_{OUT}、启用、接地、模式选择)。

[0038] 多个特征将一或多个电容器系结到电子主体且将电容器物理嵌入到主体301中。图3展示覆盖主体表面301a(端子垫310除外)的绝缘第一聚合物膜302。第一膜302是具粘合性的，且其粘合特性在图3中通过粘性额外膜302a指示。

[0039] 具有第一及第二电容器端子的高密度电容性元件薄片320粘合到第一膜302。第一端子是附接到第一聚合物膜302的金属箔321，且第二端子由导电聚合物化合物324形成。薄

片320与第一绝缘膜302及第二绝缘膜303加在一起的厚度329为大约50μm。

[0040] 电容性元件薄片包含金属箔321，金属箔321是电容器的第一端子(有时称为阳极)。烧结金属颗粒322的多孔密集体与箔321接触。颗粒表面覆盖有电介质表层323，电介质表层323可通过颗粒金属的氧化或通过给颗粒涂覆绝缘材料而形成。如图3展示，覆盖有电介质表层的烧结金属颗粒之间的空隙及孔隙由导电聚合物材料324填充。导电聚合物324形成与金属膜321相对的薄片侧且充当电容器的第二端子(有时称为阴极)。由于密度为大约200μF/cm^2或更小且电容器稳定性高达125℃，因此薄片可作为以金属膜321作为第一端子、导电聚合物324作为第二端子及金属颗粒的电介质表层323作为绝缘体的高密度电容器来操作。

[0041] 在图3的实例中，电容器薄片320具有若干组导电穿孔通孔。通常指定为331的第一组孔通达金属箔321。通常指定为332的第二组孔通达主体端子垫310。通常指定为333的第三组孔通达导电聚合物化合物324，且可能部分地接触烧结金属颗粒322。三组导电穿孔通孔共享一些共同特征。

[0042] 如图3展示，绝缘第二聚合物膜303内衬于孔的侧壁上。聚合物膜303还使孔之间的薄片表面平面化。下文描述用于施加膜303及开通穿孔通孔的过程。在于聚合物膜303中开通穿聚合物通孔的过程之后，通过用金属填充聚合物侧壁之间的穿聚合物通孔而使通孔导电。图3包含在所开通孔的侧壁上方沉积晶种金属层340的过程。在图3中，将晶种层340图案化，使得其仅覆盖每一孔周围的狭窄区域。实际穿聚合物通孔的形状可偏离具有图3中所描绘的垂直侧壁的圆柱形形状。举例来说，孔侧壁可具有圆锥形形状。

[0043] 在图4A及4B的实施例中，晶种层340已经图案化，使得图案化允许在第一绝缘体膜303的表面上形成重分布迹线341及附接垫342。图4A及4B包含通达主体301的端子垫310的导电穿聚合物通孔(组332的导电穿聚合物通孔)。对于这些通孔，已将金属432电镀(约3μm厚)到经图案化晶种层上以填充穿聚合物通孔且使附接垫342加厚。优选电镀金属432是铜。在图4A中，焊料球460附接到所述经加厚垫。在图4B中，线球接合件461附接到所述经加厚垫。

[0044] 如图4A及4B展示，一些重分布迹线341从通达主体端子的穿聚合物通孔连接到通达金属箔321的导电穿聚合物通孔，金属箔321是电容器的第一端子(阳极)。其它重分布迹线341从通达另一主体端子的穿聚合物通孔连接到通达导电聚合物化合物324的导电穿聚合物通孔，导电聚合物化合物324是电容器的第二端子(阴极)。

[0045] 另一实施例是用于批量制作集成有嵌入式电容器的电子系统(例如电力供应器系统)的方法。如图5A中所描绘，所述方法通过提供具有嵌入式电子主体(例如集成电路、电力块或电力级)的半导体晶片501而开始。电子主体的导电接触垫集成于晶片表面中。

[0046] 在图5B中所描绘的下一过程中，跨越晶片表面501a层压绝缘第一聚合物膜502。优选材料是具有填充剂及高模量的基于环氧树脂的聚合物。第一聚合物膜502是具粘合性的；粘合性质在图5B中通过粘性额外膜502a指示。

[0047] 图5C图解说明接下来的过程。提供高密度电容性元件薄片520。薄片520的一侧形成为例如钽或容易形成均匀且稳定的氧化物的金属等金属的箔521。箔521与相同金属的烧结颗粒522的多孔密集体接触。举例来说，所述烧结颗粒可为钽颗粒。颗粒表面覆盖有电介质表层523，电介质表层523可形成为例如钽等金属的氧化物。或者，所述表层可为温度稳定

的绝缘材料的薄层。薄片520的相对侧由导电聚合物材料524形成，导电聚合物材料524经施配以填充颗粒之间的孔隙及空隙。薄片520可作为电容器操作，其具有金属521作为其第一端子、导电聚合物524作为其第二端子及金属颗粒的电介质表层523作为端子之间的绝缘体。用于高密度电容器薄片520的方法的更多细节描述于2011年12月27日发布的第US 8,084,841B2号专利(普鲁哥塔(Pulugurtha)等人，“用于提供高密度电容器的系统及方法(Systems and Methods for Providing High-DensityCapacitors)”)及2012年5月8日发布的第US 8,174,017B2号专利(普鲁哥塔等人，“集成三维高电容密度结构(Integrating Three-Dimensional High Capacitance DensityStructures)”)中。

[0048] 如图5C中展示，薄片520通过其金属箔521附接到具粘合性的第一聚合物膜502上。

[0049] 图5D描绘用于提供高密度电容性元件的替代过程。在图5D中，金属箔521a承载烧结颗粒的所附接多孔密集体作为离散预蚀刻元件，而非如图5C中作为连续层。所述离散元件通过具有第一直径601(与通过图6A的过程产生的相同的直径)的通孔分开，而环绕所述元件的箔保持为所述通孔之外的支撑载体(由虚线521b指示)。如图5D中所展示，薄片520通过其金属箔521附接到具粘合性的第一聚合物膜502a上。

[0050] 图6A图解说明向薄片520中开通具有第一直径601的一组通孔的过程。第一组的孔631通达金属箔521，且第二组的孔632通达晶片接触垫510。用于钻出开口的优选方法是UV激光。

[0051] 在图6B中所展示的下一过程中，跨越晶片层压绝缘第二聚合物膜503，使得聚合物材料填充具有第一直径601的通孔且使薄片表面平面化。

[0052] 在使聚合物材料固化之后，图6C中所展示的下一过程向第二聚合物膜503中开通具有第二直径602的若干组穿聚合物通孔。第二直径602小于第一直径601，且这些通孔的侧壁由绝缘第二聚合物材料组成。第三组包含嵌套于第一组孔631内的孔651;孔651通达金属箔521。第四组包含嵌套于第二组孔632内的孔652;孔652通达接触垫510。第五组包含通达导电聚合物表面524的孔653。用于钻孔的优选方法是UV激光。

[0053] 在图6D中，修改以上过程以使其适合于烧结颗粒的多孔密集体的离散预蚀刻元件。如图6D中所图解说明，在类似于图6B的过程的过程中，跨越晶片层压绝缘第二聚合物膜503，使得聚合物材料填充具有第一直径601的通孔且使薄片表面平面化。在使聚合物材料固化之后，图6E的过程(类似于图6C的过程)向第二聚合物膜503中及向第一聚合物膜502中开通具有第二直径602的若干组穿聚合物通孔。第二直径602小于第一直径601，且这些通孔的侧壁主要由绝缘第二聚合物材料组成且部分地还由第一聚合物材料组成。第三组包含嵌套于第一组孔631内的孔651;孔651通达金属箔521。第四组包含嵌套于第二组孔632内的孔652;孔652通达接触垫510。第五组包含通达导电聚合物表面524的孔653。用于钻孔的优选方法是UV激光。

[0054] 在接下来的过程中，使穿聚合物通孔金属化。图7A展示将金属晶种层540沉积到穿聚合物通孔的侧壁及底部以及第二聚合物膜503的表面上的优选过程;优选技术是无电极电镀。替代技术涉及溅镀。优选金属是会良好地粘合到聚合物化合物的耐火金属，例如钛或钨。图7B图解说明将晶种金属层540图案化以在第二聚合物膜503的表面上形成重分布迹线541及附接垫的过程。

[0055] 在图7C中所描绘的过程中，将相对厚金属(例如铜)层532电镀到经图案化晶种层

上以填充穿聚合物通孔且使附接垫及重分布迹线加厚。重分布迹线的优选厚度是约3μm。

[0056] 在又一过程中，相对厚金属层的沉积在沉积晶种金属层之后立即发生，而图案化的过程同时应用于厚金属层及晶种金属层。

[0057] 在替代过程中，金属晶种层的沉积可通过在通过无电极电镀沉积3μm厚铜层之前使聚合物材料的侧壁表面活化而替代。

[0058] 额外过程涉及附接焊料球或线球接合件(例如图4A及4B中所展示)，且进一步涉及将半导体晶片单个化成若干离散单元的步骤。每一单元包含嵌入有由高密度电容性元件组成的一或多个电容器及用于外部组件的多个附接垫的一或多个有源半导体芯片的系统。

[0059] 在上文针对实施具有深入到半导体芯片中的导电穿聚合物通孔的高密度电容性结构及在图式中将电容器结构简化成第一及第二端子以及中间绝缘体的均匀层所描述的序列中的过程之后，可呈现如图8中所展示的具有焊料球的实例性实施例的一部分。在图8的实施例800中，高密度电容性结构嵌入于半导体芯片的表面上的重分布层中。装置800的标注对应于图4中的类似标注。半导体芯片801具有具导电端子垫810的表面。平行第一绝缘聚合物膜802及第二绝缘聚合物膜803的层级通过金属通孔804互连且允许深入到重分布层841中的延伸部到达具有用于附接焊料球860的金属化物的端子832。两个邻近端子832之间的重分布层的长度用于容纳由第一端子(阳极、金属)821、第二端子(阴极、导电聚合物)824及绝缘体层823指示的高密度电容性结构。

[0060] 用于制作装置800的过程流程遵循上文所描述的序列。然而，在另一实施例900(图9)中，当高密度电容结构(第一端子921、第二端子924、绝缘体层923)可占据未填充的焊料球的位置时，优选地在层压第一绝缘聚合物膜902之后立即层压第二绝缘聚合物膜903，且所述层压是在附接高密度电容性元件薄片之前。

[0061] 在例如装置1000(图10)的又一实施例中，半导体芯片1001可具有导电穿硅通孔(TSV)1080，其实现从相对且一般来说无源芯片侧1001b到有源芯片侧1001a上的结构的接触。在这些情形中，对于板上的系统的组装，将一或多个电容器放置于芯片侧1001b上且借助于TSV 1080将所述电容器连接到芯片侧1001a上的结构可为有帮助的。图10展示具有在邻近TSV之间延伸的第一端子1021、第二端子1024及绝缘体1023的伸长电容器。对于装置1000的制作流程，优选地在层压第一绝缘聚合物膜1002之后立即层压第二绝缘聚合物膜1003，且所述层压是在附接高密度电容性元件薄片之前。

[0062] 如图4B指示，高密度电容器可嵌入于半导体芯片中，所述高密度电容器在嵌入式电容器的顶部上使用线球接合来将芯片端子连接到衬底，例如金属引线框架。归因于接合线，需要将此类电子主体囊封于保护性封装中。

[0063] 除以DC/DC转换器作为上文所描述的电子主体的实例性电力系统外，高密度电容器的嵌入还可应用于回扫转换器、DC/DC升压转换器及隔离式转换器、电荷泵、燃料计量仪、具有驱动器及负载开关的电力级、电压参考、电流参考、电流传感器及一般来说使用电容器的任何电子系统。

[0064] 使得电容性结构能够嵌入于半导体芯片中的导电穿聚合物通孔不承受归因于CTE(热膨胀系数)的差异的热机械应力。与受热机械应力问题困扰的图10的常规TSV(穿硅通孔)1080相比，此应力敏感性的缺乏是一项技术优点。

[0065] 实例性实施例可适用于具有集成电路的芯片且适用于具有任何类型的半导体芯

片的装置。举例来说，电容器薄片可附接到芯片的表面，所述芯片组装于引线框架垫上、线接合到引线且囊封于保护性封装化合物中。

[0066] 作为另一实例，方法可延伸到嵌入于集成为系统的任意数目个半导体芯片中的电容器。所述电容器可嵌入于系统内或在系统的任一表面上。

[0067] 作为另一实例，可通过改变形成多孔结构的过程而修改电容器的电容值，因此允许使用具有不同电容值的相同几何电容器值，这是使用具有不同电值的可用封装结构的廉价方式。

[0068] 在又一实例中，可依据芯片的大小而选择金属、绝缘体、几何结构以及电容器的厚度，使得可实现经组装封装的特定产品目标，例如最终厚度、机械强度、最小翘曲、防止破裂、与取放机器的兼容性及最小电寄生现象。

[0069] 在又一实例中，可调整并定位高密度电容性元件，使得可优化电特性(例如操作频率及频率稳定性)。

[0070] 在又一实例中，电容性结构的性质可对物理参数(例如应力、湿气、压力、辐射、化学暴露或可发现的其它参数)具有独特敏感性，使得可测量电容性结构的电性质，且所述结构可用作传感器。

[0071] 修改在所描述实施例中为可能的，且其它实施例在权利要求书的范围内为可能的。

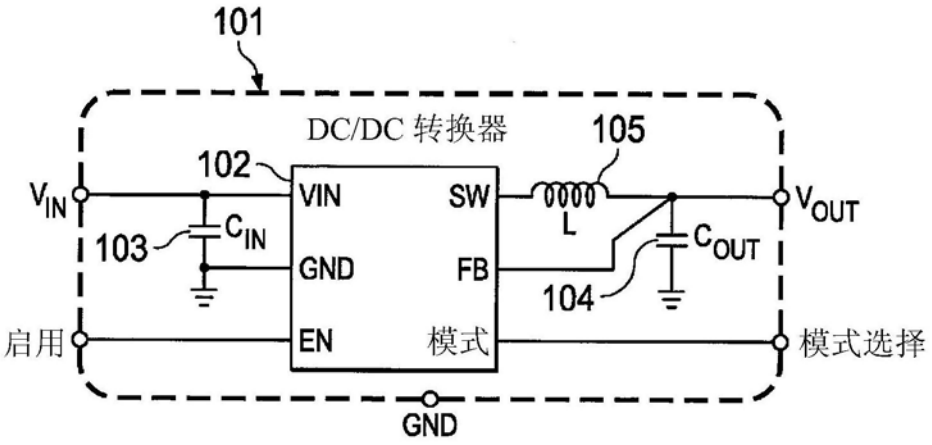

101
DC/DC 转换器
105
102
VIN
SW
V_{IN}
C_{IN}
L
V_{OUT}
103
GND
FB
C_{OUT}
104
启用
EN
模式
模式选择
GND

图1

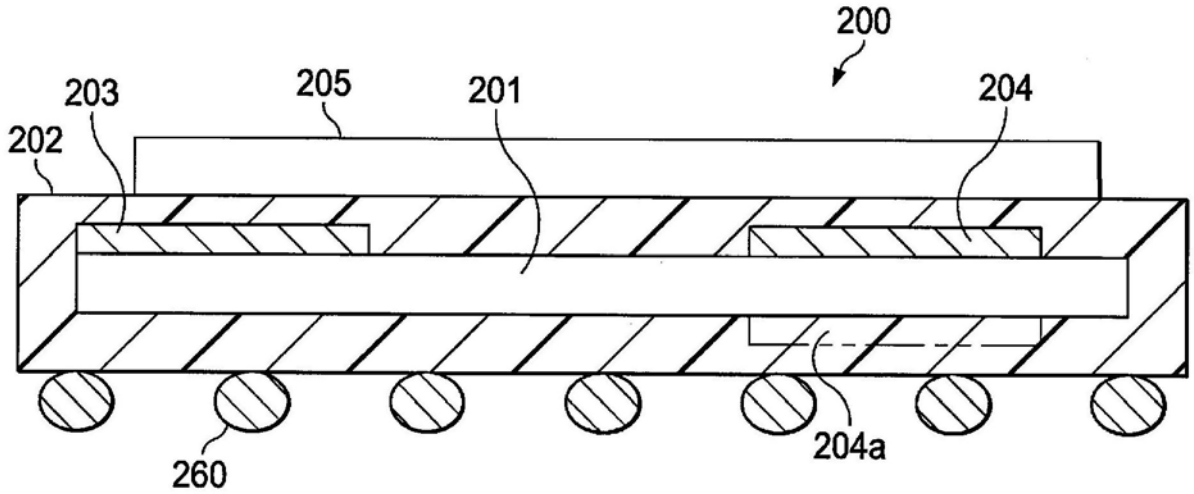

200
203
205
201
204
202
260
204a

图2

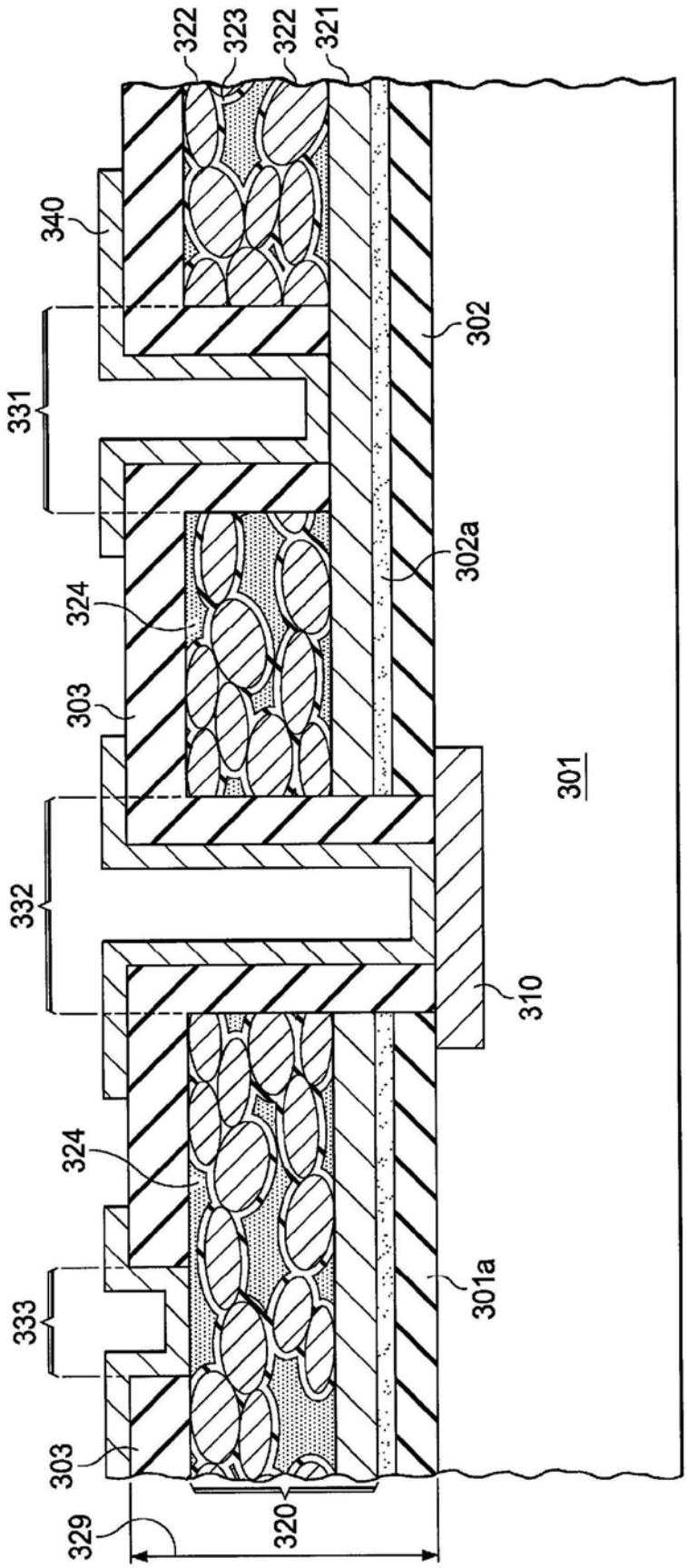

322
323
322
321
340
302
331
302a
324
303
301
332
310
324
301a
333
303
329
320

图3

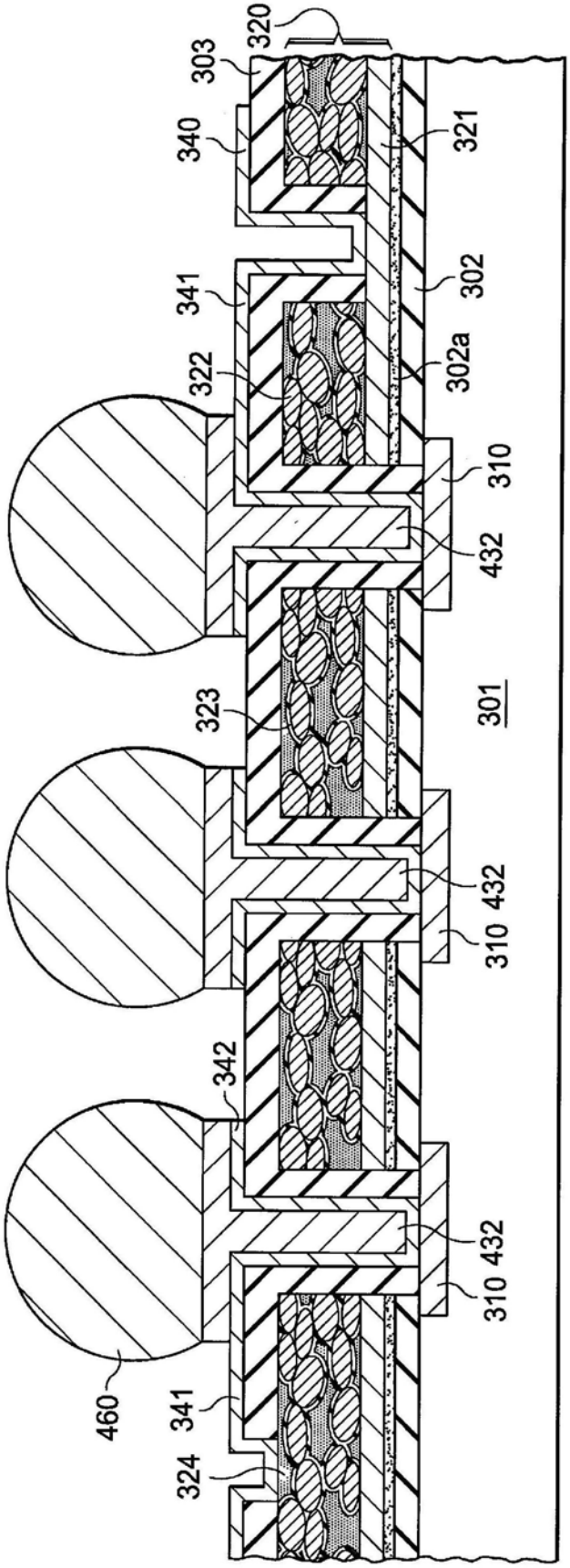

320
303
340
321
341
302
322
302a
310
432
323
301
432
310
342
432
310
460
341
324

图4A

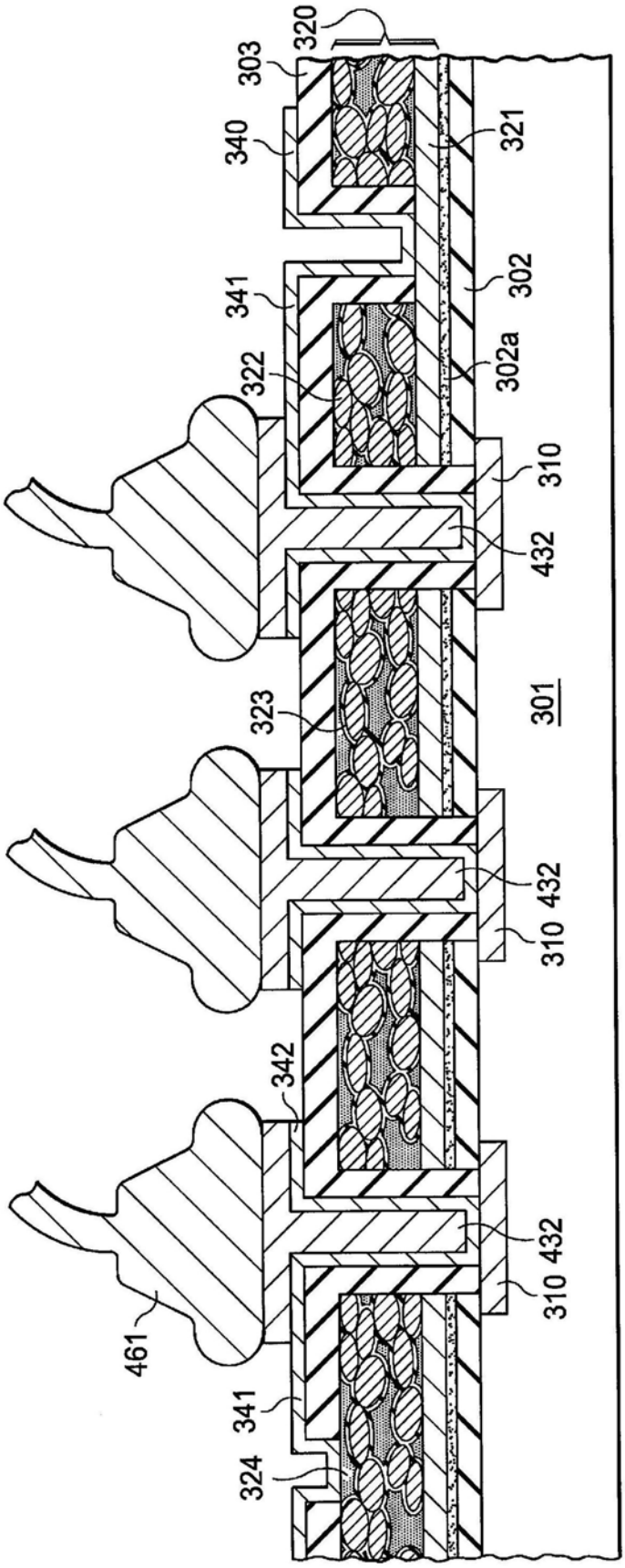

320
303
340
321
341
302
322
302a
310
432
323
301
432
310
342
432
310
461
341
324

图4B

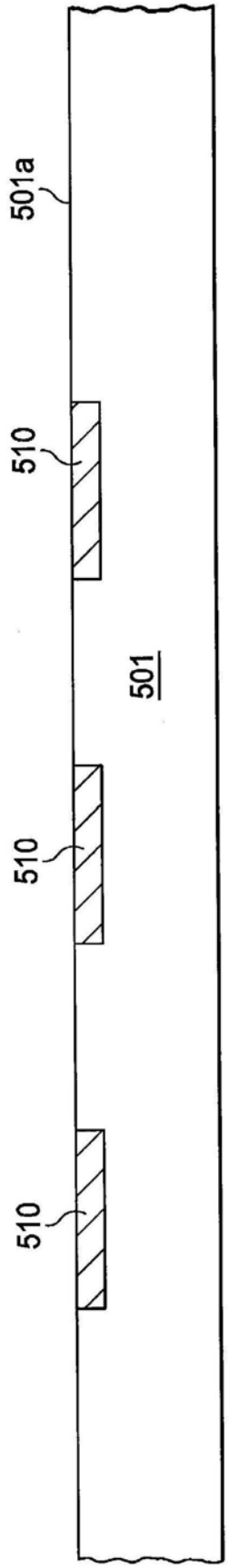


图5A

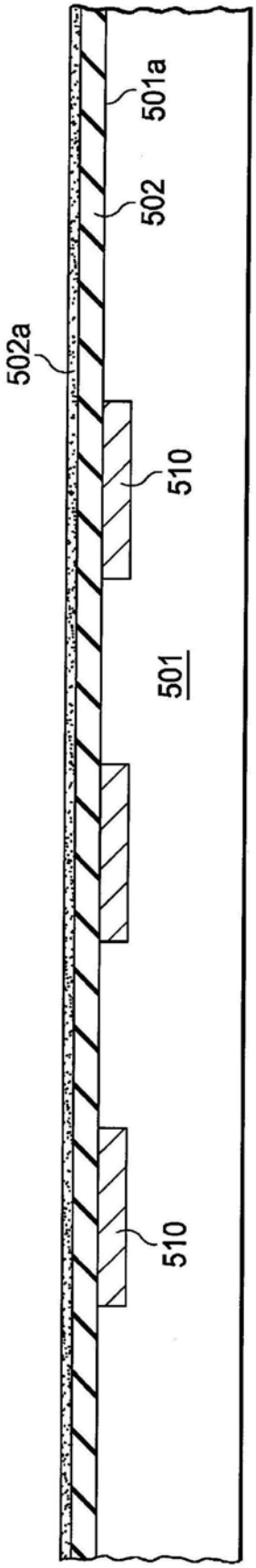


图5B

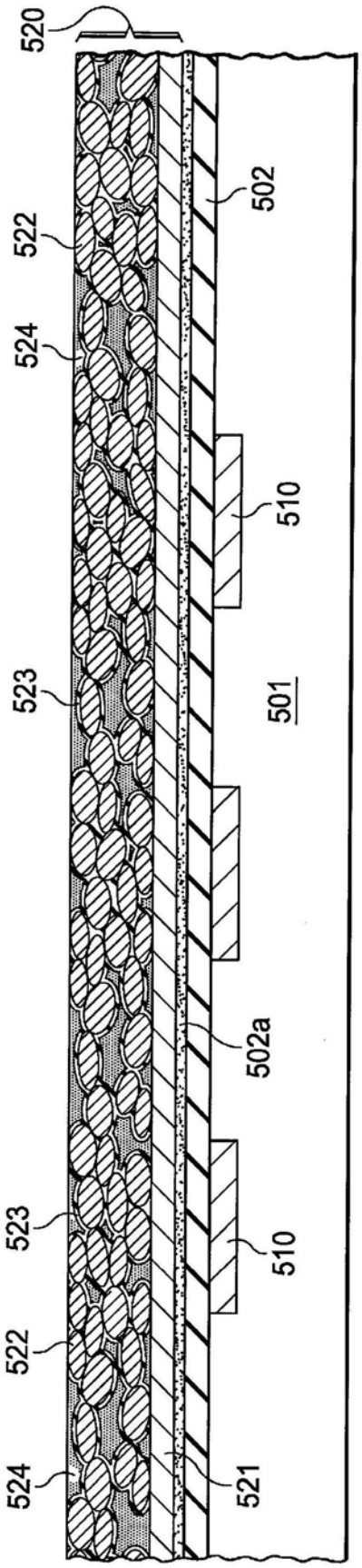


图5C

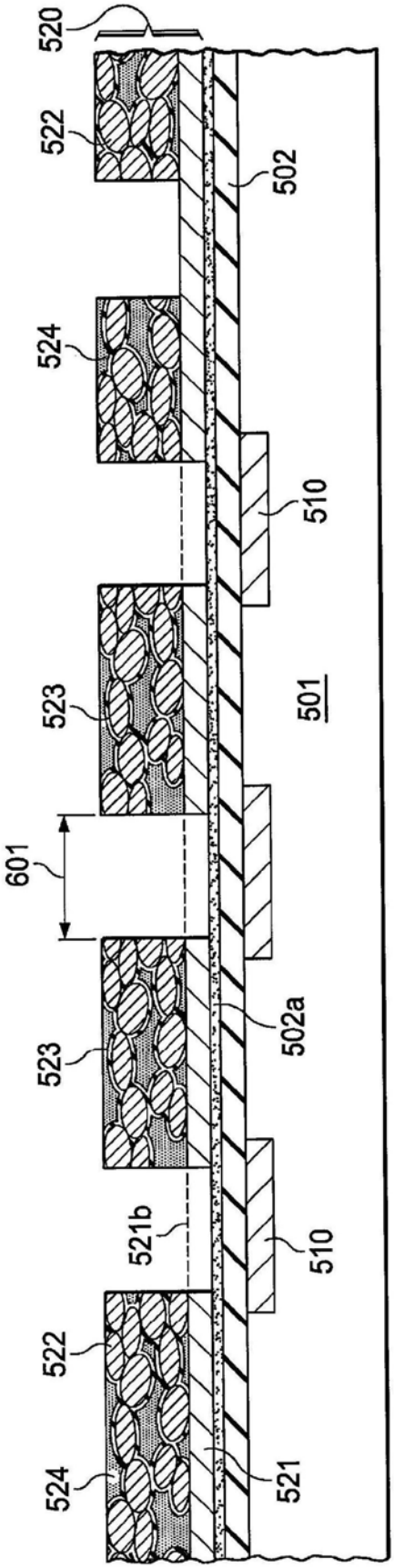


图5D

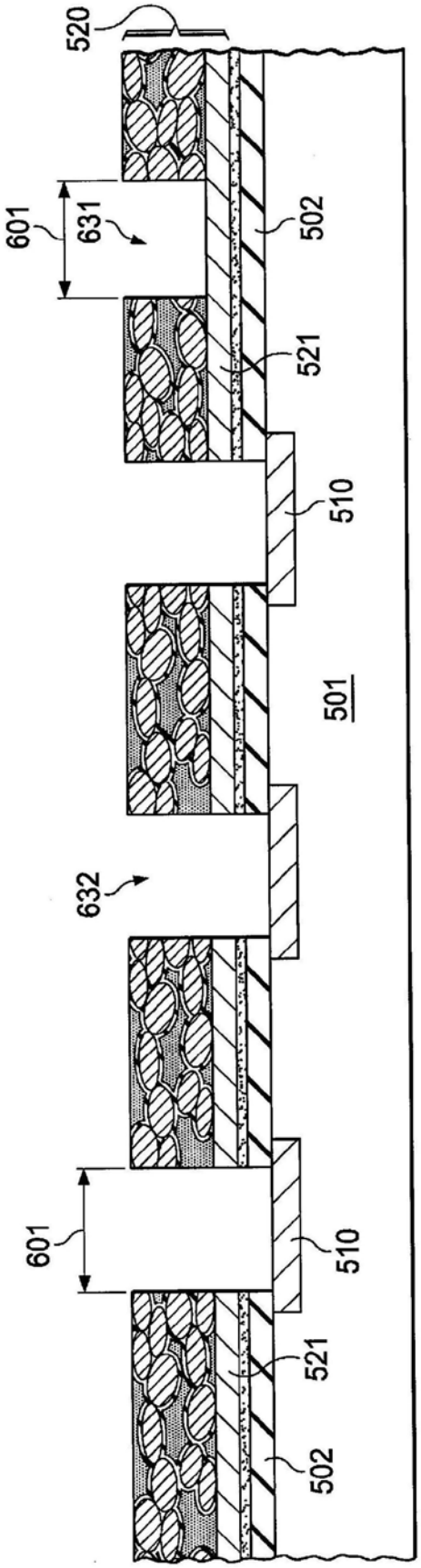


图6A

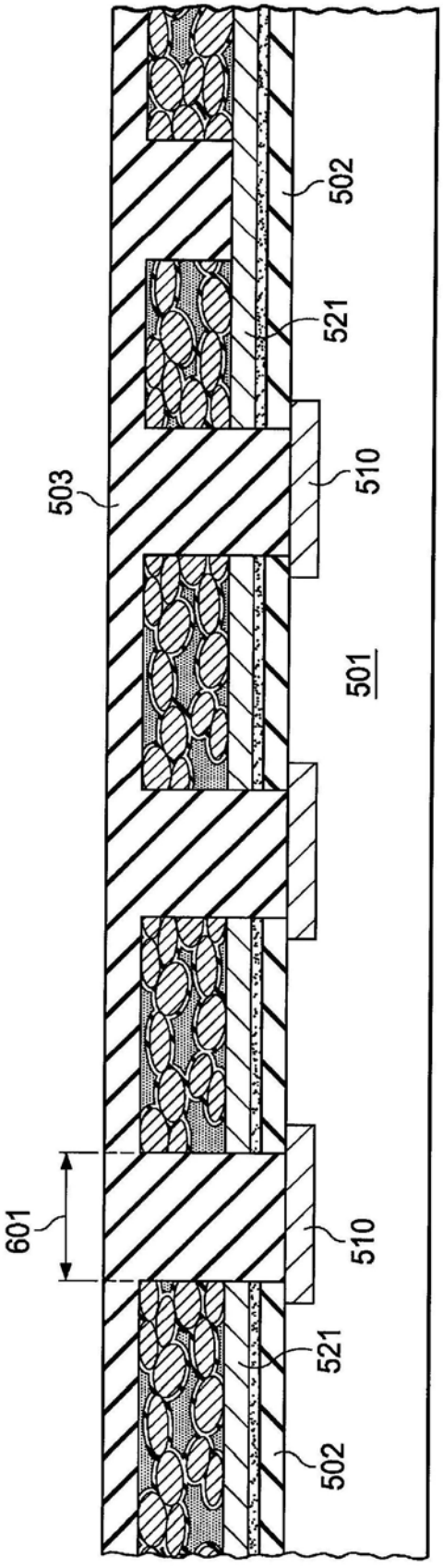


图6B

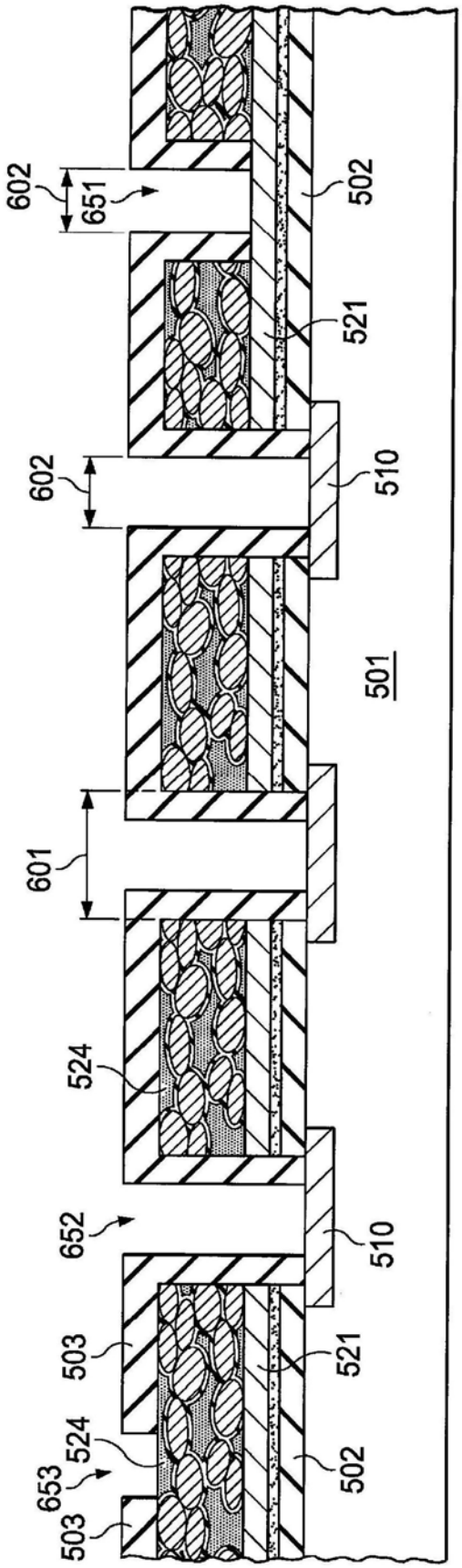

602
651
502
521
602
510
501
601
524
652
510
503
521
524
653
502
503

图6C

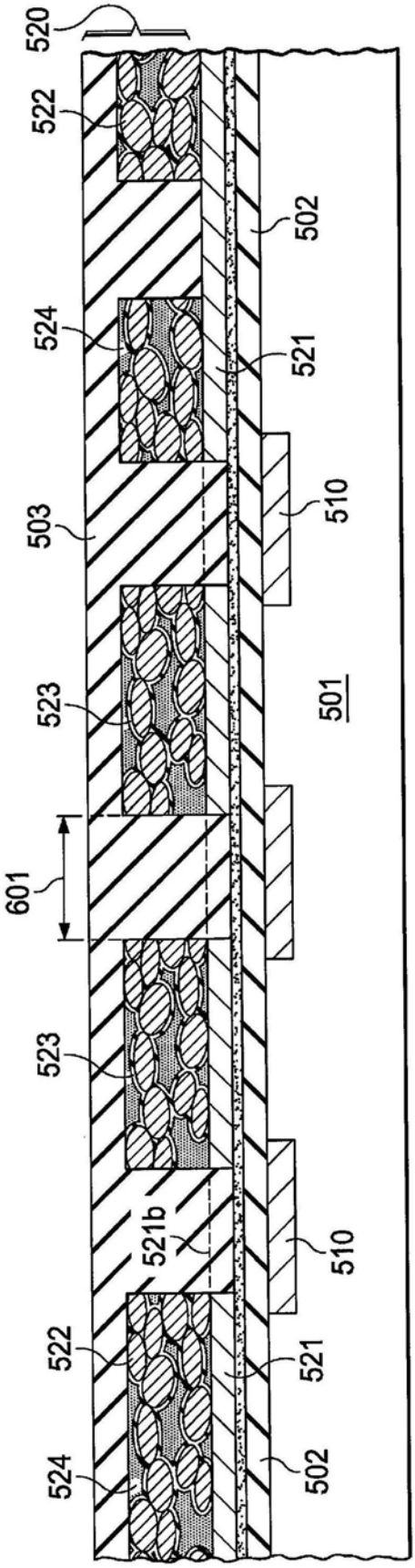

520
522
502
524
521
510
503
501
523
601
523
521b
510
522
521
524
502

图6D

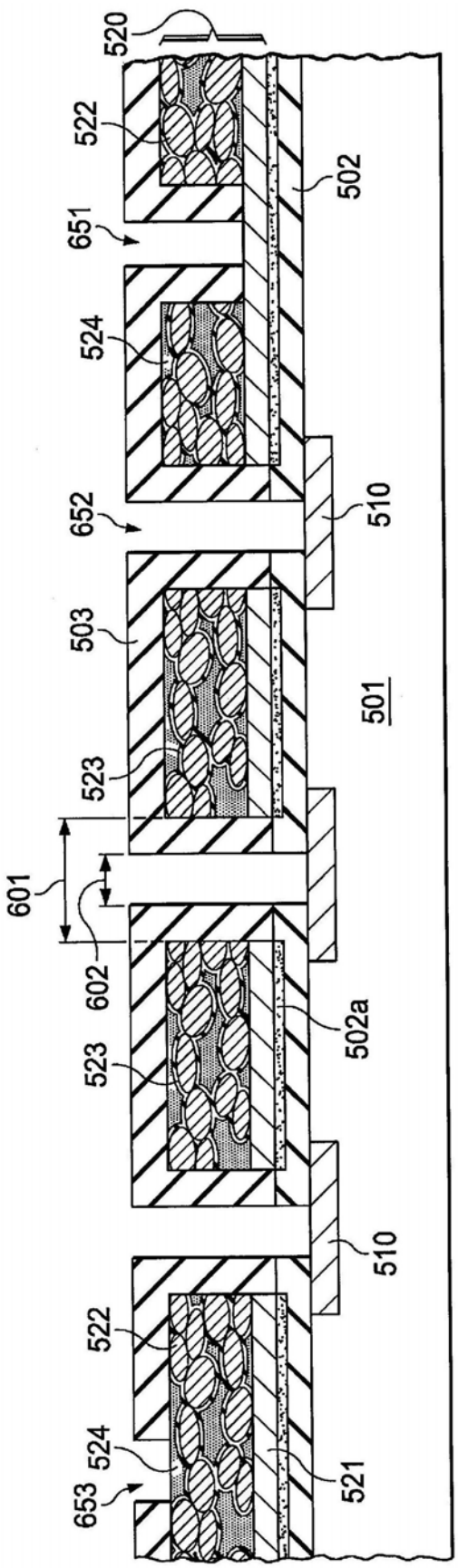

520
522
502
651
524
510
652
503
501
523
601
602
502a
523
510
522
524
653
521

图6E

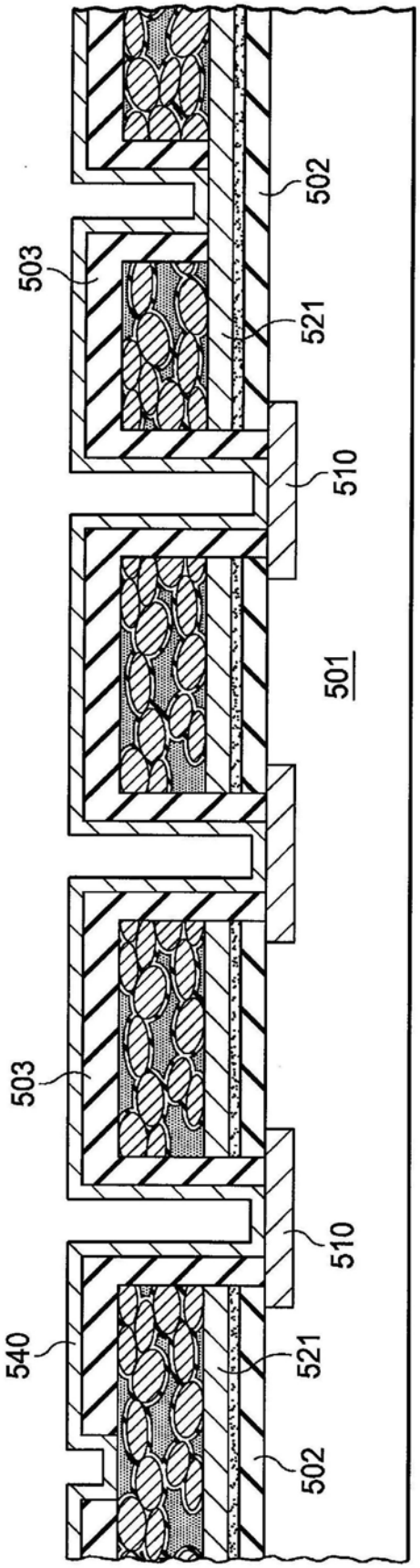


图7A

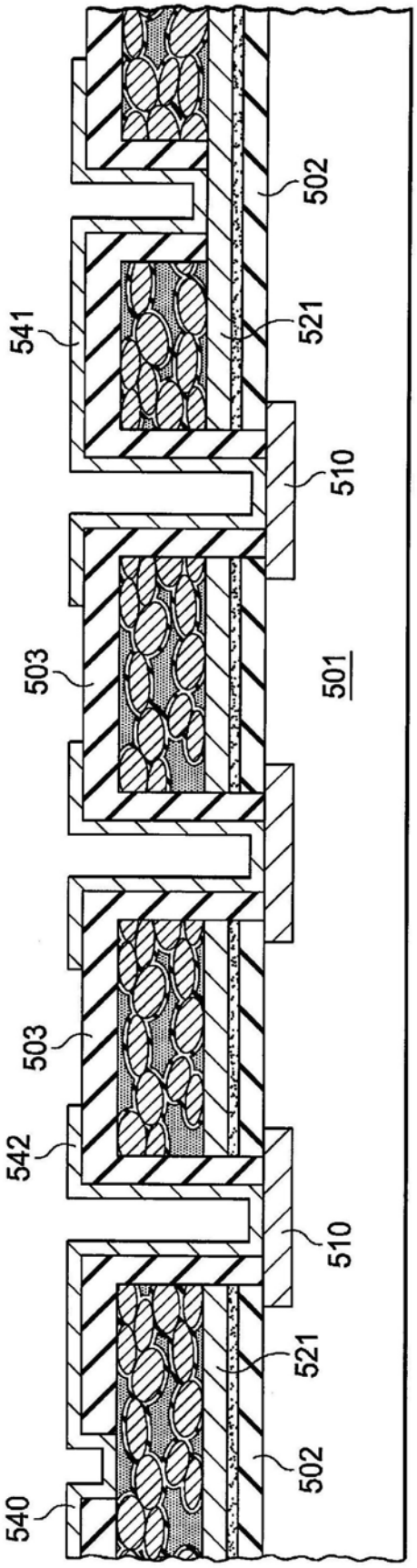


图7B

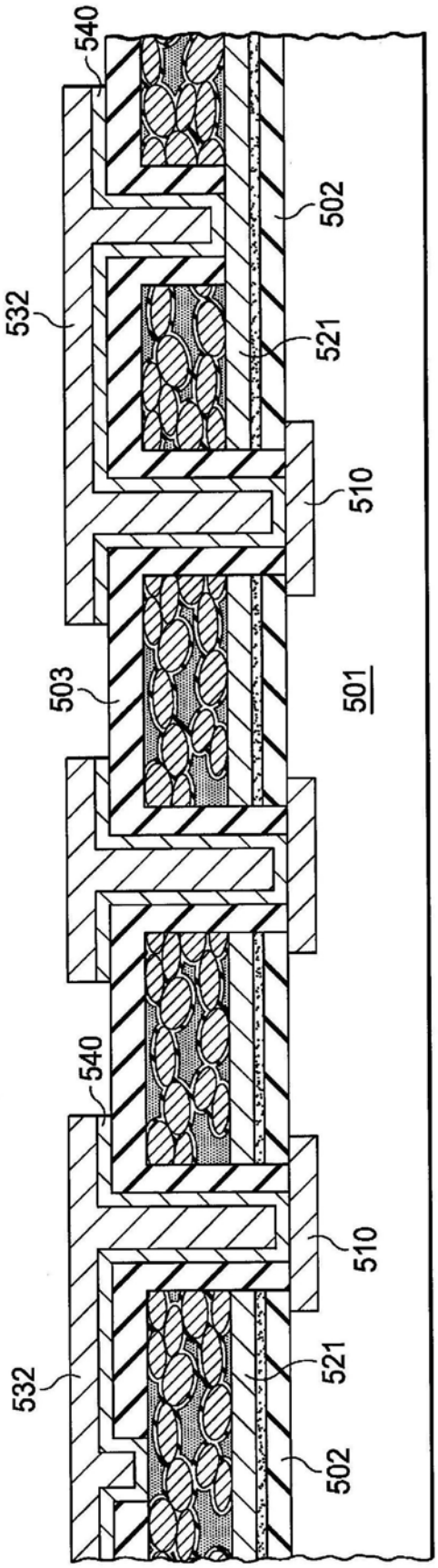


图7C

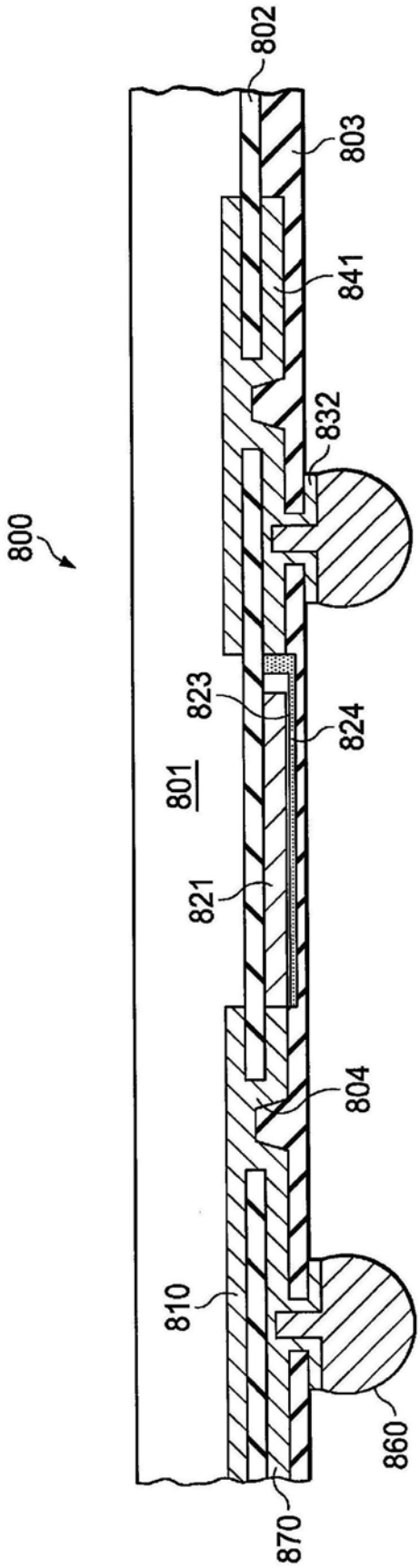


图8

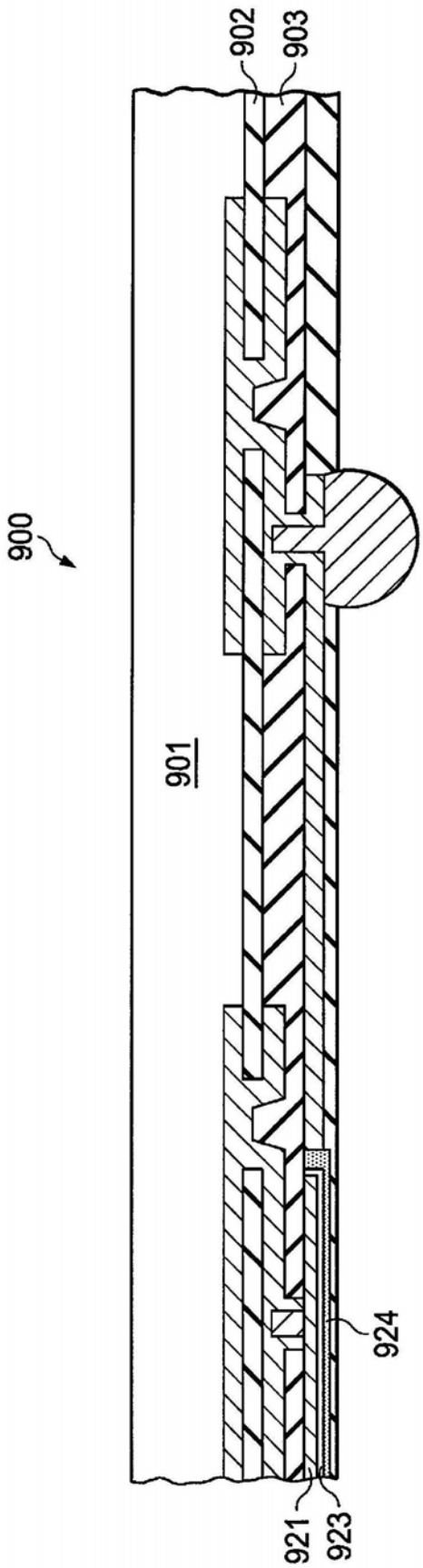


图9

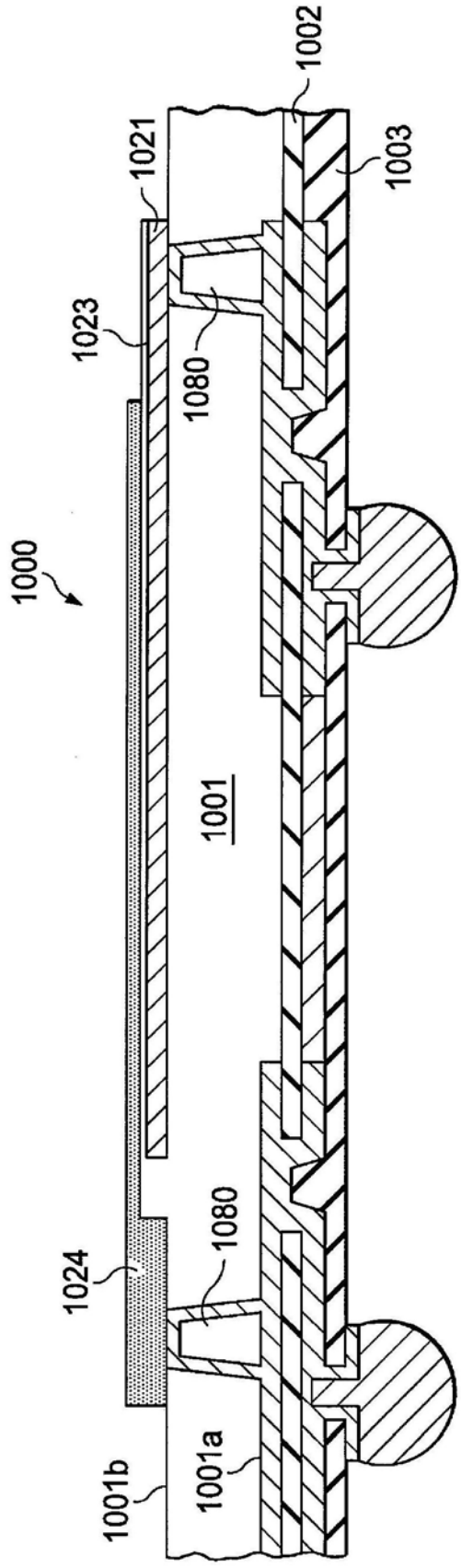


图10