

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 21/283  
H01L 21/31

(45) 공고일자 1995년03월28일  
(11) 공고번호 특1995-0002948

(21) 출원번호	특1991-0017740	(65) 공개번호	특1993-0008970
(22) 출원일자	1991년10월10일	(43) 공개일자	1993년05월22일
(71) 출원인	삼성전자주식회사 김광호		
(72) 발명자	경기도 수원시 권선구 매탄동 416번지 김창규 경기도 수원시 권선구 서둔동 97-31 최지현		
(74) 대리인	서울특별시 송파구 잠실본동 우성 4차 아파트 103동 120호 이건주		

심사관 : 박형식 (책)  
자공보 제3917호)

(54) 반도체 장치의 금속층간 절연막 형성방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 장치의 금속층간 절연막 형성방법

[도면의 간단한 설명]

제1도는 종래의 제조공정도.

제2도는 본 발명의 일실시예에 따른 제조공정도.

제3도는 본 발명의 다른 실시예에 따른 제조공정도.

제4도는 본 발명의 또 다른 실시예에 따른 제조공정도.

[발명의 상세한 설명]

본 발명은 반도체 장치의 제조방법에 관한 것으로, 특히 반도체 장치의 금속층간 절연막(Inter Metal Dielectrics) 형성방법에 관한 것이다.

최근 반도체 장치가 고집적화되고 도전성 배선이 다층화됨에 따라 금속층간 절연막의 평탄화가 중요한 문제점으로 대두되었다. 일반적으로 다층 배선구조를 가지는 반도체 장치에서 금속층간 절연막의 평탄화 공정을 위하여 스피ن 온 글래스(Spin on glass) 복합공정, 에치 백 공정, 폴리미드를 사용한 수지절연법 등이 사용되고 있다. 그러나 도전선의 단차가 높아지고 상기 도전선 사이의 간격이 서브미크론(Submicron)화 됨에 따라 평탄화 공정시 도전선 사이의 영역에서 동공(Void)이 발생하거나, 사용한 재질에 따라 균열(Crack)이 발생하는 문제점이 있었다.

제1(a)-(d)도는 종래의 스피น 온 글래스 복합공정을 이용한 평탄화 공정을 나타낸 제조공정도이다. 여기서 하부 배선이 형성된 반도체 기판을 출발물질로 하며, 트랜지스터, 캐패시터 등의 제조공정은 생략하였다. 상기 제1(a)도에서 BPSG(Boro-Phospho-Silicate Glass)로 된 제1절연막(1)과 하부 배선이 되는 제1금속층(3)이 형성된 소정 도전형의 반도체 기판(도면에 도시되지 않음) 상면에 산화막으로 된 제2절연막(5)을 침적한다. 상기 제1(b)도에서 상기 절연막(5) 상면에 스피น 온 글래스(Spin on glass)로 된 제3절연막(7)을 2-3회에 걸쳐 도포 및 열처리한다. 상기 제1(c)도에서 상기 제1금속층(3) 상면의 절연막(5) 표면의 노출될때까지 상기 스피น 온 글래스막(7)을 에치 백한다. 상기 제1(d)도에서 상기 기판 상면에 완충역할을 위한 제4절연막(9)을 침적하여 하부 배선과 상부 배선단의 층간 절연막 평탄화 공정을 완료한다.

상기한 바와 같이 스피น 온 글래스 복합공정을 이용하여 평탄화를 실시할 경우 상기 스피น 온 글래스막의 내균열성이 약하고 막질이 견고하지 못하여 반도체 장치의 신뢰성을 확보할 수 없는 문제점이 있었다.

따라서 본 발명의 목적은 반도체 장치의 금속층간 절연막 형성방법에 있어서 동공이 없는 금속층간 절연막의 형성방법을 제공함에 있다.

본 발명의 다른 목적은 반도체 장치의 금속층간 절연막 형성방법에 있어서 내균열성 및 평탄도가 우수한 금속층간 절연막의 형성방법을 제공함에 있다.

이러한 본 발명의 목적은 반도체 장치의 금속층간 절연막 형성방법에 있어서 소정의 금속층 패턴이 형성된 반도체 기판 상면에 제1절연막과 제2절연막을 순차적으로 형성하는 제1공정과, 에치 백 공정을 실시하여 상기 제1절연막 측벽에 제2절연막 스페이서를 형성하는 제2공정과, 상기 기판 상면에 상기 제1 및 제2절연막상에서 서로 다른 성장속도를 가지는 제3절연막을 형성하는 제3공정을 순차적으로 구비함을 특징으로 하는 반도체 장치의 금속층간 절연막 형성방법을 제공함으로써 달성된다.

이러한 본 발명의 또 다른 목적은 반도체 장치의 금속층간 절연막 형성 방법에 있어서, 층간 절연막이 형성된 소정 도전형의 반도체 기판 상면에 금속층과 제 1물질층을 적층한 후 패턴 형성하는 제1공정과, 상기 기판 상면에 제2물질층을 형성한후 소정의 희생막을 도포하는 제2공정과, 상기 금속층과 제1물질층으로 이루어지는 패턴을 상부의 제2물질층의 표면이 충분히 노출될 때까지 에치 백 공정을 실시하는 제3공정과, 상기 제3공정에서 잔류된 상기 희생막을 마스크로 하여 노출된 제2물질층을 제거하는 제4공정과, 상기 희생막을 제거한후 상기 기판 상면에 제1물질층상에서 제1속도로 성장되고 제2상에서 상기 제1속도보다 더 빠른 제2속도로 성장되는 제3물질층을 형성하는 제5공정을 순차적으로 구비함을 특징으로 하는 반도체 장치의 금속층간 절연막 형성방법을 제공함으로써 달성된다.

이하 본 발명을 첨부한 도면을 참고하여 상세히 설명한다. 여기서 절연막을 중간층으로 하는 하부 배선이 형성된 소정 도전형의 반도체 기판을 출발 물질로 하며 트랜지스터, 캐패시터 등의 제조공정은 생략하였다.

제2(a)-(c)도는 본 발명의 일실시예에 따른 금속층간 절연막의 형성방법을 나타낸 제조공정도이다. 상기 제2(a)도에서 BPSG로 된 층간 절연막(21)과 하부 배선이 되는 제1금속층(23)이 형성된 소정 도전형의 반도체 기판(도면에 도시되지 않음) 상면에 1000 Å 정도의 두께를 가지는 제1절연막(25)과 1000 Å 정도의 두께를 가지는 제2절연막(27)을 순차적으로 형성한다. 상기 제1절연막(25)은 PSG(Phospho-Silicate Glass) 또는  $O_3$ -TEOS PSG( $O_3$ -Tetra Ethyl Ortho Silicate Phospho silicate Glass) 또는  $O_3$ -TEOS BPSG 또는 P-TEOS USG(Plasma-enhancement Tetra Ethyl Ortho silicate Undoped silicate Glass)로 이루어지며, 상기 제 2 절연막(27)은 P-SiH<sub>4</sub> USG(Plasma-enhancement Silane Undoped silicate Glass) 또는  $O_3$ -TEOS USG로 이루어진다. 상기 제2(b)도에서 상기 제1금속층 상부의 제1절연막(25)의 표면이 노출될 때까지 에치 백 공정을 실시하여 상기 제1절연막(25)의 측벽에 제2절연막 스페이서(27)를 형성한다. 상기 제2(c)도에서 상기 기판 상면에 하지 의존성을 가지는 제3절연막(29)을 6000 Å 정도의 두께로 형성한다. 상기 제3절연막(39)은  $O_3$ -TEOS USG와 같이 하지 의존성을 가진 산화막으로, 상기 제2절연막 스페이서(27)상에서의 성장속도가 제1절연막(25)상에서 보다 더 빠른 특성을 가진다. 그 결과 도전성 사이의 간격이 좋고 단차가 심하더라도 동공이 없는 평탄한 절연막을 얻을 수 있다.

제3(a)-(d)도는 본 발명의 다른 실시예에 따른 금속층간 절연막의 형성방법을 나타낸 제조공정도이다. 상기 제3(a)도에서 층간 절연막(31)과 하부 배선이 되는 제1금속층(33)이 형성된 소정 도전형의 반도체 기판(도면에 도시되지 않음) 상면에 100 Å 정도의 두께를 가지는 제1절연막(35)과 1000 Å 정도의 두께를 가지는 제2절연막(37)과 포토레지스트(39)를 순차적으로 형성한다. 상기 제1절연막(35)은 PSG 또는  $O_3$ -TEOS PSG 또는  $O_3$ -TEOS BPSG 또는 P-TEOS USG로 이루어지며, 상기 제2절연막(37)은 SiH<sub>4</sub> USG 또는  $O_3$ -TEOS USG로 이루어진다. 상기 제3(b)도에서 상기 제2절연막(37)의 표면이 충분히 노출될 때까지 에치 백 공정을 실시한다. 그리하여 상기 제1금속층(33) 사이에 해당하는 아래로 오목한 영역에만 상기 포토레지스트(39)를 잔류시킨다. 상기 제3(c)도에서 상기 잔류된 포토레지스트(39)를 마스크로 하여 노출된 제2절연막(37)을 제거한다. 상기 제3(d)도에서 상기 잔류된 포토레지스트(39)를 제거한뒤 상기 층간절연막(31) 상면에  $O_3$ TEOS USG 제3절연막(41)을 형성한다. 상기 제3절연막(41)은 하지막질에 따라 박막성장 속도가 달라지는 하지 의존성을 가진다. 상기 특성에 의해 상기 제1절연막(35) 상부에서는 느린 성장속도를 갖고, 상기 제2절연막(37)상에서는 빠른 성장속도를 갖게 된다. 그 결과 상기 기판의 돌출 영역에서는 제3절연막이 얇게 형성되고 함몰 영역에서는 상기 제3절연막이 두껍게 형성되어 평탄도가 우수한 층간 절연막이 형성된다.

상기 제3(a)-(d)도의 실시예에서는 소정영역에 제2절연막을 잔류시키기 위한 마스크로 포토레지스트를 사용하였으나, 다른 실시예에서는 스핀 온 글래스막을 마스크로 사용할 수도 있다.

제4(a)-(d)도는 본 발명의 또 다른 실시예에 따른 금속 층간 절연막의 형성방법을 나타낸 제조공정도이다. 상기 제4(a)도에서 층간 절연막(51)이 형성된 소정 도전형의 반도체 기판(도면에 도시되지 않음) 상면에 하부 배선이 되는 제1금속층(53)과 제1물질층(55)을 적층한 후 패턴 형성한다. 여기서 상기 제1물질층(55)의 두께는 1000 Å 정도이다. 그 다음 상기 기판 상면에 1000 Å 정도의 두께로 제2물질층(57)을 형성한다. 상기 제1물질층(55)은 PSG, TiN, P-TEOS USG등으로 이루어지며, 상기 제2물질층(57)은 P-SiH<sub>4</sub> USG,  $O_3$ -TEOS USG등으로 이루어진다. 그후 상기 제2물질층(57)상에 포토레지스트 또는 스핀 온 글래스로 이루어지는 희생막(59)을 형성한다. 상기 제4(b)도에서 상기 제1금속층(53)상부의 제2물질층(57)의 표면이 노출될 때 까지 에치 백 공정을 실시한다. 그리하여 상기 제1금속층(53)간의 오목한 영역에만 상기 희생막(59)을 잔류시킨다. 상기 제4(c)도에서 상기 잔류된 희생막(59)을 마스크로 하여 노출된 상기 제2물질층(57)을 제거한다. 상기 제4(d)도에서 상기 잔류된 희생막(59)을 제거한 후 상기 기판상면에  $O_3$ -TEOS USG와 같이 하지 의존성을 가지는 제3물질층(61)을 형성한다. 상기 제3물질층(61)은 하지막질에 따라 박막성장 속도가 달라지는 하지 의존성을 가진다. 상기 특성에 의해 상기 제1물질층(55)상에서는 느린 성장속도를 갖고 제2물질층(57)상에서는 빠른 성장속도를 갖게 된다. 그 결과, 상기 기판의 돌출 영역에서는 제3물질층이 얇게 형성되고, 함몰 영역에서는 두껍게 형성됨으로써 평탄도가 우수한 층간절연

막이 형성된다.

상술한 바와 같이 본 발명은 반도체 장치의 금속층간 절연막 형성방법에 있어서 기판 영역에 따라 서로 다른 절연막을 노출시킨후 그 상면에 하지 의존성을 가지는 절연막을 형성함으로써 기판 상에 형성되는 금속층간 절연막의 두께를 영역에 따라 선택적으로 제어할 수 있다.

그 결과 동공이 없고 평탄도가 우수한 금속층간 절연막을 얻을 수 있는 효과가 있다. 따라서 반도체 장치의 신뢰성이 증대되는 효과가 있다.

## (57) 청구의 범위

### 청구항 1

반도체 장치의 금속층간 절연막 형성방법에 있어서, 소정의 금속층 패턴이 형성된 반도체 기판 상면에 제1절연막과 제2절연막을 순차적으로 형성하는 제1공정과, 에치 백 공정을 실시하여 상기 제1절연막 측벽에 제2절연막 스페이서를 형성하는 제2공정과, 상기 기판 상면에 상기 제1및 제2절연막상에서 서로 다른 성장속도를 가지는 제3절연막을 형성하는 제3공정을 순차적으로 구비함을 특징으로 하는 반도체 장치의 금속층간 절연막 형성방법.

### 청구항 2

제1항에 있어서, 상기 제1절연막이 PSG,  $O_3$ -TEOS PSG,  $O_3$ -TEOS BPSG, P-TEOS USG중의 어느 하나임을 특징으로 하는 반도체 장치의 금속층간 절연막 형성방법.

### 청구항 3

제2항에 있어서, 상기 제2절연막이 P-SiH<sub>4</sub> USG,  $O_3$ -TEOS USG등임을 특징으로 하는 반도체장치의 금속층간 절연막 형성방법.

### 청구항 4

제3항에 있어서, 상기 제3절연막이  $O_3$ -TEOS USG등임을 특징으로 하는 반도체 장치의 금속층간 절연막 형성방법.

### 청구항 5

반도체 장치의 금속층간 절연막 형성방법에 있어서, 층간 절연막이 형성된 소정 도전형의 반도체 기판상면에 금속층과 제1물질층을 적층한 후 패턴 형성하는 제1공정과, 상기 기판 상면에 제2물질층을 형성한 후 소정의 희생막을 도포하는 제2공정과, 상기 금속층과 제1물질층으로 이루어지는 패턴물 상부의 제2물질층의 표면이 충분히 노출될 때까지 에치 백 공정을 실시하는 제3공정과, 상기 제3공정에서 잔류된 상기 희생막을 마스크로 하여 노출된 제2물질층을 제거하는 제4공정과, 상기 희생막을 제거한후 상기 기판 상면에 제1물질층상에서 제1속도로 성장되고 제2상에서 상기 제1속도보다 더 빠른 제2속도로 성장되는 제3물질층을 형성하는 제5공정을 순차적으로 구비함을 특징으로 하는 반도체 장치의 금속층간 절연막 형성방법.

### 청구항 6

제5항에 있어서, 상기 제1물질층이 PSG, TiN, P-TEOS USG 중의 어느 하나임을 특징으로 하는 반도체 장치의 금속층간 절연막 형성방법.

### 청구항 7

제6항에 있어서, 상기 제2물질층이 P-SiH<sub>4</sub> USG,  $O_3$ ↔-TEOS USG 중의 어느 하나임을 특징으로하는 반도체 장치의 금속층간 절연막 형성방법.

### 청구항 8

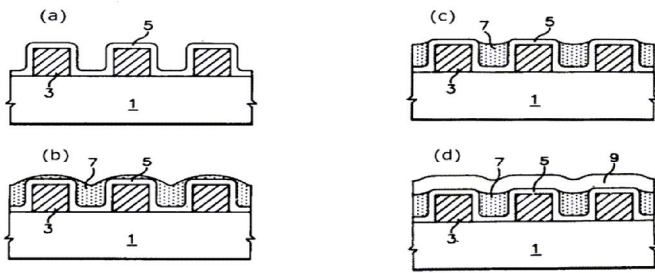
제7항에 있어서, 상기 제3물질층이  $O_3$ -TEOS USG 중의 어느 하나임을 특징으로 하는 반도체 장치의 금속층간 절연막 형성방법.

### 청구항 9

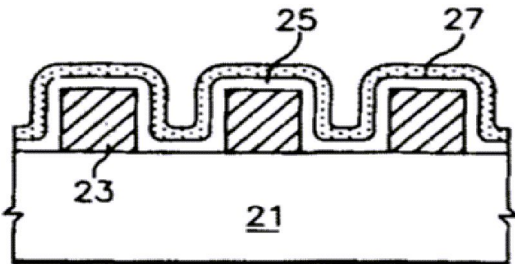
제5항에 있어서, 상기 희생막이 포토레지스트 또는 스핀 온 글래스막임을 특징으로 하는 반도체 장치의 금속층간 절연막 형성방법.

## 도면

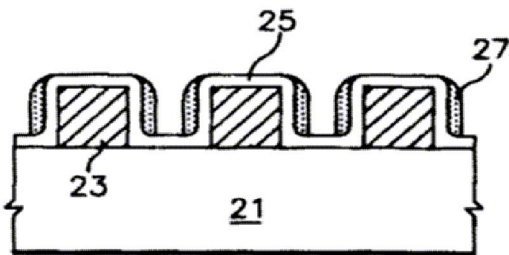
도면1



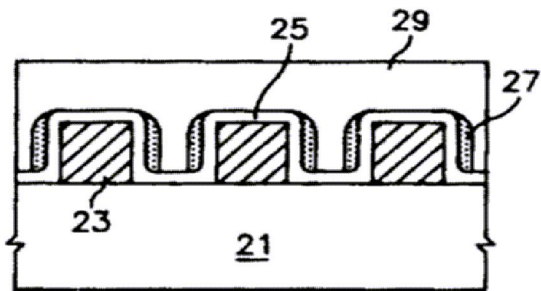
도면2a



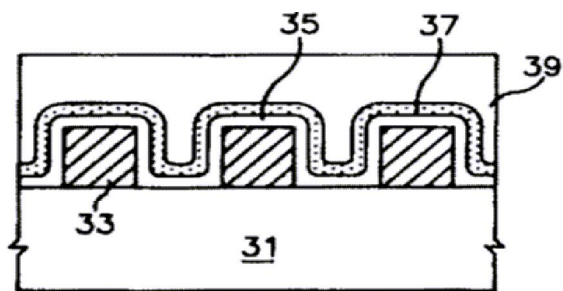
도면2b



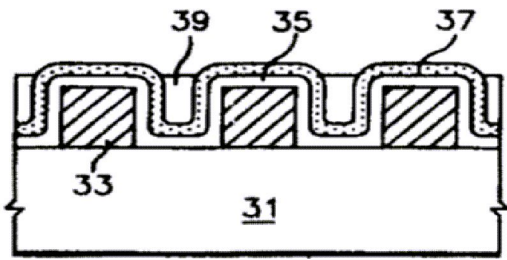
도면2c



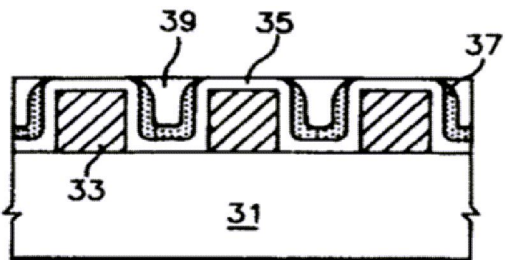
도면3a



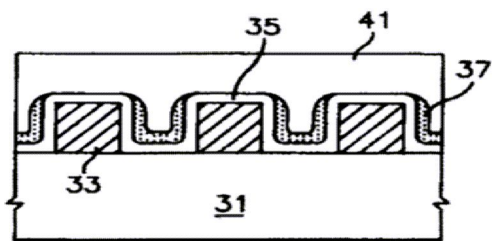
도면3b



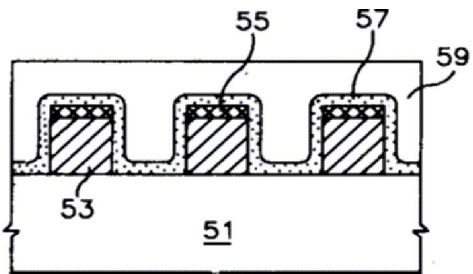
도면3c



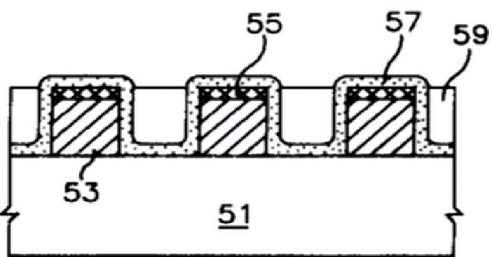
도면3d



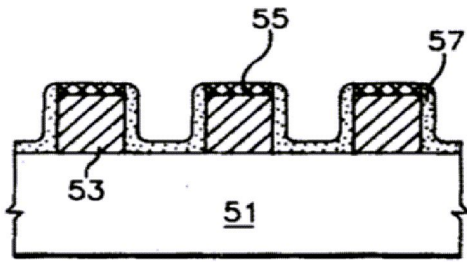
도면4a



도면4b



도면4c



도면4d

