



FI 0000932908

**(B) (11) KUULUTUSJULKAISU
UTLAGGNINGSSKRIFT****93290**

Patentti myönnetty

Patenttilakko 10 03 1995

(51) Kv.lk.5 - Int.cl.5

H 04L 25/38, H 04J 3/06

SUOMI-FINLAND**(FI)****Patentti- ja rekisterihallitus
Patent- och registerstyrelsen**

(21) Patentihakemus - Patentansökning	931454
(22) Hakemispäivä - Ansökningsdag	31.03.93
(24) Alkupäivä - Löpdag	31.03.93
(41) Tullut julkiseksi - Blivit offentlig	01.10.94
(44) Nähtäväsipanon ja kuul.julkaisun pym. - Ansökan utlagd och utl.skriften publicerad	30.11.94

(71) Hakija - Sökande

1. Nokia Telecommunications Oy, Mäkkylän puistotie 1, 02600 Espoo, (FI)

(72) Keksijä - Uppfinnare

1. Kaasinen, Matti, Isonniitynkatu 3 C 14, 00520 Helsinki, (FI)

(74) Asiamies - Ombud: Oy Kolster Ab

(54) Keksinnön nimitys - Uppfinningens benämning

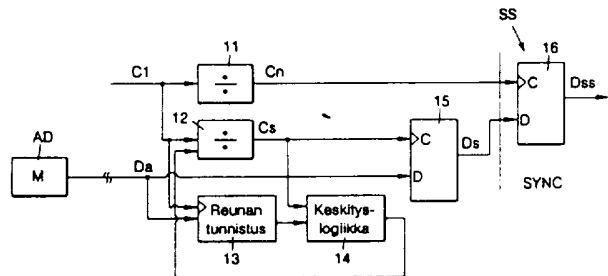
**Menetelmä ja laite asynkronisen signaalin siirtämiseksi synkroniseen järjestelmään
Förfarande och anordning för överföring av en asynkron signal till ett synkront system**

(56) Viitejulkaisut - Anförda publikationer

US A 5027381 (H 04L 25/38), US A 4263673 (H 04L 7/00), US A 4048440 (H 04L 7/00)

(57) Tiivistelmä - Sammandrag

Keksinnön kohteena on menetelmä ja laite asynkronisen signaalin (Da) siirtämiseksi synkroniseen järjestelmään (SS). Menetelmän mukaisesti suoritetaan nopeustasaus tulevan signaalin (Da) ja lähtevän signaalin (Ds) välillä. Jotta käytännön ratkaisusta saataisiin mahdollisimman yksinkertainen, nopeustasaus suoritetaan yhden bitin pituisen rekisterin (15) avulla siten, että rekisteriin kirjoitetaan ja sieltä luetaan pääsääntöisesti vuorotellen, ja että signaalin lopetus- tai aloitusbitin (B tai E) kohdalla toteutetaan rekisterin yli- tai alivuoto muuttamalla luku- ja kirjoitusjärjestystä. Keksintö koskee myöskin menetelmää ja laitetta synkroniseen järjestelmään siirretyn signaalin siirtämiseksi takaisin asynkroniselle laitteelle.



Uppfinningen avser förfarande och anordning för förflyttning av en asynkron signal (Da) till ett synkront system (SS). Enligt uppfinningen utförs en hastighetsutjämning mellan den inkommande signalen (Da) och den utgående signalen (Ds). För att den praktiska lösningen skall vara enklast möjlig utförs hastighetsutjämningen medelst ett register (15) av en bits längd så, att i registret inskrivs och ur registret läses generellt turvis, och att vid signalens slut- eller inledningsbit (B eller E) över- eller underläckage i registret utförs genom förändring av läs- och skrivordningsföljden. Uppfinningen avser även förfarande och anordning för återflyttning av en till ett synkront system förflyttad signal tillbaka till en asynkron anordning.

Menetelmä ja laite asynkronisen signaalin siirtämiseksi synkroniseen järjestelmään

5 Keksinnön kohteena on oheisen patenttivaatimuksen 1 johdanto-osan mukainen menetelmä ja oheisen patenttivaatimuksen 4 johdanto-osan mukainen laite asynkronisen signaalin siirtämiseksi synkroniseen järjestelmään.

 Keksinnön mukaisella ratkaisulla voidaan toteuttaa asynkronisten laitteiden liittämisen synkronisiin laitteisiin tai synkronisiin siirtojärjestelmiin. Tällaisia asynkronisia laitteita voivat olla esim. modeemit, tietokoneet ja tietokonepäätteet, erilaiset mittalaitteet tai kirjoittimet. Erityisen tunnettua on käyttää modeemeja tietokoneiden väliseen, puhelinlinjojen välityksellä tapahtuvaan kommunikointiin. Lähetyssä modeemi moduloi kantaaltoa ja lähettää moduloidun signaalin puhelinlinjalle. Vastaanottopäässä toinen modeemi demuloi vastaanottamansa signaalin alkuperäiseksi datasiinaaliksi, jotta vastaanottava tietokone voi prosessoida tietoa. Lähetys- ja vastaanotto-
10 päiden välillä on modeemin lähettämä asynkroninen signaali siirretty synkronisessa siirtojärjestelmässä, kuten esim. PCM-järjestelmässä. Synkronisella laitteella tai siirtojärjestelmällä tarkoitetaan sellaista laitetta tai järjestelmää, jossa siirto tapahtuu synkronisesti eli siten, että signaalin kahden merkitsevän hetken välillä on aina
15 kokonaislukumäärä aikaväliyksiköitä.

 Tunnetun tekniikan mukaisissa ratkaisuissa toimitaan yleensä siten, että vastaanotettavasta asynkronisesta signaalista erotetaan ensin aloitus- ja lopetusbitit
20 (start- ja stop-bitit) ja varsinaiset databitit talletetaan rekisteriin odottamaan siirtoa synkroniseen järjestelmään. Rekisteristä data luetaan synkronisen järjestelmän edellyttämässä tahdissa. Samalla siihen yhdistetään synkronisen järjestelmän siirtoformaatin edellyttämää tietoa, kuten esim. synkronointi- ja ohjaustietoa. Tällainen
25 ratkaisu on esitetty esim. US-patentissa 5,054,020.

Tunnetun tekniikan mukaiset ratkaisut ovat kuitenkin melko monimutkaisia ja vaativat esim. ison rekisterin sekä paljon erilaista logiikkaa, jolloin ne myös vaativat tilaa piirilevyllä tai mikropiirissä.

5 Esillä olevan keksinnön tarkoituksena on päästä eroon edellä kuvatuista epäkohdista ja saada aikaan ratkaisu, joka mahdollistaa hyvin yksinkertaisen käytännön toteutuksen. Tämä päämäärä saavutetaan keksinnön mukaisella menetelmällä ja laitteella, joista menetelmälle on tunnusomaista se, mitä kuvataan oheisen patenttivaatimuksen 1
10 tunnusmerkkiosassa ja laitteelle se, mitä kuvataan oheisen patenttivaatimuksen 4 tunnusmerkkiosassa.

 Keksinnön ajatuksena on toteuttaa tulevan ja lähtevän signaalin välinen nopeuden tasaus toteuttamalla hallittu yli- tai alivuoto asynkronisen signaalin lopetus- tai aloitusbitin kohdalla. Ratkaisun ansiosta voidaan pus-
15 kuroinnissa käyttää ainoastaan yhden bitin pituista rekisteriä.

 Synkroniseen järjestelmään siirretty signaali täytyy myös pystyä siirtämään takaisin asynkroniselle laitteelle. Tämä siirto toteutetaan siten, että aloitus- tai lopetusbitin puuttuessa takaisin siirrettävän signaalin (Dss) merkistä lisätään lähtevän signaalin (Da) vastaavaan merkkiin kyseinen bitti lyhennettynä ja n kappaleessa seuraavia merkkejä lyhennetään aloitus- tai lopetusbittiä
25 vastaavasti siten, että tehtyjen lyhennysten yhteisvaikutus kompensoi mainitun lisäyksen.

 Seuraavassa keksintöä ja sen edullisia suoritusmuotoja kuvataan tarkemmin viitaten oheisten piirustusten mukaisiin esimerkkeihin, joissa
30

 kuvio 1 esittää lohkoakaaviona keksinnön mukaista laitetta, joka toteuttaa asynkronisen signaalin siirron synkroniseen järjestelmään,

 kuvio 2 esittää kuvion 1 laitteen toteuttamaa siirtoa signaalikaaviona tapauksessa, jossa datasiirto synkro-
35

niseen järjestelmään on hitaampaa kuin tulevan asynkronisen signaalin nopeus,

5 kuvio 3 esittää kuvion 1 laitteen toteuttamaa siirtoa signaalikaaviona tapauksessa, jossa datasiirto synkroniseen järjestelmään on nopeampaa kuin tulevan asynkronisen signaalin nopeus,

kuvio 4 esittää lohko-kaaviona laitetta, joka toteuttaa synkroniseen järjestelmään siirretyn signaalin siirron takaisin asynkroniselle laitteelle, ja

10 kuvio 5 esittää kuvion 4 laitteen toteuttamaa siirtoa signaalikaaviona.

Kuviossa 1 on esitetty keksinnön mukainen laite, joka muuttaa asynkroniselta laitteelta AD, esim. modeemilta, tulevan asynkronisen signaalin Da synkroniseen järjestelmään SS siirretyksi synkroniseksi signaaliksi Dss. Laitte käsittää ensinnäkin ensimmäisen ja toisen taajuusjakajan 11 ja vastaavasti 12, joihin syötetään suuremman taajuuden omaava kellosignaali C1, joka saadaan synkronisesta järjestelmästä SS. Tämä kello voi olla suoraan synkronisen järjestelmän järjestelmäkello tai se voi olla peräisin oskillaattorista, joka on lukittu synkronisen järjestelmän masterkelloon. Ensimmäinen taajuusjakaja voi siten sijaita myös synkronisessa järjestelmässä. Asynkroninen signaali Da on kytketty yhden bitin pituisen rekisterin 15 datasiisäänmenoon D. Asynkronista dataa kirjoitetaan rekisteriin 15 toiselta taajuusjakajalta 12 saatavan kellosignaalin Cs tahdissa, joka kellosignaali on kytketty rekisterin 15 kellosisäänmenoon C. Ensimmäiseltä taajuusjakajalta 11 saatava kellosignaali Cn syötetään synkronisen järjestelmän puolelle, ja sillä ohjataan synkronisen järjestelmän puolella olevaan rekisteriin 16 tapahtuvaa kirjoitusta (eli rekisteristä 15 tapahtuvaa lukua). Rekisterin 15 ulostulossa näkyvä data muodostaa signaalin Ds, joka siirretään edelleen synkroniseen järjestelmään SS siten, että synkroninen järjestelmä ottaa näytteitä ko. signaalista

15
20
25
30
35

(lukee signaalia) tasaisin väliajoin. Tätä varten on signaali Ds kytketty synkronisen järjestelmän puolella yhden bitin pituisen rekisterin 16 datasisäänmenoon D. Rekisteristä 15 luku (eli rekisteriin 16 kirjoitus) tapahtuu kellon Cn nousevalla reunalla. Asynkroninen signaali Da on 5 kytketty lisäksi reunantunnistuspiirille 13, joka tunnistaa asynkronisen signaalin nousevia (tai vaihtoehtoisesti laskevia) reunoja käyttäen apunaan suuremman taajuuden omaavaa kelloa C1, joka on kytketty piirille 13. Reunantunnistuspiirin 13 ulostulo on kytketty keskityslogiikkapiiriin 14 ensimmäiseen sisäänmenoon. Keskityslogiikkapiiri 10 laskee (sen lisäksi, että se myös keskittää näyttekellon Cs myöhemmin kuvattavalla tavalla) kunkin merkin bittejä (bittien järjestysnumeroa kunkin merkin sisällä). Keski- 15 tyslogiikkapiirin 14 toiseen sisäänmenoon on puolestaan kytketty näytteenottokellona toimiva kellosignaali Cs, ja ko. piirin ulostulo on kytketty ohjaamaan toista taajuusjakajaa 12.

Seuraavassa laitteen toimintaa kuvataan tarkemmin viitaten kuvioon 2, jossa on esitetty lukukello Cn, kirjoituskello Cs sekä signaalit Da ja Dss. Sisääntulevan asynkronisen signaalin Da yksi merkki muodostuu tässä tapauksessa kahdeksasta peräkkäisestä bitistä, joista ensimmäinen on aina aloitusbitti B ja viimeinen lopetusbitti E. 25 Aloitus- ja lopetusbittien välissä ovat varsinaisen hyötödatan muodostavat bitit, joita on tässä tapauksessa esitetty juoksevalla numeroinnilla alkaen numerosta 1 ja päättyen numeroon 24. Signaali Dss on esitetty asynkronisen signaalin Da alapuolella. Huomattakoon siis, että ko. signaalit jakautuvat kuviossa kahdelle eri riville. Sama pätee myös näytteenottokelloon Cs, joka on esitetty asynkronisen signaalin Da yläpuolella. 30

Tulevasta datasta Da otetaan näytteet rekisteriin 15 näytteenottokellon Cs nousevalla reunalla ja näytteet 35 luetaan rekisteristä (kirjoitetaan rekisteriin 16) kellon

Cn nousevalla reunalla. Esim. ensimmäinen aloitusbitti B kirjoitetaan siten rekisteriin 15 hetkellä T1 ja se luetaan rekisteristä hetkellä T2. Reunantunnistuspiiri 13 tarkkailee koko ajan signaalin Da reunakohtia ja keskityslogiikkapiiri laskee bittien järjestysnumeroita merkin sisällä. Näytteenotto aloitetaan aloitusbitin puolivälissä, mutta koska tulevan signaalin Da nopeus poikkeaa hieman näytteenottotaajuudesta, näytteenottohetki liukuu pikkuhiljaa kohti bitin reunaa. Kun tullaan ensimmäisen merkin lopetusbitin E kohdalle, kirjoitetaan se rekisteriin 15 hetkellä T8. Tämän jälkeen, koska keskityslogiikkapiiri 14 on havainnut, että bittien lukumäärä merkkiä kohti on täynnä, se hyväksyy seuraavan lopetus- ja aloituspolariiteettien välisen reunan. Tämän reunan avulla keskityslogiikkapiiri keskittää näytekelon Cs siten, että sen nouseva reuna tulee jälleen aloitusbitin B keskelle. Tässä vaiheessa liu'utetaan siis kellojen Cn ja Cs keskinäistä vaihetta (liu'utusresoluutio riippuu reunantunnistuksen resoluutiosta), jolloin näytekelon Cs nouseva reuna siirtyy tässä tapauksessa lukukellon Cn vastaavan nousevan reunan etupuolelle. Tämän seurauksena kirjoitetaan signaalin Da seuraavana vuorossa oleva aloitusbitti B rekisteriin 15 ennen kuin edellinen lopetusbitti ehditään sieltä lukea. Tässä kohdin tapahtuu siis keksinnön mukainen hallittu ylivuoto eli lopetusbitti hävitetään hallitusti signaalista Dss.

Tämän jälkeen toiminta jatkuu samanlaisena eli kunkin merkin lopetusbitin jälkeen keskitetään näytekello Cs siten, että sen nouseva reuna tulee jälleen aloitusbitin B keskelle. Lopetusbitti häviää jälleen, kun kellon Cs liu'utus siirtää sen etureunaa kellon Cn etureunan toiselle puolelle siten, että kellon Cn kahden etureunan välissä on kaksi kellon Cs etureunaa.

Kuviossa 2 esitettiin tapaus, jossa siirto synkroniseen järjestelmään on hitaampaa kuin tulevan asynkroni-

sen signaalin Da nopeus. Kuviossa 3 on esitetty päinvas-
tainen tapaus eli tapaus, jossa näytteenottohetki liukuu
pikkuhiljaa kohti bitin etureunaa.

Tässäkin tapauksessa aloitetaan näytteenotto aloi-
5 tusbitin keskeltä. Kun tullaan ensimmäisen merkin lopetus-
bitin E kohdalle, se kirjoitetaan rekisteriin hetkellä T8.
Tämän jälkeen, koska bittien lukumäärä merkkiä kohti on
täynnä, keskityslogiikkapiiri 14 hyväksyy seuraavan lope-
tus- ja aloituspolariteettien välisen reunan. Tämän reunan
10 avulla keskityslogiikkapiiri keskittää näytekel-
lellä siten, että sen nouseva reuna tulee uudelleen aloi-
tusbitin B keskelle. Tässä vaiheessa liu'utetaan siis kel-
lojen Cn ja Cs keskinäistä vaihetta siten, että näytekel-
lon Cs nouseva reuna siirtyy lukukellon Cn nousevan reunan
15 takapuolelle. Tämän seurauksena ehditään lopetusbitti lu-
kea rekisteristä 15 kahteen kertaan ennen kuin seuraavana
vuorossa oleva aloitusbitti kirjoitetaan rekisteriin. Täs-
sä kohdin tapahtuu siis keksinnön mukainen hallittu ali-
vuoto eli lopetusbitti kahdennetaan hallitusti signaaliin
20 Dss.

Tämän jälkeen toiminta jatkuu samanlaisena eli kun-
kin merkin lopetusbitin jälkeen keskitetään näytekello Cs
siten, että sen nouseva reuna tulee jälleen aloitusbitin B
keskelle. Lopetusbitti kahdentuu jälleen, kun kellon Cs
25 liu'utus siirtää sen etureunaa kellon Cn etureunan toisel-
le puolelle siten, että kellon Cs kahden etureunan välissä
on kaksi kellon Cn etureunaa.

Edellä on esitetty keksinnön mukainen ratkaisu
asynkronisen signaalin siirtämiseksi synkroniseen järjes-
30 telmään. Se, kuinka monta lopetusbittiä on synkronisen
signaalin Dss merkeissä riippuu siitä, kuinka monta lope-
tusbittiä on asynkroniselta laitteelta saatavan signaalin
merkeissä. Yleisesti ottaen voidaan kuitenkin todeta, että
mikäli keksinnön mukainen menetelmä muuttaa merkissä ole-
35 vien lopetusbittien lukumäärää, tapahtuu se joko niin,

että lopetusbittien lukumäärä kyseisessä merkissä kasvaa tai vähenee yhdellä.

Edellä kuvatulla menetelmällä aikaansaatu synkroninen signaali Dss on kuitenkin pystyttävä siirtämään
5 toiseenkin siirtosuuntaan eli takaisin asynkroniselle
laitteelle, jolloin on huomioitava mm. se, että asynkroni-
selle laitteelle lähetettävän signaalin merkeissä on aina
oltava myös lopetusbitti (yksi tai useampi). Kuviossa 4
onkin esitetty laite, joka siirtää keksinnön mukaista me-
10 netelmää käyttäen synkroniseen järjestelmään SS siirretyn
signaalin takaisin asynkroniselle laitteelle AD. Laite
käsittää tässäkin tapauksessa yhden bitin pituisen rekis-
terin 45, josta asynkroninen signaali Da luetaan asynkro-
niselle laitteelle AD. Lisäksi laite käsittää taajuusjaka-
15 jan 41, vaihelaskurin 42, ohjaus- ja merkkilogiikkapiirin
43, TAI-portin 44 sekä komparaattorin 46. Kellosignaali
C1, joka saadaan jälleen synkronisesta järjestelmästä SS,
on kytketty taajuusjakajan sisäänmenoon, vaihelaskurin 42
kellosisäänmenoon C, ohjaus- ja logiikkapiirin 43 kellosi-
20 säänmeneon C ja rekisterin 45 kellosisäänmenoon C. Taa-
juusjakajan 41 ulostulo on kytketty komparaattorin 46 en-
simmäiseen sisäänmenoon ja vaihelaskurin 42 ulostulo puo-
lestaan sen toiseen sisäänmenoon. Vaihelaskurin ulostulo
on lisäksi kytketty ohjaus- ja logiikkapiirin 43 yhteen
25 sisäänmenoon, jotta myös ohjaus- ja logiikkapiiri saisi
tiedon vaihelaskurin kulloisestakin vaiheesta. Komparaat-
torin ulostulo on kytketty rekisterin Enable-sisäänmenoon
E rekisteriin tapahtuvan kirjoituksen sallimiseksi. Synk-
ronisesta järjestelmästä tuleva signaali Dss on kytketty
30 TAI-portin 44 toiseen sisäänmenoon sekä ohjaus- ja logiik-
kapiirin sisäänmenoon EP. TAI-portin, jonka ulostulo on
kytketty rekisterin 45 datasisäänmenoon D, avulla pakote-
taan rekisteriin kirjoitettavaan signaaliin lopetusbitti
silloinkin, kun se puuttuu tulevasta signaalista Dss. Si-
35 säänmeneonsa EP kautta ohjaus- ja logiikkapiiri 43 tarkkai-

lee signaalin Dss lopetuspolariteetteja (polariteettia oletetun lopetusbitin kohdalla). Jotta ohjaus- ja logiikkapiiri 43 voisi ohjata vaihelaskurin askeltamista, on ohjaus- ja logiikkapiirin 43 ensimmäinen ulostulo kytketty vaihelaskurin Enable-sisäänmenoon E. Ohjaus- ja logiikkapiirin toinen ulostulo on kytketty TAI-portille 44 edellä mainittua lopetuspolariteetin pakotusta varten.

Seuraavassa laitteen toimintaa kuvataan tarkemmin viitaten kuvioon 5. Viitemerkillä Dss on merkitty synkronisesta järjestelmästä SS saatavaa signaalia, jota kirjoitetaan rekisteriin 45, ja viitemerkillä Da signaalia, joka siirretään ulos synkronisesta järjestelmästä asynkroniselle laitteelle AD. Nämä signaalit on esitetty kuviossa 5 vastaavaan tapaan kuin edellä kuvioissa 2 ja 3 eli merkityksellä kunkin merkin aloitusbittiä viitemerkillä B ja lopetusbittiä viitemerkillä E sekä numeroimalla hyötybitit juoksevasti (numerointi välillä 1-36). Signaali Dss on tässä tapauksessa kuviossa 2 esitetyn kaltainen eli sellainen, että sen ensimmäisestä merkistä puuttuu lopetusbitti E. Kuviossa 5 on lisäksi esitetty tulevan datan Dss vaihetta neljällä eri pystyviivalla a, b, c ja d, jotka kuvaavat niitä mahdollisia (kellosignaalin Cn vaiheeseen sidottuja) näytteenottohetkiä, joiden kohdalla tulevan signaalin Dss arvo voidaan kirjoittaa rekisteriin 45. Viitemerkillä Φ esitetyillä riveillä kuvataan vaihelaskurin 42 kulloistakin vaihetta viivalla, joka vastaa yhtä viivoista a-d eli yhtä tulevan datan neljästä vaiheesta.

Signaalin Dss aloitusbitistä B lähtien ensimmäisen merkin viimeiseen hyötybittiin 6 asti tapahtuu seuraavaa. Kun taajuusjakajalta 41 saatavan kellosignaalin Cn vaihe (jota esitetään tässä tapauksessa kahdella bitillä) täsmää vaihelaskurin 42 lukemaan (jota myös esitetään kahdella bitillä), komparaattori sallii signaalin Dss arvon kirjoittamisen rekisteriin antamalla puskurin sisäänmenoon E(enable) kirjoituksen sallivan signaalin. Kuviossa 5 nämä

näytteenottohetket näkyvät hetkinä, jolloin vaihelaskurin vaihetta kuvaava viiva (a-d) risteää vastaavan pystyviivan (a-d) kanssa. Vastaava bitti näkyy heti rekisterin 45 ulostulossa, joten signaalin Da bitin etureuna osuu kyseisiin risteyskohtiin. Ohjaus- ja logiikkapiiri laskee kirjoitetut bitit lähtien löydetyistä lopetus- ja aloitusbittien välisestä rajapinnasta. Kun tullaan lopetusbitin E kohdalle, ohjauslogiikka 43 pakottaa TAI-portin 44 avulla rekisteriin kirjoitettavaksi dataksi lopetuspolariteetin (yleensä lopetuspolariteettina käytetään loogista arvoa yksi). Samalla ohjaus- ja logiikkapiiri 43 tarkastaa (sisäänmenonsa EP kautta), oliko tulevassa datassa Dss todella lopetuspolariteetti oletetussa paikassaan. Jos sitä ei ollut (kuten kuvion mukaisessa esimerkissä on asianlaita), sallii ohjaus- ja logiikkapiiri (antamalla sallintapulssin vaihelaskurin sisäänmenoon E) vaihelaskurin 42 askeltamisen seuraavaan vaiheeseen, jota kuviossa on merkitty viivalla d. Tämän seurauksena lähtevään signaaliin tulee tässä tapauksessa 3/4 bitin mittainen lopetusbitti puuttuvan lopetusbitin tilalle ja näytteitä aletaan ottaa siirrettynä. Siirron suuruus on tässä tapauksessa 25 % yhden bitin pituudesta. Tällä tavoin jatketaan jälleen seuraavaan lopetuspolariteettiin asti, jolloin lopetusbitin kohdalla askellutetaan vaihelaskuria jälleen (kohta P1). Tällöin tulevassa signaalissa tällä kertaa oleva lopetusbitti (bitin 12 jälkeinen lopetusbitti) lyhenee (25 %), koska seuraava näyte otetaan vastaavasti aikaisemmin. Ohjaus- ja logiikkapiiri sallii vaihelaskurin askeltamisen vain lopetusbitin kohdalla, ja silloinkin vain, jos vaihelaskurin lepovaiheen (viiva a) aikana tulevassa signaalissa Dss ei ole lopetuspolariteettia tai jos vaihelaskurin vaihe on jokin muu kuin lepovaihe (viivat b, c ja d). Kun siis vaihelaskuri on bitin 24 jälkeen olevan lopetusbitin kohdalla askeltanut takaisin lepovaiheeseensa (yhtenäinen viiva a), pysyy se siinä niin kauan, kunnes lopetusbitti jälleen puuttuu oletetusta paikastaan.

Edellä kuvatulla tavalla kompensoidaan bitin 6 jälkeeseen tehty $3/4$ bitin pituisen lopetusbitin lisäys lyhentämällä kolmea lopetusbittiä kutakin neljäsosalla. Lisätty lopetusbitti ja lyhennetyt lopetusbitit on esitetty kuviossa vinoviivoitettuna. Asynkroniselle laitteelle menevän signaalin Da merkeissä on siten aina myös lopetusbitti. Mikäli lopetusbitti puuttuu tulevasta signaalista Dss, se lisätään määrällä T/n lyhennettynä (T on bitin pituus), ja $n-1$ kappaletta seuraavia lopetusbittejä lyhennetään vastaavasti siten, että suoritettu lisäys tulee kompensoitua. Vaikka edellä on esitetty esimerkkiä, jossa lopetusbittiä lyhennetään 25 %:ia, voi lyhennys olla myös pienempi, esim. 12,5 %:ia, jolloin signaaliin Da annetaan lopetusbitti, jonka pituus on $7/8$ nimellisipituudesta.

Huomattakoon, että edellä esitetyn esimerkin toiminta edellyttää, ettei tulevassa signaalissa esiinny sen merkin jälkeen, josta lopetusbitti puuttuu, kolmen seuraavan merkin pituisena aikavälinä puuttuvaa lopetusbittiä. Mikäli bittien lyhennys on pienempi kuin neljäsosa, on aikaväli vastaavasti pidempi.

Mikäli signaalin Dss merkissä on kaksi peräkkäistä lopetusbittiä kuviossa 3 esitetyn esimerkin tapaan, annetaan niiden mennä sellaisenaan läpi asynkroniselle laitteelle. Kuitenkin, jos signaalissa Dss on kaksi tai useampi peräkkäinen lopetusbitti ennen kuin lisätty lopetusbitti on kompensoitu, vaihelaskuri palautetaan suoraan lepo- vaiheeseen ylimääräisen lopetusbitin kohdalla.

Vaikka keksintöä on edellä selostettu viitaten oheisten piirustusten mukaisiin esimerkkeihin, on selvää, ettei keksintö ole rajoittunut siihen, vaan sitä voidaan muunnella edellä ja oheisissa patenttivaatimuksissa esitetyn keksinnöllisen ajatuksen puitteissa. Vaikka edellä on selostettu ali- tai ylivuodon muodostamista ja lyhennetyt bitin lisäystä nimenomaan lopetusbitin kohdalla, voidaan keksinnön mukaista ajatusta soveltaa lopetusbitin sijasta

yhtä hyvin myös aloitusbittiin, minkä vuoksi aloitus- ja lopetusbitit on esitetty vaihtoehtoina myös vaatimuksissa. Vaikka vaatimuksissa puhutaan yhden bitin pituisesta rekisteristä, on tietysti mahdollista käyttää pidempääkin muistitilaa tai tallettaa eri bittejä eri muistipaikkoihin. Oleellista keksinnön kannalta on kuitenkin se, että muistiin kerrallaan talletettava data vie vain yhden bitin pituisen muistipaikan. Kun siis tässä yhteydessä puhutaan yhden bitin pituisesta rekisteristä, on se ymmärrettävä kerrallaan talletettavan datan vaatimana muistitilana. Tällainen muistitila voi olla esim. D-tyypin kiikku. Vaikka edellä onkin (selvyyden vuoksi) esitetty eri siirto-suuntien laitteet täysin erillisinä, voidaan samoja komponentteja luonnollisestikin käyttää molemmissa laitteissa.

Patenttivaatimukset:

1. Menetelmä asynkronisen signaalin (Da) siirtämiseksi synkroniseen järjestelmään (SS), jonka menetelmän mukaisesti suoritetaan nopeustasaus tulevan signaalin (Da) ja lähtevän signaalin (Ds) välillä, t u n n e t t u siitä, että nopeustasaus suoritetaan yhden bitin pituisen rekisterin (15) avulla siten, että rekisteriin kirjoitetaan ja sieltä luetaan pääsääntöisesti vuorotellen ja signaalin lopetus- tai aloitusbitin (B tai E) kohdalla toteutetaan rekisterin yli- tai alivuoto muuttamalla luku- ja kirjoitusjärjestystä.

2. Patenttivaatimuksen 1 mukainen menetelmä, t u n n e t t u siitä, että yli- tai alivuoto toteutetaan signaalin lopetusbitin (E) kohdalla.

3. Patenttivaatimuksen 1 mukainen menetelmä, t u n n e t t u siitä, että luku- ja kirjoitusjärjestystä muutetaan liu'uttamalla rekisteriin (15) kirjoitusta hoitavan kellosignaalin (Cs) vaihetta rekisteristä lukua hoitavan kellosignaalin (Cn) vaiheeseen nähden siten, että niiden luku- ja kirjoitusreunojen keskinäinen järjestys muuttuu.

4. Laite asynkronisen signaalin (Da) siirtämiseksi synkroniseen järjestelmään (SS), joka laite käsittää

- rekisterin (15), johon tulevaa dataa kirjoitetaan ja josta dataa luetaan eteenpäin, ja

- tunnistuselimet (13) tulevan asynkronisen signaalin reunojen tunnistamiseksi, t u n n e t t u siitä, että rekisteri muodostuu yhden bitin pituisesta muistitilasta (15), ja että laite käsittää lisäksi tunnistuselimille kytketyt elimet (14) mainittujen luku- ja kirjoitustapah- tumien keskinäisen järjestyksen vaihtamiseksi vasteena asynkronisessa signaalissa havaitulle aloitus- ja/tai lopetuspolariteetin esiintymiselle.

5. Patenttivaatimuksen 4 mukainen laite, t u n -
n e t t u siitä, että mainitut elimet luku- ja kirjoin-
tustapahtumien keskinäisen järjestyksen vaihtamiseksi kä-
sittävät elimet (14) rekisterin (15) kirjoituskellon (Cs)
5 vaiheen liu'uttamiseksi rekisterin lukukelloon (Cn) näh-
den.

Patentkrav

1. Förfarande för överföring av en asynkron signal (Da) till ett synkront system (SS), enligt vilket förfarande utförs en hastighetsutjämning mellan den inkommande signalen (Da) och den utgående signalen (Ds), k ä n n e - t e c k n a t av att hastighetsutjämningen utförs medelst ett register (15) av en bits längd så, att i registret inskrivs och ur registret avläses huvudsakligen turvis, och att vid signalens start- eller slutbit (B eller E) föranleds spill eller bottning för registret genom förändring av läs- och skrivordningen.

2. Förfarande enligt patentkrav 1, k ä n n e - t e c k n a t av att spill eller bottning föranleds vid signalens slutbit (E).

3. Förfarande enligt patentkrav 1, k ä n n e - t e c k n a t av att läs- och skrivordningen förändras genom att förskjuta fasen för klocksignalen (Cs) som sköter inskrivningen i registret (15) i förhållande till fasen för klocksignalen (Cn) som sköter avläsningen ur registret så, att den inbördes ordningen för deras läs- och skrivflanker förändras.

4. Anordning för överföring av en asynkron signal (Da) till ett synkront system (SS), vilken anordning omfattar

- ett register (15) vari inkommande data inskrivs och varifrån utgående data avläses, och
- detektormedel (13) för detektering av den inkommande asynkrona signalens flanker, k ä n n e t e c k n a d av att registret utgörs av ett en bit långt minneselement (15), och att anordningen ytterligare omfattar medel (14) kopplade till detektormedlen för att byta den inbördes ordningen för nämnda läs- och skrivhändelser som respons på observation av förekommande start- och/eller slutpolaritet i den asynkrona signalen.

5. Anordning enligt patentkrav 4, k ä n n e -
t e c k n a d av att nämnda medel för att byta den inbör-
des ordningen för läs- och skrivhändelserna omfattar medel
(14) för att förskjuta registrets (15) skrivklockas (Cs)
5 fas i förhållande till registrets läsklocka (Cn).

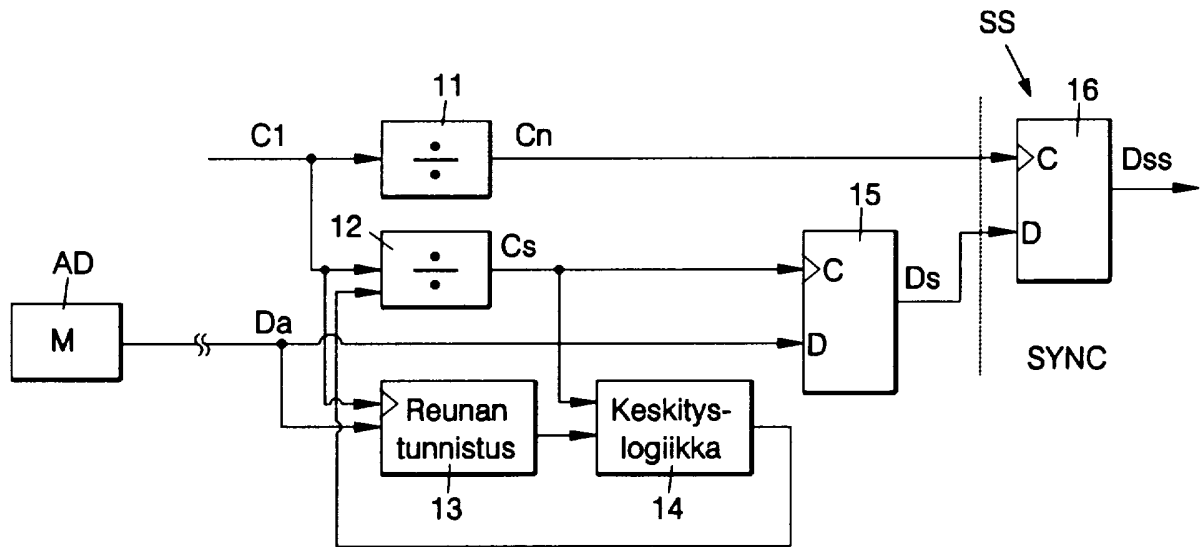


FIG. 1

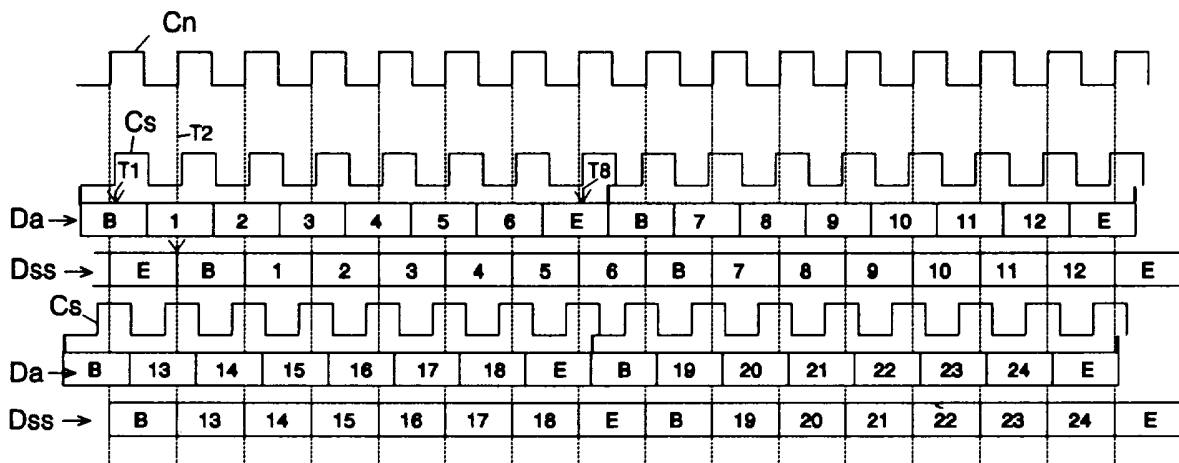


FIG. 2

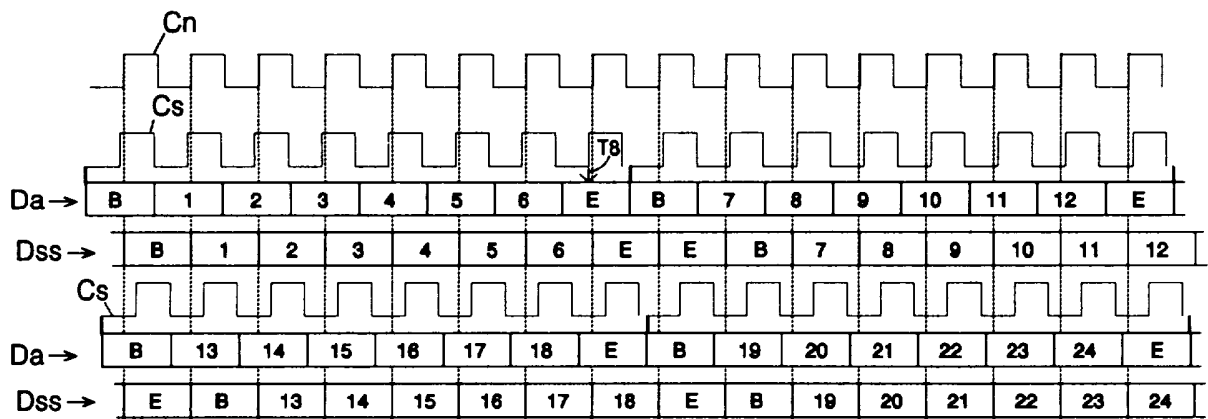


FIG. 3

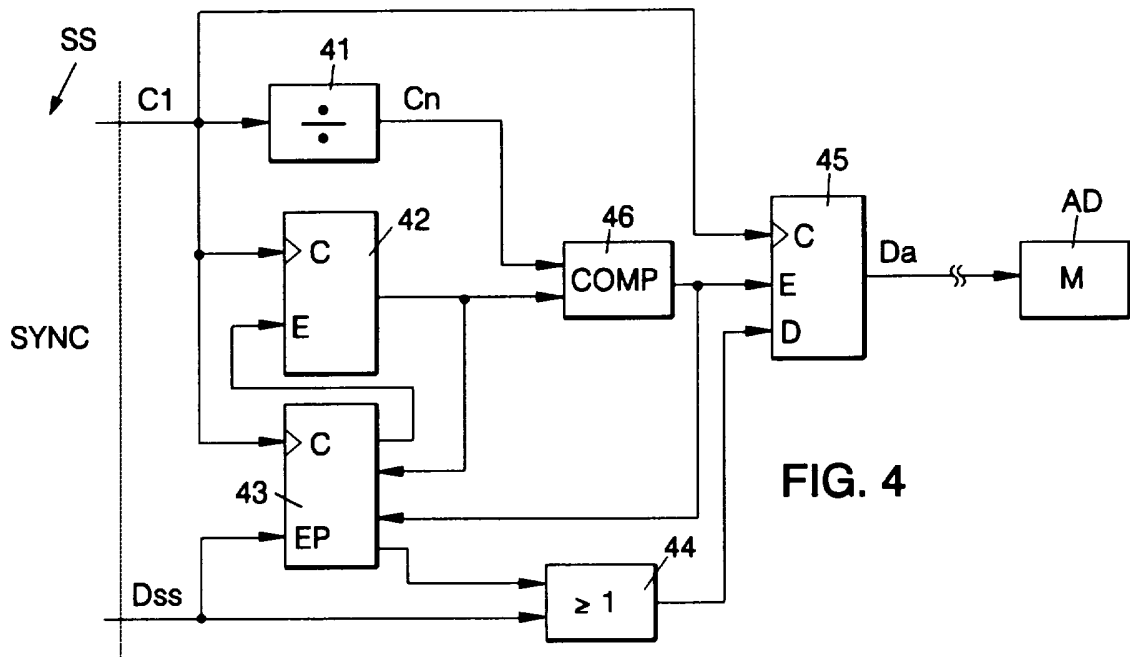


FIG. 4

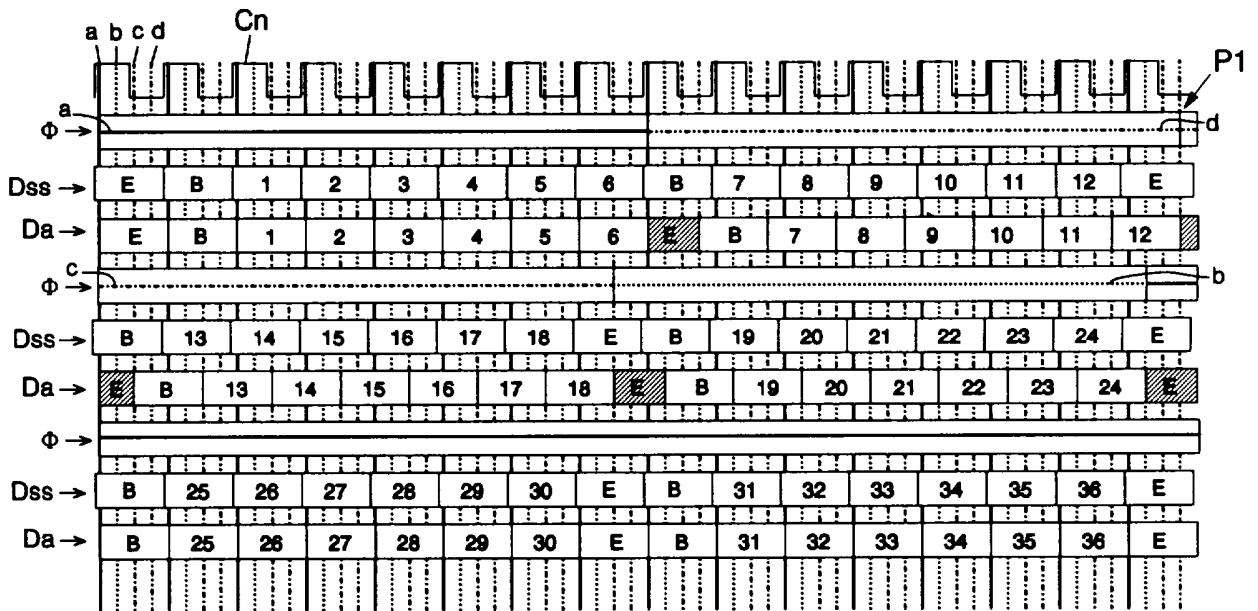


FIG. 5