



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년03월31일
(11) 등록번호 10-2788608
(24) 등록일자 2025년03월26일

(51) 국제특허분류(Int. Cl.)
H04L 69/321 (2022.01) H04J 3/06 (2006.01)
H04L 12/40 (2006.01) H04L 47/22 (2022.01)
H04L 69/323 (2022.01) H04L 69/329 (2022.01)
H04L 7/00 (2006.01)
(52) CPC특허분류
H04L 69/321 (2022.05)
H04J 3/0685 (2013.01)
(21) 출원번호 10-2022-7005572
(22) 출원일자(국제) 2020년08월05일
심사청구일자 2022년02월18일
(85) 번역문제출일자 2022년02월18일
(65) 공개번호 10-2022-0034896
(43) 공개일자 2022년03월18일
(86) 국제출원번호 PCT/US2020/070367
(87) 국제공개번호 WO 2021/042110
국제공개일자 2021년03월04일
(30) 우선권주장
201910785140.7 2019년08월23일 중국(CN)
16/684,428 2019년11월14일 미국(US)
(56) 선행기술조사문헌
US20070160087 A1*
US20090080459 A1*
US20180181525 A1*
US20190230705 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
마이크로칩 테크놀로지 인코포레이티드
미국 애리조나 85224 챌러 웨스트 챌러 블러
바드 2355
(72) 발명자
이에르 벤카트라만
미국, 78726 텍사스, 오스틴, 브람블크레스트 드
라이브 10760
첸 덕슨
중국, 518000 광둥, 셴젠, 41-1-9디, 종하이다산
다, 룡강 디스트릭트
(뒷면에 계속)
(74) 대리인
강명구, 최정윤

전체 청구항 수 : 총 24 항

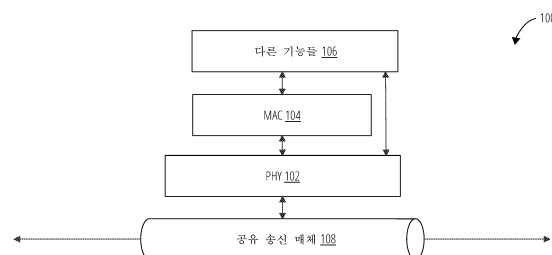
심사관 : 이근형

(54) 발명의 명칭 이더넷 인터페이스, 및 관련 시스템들, 방법들 및 디바이스들

(57) 요약

개시된 실시예들은 대체적으로, 물리적 계층(PHY)에서의 개선된 데이터 수신 핸들링에 관한 것이다. 일부 실시예들은 본 명세서에 개시된 개선된 데이터 수신 핸들링을 구현하는 레거시 매체 액세스 제어(MAC) 및 PHY를 포함하는 라인 시스템들의 중단에 관한 것이다. 개선된 데이터 수신 핸들링은 라인 시스템들의 중단의 동작을 개선시키고, 보다 구체적으로 그리고 일부 경우들에 있어서, 물리적 계층에서 구현되는 매체 액세스 튜닝 프로토콜들을 준수하기 위해 MAC을 개선시킨다.

대표도 - 도1



(52) CPC특허분류

H04L 12/40006 (2013.01)

H04L 47/22 (2022.05)

H04L 69/323 (2022.05)

H04L 69/329 (2022.05)

H04L 7/0016 (2013.01)

(72) 발명자

장 존 준량

중국, 518055 광둥, 셴젠, 사우스 에이 오브 리우
시양주 가든, 룸 1-시601

아키할 시바난드 아이

미국, 78732 텍사스, 오스틴, 포토벨라 드라이브
12025

명세서

청구범위

청구항 1

이더넷 시스템으로서,

링크 계층 측 수신 데이터 경로를 향해 수신 데이터를 이동시키도록 구성된 물리적 계층 측 수신 데이터 경로 (210); 및

공유 송신 매체를 향해 송신 데이터를 이동시키도록 구성된 물리적 계층 측 송신 데이터 경로 (212)를 포함하고, 물리적 계층 수신 데이터 경로 회로 및 물리적 계층 송신 데이터 경로 회로에 동작 가능하게 커플링된 클록 발생기 (222)를 더 포함하며, 상기 클록 발생기는 제1 클록 도메인 (220)에 대한 로컬 클록 (224)을 생성하도록 구성되고,

수신 데이터 경로의 제2 부분 (232)과 송신 데이터 경로가 제1 클록 도메인 (220)내에 있고, 수신 데이터 경로의 제1 부분 (230)이 제2 클록 도메인 (218)내에 있으며, 제2 클록 도메인은 제1 클록 도메인과 다른 것인, 이더넷 시스템

청구항 2

제1항에 있어서, 제어 데이터 경로를 추가로 포함하는, 이더넷 시스템.

청구항 3

제2항에 있어서, 상기 제어 데이터 경로는 상기 시스템의 상기 물리적 계층으로 또는 상기 물리적 계층으로부터 제어 데이터를 이동시키도록 구성되는, 이더넷 시스템.

청구항 4

제3항에 있어서, 상기 제어 데이터 경로는 상기 시스템의 상기 물리적 계층과 네트워크 프로토콜 스택의 애플리케이션 계층 사이에서 상기 제어 데이터를 이동시키도록 구성되는, 이더넷 시스템.

청구항 5

제3항에 있어서, 상기 제어 데이터 경로는 상기 시스템의 상기 물리적 계층과 네트워크 프로토콜 스택과는 별개인 디바이스 사이에서 상기 제어 데이터를 이동시키도록 구성되는, 이더넷 시스템.

청구항 6

제3항에 있어서, 상기 제어 데이터 경로는 상기 물리적 계층으로 또는 상기 물리적 계층으로부터 제어 데이터를 이동시키는 것을 포함하는 하나 이상의 제어 사이클들에 사용될 수 있는, 이더넷 시스템.

청구항 7

제6항에 있어서, 상기 하나 이상의 제어 사이클들 중 하나는 시간 인식 프로토콜, 트래픽 성형 프로토콜, 및 물리적 계층 충돌 회피 프로토콜 중 하나와 연관되는, 이더넷 시스템.

청구항 8

제1항에 있어서, 상기 물리적 계층 측 수신 데이터 경로는,

상기 물리적 계층 측 수신 데이터 경로에 의해 이동되고 있는 수신 데이터가 상기 제2 클록 도메인으로부터 상기 제1 클록 도메인으로 교차하는 전이부 경계를 포함하는, 이더넷 시스템.

청구항 9

물리적 계층 디바이스의 회로부로서,

로컬 클록을 생성하도록 구성된 클록 발생기(334);

수신 데이터 경로(304) 및 송신 데이터 경로(306) - 상기 수신 데이터 경로 및 상기 송신 데이터 경로 각각은 상기 클록 발생기(334)의 출력부에 동작가능하게 커플링되고, 상기 로컬 클록에 의한 클록킹을 위해 구성되며,

수신 데이터 경로(304)는 공유 송신 매체로부터 링크 계층으로 수신 데이터를 이동시키도록 구성되고, 송신 데이터 경로(306)는 링크 계층으로부터 공유 송신 매체로 송신 데이터를 이동시키도록 구성됨 -; 및

하나 이상의 출력부들 - 상기 하나 이상의 출력부들은 상기 클록 발생기에 동작가능하게 커플링되고 상기 로컬 클록을 전파하도록 구성된 제1 출력부를 포함함 - 을 포함하는, 물리적 계층 디바이스 회로부.

청구항 10

제9항에 있어서, 상호접속부를 추가로 포함하고, 상기 상호접속부는 상기 제1 출력부를 링크 계층 디바이스의 수신 클록 입력부에 그리고 상기 링크 계층 디바이스의 송신 클록 입력부에 동작가능하게 커플링시키도록 구성되는, 물리적 계층 디바이스 회로부.

청구항 11

제9항에 있어서, 상기 하나 이상의 출력부들은 제2 출력부를 포함하고, 상기 제2 출력부는 배타적 충돌 시그널링을 위한 신호에 할당되는, 물리적 계층 디바이스 회로부.

청구항 12

제9항에 있어서, 하나 이상의 입력부들을 추가로 포함하고, 상기 하나 이상의 입력부들은 상기 송신 데이터 경로(306)에 동작가능하게 커플링되는 제1 입력부를 포함하고, 상기 제1 입력부는 제어 시그널링을 위한 신호에 할당되는, 물리적 계층 디바이스 회로부.

청구항 13

제12항에 있어서, 상호접속부를 추가로 포함하고, 상기 상호접속부는 상기 제1 입력부를 네트워크 프로토콜 스택의 링크 계층 위의 하나 이상의 디바이스들에 동작가능하게 커플링시키도록 구성되는, 물리적 계층 디바이스 회로부.

청구항 14

제13항에 있어서, 공유 송신 매체에의 동작가능한 커플링을 위해 인터페이스 회로부를 추가로 포함하는, 물리적 계층 디바이스 회로부.

청구항 15

제14항에 있어서, 상기 하나 이상의 디바이스들 중 하나는 시간 동기화 회로인, 물리적 계층 디바이스 회로부.

청구항 16

제9항에 있어서, 상기 하나 이상의 출력부들 중 적어도 하나의 출력부는 배타적 충돌 시그널링을 위해 구성되는, 물리적 계층 디바이스 회로부.

청구항 17

제16항에 있어서, 상호접속부를 추가로 포함하고, 상기 상호접속부는 배타적 충돌 시그널링을 위한 적어도 하나의 출력부를 배타적 충돌 시그널링을 위한 링크 계층 디바이스의 입력부에 동작가능하게 커플링시키도록 구성되는, 물리적 계층 디바이스 회로부.

청구항 18

제9항에 있어서, 로컬 기준 클록을 생성하도록 구성되는 클록 발생기를 추가로 포함하는, 물리적 계층 디바이스 회로부.

청구항 19

제18항에 있어서, 상기 클록 발생기는 상기 로컬 기준 클록에 응답하여 상기 로컬 클록을 생성하도록 구성되는, 물리적 계층 디바이스 회로부.

청구항 20

제18항에 있어서, 상기 수신 데이터 경로는,
상기 로컬 기준 클록을 수신하도록 구성되는 오버샘플링 회로; 및
상기 로컬 클록을 수신하도록 구성되는 동기화 회로를 포함하는, 물리적 계층 디바이스 회로부.

청구항 21

이더넷 방법으로서,
공유 송신 매체로부터의 데이터 수신을 시작하는 단계; 및
링크 계층에의 동작가능 커플링을 위해 인터페이스를 향해 수신 데이터를 이동시키는 단계를 포함하고, 상기 수신 데이터를 이동시키는 단계는 상기 수신 데이터를 원격 클록 도메인으로부터 물리적 계층 디바이스의 로컬 클록 도메인으로 교차시키는 단계를 포함하며,
상기 로컬 클록 도메인이 상기 물리적 계층 디바이스의 수신 데이터 경로의 제 1 부분(230)을 포함하며, 그리고
상기 원격 클록 도메인은 상기 물리적 계층 디바이스의 수신 데이터 경로의 제2 부분(232)을 포함하는, 이더넷 방법.

청구항 22

제21항에 있어서, 상기 수신 데이터를 이동시키는 단계는,
상기 공유 송신 매체로부터 수신된 데이터를 오버샘플링하는 단계를 추가로 포함하는, 이더넷 방법.

청구항 23

제22항에 있어서, 상기 수신 데이터를 이동시키는 단계는,
상기 오버샘플링된 데이터를 사용하여 디지털 클록 및 데이터 복구를 수행하는 단계를 추가로 포함하는, 이더넷 방법.

청구항 24

제23항에 있어서,
상기 링크 계층으로 전송하기 위해 상기 수신 데이터를 상기 인터페이스에 제공하는 단계를 추가로 포함하는, 이더넷 방법.

발명의 설명

기술 분야

[0001]

우선권 주장

[0002]

본 출원은, 2019년 8월 23일자로 출원되고 발명의 명칭이 "Ethernet Interface and Related Systems, Methods and Devices"인 중국 특허 출원 제201910785140.7호의 출원일의 이익을 주장하고, 계류 중인, 2019년 11월 14일자로 출원되고 발명의 명칭이 "Ethernet Interface and Related Systems, Methods and Devices"인 미국 특허 출원 제16/684,428호의 출원일의 이익을 주장하며, 이들 각각의 개시내용은 이에 의해 그 전체가 본 명세서에 참고로 포함된다.

[0003]

기술 분야

[0004]

개시된 실시예들은 대체적으로 이더넷에 관한 것으로, 더 구체적으로, 일부 실시예들은 이더넷 인터페이스들에 관한 것이다.

배경 기술

- [0005] 상호접속들은 네트워크의 디바이스들 간의 통신을 용이하게 하는 데 널리 사용된다. 일반적으로 말하면, 전기 신호들은 물리적 매체(예컨대, 버스, 동축 케이블, 또는 연선쌍(twisted pair) - 그러나 대체적으로 간단히 "라인"으로 지칭됨) 상에서 그 물리적 매체에 커플링된 디바이스들에 의해 송신된다.
- [0006] OSI 모델(Open Systems Interconnection model)에 따르면, 이더넷-기반 컴퓨터 네트워킹 기술들은 기저대역 송신(즉, 전기 신호들이 별개의 전기 펄스들임)을 사용하여 데이터 패킷들 및 궁극적으로 네트워크 디바이스들 간에 통신되는 메시지들을 송신한다. OSI 모델에 따르면, 물리적 계층(physical layer, PHY) 디바이스 또는 제어기로 불리는 특수 회로부가 라인의 아날로그 도메인과 패킷 시그널링에 따라 동작하는 데이터 링크 계층(본 명세서에서 간단히 "링크 계층"으로도 지칭됨)의 디지털 도메인 사이에 인터페이싱하는 데 사용된다. 데이터 링크 계층이 하나 이상의 서브계층들을 포함할 수 있지만, 이더넷-기반 컴퓨터 네트워킹에서, 데이터 링크 계층은 전형적으로 물리적 계층의 제어 추상화를 제공하는 매체 액세스 제어(media access control, MAC) 계층을 적어도 포함한다. 예로서, 데이터를 네트워크 상의 다른 디바이스로 송신할 때, MAC 제어기는 물리적 매체를 위한 프레임들을 준비하고, 오류 정정 요소들을 추가하고, 충돌 회피를 구현할 수 있다. 추가로, 다른 디바이스로부터 데이터를 수신할 때, MAC 제어기는 수신된 데이터의 무결성을 보장하고 더 높은 계층들을 위한 프레임들을 준비할 수 있다.
- [0007] 물리적 계층들 및 링크 계층들을 구현하는 다양한 네트워크 토폴로지들(그리고 제한 없이 다른 계층들을 포함할 수 있음)이 있다. 대략 1990년대 초기 이래로 PCI(Peripheral Component interconnect) 표준 및 병렬 ATA(Parallel Advanced Technology Attachment) 둘 모두는 멀티드롭 버스 토폴로지(multi-drop bus topology)를 구현할 수 있다. 2000년대 초기 이래로 점-대-점(point-to-point) 버스 토폴로지들을 사용하는 경향이 있었는데, 예를 들어, PCI 익스프레스 표준(PCI Express standard) 및 직렬 ATA(Serial ATA, SATA) 표준은 점-대-점 토폴로지들을 구현한다.
- [0008] 전형적인 점-대-점 버스 토폴로지는 각각의 디바이스 사이에 라인들을 구현하거나(예컨대, 전용 점-대-점) 또는 디바이스들과 스위치들 사이에 라인들을 구현할 수 있다(예컨대, 스위칭된 점-대-점, 제한 없음). 멀티드롭 토폴로지에서는, 물리적 매체는 공유 버스이고, 각각의 네트워크 디바이스는, 예를 들어, 물리적 매체의 유형(예컨대, 동축 또는 연선쌍, 제한 없음)에 기초하여 선택된 회로를 통해 공유 버스에 커플링된다.
- [0009] 전용 점-대-점 토폴로지 또는 스위칭된 점-대-점 토폴로지와 같은 점-대-점 버스 토폴로지들은, 부분적으로, 디바이스들 사이의 더 많은 수의 링크들로 인해, 멀티드롭 토폴로지들보다 더 많은 와이어들 및 더 고가의 재료를 필요로 한다. 자동차와 같은 소정 응용예들에서는, 디바이스들을 직접 접속시키는 것을 어렵게 만드는 물리적 제약들이 있을 수 있으며, 따라서, 네트워크 또는 서브네트워크에서의 직접적인 접속들을 필요로 하지 않거나 많이 필요로 하지 않는 토폴로지(예컨대, 멀티드롭 토폴로지, 제한 없음)는 그러한 제약들에 덜 민감할 수 있다.
- [0010] 기저대역 네트워크(예컨대, 제한 없이 멀티드롭 네트워크) 상에 있는 디바이스들은 동일한 물리적 송신 매체를 공유하고, 전형적으로 송신을 위해 그 매체의 전체 대역폭을 사용한다(달리 말하면, 기저대역 송신에 사용되는 디지털 신호는 매체의 전체 대역폭을 점유한다). 결과적으로, 기저대역 네트워크 상의 하나의 디바이스만이 주어진 순간에서 송신할 수 있다. 따라서, 공유 송신 매체에 대한 경쟁을 핸들링하기 위해 매체 액세스 제어 방법들이 사용된다.

도면의 간단한 설명

- [0011] 임의의 특정 요소 또는 동작에 대한 논의를 쉽게 식별하기 위해, 참조 번호에서의 최상위 숫자 또는 숫자들은 그 요소가 처음 소개되는 도면 번호를 지시한다.
- 도 1은 하나 이상의 실시예들에 따른 네트워크 세그먼트를 예시한다.
- 도 2는 하나 이상의 실시예들에 따른 공통 클럭 인터페이싱을 구현하는 시스템의 블록도를 예시한다.
- 도 3은 도 2에 도시된 시스템과 같은 공통 클럭 인터페이싱 시스템을 구현하기 위한 시스템의 일 실시예의 블록도를 예시한다.
- 도 4는 하나 이상의 실시예들에 따른 프로세스의 흐름도를 예시한다.

발명을 실시하기 위한 구체적인 내용

- [0012] 하기의 상세한 설명에서, 그의 일부를 형성하고, 본 발명이 실시될 수 있는 구체적인 예시적 실시예들이 예시로서 도시되어 있는 첨부 도면을 참조한다. 이들 실시예는 당업자가 본 발명을 실시하는 것을 가능하게 하기에 충분히 상세히 설명된다. 그러나, 본 발명의 범주로부터 벗어남이 없이 다른 실시예들이 활용될 수 있고 구조, 재료 및 프로세스 변경들이 이루어질 수 있다.
- [0013] 여기에 제시된 예시들은 임의의 특정한 방법, 시스템, 디바이스 또는 구조의 실제 도면들인 것으로 의도되는 것이 아니라, 단지 본 발명의 실시예들을 설명하는 데 이용되는 이상화된 표현들이다. 여기에 제시된 도면들은 반드시 일정한 축척으로 작성된 것은 아니다. 다양한 도면들에서 유사한 구조물들 또는 컴포넌트들은 독자의 편의를 위해 동일한 또는 유사한 넘버링을 보유할 수 있지만; 넘버링에서의 유사성은 구조물들 또는 컴포넌트들이 크기, 조성, 구성, 또는 임의의 다른 특성에서 반드시 동일하다는 것을 의미하지는 않는다.
- [0014] 본 명세서에서 일반적으로 기술되고 도면에 예시되는 바와 같은 실시예들의 컴포넌트들이 매우 다양한 상이한 구성들로 배열될 수 있고 설계될 수 있다는 것이 쉽게 이해될 것이다. 따라서, 다양한 실시예들의 하기 설명은 본 발명의 범주를 제한하려는 것이 아니라, 단지 다양한 실시예들을 나타낼 뿐이다.
- [0015] 이하의 설명은 당업자가 개시된 실시예들을 실시할 수 있게 하는 것을 돕기 위한 예들을 포함할 수 있다. 용어 "예시적인", "예로서", 및 "예를 들어"의 사용은 관련 설명이 설명적인 것임을 의미하며, 본 발명의 범주가 예들 및 법적 등가물들을 포함하도록 의도되지만, 그러한 용어의 사용은 실시예 또는 본 발명의 범주를 명시된 컴포넌트들, 단계들, 특징들, 기능들 등으로 제한하도록 의도되지 않는다.
- [0016] 따라서, 도시되고 설명되는 특정 구현예들은 단지 예일 뿐이며, 본 명세서에서 달리 명시되지 않는 한 본 발명을 구현하는 유일한 방법으로 해석되지 않아야 한다. 요소들, 회로들 및 기능들은 불필요한 상세로 본 발명을 모호하게 하지 않기 위해 블록도 형태로 도시될 수 있다. 반대로, 도시되고 설명된 특정 구현예들은 단지 예시적인 것일 뿐이며, 본 명세서에서 달리 명시되지 않는 한 본 발명을 구현하는 유일한 방법으로 해석되지 않아야 한다. 또한, 블록 정의들 및 다양한 블록들 사이의 논리의 분할은 특정 구현을 예시한다. 본 발명이 많은 다른 분할 솔루션에 의해 실시될 수 있다는 것은 당업자에게 손쉽게 명백해질 것이다. 대부분, 타이밍 고려 사항 등에 관한 상세들은, 그러한 상세들이 본 발명의 완전한 이해를 얻는 데 필요하지 않고 당업자의 능력 내에 있는 경우 생략되었다.
- [0017] 본 명세서에 기술되는 정보 및 신호들은 다양한 상이한 기술들 및 기법들 중 임의의 것을 사용하여 표현될 수 있다. 예를 들어, 이 설명 전체에 걸쳐 언급될 수 있는 데이터, 명령어들, 커맨드들, 정보, 신호들, 비트들, 및 심볼들은 전압들, 전류들, 전자기파들, 자기장들 또는 자성 입자들, 광학 필드들 또는 입자들, 또는 이들의 임의의 조합에 의해 표현될 수 있다. 몇몇 도면들은 프레젠테이션 및 설명의 명료함을 위해 신호들을 단일 신호로서 예시할 수 있다. 신호는 신호들의 버스를 표현할 수 있으며, 여기서 버스는 다양한 비트 폭들을 가질 수 있고 본 발명은 단일 데이터 신호를 포함한 임의의 수의 데이터 신호들에 대해 구현될 수 있다는 것이 당업자에 의해 이해되어야 한다.
- [0018] 본 명세서에서 사용되는 바와 같이, 주어진 파라미터, 특성 또는 조건과 관련한 용어들 "실질적으로" 및 "약"은, 당업자가 이해할 정도로, 주어진 파라미터, 특성 또는 조건이 허용 가능한 제조 공차들 이내와 같은 정도의 변동을 갖고서 충족되는 것을 의미하고 포함한다. 예를 들어, 실질적으로 또는 약 특정된 값인 파라미터는 특정된 값의 적어도 약 90%, 특정된 값의 적어도 약 95%, 특정된 값의 적어도 약 99%, 또는 심지어 특정된 값의 적어도 약 99.9%일 수 있다.
- [0019] "제1", "제2" 등과 같은 명칭을 사용한 본 명세서에서의 요소에 대한 임의의 언급은, 그러한 제한이 명시적으로 언급되지 않는 한, 이들 요소들의 수량 또는 순서를 제한하지 않는다는 것으로 이해해야 한다. 오히려, 이러한 명칭들은 본 명세서에서 2개 이상의 요소 또는 요소의 인스턴스들을 구별하는 편리한 방법으로서 사용된다. 따라서, 제1 및 제2 요소들에 대한 언급은 2개의 요소만이 사용될 수 있거나 제1 요소가 소정 방식으로 제2 요소에 선행해야 한다는 것을 의미하지 않는다. 또한, 달리 언급되지 않는 한, 요소들의 세트는 하나 이상의 요소를 포함할 수 있다. 마찬가지로, 때때로 단수 형태로 지칭되는 요소들은 또한 요소의 하나 이상의 인스턴스들을 포함할 수 있다.
- [0020] 본 명세서에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들 및 회로들은 범용 프로세서, 특수 목적 프로세서, 디지털 신호 프로세서(Digital signal Processor, DSP), 주문형 집적 회로(Application Specific Integrated Circuit, ASIC), 필드 프로그래밍가능 게이트 어레이(Field-Programmable

Gate Array, FPGA) 또는 다른 프로그래밍가능 논리 디바이스, 개별 게이트 또는 트랜지스터 논리, 개별 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합을 이용하여 구현되거나 수행될 수 있다. 범용 프로세서(본 명세서에서 호스트 프로세서 또는 간단히 호스트로 또한 지칭될 수 있음)는 마이크로프로세서일 수 있지만, 대안에서, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기 또는 상태 기계일 수 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합, 예를 들어 DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서, DSP 코어와 관련한 하나 이상의 마이크로프로세서, 또는 임의의 다른 그러한 구성으로서 구현될 수 있다. 프로세서를 포함하는 범용 컴퓨터는 특수 목적 컴퓨터로 간주되는 반면, 범용 컴퓨터는 본 발명의 실시예들과 관련된 컴퓨팅 명령어들(예를 들어, 소프트웨어 코드)을 실행하도록 구성된다.

[0021] 또한, 실시예들은 플로차트, 흐름도, 구조도, 또는 블록도로서 도시되는 프로세스의 관점에서 설명될 수 있다는 것에 유의한다. 플로차트가 동작 액션들을 순차적인 프로세스로서 설명할 수 있지만, 이러한 액션들 중 다수는 다른 시퀀스로, 병렬로, 또는 실질적으로 동시에 수행될 수 있다. 게다가, 액트들의 순서는 재배열될 수 있다. 프로세스는, 제한 없이, 방법, 스레드, 기능, 절차, 서브루틴, 또는 서브프로그램에 대응할 수 있다. 또한, 본 명세서에 개시된 방법들은 하드웨어, 소프트웨어 또는 둘 모두로 구현될 수 있다. 소프트웨어로 구현되는 경우, 기능들은 컴퓨터 판독 가능 매체에 하나 이상의 명령어 또는 코드로서 저장되거나 송신될 수 있다. 컴퓨터 판독 가능 매체는 컴퓨터 저장 매체와, 한 장소로부터 다른 장소로의 컴퓨터 프로그램의 전송을 용이하게 하는 임의의 매체를 포함한 통신 매체 둘 모두를 포함한다.

[0022] 개시된 실시예들에서, 달리 언급되지 않는 한, 충돌은 논리 충돌을 지칭하는 것으로 이해되어야 한다(즉, 실제 충돌이 예측되지만, 2개 이상의 노드들은 공유 송신 매체 상에서 신호들을 실제로 동시에 송신하지 않음).

[0023] 프로토콜들은 매체 액세스 튜닝을 위해 물리적 계층에서 수행될 수 있다. 예를 들어, 10SPE(즉, 10 Mbps 단일 쌍 이더넷)는 IEEE 802.3cg™으로서 IEEE(Institution of Electrical and Electronics Engineers)에 의해 현재 개발 중인 네트워크 기술 규격이고, 10SPE 규격은 선택적인 물리적 계층 충돌 회피(physical layer collision avoidance, PLCA) 조정 서브계층을 포함하는데, 이는 이론상, 멀티드롭 버스 상에서의 충돌들을 회피시키는 데 사용될 수 있다.

[0024] 시간 인식 프로토콜들 및 트래픽 성형 프로토콜들을 포함한 다른 매체 액세스 튜닝 프로토콜들이 PHY에서 구현될 수 있다. 일반적으로 말하면, 시간 인식 프로토콜들은 스케줄에 따라 또는 스케줄을 사용하는 스케줄러에 의해 일정 기간들 동안 매체 액세스가 승인되거나 보류되는 프로토콜들이다. 일반적으로 말하면, 트래픽 성형 프로토콜들은 성능 레벨들, 서비스 품질, 또는 투자 수익률(return on investment)에 적어도 부분적으로 기초하여, (충돌 회피 및/또는 시간 인식 프로토콜들에 대해 대안적으로 또는 그들에 더하여) 매체 액세스가 승인되거나 보류되는 프로토콜들이다. 트래픽 성형은, 비제한적인 예로서, 트래픽의 유형들 또는 트래픽 스트림들의 유형들(예컨대, 시간 민감성 데이터, 최상 노력 데이터, 및 우선순위가 낮거나 또는 우선순위가 없는 데이터, 제한 없음)을 우선순위화하는 것을 수반할 수 있다.

[0025] 일반적으로 말하면, PHY와 MAC 사이의 인터페이스들(예컨대, MII(Media Independent interface) 또는 RMII(Reduced Media Independent interface), 제한 없음)은 디바이스들 사이에서 전송되는 특정 신호들을 특정한다. 이러한 규격들을 준수하기 위해, PHY 또는 MAC를 구현하는 디바이스들(예컨대, 마이크로칩들 및 마이크로제어기들, 제한 없음)은 전형적으로, 특정된 신호들에 할당되는 핀들을 포함할 것이다. 예를 들어, MII PHY는, 다른 핀들 중에서도, 수신 데이터(RXD) 및 송신 데이터(TXD)에 대한 데이터 라인들을 위한 핀들에 더하여, 유효 수신 데이터(RXDV)를 시그널링하기 위한, 캐리어 활동(CRS)을 시그널링하기 위한, 유효 송신 데이터(TX_EN), 수신 기준 클럭(RX_CLK), 송신 기준 클럭(TX_CLK)을 시그널링하기 위한, 그리고 관리 데이터(MDIO)를 시그널링하기 위한 핀들을 포함할 수 있다. 구현예에 따라, PHY 및 MAC의 각자의 입력 및 출력 핀들은 이들 신호들 중 하나를 배타적으로 시그널링하기 위해, 또는 이들 신호들 중 둘 이상을 비-배타적으로 시그널링하기 위해 할당될 수 있다.

[0026] 본 발명의 발명자들은 MAC와 PHY 사이, 제어기와 PHY 사이, 또는 네트워크 프로토콜 스택 내의 단지 다른 디바이스들과 PHY 사이의 시그널링에 대한 필요성을 인식한다. 더 많은 핀들이 칩에 추가될 수 있지만, 비용(예컨대, 돈, 시간 및 물리적 공간 중 하나 이상의 관점에서, 제한 없음)은 디바이스들 사이의 핀들 및/또는 상호접속부들의 개수에 비례하여 증가하며, 비용을 제한하는 것이 바람직하다. 시그널링이 또한 변경될 수 있지만, 그러한 변경들은 조심스럽게 수행되어야 하는데, 그 이유는 인터페이스 규격들을 준수하는 것이 PHY 디바이스들 및 링크 계층 디바이스들을 포함한 이더넷 디바이스들의 상호운용가능성 및 예측가능성을 촉진하는 중요한 방식이기 때문이다.

- [0027] 링크 계층 및 공유 버스를 인터페이싱하기 위한 전형적인 PHY의 경우, 수신 데이터 경로(공유 버스로부터 링크 계층으로 수신 데이터를 이동시키기 위한 회로부)는 전형적으로, PHY 및 링크 계층을 동작가능하게 커플링시키는 인터페이스들 및 송신 데이터 경로(링크 계층으로부터 링크 계층으로 공유 버스로 송신 데이터를 이동시키기 위한 회로부)와는 상이한 클록 도메인에서 동작한다. 비제한적인 예로서, 10SPE PHY의 경우, 수신 데이터 경로는 원격 클록 도메인, 즉, 수신 데이터를 전송한 원격 디바이스의 원격 클록의 클록 도메인 내에 있다. 원격 클록은 수신 데이터로부터 복구되고, 수신 데이터와 함께 인터페이스를 통해 MAC에 제공된다. 수신 데이터는, 그것이 인터페이스를 통해, 그것이 MAC의 클록 도메인에 동기화되는 링크 계층으로 전송될 때까지 새로운 클록 도메인에 동기화되지 않는다. 한편, 송신 데이터 경로 및 인터페이스들은 로컬 클록 도메인, 즉, PHY의 로컬 클록의 클록 도메인에서 동작한다.
- [0028] 상기에서 언급된 바와 같이, 송신 데이터 경로 및 수신 데이터 경로에 대한 상이한 클록 도메인을 구현하기 위해, PHY는 2개의 기준 클록들, 즉 수신 데이터 경로의 클록 도메인에 대한 수신 기준 클록(예컨대, RX_CLK), 및 송신 데이터 경로의 클록 도메인에 대한 송신 기준 클록(예컨대, TX_CLK)을 링크 계층에 제공한다. MAC는, 예를 들어, 수신 기준 클록을 사용하여 수신 데이터 프레임들을 그의 클록 도메인에 동기화시킬 수 있고, 송신 기준 클록을 사용하여 송신 데이터 프레임들을 PHY의 로컬 클록 도메인에 동기화시킬 수 있다.
- [0029] PHY에서 매체 액세스 튜닝을 구현하고자 하기 전에, 상이한 클록 도메인들 상에서 동작하는 수신 데이터 경로 및 송신 데이터 경로를 갖는 것에 대한 단점들은, 있는 경우, 전형적으로, 수신 경로에 도메인 교차를 위한 회로부를 추가하는 단점들(예컨대, 비용, 전력, 타이밍에 대한 설계 문제들, 제한 없음)을 능가하지 않았다. 그러나, 본 발명의 발명자들은 PHY 측 수신 데이터 경로 및 PHY 측 송신 데이터 경로에 대한 공통 클록 도메인을 갖는 것이, 매체 액세스 튜닝 또는 추가적인 제어 데이터 경로를 제한 없이 포함하는, 시그널링을 위한 하나 이상의 핀들을 없앨 것임을 이해한다.
- [0030] 하나 이상의 실시예들은 대체적으로, 동일한 클록 도메인에서 PHY 측 수신 데이터 경로 및 PHY 측 송신 데이터 경로를 동작시키는 것에 관한 것이다. 하나의 실시예에서, PHY 측 수신 데이터 경로는 동기화 회로부를 포함할 수 있고, 동기화 회로부는 제2 클록 도메인(예컨대, 원격 클록 도메인)으로부터 제1 클록 도메인(예컨대, 로컬 클록 도메인)으로의 수신 데이터 경로에서의 도메인 교차를 가능하게 하도록 구성될 수 있다. PHY를 링크 계층에 동작가능하게 커플링시키는 인터페이스들 및 송신 데이터 경로는 또한, 동일한 클록 도메인(예컨대, 제1 클록 도메인)에서 동작할 수 있다.
- [0031] 하나 이상의 실시예들은 대체적으로, PHY와 네트워크 프로토콜 스택의 디바이스들 및/또는 기능들 사이의 제어 데이터 경로를 구현하는 멀티드롭 네트워크 세그먼트의 노드의 네트워크 프로토콜 스택에 관한 것이다. 하나의 실시예에서, PHY는 제어 데이터 경로를 통해 제어 데이터를 전송하고/하거나 수신하기 위한 하나 이상의 핀들을 포함할 수 있다. 하나의 실시예에서, 제어 데이터는 PHY에서의 매체 액세스 튜닝의 태양들을 구현하기 위한 것일 수 있다. 다른 실시예에서, 제어 데이터는 (예컨대, 제한 없이, 표준 이더넷 패킷의 유형 필드 내의 정보를 사용하여) 이더넷 패킷들의 유형들을 필터링하기 위한 것일 수 있다.
- [0032] 도 1은 링크 계층 디바이스, MAC(104) 및 물리적 계층(PHY) 디바이스, PHY(102)를 포함하는 네트워크 세그먼트(100)의 기능 블록도를 도시한다. 비제한적인 예들로서, 네트워크 세그먼트(100)는 멀티드롭 네트워크의 세그먼트, 멀티드롭 서브네트워크의 세그먼트, 혼합 매체 네트워크의 세그먼트인 멀티드롭 버스, 또는 이들의 조합 또는 서브조합일 수 있다. 비제한적인 예로서, 네트워크 세그먼트(100)는, 제한 없이, 마이크로제어기 유형 임베디드 시스템, 사용자 유형 컴퓨터, 컴퓨터 서버, 노트북 컴퓨터, 태블릿, 핸드헬드 디바이스, 모바일 디바이스, 무선 이어버드 디바이스 또는 헤드폰 디바이스, 유선 이어버드 또는 헤드폰 디바이스, 어플라이언스 서브시스템, 조명 서브시스템, 사운드 서브시스템, 건물 제어 시스템, 주거 모니터링 시스템(예컨대, 제한 없이, 보안 또는 유틸리티 사용을 위함), 엘리베이터 시스템 또는 서브시스템, 대중 교통 제어 시스템(예컨대, 제한 없이, 지상철, 지하철, 트롤리, 또는 버스를 위함), 자동차 시스템 또는 자동차 서브시스템, 또는 산업용 제어 시스템일 수 있거나, 이들의 일부일 수 있거나, 또는 이들 중 하나 이상을 포함할 수 있다.
- [0033] PHY(102)는 대체적으로, MAC(104)와 인터페이싱하도록 구성된다. 비제한적인 예로서, PHY(102) 및/또는 MAC(104)는 본 명세서에 설명된 실시예들의 전부 또는 부분들을 수행하도록 구성된 논리 및/또는 메모리를 포함하는 칩 패키지일 수 있다. 비제한적인 예로서, PHY(102) 및 MAC(104)는, 각각, 별개의 칩 패키지들 또는 단일 칩 패키지(예를 들어, SIP(system-in-a-package)) 내의 회로부(예를 들어, 집적 회로)로서 구현될 수 있다.
- [0034] PHY(102)는, 대체적으로, 공유 송신 매체(108), 즉 각자의 PHY(102) 및 MAC(104)를 포함하는 노드들을 포함한, 예를 들어, 네트워크 세그먼트(100), 또는 네트워크 세그먼트(100)가 일부인 네트워크의 일부인 노드들에 대한

통신 경로인 물리적 매체와 인터페이싱하도록 구성된다. 비제한적인 예로서, 공유 송신 매체(108)는 단일 쌍 이더넷에 사용되는 것과 같은 단일 연선쌍일 수 있다.

- [0035] 하나 이상의 실시예들에서, PHY(102)는 매체 액세스 튜닝을 수행하도록 구성된다. 하나 이상의 실시예들에서, MAC(104)는 트래픽 인식이 되도록 구성되고, 보다 구체적으로는, 충돌 검출 및/또는 회피 프로토콜들을 구현하도록 구성된다. 하나의 실시예에서, MAC(104)는 CSMA(carrier-sense multiple access)를 수행하도록 구성된다. 보다 구체적으로, MAC(104)는 공유 송신 매체(108) 상의 캐리어를 검사하도록 구성되며, 그것이 캐리어를 검출하는 경우, 그것은 데이터 송신을 시작하기 전에 어떠한 캐리어도 검출되지 않을 때까지(즉, 채널이 유향 상태임) 기다린다.
- [0036] 도 1에 도시된 실시예에서, 네트워크 세그먼트(100)는 또한, 하나 이상의 다른 기능들(106)을 포함한다. 다른 기능들(106)은 비제한적인 예들로서, 네트워크 프로토콜 스택의 링크 계층 또는 다른 계층들, 네트워크 프로토콜 스택의 하나 이상의 계층들을 구현하는 디바이스들, 또는 서브시스템의 일부인 디바이스들의 기능들일 수 있다.
- [0037] 도 2는 하나 이상의 실시예들에 따른, 수신 데이터 경로 및 송신 데이터 경로에 대한 공통 클럭을 구현하는 시스템(200)의 블록도이다. 시스템(200)은 수신 데이터 경로(210) 및 송신 데이터 경로(212)를 포함할 수 있다.
- [0038] 도 2의 실시예에서, 시스템(200)은 적어도 2개의 클럭 도메인들, 즉 제1 클럭 도메인(220) 및 제2 클럭 도메인(218)을 포함한다. 제1 클럭 도메인(220)은, 예컨대, 도 1의 PHY(102)에서 생성된 로컬 클럭(224)의 클럭 속도에 대응한다. 제2 클럭 도메인(218)은 원격 클럭(228)의 클럭 속도, 예컨대 시스템(200)을 포함하는 노드 이외의 노드의 클럭 속도에 대응한다.
- [0039] 수신 데이터 경로(210)에 대해, 데이터 경로(202)의 PHY 측의 제2 부분(232) 및 PHY 측 데이터 경로(206)는 동일한 클럭 도메인, 여기서는 제1 클럭 도메인(220) 내에 있다. 제1 인터페이스(214)는 데이터 경로(202)의 PHY 측을 링크 계층 측 데이터 경로(204)에 동작가능하게 커플링시키고, 제2 인터페이스(216)는 링크 계층 측 데이터 경로(208)를 PHY 측 데이터 경로(206)에 동작가능하게 커플링시킨다. 제1 인터페이스(214) 및 제2 인터페이스(216)는 또한 제1 클럭 도메인(220) 내에 있다.
- [0040] 데이터 경로(202)의 PHY 측의 제1 부분(230)은 제2 클럭 도메인(218) 내에 있다. 도 2의 실시예에서, 제2 클럭 도메인(218)은 원격 클럭(228)과 연관된 원격 클럭 도메인일 수 있다. 비제한적인 예로서, 원격 클럭(228)은 수신 데이터 경로(210) 상에 있는 수신 데이터를 전송한 원격 노드의 원격 PHY에서 사용되는 클럭을 표현한다. 본 명세서에서 논의되는 바와 같이, 원격 클럭(228)은 시스템(200) 또는 시스템(300)에서 반드시 복구되는 것은 아니다.
- [0041] 데이터 경로(202)의 PHY 측의 제1 부분(230)과 제2 부분(232) 사이에 클럭 도메인 전이부(234)가 존재하며, 이는 데이터 경로(202)의 PHY 측에서 제2 클럭 도메인(218)으로부터 제1 클럭 도메인(220)으로 교차하는 클럭 도메인이다.
- [0042] 다양한 실시예들에서, 링크 계층 측 데이터 경로(204) 및 링크 계층 측 데이터 경로(208)는 제1 클럭 도메인(220)과 동일하거나 그와는 상이한 클럭 도메인 내에 있을 수 있다.
- [0043] 전술된 바와 같이, 하나 이상의 실시예들에서, 시스템(200)은 클럭 발생기(222)를 포함할 수 있다. 하나의 실시예에서, 클럭 발생기(222)는 로컬 클럭(224)을 제1 클럭 도메인(220)에, 그리고 더 구체적으로는, 데이터 경로(202)의 PHY 측 및 PHY 측 데이터 경로(206)에 제공하도록 구성된다.
- [0044] 하나 이상의 실시예들에서, 시스템(200)은 제3 데이터 경로, 여기서는 제1 클럭 도메인(220) 또는 도시되지 않은 다른 클럭 도메인에서 동작할 수 있는 제어 데이터 경로(226)를 포함할 수 있다. 제어 데이터 경로(226)는 물리적 계층으로 그리고 그로부터, 예컨대 PHY(102)와 도 1의 다른 기능들(106) 사이에서 제어 데이터를 이동시키도록 구성될 수 있다. 하나의 실시예에서, 제어 데이터 경로(226)는 시스템(200)에서 하나 이상의 제어 사이클들을 실행할 때 사용될 수 있다.
- [0045] 개시된 실시예들의 고려되는 용례들에서, 제1 클럭 도메인(220) 및 제2 클럭 도메인(218)의 각자의 클럭 속도들은 동일한 클럭 속도일 수 있거나 또는 상이한 클럭 속도들일 수 있다.
- [0046] 도 3은 동일한 클럭 도메인에서, 예를 들어 도 2의 시스템(200)에서, 수신 데이터 경로 및 송신 데이터 경로를 구현하기 위한 시스템(300)의 일 실시예의 블록도를 도시한다.

- [0047] 하나 이상의 실시예들에서, 시스템(300)은 PHY(302) 및 링크 계층(308)을 포함할 수 있다. PHY(302) 및 링크 계층(308)은 수신 인터페이스(336) 및 송신 인터페이스(338)에 의해 동작가능하게 커플링된다. 하나의 실시예에서, 수신 인터페이스(336) 및 송신 인터페이스(338)는 특정된 인터페이스의 일부 또는 전부를 구현하기 위해 핀들, 상호접속부들, 및 PHY(302) 및 링크 계층(308)의 각자의 회로부를 포함할 수 있다.
- [0048] 하나의 실시예에서, 특정된 인터페이스는 PHY(302)로부터 링크 계층(308)(예컨대, MII 인터페이스, 제한 없음)으로의 배타적 충돌 회피 시그널링을 특정할 수 있다. 배타적 시그널링은 하나의 특수 목적을 위해(예컨대, 제한 없이, 특정 조건을 나타내기 위해) 사용되는 시그널링이고, 배타적 충돌 회피 시그널링은 인터페이스 회로부(328)에 동작가능하게 커플링된 공유 송신 매체에서의 검출된 충돌을 나타내는 특수 목적을 위해 사용되는 시그널링이다. 이러한 실시예에서, 수신 인터페이스(336)의 PHY 측 및 MAC 측 각각은 배타적 충돌 회피 시그널링을 위해 할당된 각자의 핀(PHY의 경우에는 출력부, MAC의 경우에는 입력부)을 포함할 수 있다. PHY(302)는 배타적 충돌 회피 시그널링을 위해 구성된 회로부를 추가로 포함할 수 있고, 링크 계층(308)은 배타적 충돌 회피 시그널링을 사용하여 충돌 회피를 수행하기 위한 회로부를 포함할 수 있다. 도 3의 실시예에서, PHY는 충돌 회피 신호들의 배타적 시그널링을 위한 출력부(360)를 포함한다. 보다 구체적으로, PHY(302)는 배타적 충돌 회피 신호들을 생성하도록, 그리고 출력부(360) 및 충돌 시그널링 라인(362)에 의해 신호들을 링크 계층(308)에 제공하도록 구성될 수 있다.
- [0049] 하나 이상의 실시예들에서, PHY(302)는 수신 데이터 경로(304), 송신 데이터 경로(306), 기준 클록 발생기(334), 및 인터페이스 회로부(328)를 포함할 수 있다. 인터페이스 회로부(328)는 PHY(302)를 공유 송신 매체(예컨대, 공유 송신 매체(108))에 동작가능하게 커플링시키도록 구성되고, 보다 구체적으로는, 각자의 수신 데이터 경로(304) 및 송신 데이터 경로(306)를 공유 송신 매체에 동작가능하게 커플링시키도록 구성된다. 비제한적인 예로서, 인터페이스 회로부(328)는 단일 쌍 이더넷 유형 케이블에 동작가능하게 커플링되도록 구성된 MDI(media dependent interface)일 수 있다.
- [0050] 수신 데이터 경로(304)는 대체적으로, 공유 송신 매체로부터 링크 계층으로 수신 데이터를 이동시키도록 구성될 수 있고, PHY(302)에서 링크 계층(308)을 향해 수신 데이터를 이동시키기 위한 회로부를 포함할 수 있다. 송신 데이터 경로(306)는 대체적으로, 링크 계층으로부터 공유 송신 매체로 송신 데이터를 이동시키도록 구성될 수 있고, PHY(302)에서 링크 계층(308)으로부터 멀리 송신 데이터를 이동시키기 위한 회로부를 포함할 수 있다.
- [0051] 하나 이상의 실시예들에서, 수신 데이터 경로(304)는 수신기(310), 오버샘플링(314), 동기화(sync)에 의한 디지털 클록 및 데이터 복구(DCDR)(즉, 동기화에 의한 DCDR(316)), 정렬 및 디코드(318), 및 수신 버퍼(320)를 포함할 수 있다.
- [0052] 데이터 수신에의 경우, 아날로그 입력 데이터 스트림은 수신기(310)에서 수신되고, 이어서, 오버샘플링(314)에 의해 오버샘플링된다. 오버샘플링(314)의 샘플링 속도는 로컬 기준 클록(342)에 적어도 부분적으로 기초할 수 있다(예컨대, 제한 없이, 로컬 기준 클록(342)에 응답하여 생성된 직교 성분들을 사용함). 대부분의 경우들에 있어서, 입력 데이터 스트림의 대략적인 속도가 알려져 있을 것이며, 따라서 일부 실시예들에서, 발진기(344)의 주파수는 입력 데이터 스트림의 주파수의 배수(즉, 짝수배 또는 홀수배)가 되도록 선택될 수 있다.
- [0053] 오버샘플링된 데이터는 동기화에 의한 DCDR(316)에 제공되는데, 이는 디지털 클록 및 데이터 복구를 수행할 뿐만 아니라 복구 데이터(즉, 수신 데이터)를 로컬 클록(340)에 동기화시킨다. 로컬 클록(340)은 클록 디바이더(330)에 의해 생성되는데, 이는 로컬 기준 클록(342)을 수신하도록, 그리고 로컬 기준 클록(342)에 응답하여 분할된 클록을 생성하도록 구성된다. 따라서, 로컬 기준 클록(342)의 주파수는 로컬 클록(340)의 주파수의 정수배(짝수배 또는 홀수배)이다. 따라서, 오버샘플링된 데이터는 동기화에 의한 DCDR(316)에서 수신될 때, 로컬 클록(340)에 즉시 동기화가능하고(실제로, 그것은 로컬 기준 클록(342) 및 로컬 클록(340)에 동기화되는 샘플링 속도로 인해 동기화된 상태가 되게 하는 것으로 간주될 수 있음), 로컬 클록(340)은 동기화에 의한 DCDR(316)의 DCDR에 의해 오버샘플링된 데이터로부터 복구되는 수신 데이터에 대한 복구 클록으로서 사용될 수 있다. 비정렬 수신 데이터가 정렬 및 디코드(318)에 제공되는데, 이는 동기화에 의한 DCDR(316)에 의해 제공되는 비정렬 수신 데이터에 대해 심볼 정렬을 수행함으로써 복구 데이터를 제공하도록 구성된다. 복구 데이터(즉, 수신 데이터)는 수신 버퍼(320)에서 저장되어, 수신 인터페이스(336)를 통해 링크 계층(308)으로 전송되는 것을 기다린다.
- [0054] 하나 이상의 실시예들에서, 기준 클록 발생기(334)는 수정 발진기, 여기서는 수정 발진기(344)에 기초하여 로컬 기준 클록(342)을 생성하도록 구성된다. 하나의 실시예에서, 수정 발진기(344)의 주파수는 인터페이스 회로부(328)에 커플링된 공유 송신 매체와 연관된 예상 주파수의 배수(짝수배 또는 홀수배)가 되도록 선택될 수 있다.

비제한적인 예로서, 10SPE 이더넷에 사용되는 단일 연선쌍 유형 케이블의 경우, 송신 주파수는 12.5 메가헤르츠일 수 있고, 수정 발진기(344)의 주파수는 25 메가헤르츠일 수 있고, 로컬 기준 클록(342)의 주파수는 5 메가헤르츠일 수 있고, 로컬 클록(340)의 주파수는 2.5 메가헤르츠일 수 있다.

- [0055] 로컬 기준 클록(342)은 오버샘플링(314)에 제공되는데, 이는 로컬 기준 클록(342)을 사용하여 공유 송신 매체로부터 오는 수신 데이터를 포함하는 신호들을 오버샘플링하도록 구성된다. 도 3에 도시된 실시예에서, 로컬 기준 클록(342)은 선택적으로, 송신 데이터를 공유 송신 매체로 전송하기 위해 송신 데이터 경로(306)에 제공된다.
- [0056] 상기에 언급된 바와 같이, 클록 디바이더(330)는 로컬 기준 클록(342)에 응답하여 로컬 클록(340)을 생성하도록 구성된다. 하나의 실시예에서, 클록 디바이더(330)는 하나 이상의 제어 비트들(미도시)에 응답하여 로컬 기준 클록(342)을 분할하도록 구성된다. 하나의 실시예에서, 제어 비트들은 로컬 기준 클록(342)과 로컬 클록(340) 사이의 관계를 정의하는 정수 제수(integer divisor)를 설정하는 하나 이상의 비트들일 수 있다. 하나의 실시예에서, 제어 비트들은 사용자에게 의해 설정될 수 있고/있거나(예컨대, 제한 없이, 설계 인터페이스를 사용하여 프로그래밍됨), 제어 비트들은 제어기, 즉, 네트워크 프로토콜 스택의 하나 이상의 부분들, 비제한적인 예로서, 링크 계층을 구현하는 마이크로제어기에 의해 설정될 수 있다.
- [0057] 하나 이상의 실시예들에서, 수신 인터페이스(336)는, 다른 라인들 중에서도, 출력부(350), 수신 기준 클록 라인(322), 수신 데이터 라인(312), 및 수신 클록 입력부(354)를 포함할 수 있다. 더욱이, 송신 인터페이스(338)는 송신 기준 클록 라인(326) 및 송신 기준 송신 클록 입력부(356)를 포함할 수 있다. 로컬 클록(340)은 수신 인터페이스(336)의 출력부(350) 및 기준 클록 라인(324)을 거쳐 수신 기준 클록 라인(322) 및 송신 기준 클록 라인(326)에 제공된다. 게다가, 로컬 클록(340)은 수신 인터페이스(336) 및 송신 인터페이스(338)에서의 수신 클록 입력부(354) 및 송신 클록 입력부(354)(링크 계층(308)에 대한 각각의 입력부들)에 각각 제공된다. 비제한적인 예들로서, 다양한 실시예들에서, 기준 클록 라인(324)은 하나 이상의 본드 와이어들 또는 통합 도체들을 포함할 수 있다.
- [0058] 특히, 수신 인터페이스(336)에서의 데이터의 비트 속도 및 송신 인터페이스(338)에서의 비트 속도는 동일할 수 있다. 게다가, 수신 인터페이스(336) 및 송신 인터페이스(338)의 각자의 비트 속도들은 수신 인터페이스(336) 및 송신 인터페이스(336)에 의해 구현되는 인터페이스 정의에서 특정되는 것과 동일할 수 있거나 또는 그보다 더 느릴 수 있다.
- [0059] 고려되는 용례에서, 수신 인터페이스(336) 및 송신 인터페이스(338)에 의해 구현되는 인터페이스는 PHY(302)가 송신 데이터 경로 및 수신 데이터 경로 각각에 대한 클록을 제공해야 함을 특정할 수 있다. 개시된 실시예들에서, 수신 인터페이스(336) 및 송신 인터페이스(338)가 공통 클록, 즉, 로컬 클록(340) 상에서 동작하므로, 수신 기준 클록 라인(322) 및 송신 기준 클록 라인(326)은 동일한 라인, 즉 기준 클록 라인(324)에 의해 구동될 수 있다. 이러한 예에서, 그러한 배열은 PHY(302)에서의 입력부 - 여기서는, 입력부(348) 및 입력부(358) - 를 없앤다.
- [0060] 일부 실시예들에서, 입력부(348)는 링크 계층(308) 이외의 어딘가로 국한되는(예컨대, 제한 없이, 디바이스들 및/또는 서브계층들에서 구현됨) 기능들(예컨대, 도 1의 다른 기능들(106))과 PHY(302) 사이에 (예컨대, 제어 시그널링을 위한) 제어 데이터 경로를 구현하는 데 사용될 수 있다. 다른 방식으로 특징짓자면, 입력부(348)는 수신 인터페이스(336) 및 송신 인터페이스(338)와는 별개의 제어 데이터 경로를 구현하는 데 사용될 수 있다. 하나의 실시예에서, 제어 데이터 경로는, 네트워크 프로토콜 스택 내에 있지만 링크 계층으로 제한되지 않는 어딘가로 국한되는 기능들과 PHY(302) 사이에 구현될 수 있다. 하나의 실시예에서, 제어 데이터 경로는 네트워크 프로토콜 스택의 일부가 아닌, 비제한적인 예로서, 애플리케이션의 유형(예컨대, 제한 없이, 자동차 네트워크, 건물 네트워크, 수송 제어 네트워크, 조명 네트워크)에 특정적인 기능들 및 디바이스들과 PHY(302) 사이에 구현될 수 있다.
- [0061] 도 3의 실시예에서, 입력부(348)는 시간 동기화부(332)에 동작가능하게 커플링되는데, 이들은 함께, 매체 액세스 튜닝과 관련된 제어 사이클들에 사용가능한 제어 데이터 경로(352)의 일부를 형성한다. 다른 제어 데이터 경로는 부분적으로, 입력부(358) 및 시간 동기화부(332)에 의해 형성된다. 도 3에서, 입력부(358)는 송신 인터페이스(338) 또는 수신 인터페이스(336)의 일부일 수 있다.
- [0062] 이러한 경우, 시간 동기화부(332)는 매체 액세스 튜닝을 위한 시간 동기화에 사용가능한 제어 신호들(346)을 생성하도록 구성된다. 비제한적인 예로서, 제어 신호들(346)은 스케줄링된 송신 기회의 시작을 나타내기 위한 이

벤트들과 같은, 시간 인식 프로토콜들과 관련된 이벤트들을 포함할 수 있다. 다른 비제한적인 예로서, 제어 신호들(346)은 트래픽 성형 프로토콜들에 관련된 이벤트들, 예컨대 시간 감응 데이터(이는 규칙적인 트래픽(예컨대, 제한 없이, 오디오 프레임들, 센서 폴(sensor poll)들)이고, 결정적 레이턴시가 중요함) 또는 최상 노력 데이터(규칙적이고(예컨대, 제한 없이, 펌웨어 업데이트들, 오디오 제어 신호들) 레이턴시가 중요한 것이 아니라 고갈(starvation)이 회피되어야 하는 데이터)에 대한 송신 기회의 시작을 포함할 수 있다. 이러한 방식으로, 제어 신호들(346)은, 시간 인식 프로토콜들, 트래픽 성형 프로토콜들, 및 물리적 계층 충돌 회피에 대한 제어 사이클들을 제한 없이 포함하는, PHY(302)의 하나 이상의 제어 사이클들일 수 있거나 또는 그들과 관련될 수 있다.

[0063] 당업자는 본 명세서에 개시된 실시예들에 대한 많은 이점들 및 이익들을 인식할 것이다. 비제한적인 예로서, 제어 데이터 경로들은 특정 인터페이스에 적합한 PHY 아키텍처에 추가될 수 있지만, 추가적인 입력부들 및/또는 출력부들을 추가하지 않는다. 비제한적인 예들로서, 제어 경로들은 PHY와 링크 계층 사이, PHY와 링크 계층 이외의 네트워크 프로토콜 스택 내의 다른 위치들 사이, 그리고 PHY와 시스템 또는 서브시스템 내의 다른 디바이스들 사이의 통신에 사용될 수 있다.

[0064] 도 4는 하나 이상의 실시예들에 따른, 데이터 수신 프로세스(400)의 흐름도를 도시한다. 동작(402)에서, 프로세스(400)는 공유 송신 매체로부터의 데이터 수신을 시작한다. 데이터 수신은 PHY(102) 및 PHY(302)와 같은 물리적 계층 디바이스에서 수행될 수 있다. 하나의 실시예에서, 공유 송신 매체는 단일 연선쌍 이더넷 케이블이고, 물리적 계층 디바이스는 공유 송신 매체를 통한 초당 10 Megabit 통신을 위해 구성된다. 동작(404)에서, 프로세스(400)는 물리적 계층 디바이스를 링크 계층 디바이스에 동작가능하게 커플링시키도록 구성된 인터페이스를 향해 수신 데이터를 이동시킨다. 하나의 실시예에서, 인터페이스는 배타적 충돌 회피 시그널링을 사용하는 것이다. 하나의 실시예에서, 링크 계층 디바이스는 매체 액세스 제어 디바이스이다. 동작(404)에서 수신 데이터를 이동시키는 동안, 동작(406)에서, 프로세스(400)는 원격 클록 도메인으로부터 물리적 계층 디바이스의 로컬 클록 도메인으로 교차한다. 하나의 실시예에서, 수신 데이터는 그것이 복구된 후에 로컬 클록 도메인으로 교차한다. 다른 실시예에서, 수신 데이터는 그것이 복구되는 동안 로컬 클록 도메인으로 교차한다. 동작(408)에서, 프로세스(400)는 현재 로컬 클록 도메인에서, 링크 계층으로 전송하기 위해 수신 데이터를 인터페이스에 제공한다.

[0065] "전형적인", "종래의" 또는 "알려진"과 같은 본 개시내용에서의 임의의 특성화는 반드시, 그것이 종래 기술에서 개시된다는 것 또는 논의된 태양들이 종래 기술에서 이해된다는 것을 의미하지는 않는다. 반드시, 관련 분야에서, 그것이 널리 알려져 있거나, 잘 이해되거나, 또는 일상적으로 사용된다는 것을 의미하는 것도 아니다.

[0066] 본 개시내용 및 특히, 첨부된 청구범위(예컨대, 첨부된 청구범위의 본문)에서 사용되는 용어들은 일반적으로 "개방형" 용어들(예컨대, "포함하는"이라는 용어는 "포함하지만 이에 제한되지 않는"으로 해석되어야 하고, "가지고 있는"이라는 용어는 "적어도 가진"으로 해석되어야 하고, "포함하다"라는 용어는 "포함하지만 이에 제한되지 않는다"로 해석되어야 하는, 등)로 의도된다.

[0067] 또한, 도입된 청구항 열거의 특정 수가 의도되는 경우, 그러한 의도는 그 청구항에 명시적으로 열거될 것이며, 그러한 열거의 부재 시에 그러한 의도는 존재하지 않는다. 예를 들어, 이해를 돕기 위해, 하기의 첨부된 청구범위는 청구항 기재를 소개하기 위해 소개 문구 "적어도 하나" 및 "하나 이상"의 사용을 포함할 수 있다. 그러나, 그러한 문구들의 사용은 부정관사("a" 또는 "an")에 의한 청구범위 인용의 도입이, 동일한 청구항이 소개 문구들 "하나 이상" 또는 "적어도 하나" 및 부정 관사, 예컨대 "a" 또는 "an"을 포함하는 경우에도, 단지 하나의 그러한 인용을 포함하는 실시예들에 대한 그러한 도입된 청구범위 인용을 포함하는 임의의 특정 청구범위를 제한하도록 해석되어서는 안 되며(예컨대, "a" 및/또는 "an"은 "적어도 하나" 또는 "하나 이상"을 의미하는 것으로 해석되어야 함); 청구범위 인용들을 도입하는 데 사용되는 정관사들의 사용에 대해서도 마찬가지이다.

[0068] 또한, 도입된 청구항 열거의 특정 수가 명시적으로 열거될지라도, 당업자는 그러한 열거가 적어도 열거된 수를 의미하는 것으로 해석되어야 한다는 것을 인식할 것이다(예컨대, 다른 수식어가 없는, "2개의 열거"의 꾸밈이 없는 열거는 적어도 2개의 열거 또는 2개 이상의 열거를 의미한다). 또한, "A, B 및 C 등 중 적어도 하나" 또는 "A, B 및 C 등 중 하나 이상"과 유사한 규약이 사용되는 경우들에서, 일반적으로 그러한 구성은, A 단독, B 단독, C 단독, A 및 B를 함께, A 및 C를 함께, B 및 C를 함께, 또는 A, B, 및 C를 함께, 등을 포함하는 것으로 의도된다.

[0069] 또한, 설명에서든, 청구항에서든, 또는 도면에서든, 2개 이상의 대안적인 용어를 제시하는 임의의 이접 단어 또는 문구는 용어들 중 하나, 용어들 중 어느 하나, 또는 둘 모두의 용어를 포함하는 가능성을 고려하는 것으로

이해되어야 한다. 예를 들어, 문구 "A 또는 B"는 "A" 또는 "B" 또는 "A 및 B"의 가능성을 포함하는 것으로 이해되어야 한다.

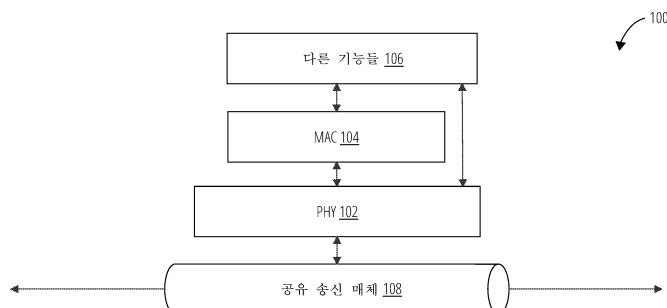
- [0070] 본 발명의 추가의 비제한적인 실시예들은 다음을 포함한다:
- [0071] 실시예 1: 시스템으로서, 링크 계층 측 수신 데이터 경로를 향해 수신 데이터를 이동시키도록 구성된 물리적 계층 측 수신 데이터 경로; 및 공유 송신 매체를 향해 송신 데이터를 이동시키도록 구성된 물리적 계층 측 송신 데이터 경로를 포함하고, 수신 데이터 경로 및 송신 데이터 경로는 제1 클록 도메인 내에 있는, 시스템.
- [0072] 실시예 2: 실시예 1에 있어서, 제어 데이터 경로를 추가로 포함하는, 시스템.
- [0073] 실시예 3: 실시예 1 또는 실시예 2에 있어서, 제어 데이터 경로는 시스템의 물리적 계층으로 또는 물리적 계층으로부터 제어 데이터를 이동시키도록 구성되는, 시스템.
- [0074] 실시예 4: 실시예 1 내지 실시예 3 중 어느 하나에 있어서, 제어 데이터 경로는 시스템의 물리적 계층과 네트워크 프로토콜 스택의 애플리케이션 계층 사이에서 제어 데이터를 이동시키도록 구성되는, 시스템.
- [0075] 실시예 5: 실시예 1 내지 실시예 4 중 어느 하나에 있어서, 제어 데이터 경로는 시스템의 물리적 계층과 네트워크 프로토콜 스택과는 별개인 디바이스 사이에서 제어 데이터를 이동시키도록 구성되는, 시스템.
- [0076] 실시예 6: 실시예 1 내지 실시예 5 중 어느 하나에 있어서, 제어 데이터 경로는 물리적 계층으로 또는 물리적 계층으로부터 제어 데이터를 이동시키는 것을 포함하는 하나 이상의 제어 사이클들에 사용될 수 있는, 시스템.
- [0077] 실시예 7: 실시예 1 내지 실시예 6 중 어느 하나에 있어서, 하나 이상의 제어 사이클들 중 하나는 시간 인식 프로토콜, 트래픽 성형 프로토콜, 및 물리적 계층 충돌 회피 프로토콜 중 하나와 연관되는, 시스템.
- [0078] 실시예 8: 실시예 1 내지 실시예 7 중 어느 하나에 있어서, 물리적 계층 측 수신 데이터 경로는, 제2 클록 도메인 내에 있는 제1 부분; 제1 클록 도메인 내에 있는 제2 부분; 및 물리적 계층 측 수신 데이터 경로에 의해 이동되고 있는 수신 데이터가 제2 클록 도메인으로부터 제1 클록 도메인으로 교차하는 전이부 경계를 포함하는, 시스템.
- [0079] 실시예 9: 물리적 계층 디바이스의 회로부로서, 로컬 클록을 생성하도록 구성된 로컬 클록 발생기; 수신 회로부 및 송신 회로부 - 수신 회로부 및 송신 회로부 각각은 로컬 클록 발생기의 출력부에 동작가능하게 커플링되고, 로컬 클록에 의한 클록킹을 위해 구성됨 -; 및 하나 이상의 출력부들 - 하나 이상의 출력부들은 클록 발생기에 동작가능하게 커플링되고 로컬 클록을 전파하도록 구성된 제1 출력부를 포함함 - 을 포함하는, 회로부.
- [0080] 실시예 10: 실시예 9에 있어서, 로컬 클록 발생기의 출력부에 동작가능하게 커플링되고, 로컬 클록에 응답하여 로컬 기준 클록을 생성하도록 구성된 로컬 기준 클록 발생기를 추가로 포함하는, 회로부. 추가로, 로컬 클록 발생기는 로컬 기준 클록 발생기의 출력부에 동작가능하게 커플링되고, 로컬 기준 클록에 응답하여 로컬 클록을 생성하도록 구성된다.
- [0081] 실시예 11: 실시예 9 또는 실시예 10에 있어서, 상호접속부를 추가로 포함하고, 상호접속부는 제1 출력부를 링크 계층 디바이스의 수신 클록 입력부에 그리고 링크 계층 디바이스의 송신 클록 입력부에 동작가능하게 커플링시키도록 구성되는, 회로부.
- [0082] 실시예 12: 실시예 9 내지 실시예 11 중 어느 하나에 있어서, 하나 이상의 출력부들은 제2 출력부를 포함하고, 제2 출력부는 배타적 충돌 시그널링을 위한 신호에 할당되는, 회로부.
- [0083] 실시예 13: 실시예 9 내지 실시예 12 중 어느 하나에 있어서, 하나 이상의 입력부들을 추가로 포함하고, 하나 이상의 입력부들은 송신 회로부에 동작가능하게 커플링되는 제1 입력부를 포함하고, 제1 입력부는 제어 시그널링을 위한 신호에 할당되는, 회로부.
- [0084] 실시예 14: 실시예 9 내지 실시예 13 중 어느 하나에 있어서, 상호접속부를 추가로 포함하고, 상호접속부는 제1 입력부를 네트워크 프로토콜 스택의 링크 계층 위의 하나 이상의 디바이스들에 동작가능하게 커플링시키도록 구성되는, 회로부.
- [0085] 실시예 15: 실시예 9 내지 실시예 14 중 어느 하나에 있어서, 공유 송신 매체에서의 동작가능한 커플링을 위해 인터페이스 회로부를 추가로 포함하는, 회로부.
- [0086] 실시예 16: 실시예 9 내지 실시예 15 중 어느 하나에 있어서, 하나 이상의 디바이스들 중 하나는 시간 동기화

회로인, 회로부.

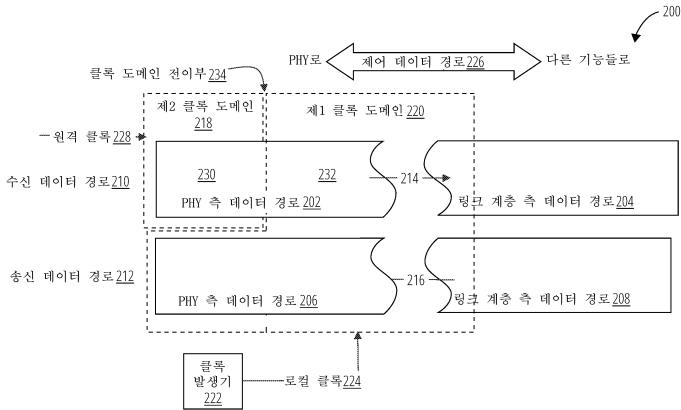
- [0087] 실시예 17: 실시예 9 내지 실시예 16 중 어느 하나에 있어서, 하나 이상의 출력부들 중 적어도 하나의 출력부는 배타적 충돌 시그널링을 위해 구성되는, 회로부.
- [0088] 실시예 18: 실시예 9 내지 실시예 17 중 어느 하나에 있어서, 상호접속부를 추가로 포함하고, 상호접속부는 배타적 충돌 시그널링을 위한 적어도 하나의 출력부를 배타적 충돌 시그널링을 위한 링크 계층 디바이스의 입력부에 동작가능하게 커플링시키도록 구성되는, 회로부.
- [0089] 실시예 19: 실시예 9 내지 실시예 18 중 어느 하나에 있어서, 로컬 기준 클록을 생성하도록 구성되는 제2 클록 발생기를 추가로 포함하는, 회로부.
- [0090] 실시예 20: 실시예 9 내지 실시예 19 중 어느 하나에 있어서, 로컬 클록 발생기는 로컬 기준 클록에 응답하여 로컬 클록을 생성하도록 구성되는, 회로부.
- [0091] 실시예 21: 실시예 9 내지 실시예 20 중 어느 하나에 있어서, 수신 회로부는, 로컬 기준 클록을 수신하도록 구성되는 오버샘플링 회로; 및 로컬 클록을 수신하도록 구성되는 동기화 회로를 포함하는, 회로부.
- [0092] 실시예 22: 방법으로서, 공유 송신 매체로부터의 데이터 수신을 시작하는 단계; 및 링크 계층에의 동작가능 커플링을 위해 인터페이스를 향해 수신 데이터를 이동시키는 단계를 포함하고, 수신 데이터를 이동시키는 단계는 수신 데이터를 원격 클록 도메인으로부터 물리적 계층 디바이스의 로컬 클록 도메인으로 교차시키는 단계를 포함하는, 방법.
- [0093] 실시예 23: 실시예 22에 있어서, 수신 데이터를 이동시키는 단계는, 공유 송신 매체로부터 수신된 데이터를 오버샘플링하는 단계를 추가로 포함하는, 방법.
- [0094] 실시예 24: 실시예 22 또는 실시예 23에 있어서, 수신 데이터를 이동시키는 단계는, 오버샘플링된 데이터를 사용하여 디지털 클록 및 데이터 복구를 수행하는 단계를 추가로 포함하는, 방법.
- [0095] 실시예 25: 실시예 22 내지 실시예 24 중 어느 하나에 있어서, 링크 계층으로 전송하기 위해 수신 데이터를 인터페이스에 제공하는 단계를 추가로 포함하는, 방법.
- [0096] 본 발명이 소정의 예시된 실시예들과 관련하여 본 명세서에서 기술되었지만, 당업자는 본 발명이 그런 식으로 제한되지 않는다는 것을 인지 및 인식할 것이다. 오히려, 예시되고 설명된 실시예들에 대한 많은 추가, 삭제 및 수정이 그의 법적 등가물과 함께 이하에서 청구되는 바와 같은 본 발명의 범주로부터 벗어남이 없이 이루어질 수 있다. 또한, 하나의 실시예로부터의 특징들은 본 발명자에 의해 고려되는 바와 같은 본 발명의 범주 내에 여전히 포함되면서 다른 실시예의 특징들과 조합될 수 있다.

도면

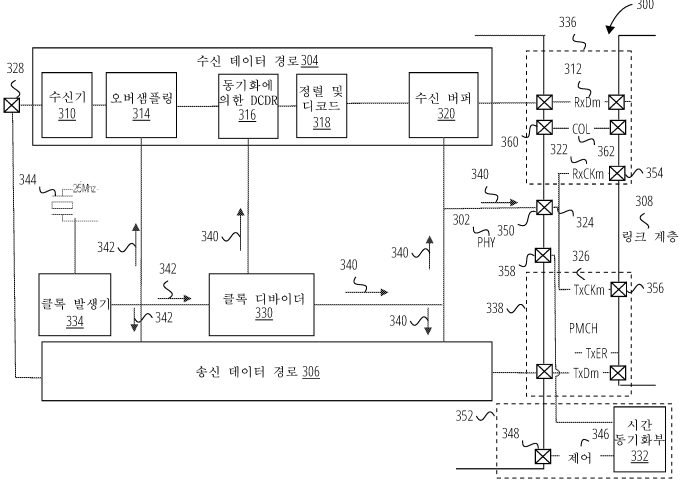
도면1



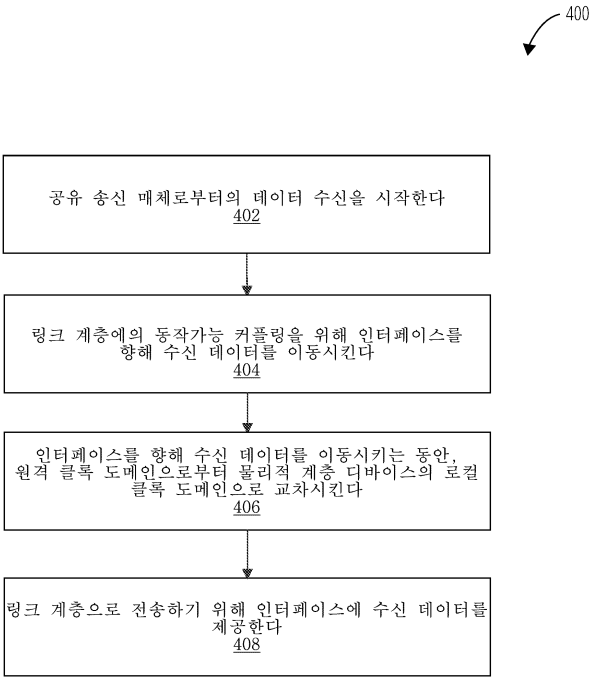
도면2



도면3



도면4



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

이더넷 시스템으로서,

링크 계층 측 수신 데이터 경로를 향해 수신 데이터를 이동시키도록 구성된 물리적 계층 측 수신 데이터 경로 (210); 및

공유 송신 매체를 향해 송신 데이터를 이동시키도록 구성된 물리적 계층 측 송신 데이터 경로(212)를 포함하고, 물리적 계층 수신 데이터 경로 회로 및 물리적 계층 송신 데이터 경로 회로에 동작 가능하게 커플링된 클록 발생기(222)를 더욱 포함하며, 상기 클록 발생기는 제1 클록 도메인(220)에 대한 로컬 클록(224)을 생성하도록 구성되고,

수신 데이터 경로의 제2 부분(232)과 송신 데이터 경로가 제1 클록 도메인(220)내에 있고, 수신 데이터 경로의 제1 부분(230)이 제2 클록 도메인(218)내에 있으며, 제2 클록 도메인은 제1 클록 도메인과 다른 것인, 이더넷 시스템

【변경후】

이더넷 시스템으로서,

링크 계층 측 수신 데이터 경로를 향해 수신 데이터를 이동시키도록 구성된 물리적 계층 측 수신 데이터 경로 (210); 및

공유 송신 매체를 향해 송신 데이터를 이동시키도록 구성된 물리적 계층 측 송신 데이터 경로(212)를 포함하고, 물리적 계층 수신 데이터 경로 회로 및 물리적 계층 송신 데이터 경로 회로에 동작 가능하게 커플링된 클록 발생기(222)를 더 포함하며, 상기 클록 발생기는 제1 클록 도메인(220)에 대한 로컬 클록(224)을 생성하도록 구성되고,

수신 데이터 경로의 제2 부분(232)과 송신 데이터 경로가 제1 클록 도메인(220)내에 있고, 수신 데이터 경로의 제1 부분(230)이 제2 클록 도메인(218)내에 있으며, 제2 클록 도메인은 제1 클록 도메인과 다른 것인, 이더넷 시스템