



(12) 发明专利申请

(10) 申请公布号 CN 113607043 A

(43) 申请公布日 2021. 11. 05

(21) 申请号 202110872718.X

(22) 申请日 2021.07.30

(71) 申请人 中航电测仪器股份有限公司

地址 723007 陕西省汉中市经济开发北区
鑫源路

(72) 发明人 晏志鹏 雷宇哲 刘忙贤 雒平华
赵凯锋

(74) 专利代理机构 西安通大专利代理有限责任
公司 61200

代理人 姚咏华

(51) Int. Cl.

G01B 7/16 (2006.01)

G01L 1/22 (2006.01)

G01L 9/04 (2006.01)

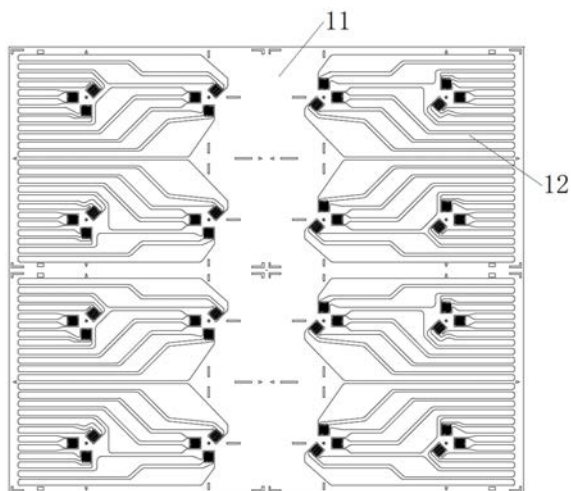
权利要求书1页 说明书4页 附图5页

(54) 发明名称

一种用于芯片应力测试用应变计

(57) 摘要

本发明公开了一种用于芯片应力测试用应变计,包括设置在同一应变计基底上的4~20组测量栅,每行设置四组测量栅,每组测量栅包括至少三个不同方向的单轴测量栅。通过在应变计基底上的4~20组测量栅,将测量栅进行排布,每组测量栅包括至少三个不同方向的单轴测量栅,从而在应变计有限的面积中,增加应变计的测试点,可实现对待测物不同梯度、各个方向上受力状况的测量,提高测试结果的准确性。



1. 一种用于芯片应力测试用应变计,其特征在於,包括设置在同一应变计基底(11)上的4~20组测量栅(12),每行设置多组测量栅(12),每组测量栅(12)包括至少三个不同方向的单轴测量栅。
2. 根据权利要求1所述的用于芯片应力测试用应变计,其特征在於,每个单轴测量栅均设置有焊点(7),焊点(7)设置在应变计(5)两个相对边或四个边。
3. 根据权利要求1所述的用于芯片应力测试用应变计,其特征在於,单轴测量栅间的夹角为 $0^{\circ}\text{C}\sim 180^{\circ}\text{C}$ 。
4. 根据权利要求1所述的用于芯片应力测试用应变计,其特征在於,每个单轴测量栅的电阻范围为 $120\ \Omega\sim 1000\ \Omega$ 。
5. 根据权利要求1所述的用于芯片应力测试用应变计,其特征在於,每组测量栅(12)的间距为4~10mm。
6. 根据权利要求1所述的用于芯片应力测试用应变计,其特征在於,应变计(5)包括2~4块相同的应变计基底(11),所有应变计基底(11)将4~20组测量栅(12)均分,所有应变计基底(11)之间粘合成应变计(5)。
7. 根据权利要求1所述的用于芯片应力测试用应变计,其特征在於,应变计(5)顶部设置有散热器(1),应变计(5)的焊点(7)在芯片封装或加盖散热器(1)区域之外。
8. 根据权利要求1所述的用于芯片应力测试用应变计,其特征在於,应变计(5)包括基底膜和盖层膜,基底膜和盖层膜采用厚度为 $10\ \mu\text{m}\sim 50\ \mu\text{m}$ 的酚醛树脂、环氧树脂、聚氨酯、聚醚醚酮或聚酰亚胺薄膜。
9. 根据权利要求1所述的用于芯片应力测试用应变计,其特征在於,应变计(5)采用三线制的方式连接有测试仪器。
10. 根据权利要求1所述的用于芯片应力测试用应变计,其特征在於,应变计(5)的焊点(7)连接有连接导线(9)一端,连接导线(9)另一端连接有测试导线(10),连接导线(9)直径和硬度均小于测试导线(10)。

一种用于芯片应力测试用应变计

技术领域

[0001] 本发明属于应变计领域,涉及一种用于芯片应力测试用应变计。

背景技术

[0002] 为预防芯片可能出现的各种失效问题(如BGA芯片安装、电路板安装应力、机械振动等),定量的评估和识别芯片在元件装配、测试、机械安装、运输等过程中可能存在的应力过大的有害流程,需对芯片在各种受力状态下的应力分布情况进行测试。

[0003] 普通电阻应变计可实现对待测件应力分布的测量,测试用应变计主要有三种:一是多片排列单轴应变计,二是使用重叠花式应变计,三是使用3~8组测量栅的应变花。

[0004] 在芯片测试的过程中,使用现有应变计,主要存在如下问题:芯片表面积较小,应变计布置面积有限,无法排布更多测试点,测试结果不能反映应力应变分布情况,与应力分布云图差异较大。

发明内容

[0005] 本发明的目的在于克服上述现有技术的缺点,提供一种用于芯片应力测试用应变计,增加应变计的测试点,提高测试结果的准确性。

[0006] 为达到上述目的,本发明采用以下技术方案予以实现:

[0007] 一种用于芯片应力测试用应变计,包括设置在同一应变计基底上的4~20组测量栅,每行设置偶数组测量栅,每组测量栅包括至少三个不同方向的单轴测量栅。

[0008] 优选的,每个单轴测量栅均设置有焊点,焊点设置在应变计两个相对边或四个边。

[0009] 优选的,单轴测量栅间的夹角为 $0^{\circ}\sim 180^{\circ}$ 。

[0010] 优选的,每个单轴测量栅的电阻范围为 $120\ \Omega\sim 1000\ \Omega$ 。

[0011] 优选的,每组测量栅的间距为4~10mm。

[0012] 优选的,应变计包括2~4块相同的应变计基底,所有应变计基底将4~20组测量栅均分,所有应变计基底之间粘合成应变计。

[0013] 优选的,应变计顶部设置有散热器,应变计的焊点在芯片封装或加盖散热器区域之外。

[0014] 优选的,应变计包括基底膜和盖层膜,基底膜和盖层膜采用厚度为 $10\ \mu\text{m}\sim 50\ \mu\text{m}$ 的酚醛树脂、环氧树脂、聚氨酯、聚醚醚酮或聚酰亚胺薄膜。

[0015] 优选的,应变计采用三线制的方式连接有测试仪器。

[0016] 优选的,应变计的焊点连接有连接导线一端,连接导线另一端连接有测试导线,连接导线直径和硬度均小于测试导线。

[0017] 与现有技术相比,本发明具有以下有益效果:

[0018] 本发明通过在应变计基底上的4~20组测量栅,将测量栅进行排布,每组测量栅包括至少三个不同方向的单轴测量栅,从而在应变计有限的面积中,增加应变计的测试点,可实现对待测物不同梯度、各个方向上受力状况的测量,提高测试结果的准确性。

[0019] 进一步,应变计的焊点既可两边引出进行排布。而当焊点较多时,也可以四边引出的方式进行排布。

[0020] 进一步,通过将应变计拆分,使每个测量栅基底上的测量栅数量都不会太多,降低了制备难度。

[0021] 进一步,通过将焊点位置设计在芯片封装或加盖散热器区域之外,可避免焊点影响散热器芯片表面贴合。

[0022] 进一步,厚度更薄的基底膜和盖层膜,可使应变计与带有曲率的芯片表面贴合更好。

[0023] 进一步,采用三线制的方式连接应变计和测试仪器,能够降低应变计与测试仪器之间连接导线电阻对测试结果的影响。

[0024] 进一步,通过先从焊点引出较细较软的连接导线,再转接测试导线,从而保证了在跌落测试中,导线的连接可靠性。

附图说明

[0025] 图1是本专利的应变计测量栅示意图。

[0026] 图2是本专利的应变计分割为四块示意图。

[0027] 图3是本专利的焊点两边引出排布示意图。

[0028] 图4是本专利的焊点四边引出排布示意图。

[0029] 图5是本专利的应变计第一种三线制接法示意图。

[0030] 图6是本专利的应变计第二种三线制接法示意图。

[0031] 图7为本发明的应变计第一应用状态示意图。

[0032] 图8为本发明的应变计第二应用状态示意图。

[0033] 其中:1-散热器,2-芯片本体,3-芯片基底,4-PCB板,5-应变计,6-贴片胶层,7-焊点,8-应变计导线,9-连接导线,10-测试导线;11-应变计基底;12-测量栅。

具体实施方式

[0034] 下面结合附图对本发明做进一步详细描述:

[0035] 本发明所述的芯片应力测试用应变计5,包括设置在同一应变计基底11上的4~20组测量栅12,每组测量栅12间距为:4~10mm。每行设置多组测量栅12,每组测量栅12含3个及以上不同方向的单轴测量栅,单轴测量栅间的夹角为 0° ~ 180° 。每个单轴测量栅的电阻范围为 $120\ \Omega$ ~ $1000\ \Omega$,而每个栅引出的焊点7,可布局在整片应变计5的四边范围内。

[0036] 如图1所示,该实施例应变计5在 $27*26\text{mm}$ 的区域内,按照一定间距设计16组测量栅12,其中每组含3个不同方向的单轴测量栅,3个不同方向为 0° 方向、 90° 方向、 135° 方向,共计48个单轴测量栅。

[0037] 应变计5设置的测量栅12过多时,可能为应变计5生产制造带来困难。此时,可将整片应变计5按照测量栅12的重复性,将应变计基底11分割为2~4块,每块单独制造好后,再通过盖层将上述块按照分割前的图形粘合在一起,形成图形完整的应变计5。

[0038] 如图2所示,先将图1中的图形分割为4块,每块单独制作,再通过盖层将上述块按照分割前的图形贴合在一起,形成图形完整的应变计5。该应变计5可达图1中应变计5的测

试效果,且生产制造更容易。

[0039] 单轴测量栅均设置有焊点7,焊点7设置在应变计5两个相对边或四个边。

[0040] 图3和图4为本发明中存在的两种焊点7排布方式。应变计5的焊点7既可两边引出进行排布。而当焊点7较多时,也可以四边引出的方式进行排布。

[0041] 焊点7影响散热器1与芯片表面贴合。通过将焊点7位置设计在芯片封装或加盖散热器1区域之外,可避免焊点7带来影响。

[0042] 应变计5厚度影响其自身与芯片表面贴合。在选材时,通过选用厚度更薄的基底膜,可使应变计5与带有曲率的芯片表面贴合更好。需要选择合适厚度的基底膜和盖层膜,采用10 μm ~50 μm 的酚醛树脂、环氧树脂、聚氨酯、聚醚醚酮或聚酰亚胺薄膜。

[0043] 为降低应变计5与采集数据的应变仪之间连接导线9电阻对测试结果的影响,采用三线制的方式连接。一种方案是:每个单轴测量栅设计有两个焊点7,其中一个引出一条导线,另一个引出两条导线。另一种方案是:每个单轴测量栅设计有三个焊点7,每个焊点7引出一条导线。

[0044] 图4所示,当每个单轴敏感栅仅设计两个焊点7时,三线制接法为:其中一个焊点7引出两根导线,另一个焊点7引出一根导线。

[0045] 图5所示,可在应变计5图形设计时给每个单轴敏感栅设计三个焊点7,三线制接法为:每个焊点7引出一根导线即可。

[0046] 焊点7连接有应变计导线8,为保证跌落中导线连接可靠,应变计导线8包括连接导线9和测试导线10,可通过焊点7先引出连接导线9再转接测试导线10,连接导线9直径和硬度均小于测试导线10,同时将部分导线固定在PCB板4上,保证测试过程中导线连接的可靠性。

[0047] 应变计5接导线时,从焊点7引出的部分先接较短(200mm~500mm)的一段连接导线9,避免导线较硬造成焊点7处的应力集中。连接导线9推荐直径 $\Phi 0.3\text{mm}$ 及以下的镀银丝线、漆包线、聚四氟乙烯线、PVC线。连接导线9后转接较长(1000mm~5000mm)的一段测试导线10,测试导线10推荐使用直径 $\Phi 0.3\text{mm}$ ~ $\Phi 1.5\text{mm}$ 的三芯PVC、TPE、聚四氟乙烯排线。

[0048] 图7、图8所示为本发明的应变计5在芯片应力测试装置中的应用,芯片应力测试装置包括自上而下依次设置的散热器1、应变计5、贴片胶层6、芯片本体2、芯片基底3和PCB板4,应变计5使用贴片胶固定在表面有不同曲率的凹面或凸面芯片上,上方加盖有散热器1,芯片通过其基底固定于PCB板4上。焊点7位于散热器1与芯片接触的区域之外,焊点7上再引出应变计导线8,导线末端连接测试仪器。

[0049] 上述一种用于芯片应力测试的应变计5设计技术,结合应变计5制造技术及应力测试技术,可实现对芯片应力分布的精确调测量。经测试,本实施例应变计5的测试重复性(3次测试平均值/标准偏差)在-2%~+2%以内,可实时反应不同跌落状态下芯片的应力分布状况。

[0050] 表1加载重复性数据记录表

敏感栅 编号	敏感栅 方向	加载应变值/ $\mu\epsilon$					
		第 1 次	第 2 次	第 3 次	平均值	标准偏 差	重复性
1	90° 方向	124	125	127	125	1.53	1.22%
2	0° 方向	203	204	205	204	1.00	0.49%
3	135° 方向	-938	-938	-938	-938	0.00	0.00%
4	90° 方向	-358	-358	-356	-357	1.15	-0.32%
[0051] 5	0° 方向	-962	-961	-959	-961	1.53	-0.16%
6	135° 方向	-422	-418	-417	-419	2.65	-0.63%
7	90° 方向	128	129	129	129	0.58	0.45%
8	0° 方向	-938	-937	-937	-937	0.58	-0.06%
9	135° 方向	181	182	183	182	1.00	0.55%
10	90° 方向	-919	-920	-920	-920	0.58	-0.06%
11	0° 方向	-381	-381	-381	-381	0.00	0.00%
12	135° 方向	-390	-390	-390	-390	0.00	0.00%

[0052] 以上内容仅为说明本发明的技术思想,不能以此限定本发明的保护范围,凡是按照本发明提出的技术思想,在技术方案基础上所做的任何改动,均落入本发明权利要求书的保护范围之内。

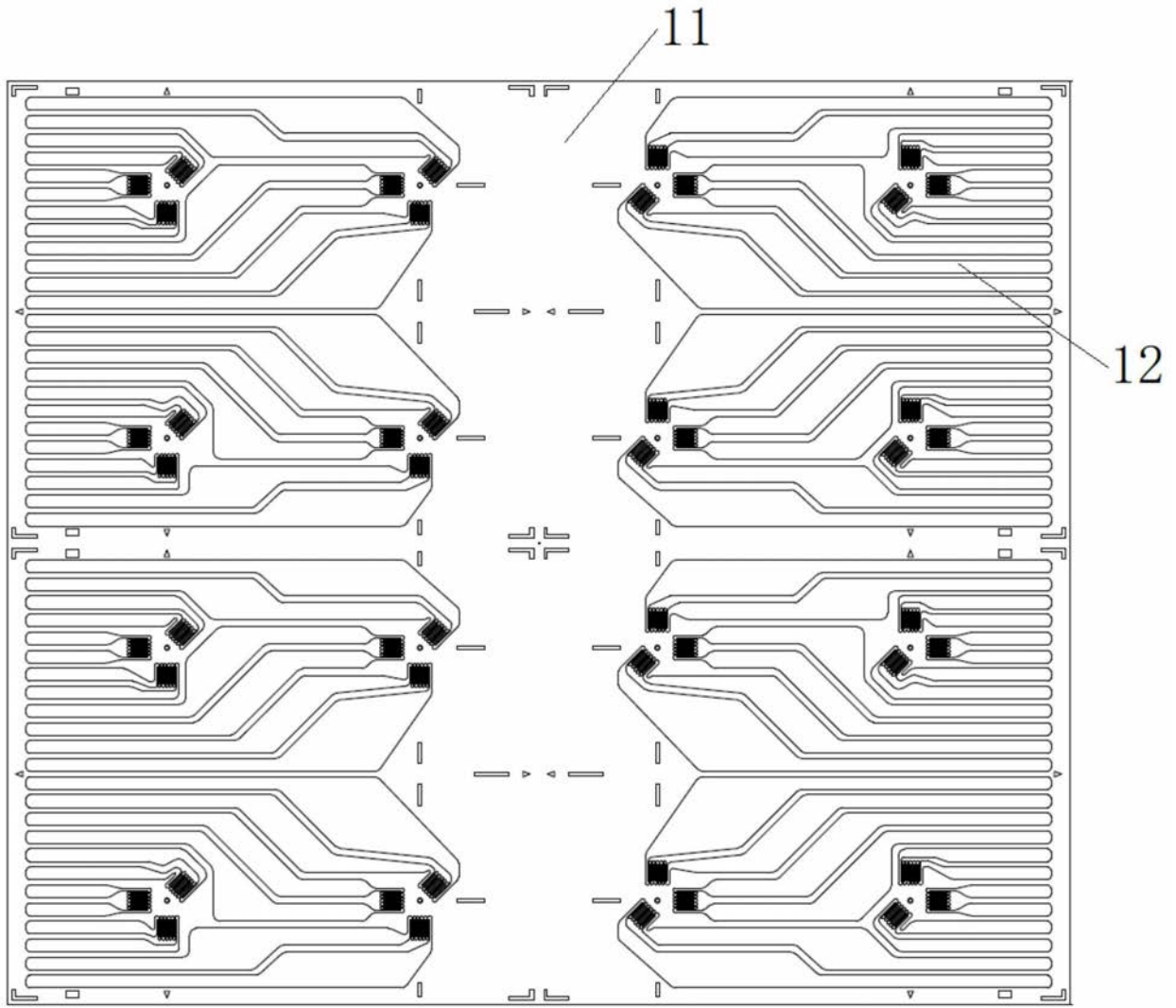


图1

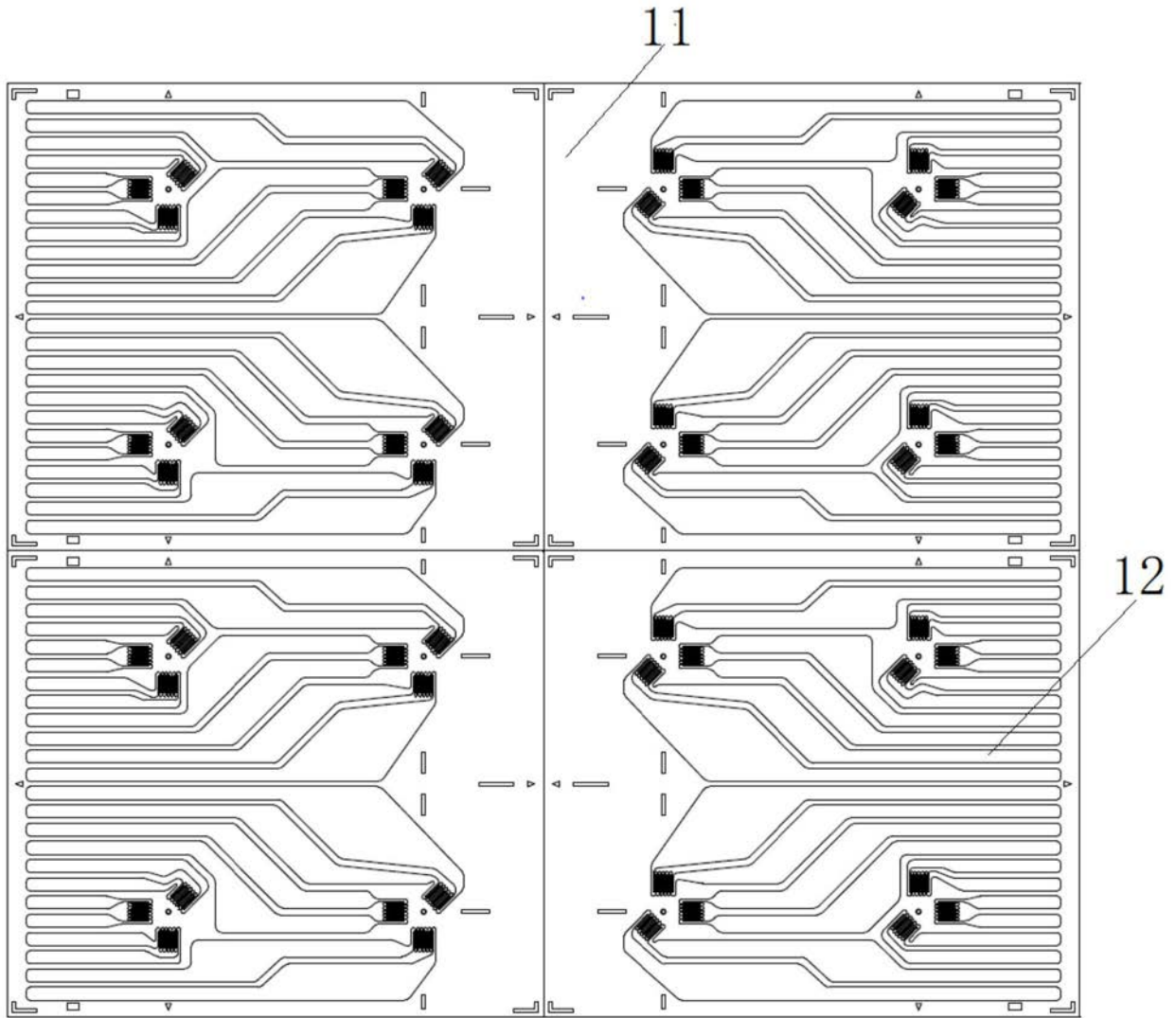


图2

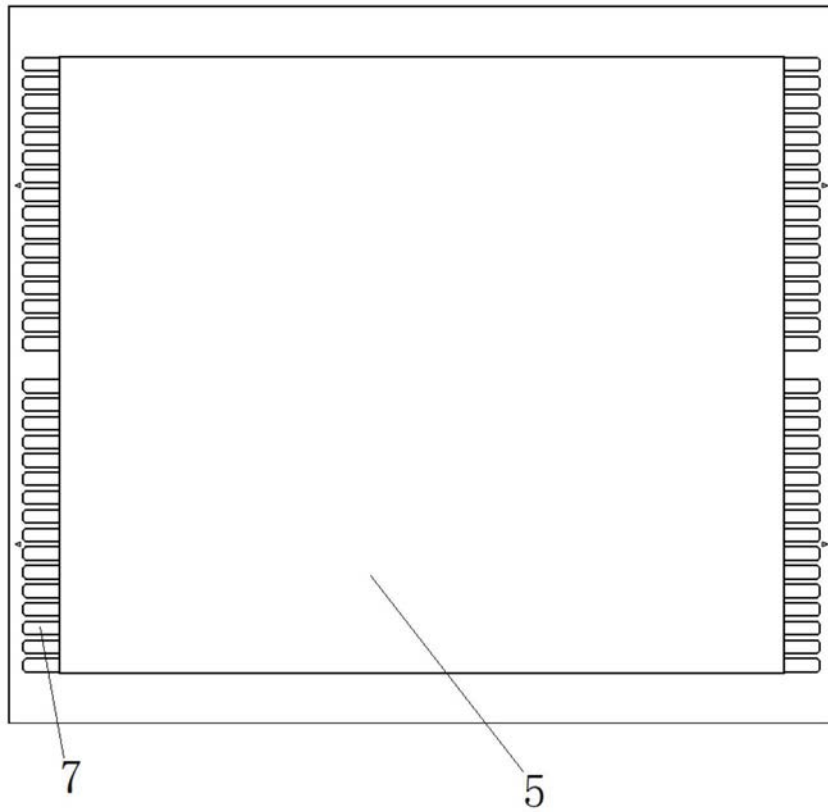


图3

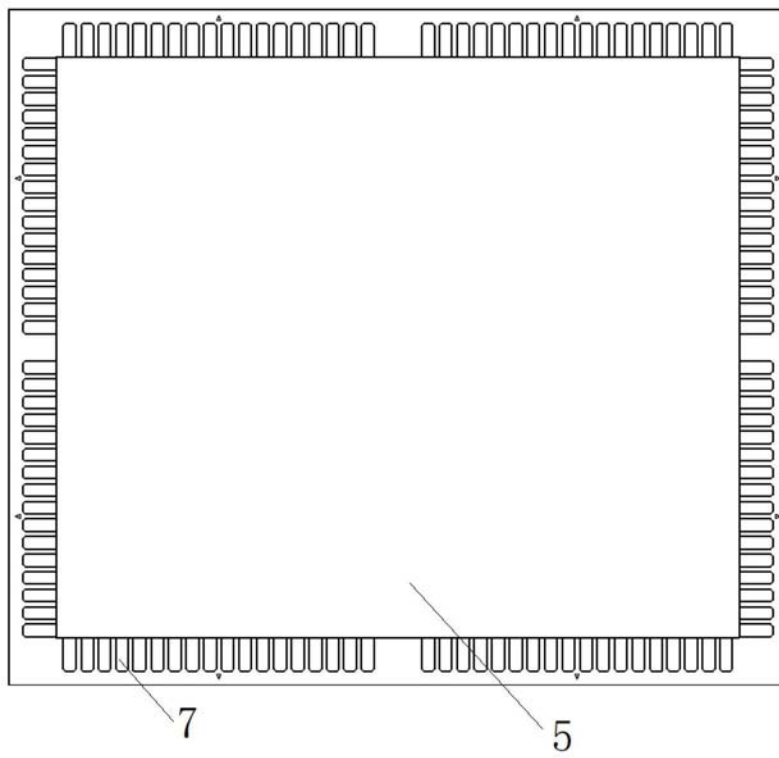


图4

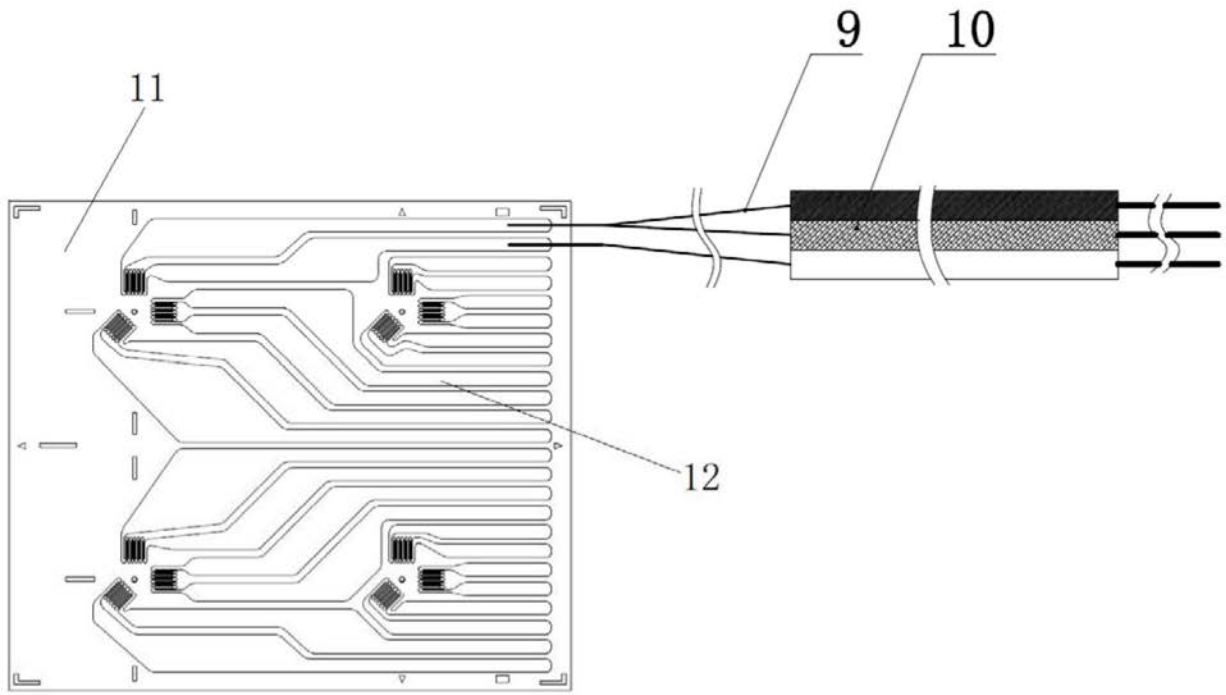


图5

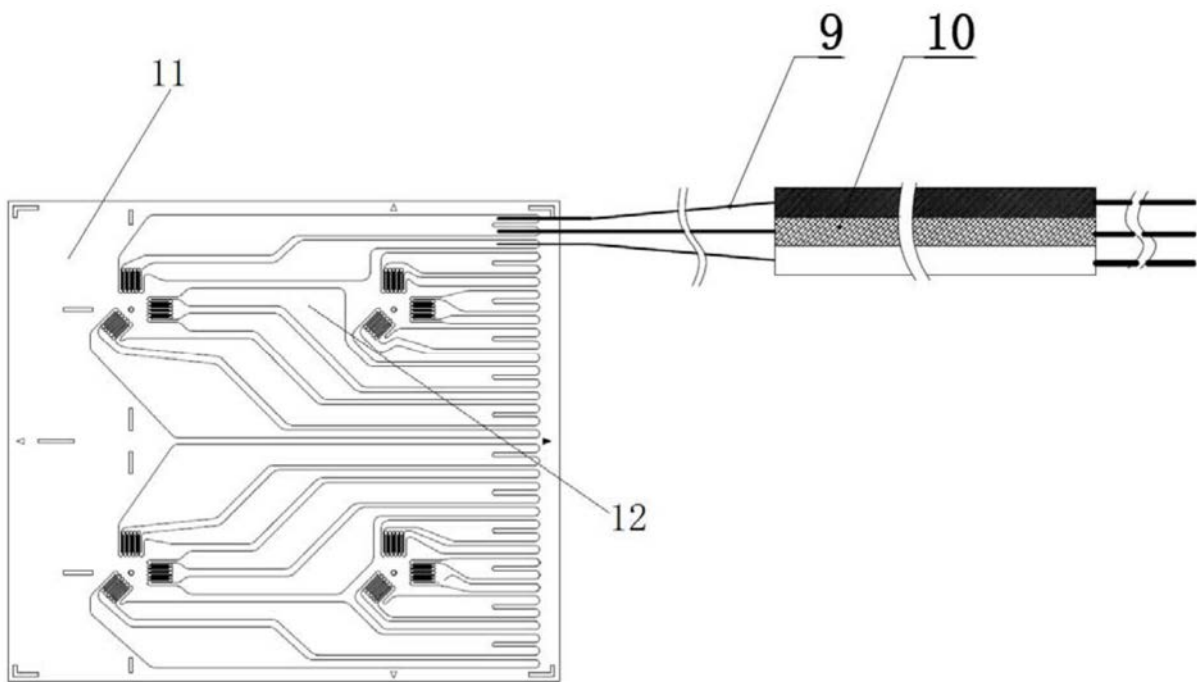


图6

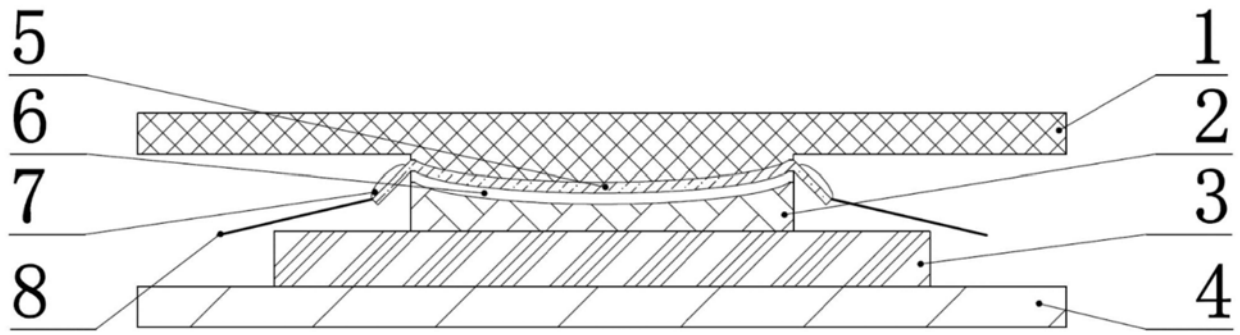


图7

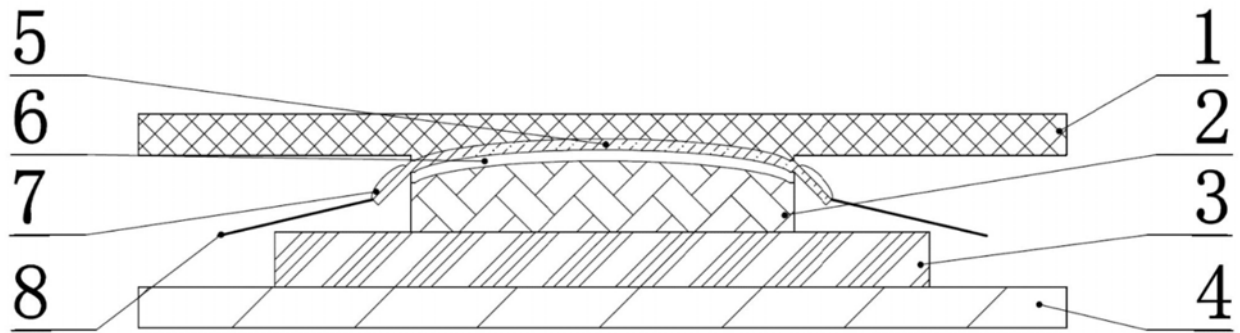


图8