



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G05F 1/56 (2006.01)

G05F 1/10 (2006.01)

H02H 3/087 (2006.01)

(11) 공개번호 10-2006-0127070

(43) 공개일자 2006년12월11일

(21) 출원번호 10-2006-7014794

(22) 출원일자 2006년07월21일

심사청구일자 없음

번역문 제출일자 2006년07월21일

(86) 국제출원번호 PCT/JP2005/000605

(87) 국제공개번호 WO 2005/071511

국제출원일자 2005년01월19일

국제공개일자 2005년08월04일

(30) 우선권주장 JP-P-2004-00014988 2004년01월22일 일본(JP)

(71) 출원인 로무 가부시킴가이샤  
일본 교토시 우교구 사이잉 미조사키쵸 21

(72) 발명자 호조 요시유키  
일본 교토시 우교구 사이잉 미조사키쵸 21 로무 가부시킴가이샤내

(74) 대리인 특허법인태평양

전체 청구항 수 : 총 4 항

(54) 과전류 검출 회로 및 그것을 구비한 레귤레이터

(57) 요약

입력하는 전원 전압이나 온도가 변동했을 경우의 과전류 검출 레벨의 변동을 억제할 수 있는 과전류 검출 회로를 제공한다. 이 과전류 검출 회로(10b)는 출력 트랜지스터(11)의 제어단 및 출력단에 각각 제어단 및 출력단이 접속되는 모니터용 트랜지스터(21)와, 검출용 바이어스 전압(28)을 제어단에 입력하고, 모니터용 트랜지스터(21)의 입력단에 출력단이 접속되는 출력 전류 검출용 트랜지스터(22b)와, 기준 전류  $I_{REF}$ 를 생성하는 정전류원(24)과, 검출용 바이어스 전압(28)을 제어단에 입력하고, 정전류원(24)에 출력단으로부터 기준 전류  $I_{REF}$ 를 유입시키는 레퍼런스용 트랜지스터(23)와, 출력 전류 검출용 트랜지스터(22b)의 출력단의 전압과 레퍼런스용 트랜지스터(23)의 출력단의 전압을 비교하여 검출 신호를 출력하는 비교 회로(25b)를 구비하여 이루어진다.

대표도

도 3

특허청구의 범위

## 청구항 1.

전원 전압이 입력단에, 제어 전압이 제어단에 입력되어서 출력단으로부터 출력 전류를 출력하는 출력 트랜지스터에 과전류가 흘렀을 때 그것을 검출하는 과전류 검출 회로에 있어서,

출력 트랜지스터의 제어단 및 출력단에 각각 제어단 및 출력단이 접속되는 모니터용 트랜지스터와,

전원 전압이 입력단에, 검출용 바이어스 전압이 제어단에 입력되고, 출력단이 모니터용 트랜지스터의 입력단에 접속되는 출력 전류 검출용 트랜지스터와,

기준 전류를 생성하는 정전류원과,

전원 전압이 입력단에, 검출용 바이어스 전압이 제어단에 입력되어서 출력단으로부터 상기 정전류원에 상기 기준 전류를 유입시키는 레퍼런스(reference)용 트랜지스터와,

출력 전류 검출용 트랜지스터의 출력단의 전압과 레퍼런스용 트랜지스터의 출력단의 전압을 비교함으로써, 출력 트랜지스터에 과전류가 흘렀을 때 그것을 검출하여 과전류 검출 신호를 출력하는 비교 회로를 구비하여 이루어지는 것을 특징으로 하는 과전류 검출 회로.

## 청구항 2.

제1항에 있어서,

상기 출력 트랜지스터, 상기 모니터용 트랜지스터, 상기 출력 전류 검출용 트랜지스터, 및 상기 레퍼런스용 트랜지스터는 P형 MOS 트랜지스터인 것을 특징으로 하는 과전류 검출 회로.

## 청구항 3.

제1항 또는 제2항에 있어서,

상기 비교 회로는

상기 정전류원과 레퍼런스용 트랜지스터의 사이에 개재된 다이오드 접속의 제 1의 비교용 트랜지스터와,

상기 정전류원이 생성하는 기준 전류의 소정 배의 전류를 생성하는 제 2의 정전류원과,

상기 제 2의 정전류원과 출력 전류 검출용 트랜지스터의 사이에 개재되고, 제 1의 비교용 트랜지스터의 제어단에 제어단이 접속된 제 2의 비교용 트랜지스터를 구비하여 이루어지는 것을 특징으로 하는 과전류 검출 회로.

## 청구항 4.

제1항 내지 제3항 중 어느 한 항에 기재된 과전류 검출 회로를 구비한 레귤레이터에 있어서,

전원 전압과 소정의 DC 전압을 출력하는 출력 단자와의 사이에 출력 트랜지스터를 설치하고, 출력 단자의 전압을 피드백 입력하여 소정의 DC 전압을 유지하기 위하여 출력 트랜지스터를 제어하는 동시에, 과전류 검출 회로의 과전류 검출 신호가 입력되면, 출력 트랜지스터를 오프 하는 제어 회로를 설치하여 이루어지는 것을 특징으로 하는 레귤레이터.

명세서

기술분야

본 발명은 예를 들면 전원 전압을 소정의 DC 전압으로 변환하는 레귤레이터에 있어서 부하에 전류를 출력하는 구성 요소로서의 출력 트랜지스터에 과전류가 흘렀을 경우에, 이것을 검출하여 보호하는 과전류 검출 회로 및 그 과전류 검출 회로를 구비한 레귤레이터(regulator)에 관한 것이다.

## 배경기술

스위칭 레귤레이터나 시리즈 레귤레이터 등의 레귤레이터는 입력하는 전원 전압과 부하에 접속되어서 소정의 DC 전압을 출력하는 단자의 사이에 출력 트랜지스터를 설치하고, 그 출력 트랜지스터를 제어함으로써 소정의 DC 전압을 유지한다. 그리고, 부하가 단락했을 경우 등의 이상시에, 출력 트랜지스터가 과전류에 의해 파괴되는 것을 방지하기 위해 과전류를 검출하여 보호하는 회로가 설치된다(예를 들면 특허 문헌 1).

도 4에 종래의 과전류 검출 회로 및 그것을 구비한 레귤레이터를 나타낸다. 이 레귤레이터(101)는 P형 MOS 트랜지스터인 출력 트랜지스터(11)와, 출력 트랜지스터(11)의 출력을 평활화하는 평활화 회로(12)와, 평활화한 소정의 DC 전압을 출력하는 출력 단자 OUT와, 출력 단자 OUT의 전압을 피드백 입력하여 출력 트랜지스터(11)를 제어하는 제어 회로(14)와, 출력 트랜지스터(11)의 과전류를 검출하여 보호하는 과전류 검출 회로(110a)로 구성된다. 출력 단자 OUT에는 부하(13)가 접속된다.

과전류 검출 회로(110a)는 전원 전압  $V_{cc}$ 에 소스가 출력 트랜지스터(11)의 게이트에 게이트가 접속된 P형 MOS 트랜지스터인 모니터용 트랜지스터(121)와, 모니터용 트랜지스터(121)의 드레인에 접속되어서 타단(他端)이 접지된 출력 전류 검출용 저항(122)과, 모니터용 트랜지스터(121)의 드레인과 출력 전류 검출용 저항(122)의 접속점에 게이트가 제어 회로(14)에 드레인이 접속되고, 소스가 접지된 N형 MOS 트랜지스터인 과전류 검출 출력 트랜지스터(123)로 구성된다. 여기서, 모니터용 트랜지스터(121)의 사이즈는 출력 트랜지스터(11)의  $1/N$ 으로 설정되어 있다. 그리고, 모니터용 트랜지스터(121)에 흐르는 전류는 과전류 검출에만 이용되므로, 전력 손실을 크게 하지 않기 위하여, 그 전류값을 작게 하도록  $N$ 은 큰 값의 자연수로 된다.

현재, 출력 트랜지스터(11)에 출력 전류  $I_O$ 가 흐르면, 모니터용 트랜지스터(121)에는 거의  $I_O/N$ 의 전류가 흐르고, 이에 따른 전압이 접지 전위를 기준으로 하여 출력 전류 검출용 저항(122)에 생긴다. 그리고, 출력 전류  $I_O$ 가 과전류로 되고, 이 전압이 과전류 검출 출력 트랜지스터(123)의 문턱값( $V_{th}$ )을 초과하면 과전류 검출 출력 트랜지스터(123)가 로 레벨을 출력한다. 이로 인해, 제어 회로(14)는 출력 트랜지스터(11)의 출력 전류가 과전류 검출 레벨을 초과한 것으로 하여(과전류가 흐르고 있다고 판단하여) 출력 트랜지스터(11)를 오프 한다. 여기서, 과전류 검출 레벨은 모니터용 트랜지스터(121)의 사이즈와 출력 전류 검출용 저항(122)의 저항값에 의하여 조절할 수 있다.

다음에, 종래의 다른 과전류 검출 회로 및 그것을 구비한 레귤레이터를 도 5에 나타낸다. 이 레귤레이터(102)는, 과전류 검출 회로(110b) 이외는 상술한 레귤레이터(101)와 실질적으로 동일한 구성이며, 과전류 검출 회로(110b)도 상술한 과전류 검출 회로(110a)와 동일하게, 모니터용 트랜지스터(121b)와, 출력 전류 검출용 저항(122)을 갖고 있다. 그리고, 과전류 검출 회로(110b)는 과전류 검출 출력 트랜지스터(123) 대신에, 과전류 검출 출력용 컴퍼레이터(125)를 갖고 있다. 이 과전류 검출 출력용 컴퍼레이터(125)는 모니터용 트랜지스터(121)와 출력 전류 검출용 저항(122)의 접속점에 반전 입력 단자가 과전류 검출용 기준 전압(124)에 비반전 입력 단자가 제어 회로(14)에 출력 단자가 각각 접속되어 있다.

이것도, 출력 트랜지스터(11)에 출력 전류  $I_O$ 가 흐르면, 모니터용 트랜지스터(121)에는 거의  $I_O/N$ 의 전류가 흐르고, 여기에 따른 전압이 접지 전위를 기준으로 하여 출력 전류 검출용 저항(122)에 생긴다. 그리고, 출력 전류  $I_O$ 가 과전류로 되고, 이 전압이 과전류 검출용 기준 전압(124)을 초과하면 과전류 검출 출력용 컴퍼레이터(125)가 로 레벨을 출력한다. 이로 인해, 제어 회로(14)는 출력 트랜지스터(11)의 출력 전류가 과전류 검출 레벨을 초과한 것으로 하여 출력 트랜지스터(11)를 오프 한다. 여기서, 과전류 검출 레벨은 모니터용 트랜지스터(121)의 사이즈, 출력 전류 검출용 저항(122)의 저항값 및 과전류 검출용 기준 전압(124)의 값에 의해 조절할 수 있다.

특허 문헌 1 : 일본 특개평 8-331757호 공보

이와 같이 과전류 검출 회로(110a 및 110b)는 출력 트랜지스터(11)에 흐르는 과전류를 검출할 수 있다. 그러나, 과전류 검출 회로의 과전류 검출 레벨의 보다 고정밀화를 연구하고 있는 본원 발명자는 이것들 과전류 검출 회로(110a 및 110b)에 있어서는 출력 전류 검출용 저항(222)에 생기는 전압, 즉 모니터용 트랜지스터(121)의 드레인 전압은 접지 전위를 기준으

로 하고 있고, 출력 트랜지스터(11)의 드레인 전압은 접지 전위를 기준으로 하고 있지 않은 것에 주목하였다. 즉 이로 인해, 모니터용 트랜지스터(121)의 드레인의 전압은 출력 트랜지스터(11)의 드레인의 전압과 달리, 그 결과 모니터용 트랜지스터(121)의 전류는  $I_0/N$ 의 값으로부터 벗어나 있음을 상정하였다.

따라서, 이 차이를 미리 산출하고, 출력 전류 검출용 저항(122)의 저항값을 변경하여 과전류 검출 레벨을 조정하는 것도 고려되므로, 입력하는 전원 전압  $V_{cc}$ 가 변동했을 경우에는 차이의 정도도 변화하므로, 이 대책은 효과적이지 않다.

또, 본원 발명자는 온도가 변동했을 때, 모니터용 트랜지스터(121) 및 출력 트랜지스터(11)와 출력 전류 검출용 저항(122)과는 온도 특성이 다른 것에 의한 과전류 검출 레벨에의 영향에도 주목하였다. 또, 과전류 검출 회로(110a)에 있어서는 과전류 검출 출력 트랜지스터(123)의 특성도 변동하기 때문에, 다시 과전류 검출 레벨은 변동하면 상정(想定)하였다.

## 발명의 상세한 설명

본 발명은 이상의 사유에 감안하여 이루어진 것으로, 그 목적으로 하는 것은 입력하는 전원 전압이나 온도가 변동했을 경우의 과전류 검출 레벨의 변동을 억제할 수 있는 과전류 검출 회로 및 그것을 구비한 레귤레이터를 제공하는 것이다.

상기의 과제를 해결하기 위하여, 본 발명의 바람직한 실시 형태에 관한 과전류 검출 회로는 전원 전압이 입력단에, 제어 전압이 제어단에 입력되어서 출력단으로부터 출력 전류를 출력하는 출력 트랜지스터에 과전류가 흘렀을 때 그것을 검출하는 과전류 검출 회로에 있어서, 출력 트랜지스터의 제어단 및 출력단에 각각 제어단 및 출력단이 접속되는 모니터용 트랜지스터와, 전원 전압이 입력단에, 검출용 바이어스 전압이 제어단에 입력되고, 출력단이 모니터용 트랜지스터의 입력단에 접속되는 출력 전류 검출용 트랜지스터와, 기준 전류를 생성하는 정전류원과, 전원 전압이 입력단에, 검출용 바이어스 전압이 제어단에 입력되어서 출력단으로부터 상기 정전류원에 상기 기준 전류를 유입시키는 레퍼런스(reference)용 트랜지스터와, 출력 전류 검출용 트랜지스터의 출력단의 전압과 레퍼런스용 트랜지스터의 출력단의 전압을 비교함으로써, 출력 트랜지스터에 과전류가 흘렀을 때 그것을 검출하여 과전류 검출 신호를 출력하는 비교 회로를 구비하여 이루어진다.

상기 출력 트랜지스터, 상기 모니터용 트랜지스터, 상기 출력 전류 검출용 트랜지스터, 및 상기 레퍼런스용 트랜지스터는 바람직하게 P형 MOS 트랜지스터이다.

상기 비교 회로는 바람직하게 상기 정전류원과 레퍼런스용 트랜지스터의 사이에 개재된 다이오드 접속의 제 1의 비교용 트랜지스터와, 상기 정전류원이 생성하는 기준 전류의 소정 배의 전류를 생성하는 제 2의 정전류원과, 제 2의 정전류원과 출력 전류 검출용 트랜지스터의 사이에 개재되고, 제 1의 비교용 트랜지스터의 제어단에 제어단이 접속된 제 2의 비교용 트랜지스터를 구비하여 이루어진다.

본 발명의 바람직한 실시 형태에 관한 레귤레이터는 상술한 과전류 검출 회로를 구비한 레귤레이터로서, 전원 전압과 소정의 DC 전압을 출력하는 출력 단자와의 사이에 출력 트랜지스터를 설치하고, 출력 단자의 전압을 피드백 입력하여 소정의 DC 전압을 유지하기 위하여 출력 트랜지스터를 제어하는 동시에, 과전류 검출 회로의 과전류 검출 신호가 입력되면, 출력 트랜지스터를 오프 하는 제어 회로를 설치하여 이루어진다.

## 실시예

이하, 본 발명의 최선의 실시 형태를 도면을 참조하여 설명한다. 도 1은 본 발명의 실시 형태인 과전류 검출 회로와 그것을 구비하는 레귤레이터의 회로도이다. 이 레귤레이터(1)는 전원 전압  $V_{cc}$ 와 출력 단자 OUT의 사이와 P형 MOS 트랜지스터인 출력 트랜지스터(11)를 설치하고, 출력 트랜지스터(11)를 제어함으로써 출력 단자 OUT를 소정의 DC 전압에 유지하는 동시에, 출력 트랜지스터(11)에 과전류가 흘렀을 경우에는 과전류 검출 회로(10a)가 그것을 검출하여 출력 트랜지스터(11)를 오프하는 것이다. 보다 자세하게 설명하면, 이 레귤레이터(1)는 전원 전압  $V_{cc}$ 를 입력단(소스)에 입력하고, 제어 전압을 제어단(게이트)에 입력하고, 출력 전류  $I_0$ 를 출력단(드레인)으로부터 출력하는 출력 트랜지스터(11)와, 출력 트랜지스터(11)의 출력단에 생기는 전압을 평활화하는 평활화 회로(12)와, 평활화한 소정의 DC 전압을 출력하는 출력 단자 OUT과, 출력 단자 OUT의 전압을 피드백 입력하고 소정의 DC 전압을 유지하기 위하여 도 1에 있어서의 절점 C로부터 출력 트랜지스터(11)를 제어하는 동시에, 과전류 검출 회로(10a)의 과전류 검출 신호가 절점 D로부터 입력되면, 출력 트랜지스터(11)를 오프하기 위하여 절점 C의 제어 전압을 전원 전압  $V_{cc}$  레벨로 하는 제어 회로(14)와, 출력 트랜지스터(11)에 과전류가 흘렀을 경우에 그것을 검출하여, 그 과전류 검출 신호를 절점 D로부터 제어 회로(14)에 출력하는 과전류 검출 회로(10a)를 구비한다. 출력 단자 OUT에는 부하(13)가 접속된다.

과전류 검출 회로(10a)는 출력 트랜지스터(11)의 제어단(게이트) 및 출력단(드레인)에 각각 제어단(게이트) 및 출력단(드레인)이 접속되는 P형 MOS 트랜지스터인 모니터용 트랜지스터(21)와, 전원 전압  $V_{cc}$ 가 입력단(소스)에, 검출용 바이어스 전압(28)이 제어단(게이트)에 입력되고, 출력단(드레인)이 모니터용 트랜지스터(21)의 입력단(소스)에 접속되는 P형 MOS 트랜지스터인 출력 전류 검출용 트랜지스터(22a)와, 기준 전류  $I_{REF}$ (예를 들면  $10\mu A$ )를 생성하는 N형 MOS 트랜지스터인 정전류원(24)과, 전원 전압  $V_{cc}$ 가 입력단(소스)에, 검출용 바이어스 전압(28)이 제어단(게이트)에 입력되어서 출력단(드레인)으로부터 정전류원(24)에 기준 전류  $I_{REF}$ 를 유입시키는 P형 MOS 트랜지스터인 레퍼런스용 트랜지스터(23)와, 출력 전류 검출용 트랜지스터(22a)의 출력단(드레인)의 전압(즉 도 1에 있어서의 절점 B의 전압)과 레퍼런스용 트랜지스터(23)의 출력단(드레인)의 전압(즉, 도 1에 있어서의 절점 A의 전압)을 비교하여 검출 신호를 절점 D에 출력하는 컴퍼레이터로 이루어지는 비교 회로(25a)를 구비한다. 이 비교 회로(25a)는 보다 구체적으로는 출력 트랜지스터(11)에 과전류가 흐르지 않을 때는 하이 레벨의 검출 신호를 출력하고, 과전류가 흘렀을 때 그것을 검출하여 로 레벨의 과전류 검출 신호를 출력한다. 즉, 과전류 검출 회로(10a)는 모니터용 트랜지스터(21)와 출력 전류 검출용 트랜지스터(22a)의 직렬체를 출력 트랜지스터(11)와 병렬로 설치하고, 또한 레퍼런스용 트랜지스터(23)를 출력 전류 검출용 트랜지스터(22a)와 병렬로 설치하고, 출력 전류 검출용 트랜지스터(22a)의 출력을 레퍼런스용 트랜지스터(23)의 출력과 비교하는 것으로 과전류를 검출하고 있다. 또, 모니터용 트랜지스터(21), 출력 전류 검출용 트랜지스터(22a) 및 레퍼런스용 트랜지스터(23)의 사이즈는 동일하고, 그리고 출력 트랜지스터(11)의 사이즈의  $1/N$ (예를 들면,  $1/50000$ )으로 설정되어 있다. 또한, 과전류 검출 회로(10a)는 추가로 N형 MOS 트랜지스터(26) 및 정전류원(27)을 구비하고, 그것들은 정전류원(24)의 전류값을 결정하는 것이다.

또, 출력 전류 검출용 트랜지스터(22a)와 레퍼런스용 트랜지스터(23)의 제어단에 공통으로 입력되는 검출용 바이어스 전압(28)은 모니터용 트랜지스터(21)의 제어단(게이트)의 전압에 거의 일치시키는 것이 바람직하다. 예를 들면, 레귤레이터(1)가 스위칭 레귤레이터의 경우는 검출용 바이어스 전압(28)을 접지 전압 레벨로 하는 것이 바람직하다.

다음에, 과전류 검출 회로(10a)의 동작을 도 2의 동작 파형도에 근거하여 설명한다. 이 동작 파형도는 절점 A 및 B의 동작 파형(곡선 A와 곡선 B), 즉 출력 전류  $I_O$ 에 대한 절점 A 및 B의 전압의 변화와, 비교 회로(25a)의 동작 파형, 즉 검출 신호 출력(절점 D의 전압)의 변화를 나타내고 있다. 모니터용 트랜지스터(21)와 출력 전류 검출용 트랜지스터(22a)의 사이즈는 출력 트랜지스터(11)의  $1/N$ 으로 설정되어 있으므로, 출력 트랜지스터(11)에 출력 전류  $I_O$ 가 흐르면, 직렬 접속된(직렬체의) 모니터용 트랜지스터(21) 및 출력 전류 검출용 트랜지스터(22a)에 흐르는 전류  $I_1$ 은 거의  $I_O/2N$ 으로 된다. 즉, 모니터용 트랜지스터(21)와 출력 전류 검출용 트랜지스터(22a)의 등가 저항의 값을  $R$ 로 하면, 출력 트랜지스터(11)의 등가 저항의 값은  $R/N$ 이기 때문에, 이하의 식이 성립한다.

$$RI_1 + RI_1 = RI_O/N \cdots (1)$$

따라서,

$$I_1 = I_O/2N \cdots (2)$$

로 된다.

그리고, 절점 B에는 출력 전류 검출용 트랜지스터(22a)에  $I_O/2N$ 의 전류를 흘리기 위해 필요한 전압이 전원 전압  $V_{cc}$ 를 기준으로 하여 생기고 있다. 절점 B의 전압은 출력 트랜지스터(11)의 출력 전류  $I_O$ 가 증가하면 직선적으로 강해진다. 한편, 절점 A에는 레퍼런스용 트랜지스터(23)에 기준 전류  $I_{REF}$ 를 흘리기 위해 필요한 전압이 전원 전압  $V_{CC}$ 를 기준으로 하여 생기고 있다. 따라서, 출력 트랜지스터(11)의 출력 전류  $I_O$ 가 증가하고, 모니터용 트랜지스터(21) 및 출력 전류 검출용 트랜지스터(22a)에 흐르는 전류  $I_O/2N$ 이 기준 전류  $I_{REF}$ 의 값을 초과하면, 즉 절점 B의 전압이 절점 A의 전압 이하로 강해지면, 비교 회로(25a)의 출력인 절점 D의 검출 신호는 하이 레벨에서 로 레벨(과전류 검출 신호)로 변화한다. 구체적으로,  $N$ 을 50000으로, 기준 전류  $I_{REF}$ 를  $10\mu A$ 로 각각 설정하면, 출력 트랜지스터(11)의 전류  $I_O$ 가 거의 1A(암페어) 이상으로, 절점 D의 검출 신호는 로 레벨로 된다. 그 결과, 제어 회로(14)는 출력 트랜지스터(11)의 출력 전류  $I_O$ 가 과전류 검출 레벨  $I_E$ 를 초과한 것으로 하여(과전류가 흐르고 있다고 판단하여) 출력 트랜지스터(11)를 오프한다.

여기서, 직렬체의 모니터용 트랜지스터(21) 및 출력 전류 검출용 트랜지스터(22a), 추가로 레퍼런스용 트랜지스터(23)의 각 출력단(드레인)의 전압은 출력 트랜지스터(11)와 동일하게, 흐르는 전류의 값에 따라 전원 전압  $V_{CC}$ 를 기준으로 생기고 있다. 따라서, 이러한 트랜지스터의 출력단(드레인)의 전압이 다른 소자의 영향으로 변동하여 그것들에 흐르는 전류의 비율이 사이즈의 비율로부터 벗어나는 것이 억제된다. 그리고, 전원 전압  $V_{CC}$ 가 변동했을 경우에서도 이러한 트랜지스터의 출력단(드레인)의 전압은 전원 전압  $V_{CC}$ 를 기준으로 생기고 있으므로, 그 영향을 받지 않고, 과전류 검출 레벨  $I_E$ 의 변동은 거의 일어나지 않는 것이다.

또, 출력 트랜지스터(11), 모니터용 트랜지스터(21), 출력 전류 검출용 트랜지스터(22a) 및 레퍼런스용 트랜지스터(23)는 모두 P형 MOS 트랜지스터이므로, 동일한 온도 특성을 갖는다. 따라서, 모니터용 트랜지스터(21), 출력 전류 검출용 트랜지스터(22a) 및 레퍼런스용 트랜지스터(23)의 특성은 온도가 변동해도 출력 트랜지스터(11)와 동일하게 변화하게 되고, 온도의 변동에 의하여 생기는 과전류 검출 레벨  $I_E$ 의 변동을 억제할 수 있다.

다음에, 본 발명의 다른 실시 형태인 과전류 검출 회로와 그것을 구비하는 레귤레이터를 도 3에 근거하여 설명한다. 이 레귤레이터(2)는 과전류 검출 회로(10b) 이외는 상술한 레귤레이터(1)와 실질적으로 동일한 구성이므로, 과전류 검출 회로(10b)에 대하여 이하 설명을 행한다.

과전류 검출 회로(10b)는 과전류 검출 회로(10a)와 동일하게, 모니터용 트랜지스터(21)와, 출력 전류 검출용 트랜지스터(22b)와, 레퍼런스용 트랜지스터(23)와, 기준 전류  $I_{REF}$ 를 생성하는 정전류원(24)을 구비한다. 단, 모니터용 트랜지스터(21) 및 레퍼런스용 트랜지스터(23)의 사이즈는 과전류 검출 회로(10a)와 동일하게 설정되어 있으나, 출력 전류 검출용 트랜지스터(22b)의 사이즈는 모니터용 트랜지스터(21) 및 레퍼런스용 트랜지스터(23)의 2 배로 설정되어 있다.

그리고, 과전류 검출 회로(10b)는 앞의 실시 형태에 있어서의 컴퍼레이터로 이루어지는 비교 회로(25a)를, 다른 회로 구성을 갖는 비교 회로(25b)로 바꾸고 있다. 비교 회로(25b)는 정전류원(24)과 레퍼런스용 트랜지스터(23)의 사이에 개재된 다이오드 접속의 (출력단(드레인)과 제어단(게이트)이 접속된) P형 MOS 트랜지스터인 제 1의 비교용 트랜지스터(31)와, 정전류원(N형 MOS 트랜지스터)(24)과 게이트 전압을 공통으로 하는 것으로 정전류원(24)이 생성하는 기준 전류  $I_{REF}$ 의 소정 배(여기서는 1 배)의 전류를 생성하는 제 2의 정전류원(33)과, 제 2의 정전류원(33)과 출력 전류 검출용 트랜지스터(22b)의 사이에 개재되고, 제 1의 비교용 트랜지스터(31)의 제어단(게이트)에 제어단(게이트)이 접속된 P형 MOS 트랜지스터인 제 2의 비교용 트랜지스터(32)를 구비한다. 따라서, 제 2의 비교용 트랜지스터(32)의 입력단(소스)의 전위가 제 1의 비교용 트랜지스터(31)의 입력단(소스)보다 강하하면, 제 2의 비교용 트랜지스터(32)에 전류는 흐르지 않게 된다(오프한다).

다음에, 과전류 검출 회로(10b)의 동작을 설명한다. 모니터용 트랜지스터(21)와 레퍼런스용 트랜지스터(23)의 등가 저항의 값을  $R$ 로 하면, 출력 전류 검출용 트랜지스터(22b)의 등가 저항의 값은  $R/2$  이며, 출력 트랜지스터(11)의 등가 저항의 값은  $R/N$  이다. 출력 전류 검출용 트랜지스터(22b)에 흐르는 전류는 모니터용 트랜지스터(21)에 흐르는 전류  $I_1$ 과 제 2의 정전류원(33)에 유입하는 전류  $I_{REF}$ 로 분기한다. 따라서, 절점 B에는 출력 전류 검출용 트랜지스터(22b)에 전류  $I_{REF}+I_1$ 을 흘리기 위해 필요한 전압  $R(I_{REF}+I_1)/2$  가 전원 전압  $V_{CC}$ 를 기준으로 하여 생긴다. 그리고,

$$R(I_{REF}+I_1)/2 + RI_1 = RI_O/N \cdots (3)$$

이 성립하고, 이 식을 만족하도록 모니터용 트랜지스터(21)에 전류  $I_1$ 이 흐르게 된다.

또한, 절점 A에는 레퍼런스용 트랜지스터(23)에 기준 전류  $I_{REF}$ 를 흘리기 위해 필요한 전압  $RI_{REF}$ 가 전원 전압  $V_{CC}$ 를 기준으로 하여 생기고 있다. 절점 B의 전압이 절점 A의 전압과 동일하게 되면,

$$R(I_{REF}+I_1)/2 = RI_{REF} \cdots (4)$$

이 성립한다. 이것을 풀면,

$$I_1 = I_{REF} \cdots (5)$$



로 된다. 그리고, (5) 식을 (3) 식에 대입하면,

$$I_1 = I_{REF} = I_O / 2N \cdots (6)$$

으로 된다. 그리고, 모니터용 트랜지스터(21)에 흐르는 전류  $I_1$ 이 전류  $I_{REF}$ 를 초과하면, 절점 B의 전압은 절점 A보다 강하하므로, 제 2의 비교용 트랜지스터(32)는 오프 하고, 비교 회로(25b)의 출력, 즉 절점 D의 검출 신호는 하이 레벨에서 로 레벨(과전류 검출 신호)로 변화한다. 구체적으로는 N을 50000으로, 기준 전류  $I_{REF}$ 를  $10\mu A$ 로 각각 설정하면, 출력 트랜지스터(11)의 출력 전류  $I_O$ 가 1A 이상으로, 절점 D의 검출 신호는 로 레벨로 된다.

이와 같이 과전류 검출 회로(10b)는 과전류 검출 회로(10a)와 동일하게, 출력 트랜지스터(11)에 과전류가 흘렀을 경우, 그것을 검출하여 과전류 검출 신호를 절점 D로부터 제어 회로(14)에 출력할 수 있다. 또한, 이 과전류 검출 회로(10b)의 비교 회로(25b)는 과전류 검출 회로(10a)의 비교 회로(25a)와 같은 컴퍼레이터를 이용하지 않기 때문에, 회로를 구성하는 소자수를 감소시킬 수 있고, 점유 면적 및 소비 전력을 감소시킬 수 있다.

또한, 과전류 검출 회로(10a 또는 10b)에 있어서, 과전류 검출 레벨  $I_E$ 를 조정하는 데는 기준 전류  $I_{REF}$ 를 바꾸면 된다. 또, 과전류 검출 회로(10b)에 있어서, 정전류원(N형 MOS 트랜지스터)(24)에 대하여 제 2의 정전류원(N형 MOS 트랜지스터)(33)의 사이즈를 바꾸어서 흐르는 전류값의 소정의 배율을 변경함으로써, 과전류 검출 레벨  $I_E$ 를 조정하는 것도 가능하다. 예를 들면, 제 2의 정전류원(N형 MOS 트랜지스터)(33)의 사이즈를 1/2로 하면,

$$I_{REF} = 2I_O / 5N \cdots (7)$$

그리고, 절점 B의 전압이 절점 A의 전압과 동일하게 된다. 따라서, N을 50000으로, 기준 전류  $I_{REF}$ 를  $10\mu A$ 로 각각 설정하면, 과전류 검출 레벨  $I_E$ 는 1.25A로 된다.

또, 모니터용 트랜지스터(21) 및 출력 전류 검출용 트랜지스터(22a(22b))에 대하여 레퍼런스용 트랜지스터(23)의 사이즈 비율을 변경함으로써, 과전류 검출 레벨  $I_E$ 를 조정하는 것도 가능하다. 예를 들면, 과전류 검출 회로(10a)에 있어서, 레퍼런스용 트랜지스터(23)의 사이즈를 모니터용 트랜지스터(21) 및 출력 전류 검출용 트랜지스터(22a)의 1/2로 하면, 상기 조건(N가 50000, 기준 전류  $I_{REF}$ 가  $10\mu A$ )에서 과전류 검출 레벨  $I_E$ 는 2A로 된다. 또, 과전류 검출 회로(10b)에 있어서, 레퍼런스용 트랜지스터(23)의 사이즈를 모니터용 트랜지스터(21)의 것 1/2로 하면,

$$I_{REF} = I_O / 5N \cdots (8)$$

그리고, 절점 B의 전압이 절점 A의 전압과 동일하게 된다. 따라서, 상기 조건(N가 50000, 기준 전류  $I_{REF}$ 가  $10\mu A$ )에서 과전류 검출 레벨  $I_E$ 는 2.5A로 된다.

또, 본 발명은 상술한 실시 형태에 한정되는 일 없이 청구의 범위에 기재한 사항의 범위내에서의 다양한 설계 변경이 가능하다. 예를 들면, 상술한 실시 형태에서는 레귤레이터의 출력 트랜지스터(11)를 P형 MOS 트랜지스터로 하고, 과전류 검출 회로의 모니터용 트랜지스터(21), 출력 전류 검출용 트랜지스터(22a(22b)) 및 레퍼런스용 트랜지스터(23)는 모두 P형 MOS 트랜지스터로 한 것으로 설명하였으나, 출력 트랜지스터(11)를 N형 MOS 트랜지스터, PNP형 바이폴라 트랜지스터 또는 NPN형 바이폴라 트랜지스터로 하는 것도 가능하고, 그 경우 모니터용 트랜지스터(21), 출력 전류 검출용 트랜지스터(22a(22b)) 및 레퍼런스용 트랜지스터(23)를 그러한 형태에 맞추어서 과전류 검출 회로를 구성하면 되는 것은 물론이다.

### 산업상 이용 가능성

본 발명의 바람직한 실시 형태에 관한 과전류 검출 회로는 모니터용 트랜지스터와 출력 전류 검출용 트랜지스터의 직렬체를 출력 트랜지스터와 병렬로 설치하고, 또한 레퍼런스용 트랜지스터를 출력 전류 검출용 트랜지스터와 병렬로 설치하고, 출력 전류 검출용 트랜지스터의 출력을 레퍼런스용 트랜지스터의 출력과 비교하는 것으로 과전류를 검출하고 있으므로,

입력하는 전원 전압이나 온도가 변동해도 그러한 트랜지스터의 특성은 상대적으로 나머지 변동하지 않기 때문에, 과전류 검출 레벨의 변동을 억제할 수 있다. 또, 그것을 구비한 레귤레이터는 과전류 검출 레벨이 안정되므로, 신뢰성을 향상시킬 수 있다.

## 도면의 간단한 설명

도 1은 본 발명의 실시 형태에 관한 과전류 검출 회로와 그것을 구비하는 레귤레이터의 회로도.

도 2는 동상의 동작 파형도.

도 3은 본 발명의 다른 실시 형태에 관한 과전류 검출 회로와 그것을 구비하는 레귤레이터의 회로도.

도 4는 배경 기술의 과전류 검출 회로와 그것을 구비하는 레귤레이터의 회로도.

도 5는 배경 기술의 다른 과전류 검출 회로와 그것을 구비하는 레귤레이터의 회로도.

## <부호의 설명>

1, 2 레귤레이터

10a, 10b 과전류 검출 회로

11 출력 트랜지스터

13 부하

21 모니터용 트랜지스터

22a, 22b 출력 전류 검출용 트랜지스터

23 레퍼런스용 트랜지스터

24 정전류원

25a, 25b 비교 회로

28 검출용 바이어스 전압

31 제 1의 비교용 트랜지스터

32 제 2의 비교용 트랜지스터

33 제 2의 정전류원

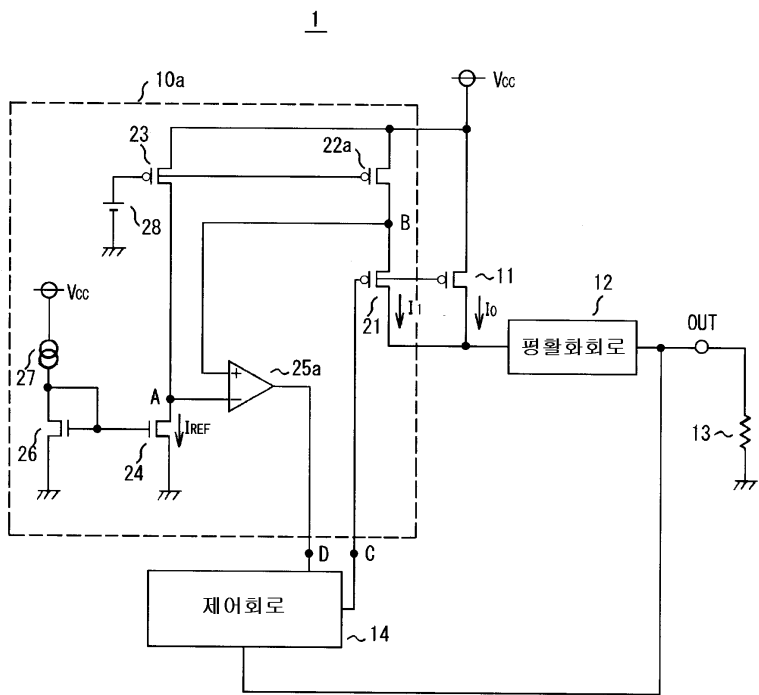
$V_{cc}$  입력하는 전원 전압

OUT 레귤레이터의 출력 단자

도면

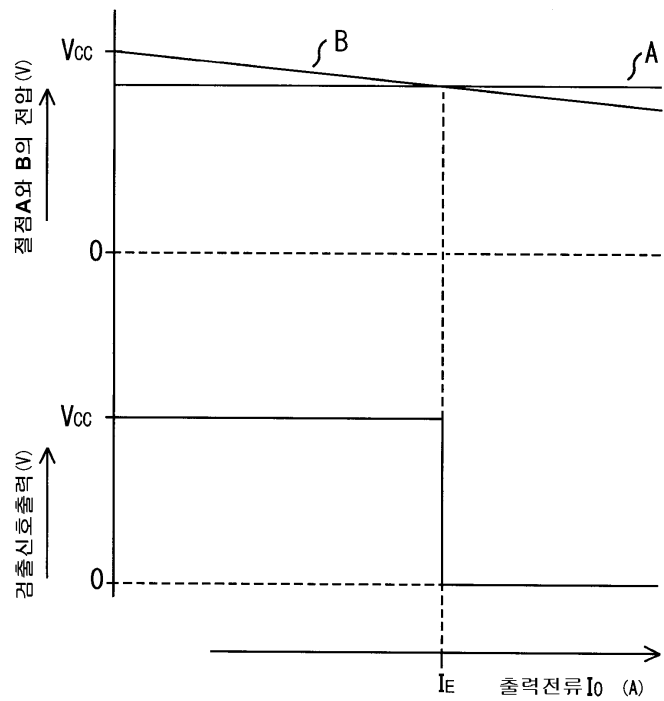


도면1



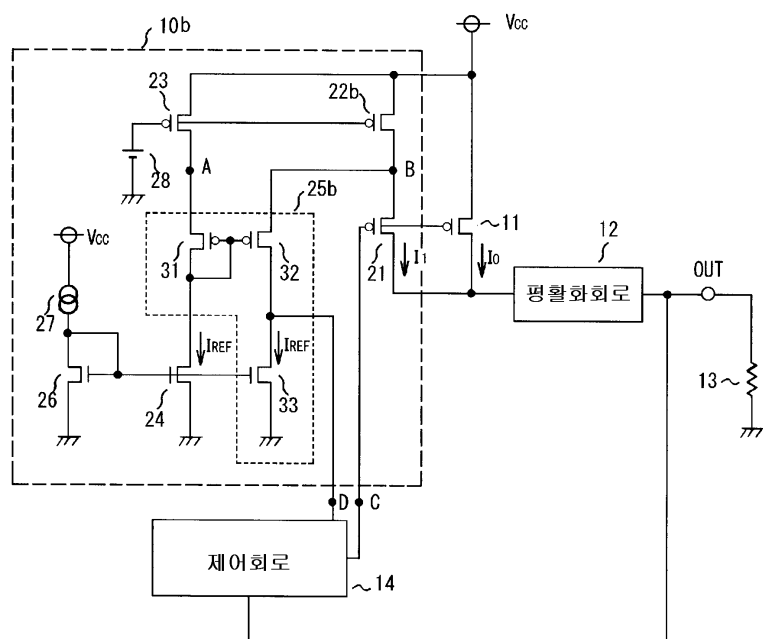
도면2

[圖2]



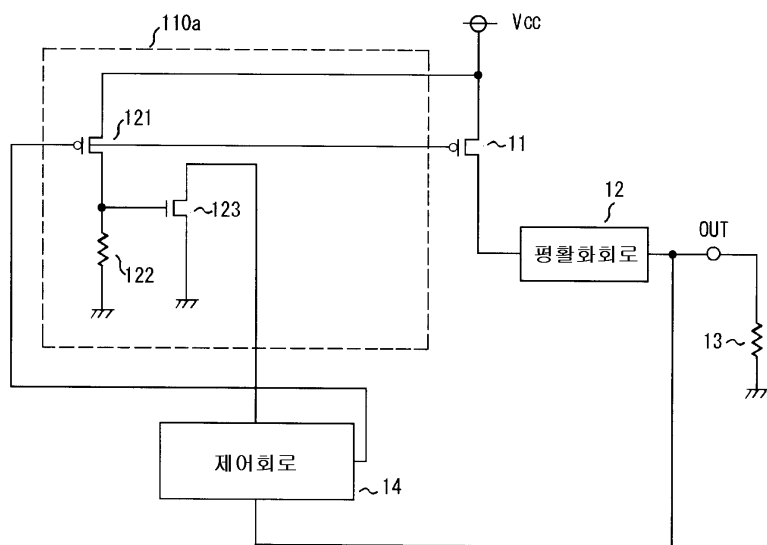
도면3

2



도면4

101



도면5

102

