



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2018년08월10일
 (11) 등록번호 10-1887795
 (24) 등록일자 2018년08월06일

- (51) 국제특허분류(Int. Cl.)
H01L 29/06 (2006.01) *H01L 29/66* (2006.01)
H01L 29/78 (2006.01)
- (52) CPC특허분류
H01L 29/06 (2013.01)
H01L 29/66477 (2013.01)
- (21) 출원번호 10-2016-7030658
- (22) 출원일자(국제) 2015년02월10일
 심사청구일자 2016년11월02일
- (85) 번역문제출일자 2016년11월02일
- (65) 공개번호 10-2016-0138294
- (43) 공개일자 2016년12월02일
- (86) 국제출원번호 PCT/JP2015/053692
- (87) 국제공개번호 WO 2015/156023
 국제공개일자 2015년10월15일
- (30) 우선권주장
 JP-P-2014-080040 2014년04월09일 일본(JP)

- (56) 선행기술조사문현
 JP2006128507 A
 JP2010062361 A
 JP2012238741 A
 JP2007173319 A

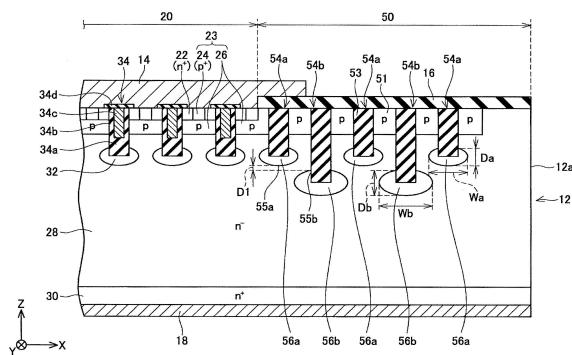
전체 청구항 수 : 총 13 항

심사관 : 고재현

(54) 발명의 명칭 절연 게이트형 반도체 장치, 및 절연 게이트형 반도체 장치의 제조 방법

(57) 요 약

반도체 기판파, 표면 전극파, 이면 전극을 갖고, 표면 전극과 이면 전극의 사이를 스위칭하는 절연 게이트형 반도체 장치로서, 반도체 기판의 표면에 형성되어 있는 제 1 외주 트렌치와, 반도체 기판의 표면에 형성되어 있고, 제 1 외주 트렌치보다 깊은 제 2 외주 트렌치와, 제 1 외주 트렌치의 바닥면에 노출되는 제 2 도전형의 제 5 영역과, 제 2 외주 트렌치의 바닥면에 노출되어 있고, 표면측의 단부가 제 5 영역의 이면측의 단부보다 이면측에 위치하는 제 2 도전형의 제 6 영역과, 제 5 영역을 제 6 영역으로부터 분리하고 있는 제 1 도전형의 제 7 영역을 갖는다.

대 표 도

(52) CPC특허분류

H01L 29/78 (2013.01)

(72) 발명자

쇼지 도모유키

일본국 아이치肯 나가쿠테시 요코미치 41반치노 1
가부시키가이샤 도요다 쥬오 겐큐쇼 나이

야마모토 도시마사

일본국 아이치Ken 가리야시 쇼와초 1초메 1반치 가
부시키가이샤 덴소 나이

명세서

청구범위

청구항 1

반도체 기판과, 상기 반도체 기판의 표면에 형성되어 있는 표면 전극과, 상기 반도체 기판의 이면에 형성되어 있는 이면 전극을 갖고, 상기 표면 전극과 상기 이면 전극 사이를 스위칭하는 절연 게이트형 반도체 장치로서, 상기 반도체 기판이,

상기 표면 전극에 접하고 있는 제 1 도전형의 제 1 영역과,

상기 표면 전극에 접하고 있고, 상기 제 1 영역에 접하고 있는 제 2 도전형의 제 2 영역과,

상기 제 2 영역에 의해 상기 제 1 영역으로부터 분리되어 있는 제 1 도전형의 제 3 영역과,

상기 표면에 형성되어 있고, 상기 제 2 영역을 관통하여 상기 제 3 영역에 도달하는 복수의 게이트 트렌치와,

상기 게이트 트렌치의 바닥면에 노출되는 제 2 도전형의 제 4 영역과,

상기 제 2 영역의 외측의 영역에 있어서 상기 표면에 형성되어 있는 제 1 외주 트렌치와 제 2 외주 트렌치로서, 상기 제 2 영역의 외측의 영역에 상기 제 1 외주 트렌치와 상기 제 2 외주 트렌치가 교대로 복수 개 형성되어 있고, 상기 각 제 2 외주 트렌치가 상기 각 제 1 외주 트렌치보다 깊다는 구성을 갖는 제 1 외주 트렌치와 제 2 외주 트렌치와,

상기 제 1 외주 트렌치의 바닥면에 노출되는 제 2 도전형의 제 5 영역과,

상기 제 2 외주 트렌치의 바닥면에 노출되어 있고, 상기 표면측의 단부가 제 5 영역의 상기 이면측의 단부보다 상기 이면측에 위치하는 제 2 도전형의 제 6 영역과,

상기 제 3 영역과 연결되어 있고, 상기 제 5 영역을 상기 제 6 영역으로부터 분리하고 있는 제 1 도전형의 제 7 영역을 갖는, 절연 게이트형 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 반도체 기판을 상기 표면측으로부터 평면에서 보았을 때에, 상기 제 5 영역이 상기 제 6 영역에 대해 부분적으로 중복되는, 절연 게이트형 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 6 영역의 두께가, 상기 제 5 영역의 두께보다 두꺼운, 절연 게이트형 반도체 장치.

청구항 4

제 3 항에 있어서,

상기 제 5 영역에, 제 1 종의 제 2 도전형 불순물이 함유되어 있고,

상기 제 6 영역에, 상기 제 1 종의 제 2 도전형 불순물보다 상기 반도체 기판 중에 있어서의 확산 계수가 큰 제 2 종의 제 2 도전형 불순물이 함유되어 있는, 절연 게이트형 반도체 장치.

청구항 5

제 3 항에 있어서,

상기 반도체 기판이, SiC 에 의해 구성되어 있고,

상기 제 5 영역과 상기 제 6 영역에, 카본과 보론이 함유되어 있고,

상기 제 5 영역의 카본의 농도가, 상기 제 6 영역의 카본의 농도보다 높은, 절연 게이트형 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 제 5 영역과 상기 제 6 영역이, 상기 절연 게이트형 반도체 장치가 오프될 때에 상기 제 2 영역과 상기 제 3 영역의 경계부로부터 신전되는 공핍층이 도달하는 범위에 배치되어 있는, 절연 게이트형 반도체 장치.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 기재된 절연 게이트형 반도체 장치를 제조하는 방법으로서,

상기 제 1 외주 트렌치를 형성하는 공정과,

상기 제 1 외주 트렌치의 바닥면에 제 2 도전형 불순물을 주입함으로써, 상기 제 5 영역을 형성하는 공정과,

상기 제 2 외주 트렌치를 형성하는 공정과,

상기 제 2 외주 트렌치의 바닥면에 제 2 도전형 불순물을 주입함으로써, 상기 제 6 영역을 형성하는 공정을 갖는 방법.

청구항 8

제 7 항에 있어서,

상기 제 1 외주 트렌치와 상기 제 2 외주 트렌치 중 어느 일방의 트렌치를 먼저 형성하고,

상기 일방의 트렌치를 형성한 후에, 상기 제 5 영역과 상기 제 6 영역 중 상기 일방의 트렌치의 바닥면에 노출되는 영역을 형성하고,

상기 일방의 트렌치의 바닥면에 노출되는 상기 영역을 형성한 후에, 상기 일방의 트렌치 내에 절연층을 형성하고,

상기 절연층을 형성한 후에, 상기 제 1 외주 트렌치와 상기 제 2 외주 트렌치 중 어느 타방의 트렌치를 형성하고,

상기 타방의 트렌치를 형성한 후에, 상기 제 5 영역과 상기 제 6 영역 중 상기 타방의 트렌치의 바닥면에 노출되는 영역을 형성하고,

상기 타방의 트렌치의 바닥면에 노출되는 상기 영역을 형성한 후에, 상기 타방의 트렌치 내에 절연층을 형성하는 방법.

청구항 9

제 7 항에 있어서,

상기 제 6 영역을 형성하는 상기 공정을, 상기 제 5 영역을 형성하는 상기 공정보다 먼저 실시하고,

상기 제 6 영역을 형성하는 상기 공정에 있어서, 상기 제 2 외주 트렌치의 바닥면에 제 2 도전형 불순물을 주입한 후에 상기 반도체 기판을 어닐하고,

상기 제 5 영역을 형성하는 상기 공정에 있어서, 상기 제 1 외주 트렌치의 바닥면에 제 2 도전형 불순물을 주입한 후에 상기 반도체 기판을 어닐하는 방법.

청구항 10

제 9 항에 있어서,

상기 제 6 영역을 형성하는 상기 공정에 있어서의 어닐의 온도가, 상기 제 5 영역을 형성하는 상기 공정에 있어서의 어닐의 온도보다 높은 방법.

청구항 11

제 7 항에 있어서,

상기 제 5 영역을 형성하는 상기 공정에서는, 상기 제 1 외주 트렌치의 바닥면에 제 1 종의 제 2 도전형 불순물을 주입하고,

상기 제 6 영역을 형성하는 상기 공정에서는, 상기 제 2 외주 트렌치의 바닥면에, 상기 제 1 종의 제 2 도전형 불순물보다 상기 반도체 기판 중에 있어서의 확산 계수가 큰 제 2 종의 제 2 도전형 불순물을 주입하는 방법.

청구항 12

제 7 항에 있어서,

상기 반도체 기판이, SiC 에 의해 구성되어 있고,

상기 제 5 영역을 형성하는 상기 공정에서는, 상기 제 1 외주 트렌치의 바닥면에 카본과 보론을 주입하고,

상기 제 6 영역을 형성하는 상기 공정에서는, 상기 제 2 외주 트렌치의 바닥면에 보론을 주입하는 방법.

청구항 13

제 7 항에 있어서,

상기 게이트 트렌치를, 상기 제 1 외주 트렌치와 동시에 형성하는 방법.

발명의 설명

기술 분야

[0001]

(관련 출원의 상호 참조)

[0002]

본 출원은, 2014년 4월 9일에 출원된 일본 특허출원 2014-080040호의 관련 출원으로서, 이 일본 특허출원에 기초하는 우선권을 주장하는 것이며, 이 일본 특허출원에 기재된 모든 내용을, 본 명세서를 구성하는 것으로서 원용한다.

[0003]

본 명세서가 개시하는 기술은, 절연 게이트형 반도체 장치에 관한 것이다.

배경 기술

[0004]

일본 공개특허공보 2008-135522호 (이하, 특허문헌 1 이라고 한다)에는, MOS 구조가 형성된 소자 영역과, 그 영역의 주위의 외주 영역을 갖는 절연 게이트형 반도체 장치가 개시되어 있다. 소자 영역에는, 복수의 게이트 트렌치가 형성되어 있고, 게이트 트렌치 내에 게이트 절연막 및 게이트 전극이 형성되어 있다. 게이트 트렌치의 바닥면에 노출되는 범위에는, p 형의 바닥면 위요 영역 (이하, 소자부 바닥면 위요 영역이라고 한다)이 형성되어 있다. 외주 영역에는, 소자 영역을 둘러싸도록 복수의 트렌치가 형성되어 있고, 각 트렌치 내에는 절연층이 충전되어 있다. 외주 영역의 각 트렌치의 바닥면에 노출되는 범위에는, p 형의 바닥면 위요 영역 (이하, 외주부 바닥면 위요 영역이라고 한다)이 형성되어 있다. MOSFET 가 턴 오프되면, 소자 영역 내에서는, 소자부 바닥면 위요 영역으로부터 드리프트 영역 내로 공핍층이 확산된다. 이로써, 소자 영역 내의 드리프트 영역의 공핍화가 촉진된다. 또, 외주 영역 내에서는, 외주부 바닥면 위요 영역으로부터 드리프트 영역 내로 공핍층이 확산된다. 이로써, 외주 영역 내의 드리프트 영역의 공핍화가 촉진된다. 따라서, 절연 게이트형 반도체 장치의 내압이 향상되고 있다.

발명의 내용

해결하려는 과제

[0005]

특허문헌 1 의 절연 게이트형 반도체 장치에서는, 소자 영역 내에서는, 각 소자부 바닥면 위요 영역으로부터 대략 동시에 공핍층이 확산된다. 2 개의 소자부 바닥면 위요 영역에 끼워진 부분의 드리프트 영역은, 양측으로부터 공핍화가 진전되기 때문에, 용이하게 공핍화된다. 이에 반하여, 외주 영역 내에서는, 소자 영역으로부터 확산되는 공핍층이, 외주 영역 내의 최초의 외주부 바닥면 위요 영역 (소자 영역에 가장 가까운 외주부 바닥면 위요 영역)에 도달하면, 최초의 외주부 바닥면 위요 영역으로부터 2 번째의 외주부 바닥면 위요 영역 (소자 영역으로부터 2 번째의 외주부 바닥면 위요 영역)을 향하여 공핍층이 신전된다. 공핍층이 2 번째의 외

주부 바닥면 위요 영역에 도달하면, 2 번째의 외주부 바닥면 위요 영역으로부터 3 번째의 외주부 바닥면 위요 영역을 향하여 공핍층이 신전된다. 이와 같이, 공핍층이 각 외주부 바닥면 위요 영역을 경유하여 순차적으로 확산되어 간다. 이 때문에, 2 개의 외주부 바닥면 위요 영역에 끼워진 부분의 드리프트 영역에서는, 편측으로부터만 공핍화가 진전된다. 이 때문에, 외주 영역을 충분히 공핍화하기 위해서는, 외주부 바닥면 위요 영역의 간격을 보다 좁게 하는 것이 바람직하다. 그러나, 외주부 바닥면 위요 영역의 간격을 좁게 하면, 제조 공정에 있어서의 오차에 의해 외주부 바닥면 위요 영역끼리가 연결되는 경우가 있어, 필요한 내압이 얻어지지 않는다는 문제가 발생한다.

과제의 해결 수단

[0006]

본 명세서가 개시하는 절연 게이트형 반도체 장치는, 반도체 기판과, 상기 반도체 기판의 표면에 형성되어 있는 표면 전극과, 상기 반도체 기판의 이면에 형성되어 있는 이면 전극을 갖고, 상기 표면 전극과 상기 이면 전극 사이를 스위칭 한다. 상기 반도체 기판은, 상기 표면 전극에 접하고 있는 제 1 도전형의 제 1 영역과, 상기 표면 전극에 접하고 있고, 상기 제 1 영역에 접하고 있는 제 2 도전형의 제 2 영역과, 상기 제 2 영역에 의해 상기 제 1 영역으로부터 분리되어 있는 제 1 도전형의 제 3 영역과, 상기 표면에 형성되어 있고, 상기 제 2 영역을 관통하여 상기 제 3 영역에 도달하는 복수의 게이트 트렌치와, 상기 게이트 트렌치의 바닥면에 노출되는 제 2 도전형의 제 4 영역과, 상기 제 2 영역의 외측의 영역에 있어서 상기 표면에 형성되어 있는 제 1 외주 트렌치와, 상기 제 2 영역의 외측의 영역에 있어서 상기 표면에 형성되어 있고, 제 1 외주 트렌치보다 깊은 제 2 외주 트렌치와, 상기 제 1 외주 트렌치의 바닥면에 노출되는 제 2 도전형의 제 5 영역과, 상기 제 2 외주 트렌치의 바닥면에 노출되어 있고, 상기 표면측의 단부가 제 5 영역의 상기 이면측의 단부보다 상기 이면측에 위치하는 제 2 도전형의 제 6 영역과, 상기 제 3 영역과 연결되어 있고, 상기 제 5 영역을 상기 제 6 영역으로부터 분리하고 있는 제 1 도전형의 제 7 영역을 갖는다.

[0007]

또한, 제 2 외주 트렌치는, 제 1 외주 트렌치의 외주측 (제 2 영역에서 면 측) 에 형성되어 있어도 되고, 제 1 외주 트렌치의 내주측 (제 2 영역에 가까운 측) 에 형성되어 있어도 된다. 또, 제 1 도전형은 n 형과 p 형 중 어느 일방이고, 제 2 도전형은 n 형과 p 형 중 어느 타방이다.

[0008]

이 절연 게이트형 반도체 장치에서는, 제 1 외주 트렌치의 바닥면에 노출되는 제 5 영역과, 제 2 외주 트렌치의 바닥면에 노출되는 제 6 영역에 의해, 제 2 영역의 외측의 영역에 있어서의 공핍층의 신전이 촉진된다. 이 절연 게이트형 반도체 장치에서는, 제 6 영역의 표면측의 단부가 제 5 영역의 이면측의 단부보다 이면측에 위치한다. 즉, 제 5 영역과 제 6 영역의 깊이 방향 (즉, 반도체 기판의 두께 방향) 의 위치가 상이하다. 이 때문에, 제조 오차에 의해, 반도체 기판의 평면 방향 (즉, 반도체 기판의 표면을 따른 방향) 에 있어서의 제 5 영역과 제 6 영역의 상대 위치에 어긋남이 발생했다고 하더라도, 제 5 영역과 제 6 영역이 연결되는 것을 방지 할 수 있다.

도면의 간단한 설명

[0009]

도 1 은 반도체 장치 (10) 의 평면도.

도 2 는 도 1 의 II-II 선에 있어서의 종단면도.

도 3 은 반도체 장치 (10) 의 제조 공정의 설명도.

도 4 는 반도체 장치 (10) 의 제조 공정의 설명도.

도 5 는 반도체 장치 (10) 의 제조 공정의 설명도.

도 6 은 반도체 장치 (10) 의 제조 공정의 설명도.

도 7 은 반도체 장치 (10) 의 제조 공정의 설명도.

도 8 은 제 2 외주 트렌치 (54b) 가 제 1 외주 트렌치 (54a) 에 대해 위치가 어긋난 경우의 도 2 에 대응하는 종단면도.

도 9 는 제 1 변형예의 반도체 장치의 도 2 에 대응하는 종단면도.

도 10 은 제 2 변형예의 반도체 장치의 도 2 에 대응하는 종단면도.

발명을 실시하기 위한 구체적인 내용

- [0010] 처음에, 이하에 설명하는 실시예의 절연 게이트형 반도체 장치의 특징을 나열 기록한다. 또한, 이하의 각 특징은, 모두 독립적으로 유용한 것이다.
- [0011] (특징 1) 반도체 기판을 표면측으로부터 평면에서 보았을 때에, 제 5 영역이 제 6 영역에 대해 부분적으로 중복된다. 이와 같이 제 5 영역과 제 6 영역을 배치함으로써, 이들을 보다 접근시켜 배치할 수 있다. 이로써, 절연 게이트형 반도체 장치의 내압을 보다 향상시킬 수 있다. 또, 제 5 영역과 제 6 영역의 깊이 방향의 위치의 제조 오차는, 평면 방향의 위치의 제조 오차보다 작다. 따라서, 상기와 같이 제 5 영역과 제 6 영역을 배치해도, 이들이 제조 오차에 의해 연결되는 것을 방지할 수 있다.
- [0012] (특징 2) 제 6 영역의 두께가, 제 5 영역의 두께보다 두껍다. 이 구성에 의하면, 제 6 영역의 계면의 커브가 제 5 영역의 계면의 커브보다 완만해진다. 제 6 영역은 제 5 영역보다 이면측으로 돌출되어 있기 때문에 전계가 집중하기 쉽지만, 이와 같이 제 6 영역의 계면의 커브를 완만하게 함으로써, 제 6 영역으로의 전계의 집중을 완화할 수 있다.
- [0013] (특징 3) 제 5 영역에, 제 1 종의 제 2 도전형 불순물이 함유되어 있고, 제 6 영역에, 제 1 종의 제 2 도전형 불순물보다 반도체 기판 중에 있어서의 확산 계수가 큰 제 2 종의 제 2 도전형 불순물이 함유되어 있다. 이 구성에 의하면, 제 6 영역의 계면의 커브를 완만하게 할 수 있다.
- [0014] (특징 4) 반도체 기판이 SiC에 의해 구성되어 있고, 제 5 영역과 제 6 영역에 카본과 보론이 함유되어 있고, 제 5 영역의 카본의 농도가, 제 6 영역의 카본의 농도보다 높다. 이 구성에 의하면, 제 6 영역의 계면의 커브를 완만하게 할 수 있다.
- [0015] (특징 5) 제 2 영역의 외측의 영역에, 제 1 외주 트렌치와 제 2 외주 트렌치가 교대로 복수 개 형성되어 있다.
- [0016] (특징 6) 절연 게이트형 반도체 장치는 이하의 방법에 의해 제조할 수 있다. 이 방법은, 제 1 외주 트렌치를 형성하는 공정과, 제 1 외주 트렌치의 바닥면에 제 2 도전형 불순물을 주입함으로써 제 5 영역을 형성하는 공정과, 제 2 외주 트렌치를 형성하는 공정과, 제 2 외주 트렌치의 바닥면에 제 2 도전형 불순물을 주입함으로써 제 6 영역을 형성하는 공정을 갖는다.
- [0017] (특징 7) 제 1 외주 트렌치와 제 2 외주 트렌치 중 어느 일방의 트렌치를 먼저 형성하고, 상기 일방의 트렌치를 형성한 후에, 제 5 영역과 제 6 영역 중 상기 일방의 트렌치의 바닥면에 노출되는 영역을 형성하고, 상기 일방의 트렌치의 바닥면에 노출되는 상기 영역을 형성한 후에, 상기 일방의 트렌치 내에 절연층을 형성하고, 상기 절연층을 형성한 후에, 제 1 외주 트렌치와 제 2 외주 트렌치 중 어느 타방의 트렌치를 형성하고, 타방의 트렌치를 형성한 후에, 제 5 영역과 제 6 영역 중 타방의 트렌치의 바닥면에 노출되는 영역을 형성하고, 타방의 트렌치의 바닥면에 노출되는 상기 영역을 형성한 후에, 상기 타방의 트렌치 내에 절연층을 형성한다. 이와 같이, 일방의 트렌치 내에 절연층을 형성한 후에 타방의 트렌치를 형성함으로써, 이들의 트렌치에 끼워진 반도체 층(2개의 트렌치를 가로막는 격벽)에 크랙 등이 발생하는 것을 방지할 수 있다.
- [0018] (특징 8) 제 6 영역을 형성하는 공정을, 제 5 영역을 형성하는 공정보다 먼저 실시하고, 제 6 영역을 형성하는 공정에 있어서, 제 2 외주 트렌치의 바닥면에 제 2 도전형 불순물을 주입한 후에 반도체 기판을 어닐하고, 제 5 영역을 형성하는 공정에 있어서, 제 1 외주 트렌치의 바닥면에 제 2 도전형 불순물을 주입한 후에 반도체 기판을 어닐한다. 이 방법에서는, 제 6 영역이 제 5 영역보다 보다 많이 어닐되므로, 제 6 영역의 계면의 커브를 완만하게 할 수 있다.
- [0019] (특징 9) 제 6 영역을 형성하는 공정에 있어서의 어닐의 온도가, 제 5 영역을 형성하는 공정에 있어서의 어닐의 온도보다 높다. 이 방법에 의하면, 제 6 영역의 계면의 커브를 보다 완만하게 할 수 있다.
- [0020] (특징 10) 제 5 영역을 형성하는 공정에서는, 제 1 외주 트렌치의 바닥면에 제 1 종의 제 2 도전형 불순물을 주입하고, 제 6 영역을 형성하는 공정에서는, 제 2 외주 트렌치의 바닥면에, 제 1 종의 제 2 도전형 불순물보다 반도체 기판 중에 있어서의 확산 계수가 큰 제 2 종의 제 2 도전형 불순물을 주입한다. 이 방법에 의하면, 제 6 영역의 계면의 커브를 완만하게 할 수 있다.
- [0021] (특징 11)
- [0022] 반도체 기판이, SiC에 의해 구성되어 있고, 제 5 영역을 형성하는 공정에서는, 제 1 외주 트렌치의 바닥면에 카본과 보론을 주입하고, 제 6 영역을 형성하는 공정에서는, 제 2 외주 트렌치의 바닥면에 보론을 주입한다.

이 방법에 의하면, 제 6 영역의 계면의 커브를 보다 완만하게 할 수 있다.

[0023] (특정 12) 게이트 트렌치를, 제 1 외주 트렌치와 동시에 형성한다.

[0024] (실시예 1)

도 1 에 나타내는 반도체 장치 (10) 는, SiC 로 이루어지는 반도체 기판 (12) 을 갖고 있다. 반도체 기판 (12) 은, 셀 영역 (20) 과 외주 영역 (50) 을 갖고 있다. 셀 영역 (20) 에는, MOSFET 가 형성되어 있다. 외주 영역 (50) 은, 셀 영역 (20) 과 반도체 기판 (12) 의 단면 (12a) 사이의 영역이다.

도 2 에 나타내는 바와 같이, 반도체 기판 (12) 의 표면에는, 표면 전극 (14) 과 절연층 (16) 이 형성되어 있다. 절연층 (16) 은, 외주 영역 (50) 내의 반도체 기판 (12) 의 표면을 덮고 있다. 표면 전극 (14) 은, 셀 영역 (20) 내에 있어서 반도체 기판 (12) 과 접하고 있다. 바꿔 말하면, 표면 전극 (14) 이 반도체 기판 (12) 과 접하고 있는 컨택트 영역이 셀 영역 (20) 이고, 컨택트 영역보다 외주측 (단면 (12a) 측) 의 영역이 외주 영역 (50) 이다. 반도체 기판 (12) 의 이면에는, 이면 전극 (18) 이 형성되어 있다. 이면 전극 (18) 은, 반도체 기판 (12) 의 이면의 대략 전체를 덮고 있다.

셀 영역 (20) 내에는, 소스 영역 (22), 보디 영역 (23), 드리프트 영역 (28), 드레인 영역 (30), p 형 플로팅 영역 (32), 게이트 트렌치 (34) 가 형성되어 있다.

소스 영역 (22) (청구항의 제 1 영역의 일례) 은, 고농도로 n 형 불순물을 함유하는 n 형 영역이다. 소스 영역 (22) 은, 반도체 기판 (12) 의 상면에 노출되는 범위에 형성되어 있다. 소스 영역 (22) 은, 표면 전극 (14) 에 접하고 있고, 표면 전극 (14) 에 대해 오믹 접속되어 있다.

보디 영역 (23) (청구항의 제 2 영역의 일례) 은, 보디 컨택트 영역 (24) 과 저농도 영역 (26) 을 갖고 있다. 보디 컨택트 영역 (24) 은, 고농도로 p 형 불순물을 함유하는 p 형 영역이다. 보디 컨택트 영역 (24) 은, 소스 영역 (22) 이 형성되어 있지 않은 위치에 있어서 반도체 기판 (12) 의 상면에 노출되도록 형성되어 있다. 보디 컨택트 영역 (24) 은, 표면 전극 (14) 에 접하고 있고, 표면 전극 (14) 에 대해 오믹 접속되어 있다. 저농도 영역 (26) 은, 저농도로 p 형 불순물을 함유하는 p 형 영역이다. 저농도 영역 (26) 의 p 형 불순물 농도는, 보디 컨택트 영역 (24) 의 p 형 불순물 농도보다 낮다. 저농도 영역 (26) 은, 소스 영역 (22) 및 보디 컨택트 영역 (24) 의 하측에 형성되어 있고, 이들의 영역에 접하고 있다.

드리프트 영역 (28) (청구항의 제 3 영역의 일례) 은, 저농도로 n 형 불순물을 함유하는 n 형 영역이다. 드리프트 영역 (28) 의 n 형 불순물 농도는, 소스 영역 (22) 의 n 형 불순물 농도보다 낮다. 드리프트 영역 (28) 은, 보디 영역 (23) 의 하측에 형성되어 있다. 드리프트 영역 (28) 은, 보디 영역 (23) 에 접하고 있고, 보디 영역 (23) 에 의해 소스 영역 (22) 으로부터 분리되어 있다.

드레인 영역 (30) 은, 고농도로 n 형 불순물을 함유하는 n 형 영역이다. 드레인 영역 (30) 의 n 형 불순물 농도는, 드리프트 영역 (28) 의 n 형 불순물 농도보다 높다. 드레인 영역 (30) 은, 드리프트 영역 (28) 의 하측에 형성되어 있다. 드레인 영역 (30) 은, 드리프트 영역 (28) 에 접하고 있고, 드리프트 영역 (28) 에 의해 보디 영역 (23) 으로부터 분리되어 있다. 드레인 영역 (30) 은, 반도체 기판 (12) 의 하면에 노출되는 범위에 형성되어 있다. 드레인 영역 (30) 은, 이면 전극 (18) 에 대해 오믹 접속되어 있다.

도 1, 2 에 나타내는 바와 같이, 셀 영역 (20) 내의 반도체 기판 (12) 의 상면에는, 복수의 게이트 트렌치 (34) 가 형성되어 있다. 도 1 에 나타내는 바와 같이, 각 게이트 트렌치 (34) 는, 반도체 기판 (12) 의 표면에 있어서, 서로 평행하게 직선상으로 신장되어 있다. 도 2 에 나타내는 바와 같이, 각 게이트 트렌치 (34) 는, 소스 영역 (22) 과 보디 영역 (23) 을 관통하고, 드리프트 영역 (28) 에 도달하도록 형성되어 있다. 각 게이트 트렌치 (34) 내에는, 보텀 절연층 (34a) 과, 게이트 절연막 (34b) 과, 게이트 전극 (34c) 이 형성되어 있다. 보텀 절연층 (34a) 은, 게이트 트렌치 (34) 의 바닥부에 형성된 두꺼운 절연층이다. 보텀 절연층 (34a) 의 상측의 게이트 트렌치 (34) 의 측면은, 게이트 절연막 (34b) 에 의해 덮여져 있다. 보텀 절연층 (34a) 의 상측의 게이트 트렌치 (34) 내에는, 게이트 전극 (34c) 이 형성되어 있다. 게이트 전극 (34c) 은, 게이트 절연막 (34b) 을 개재하여, 소스 영역 (22), 보디 영역 (23) 및 드리프트 영역 (28) 과 대향하고 있다.

게이트 전극 (34c) 은, 게이트 절연막 (34b) 및 보텀 절연층 (34a) 에 의해, 반도체 기판 (12) 으로부터 절연되어 있다. 게이트 전극 (34c) 의 상면은, 절연층 (34d) 에 의해 덮여 있다. 절연층 (34d) 에 의해, 게이트 전극 (34c) 은 표면 전극 (14) 으로부터 절연되어 있다.

[0033] p 형 플로팅 영역 (32) (청구항의 제 4 영역의 일례) 은, 반도체 기판 (12) 내로서, 각 게이트 트렌치 (34) 의

바닥면에 노출되는 범위 (즉, 당해 바닥면에 접하는 범위) 에 형성되어 있다. 각 p 형 플로팅 영역 (32) 의 주위는, 드리프트 영역 (28) 에 둘러싸여 있다. 각 p 형 플로팅 영역 (32) 은, 드리프트 영역 (28) 에 의해 서로 분리되어 있다. 또, 각 p 형 플로팅 영역 (32) 은, 드리프트 영역 (28) 에 의해 보디 영역 (23) 으로부터 분리되어 있다.

[0034] 외주 영역 (50) 내의 반도체 기판 (12) 의 표면에 노출되는 범위에는, p 형의 표면 영역 (51) 이 형성되어 있다. 표면 영역 (51) 은, 보디 영역 (23) 과 대략 동일한 깊이까지 확산되어 있다. 표면 영역 (51) 의 상면 전체는 절연층 (16) 에 덮여 있다. 따라서, 표면 영역 (51) 은, 표면 전극 (14) 과는 접하고 있지 않다. 상기 서술한 드리프트 영역 (28) 및 드레인 영역 (30) 은, 외주 영역 (50) 까지 확산되어 있다. 드리프트 영역 (28) 과 드레인 영역 (30) 은, 반도체 기판 (12) 의 단면 (12a) 까지 확산되어 있다. 드리프트 영역 (28) 은, 표면 영역 (51) 에 대해 하측으로부터 접하고 있다.

[0035] 외주 영역 (50) 내의 반도체 기판 (12) 의 상면에는, 복수의 외주 트렌치 (54) (즉, 54a 및 54b) 가 형성되어 있다. 각 외주 트렌치 (54) 는, 표면 영역 (51) 을 관통하여, 드리프트 영역 (28) 에 도달하도록 형성되어 있다. 도 1 에 나타내는 바와 같이, 각 외주 트렌치 (54) 는, 반도체 기판 (12) 을 상측에서 보았을 때에, 셀 영역 (20) 의 주위를 일순하는 고리형으로 형성되어 있다. 도 2 에 나타내는 바와 같이, 표면 영역 (51) 은, 가장 내주측의 외주 트렌치 (54) 에 의해 보디 영역 (23) (즉, 소스 영역 (22) 및 표면 전극 (14) 과 접하고 있는 p 형 영역) 으로부터 분리되어 있다. 또, 각 표면 영역 (51) 은, 각 외주 트렌치 (54) 에 의해 서로 분리되어 있다. 바꿔 말하면, 가장 내주측의 외주 트렌치 (54) 의 내측의 p 형 영역이 보디 영역 (23) 이고, 가장 내주측의 외주 트렌치 (54) 보다 외주측의 p 형 영역이 표면 영역 (51) 이다. 따라서, 외주 트렌치 (54) 는, 보디 영역 (23) 의 외측에 형성되어 있다. 각 외주 트렌치 (54) 내에는, 절연층 (53) 이 형성되어 있다.

[0036] 외주 트렌치 (54) 는, 제 1 외주 트렌치 (54a) 와 제 2 외주 트렌치 (54b) 를 갖는다. 제 1 외주 트렌치 (54a) 의 깊이는, 게이트 트렌치 (34) 의 깊이와 대략 동등하다. 제 2 외주 트렌치 (54b) 는 제 1 외주 트렌치 (54a) 보다 깊다. 가장 내주측의 외주 트렌치 (54) 는, 제 1 외주 트렌치 (54a) 이다. 내주측으로부터 외주측을 향하여, 제 1 외주 트렌치 (54a) 와 제 2 외주 트렌치 (54b) 가 교대로 배치되어 있다.

[0037] 반도체 기판 (12) 내로서, 각 외주 트렌치 (54) 의 바닥면에 노출되는 범위 (즉, 당해 바닥면에 접하는 범위) 에는, p 형의 바닥면 영역 (56) (즉, 56a 및 56b) 이 형성되어 있다. 바닥면 영역 (56) 은, 외주 트렌치 (54) 의 바닥면 전체를 덮도록 외주 트렌치 (54) 를 따라 형성되어 있다. 각 바닥면 영역 (56) 의 주위는, 외주 영역 (50) 내의 드리프트 영역 (28) (청구항의 제 7 영역의 일례) 에 둘러싸여 있다. 각 바닥면 영역 (56) 은, 외주 영역 (50) 내의 드리프트 영역 (28) 에 의해, 서로 분리되어 있다.

[0038] 바닥면 영역 (56) 은, 제 1 외주 트렌치 (54a) 의 바닥면에 노출되는 제 1 바닥면 영역 (56a) (청구항의 제 5 영역의 일례) 과, 제 2 외주 트렌치 (54b) 의 바닥면에 노출되는 제 2 바닥면 영역 (56b) (청구항의 제 6 영역의 일례) 을 갖는다. 제 1 바닥면 영역 (56a) 은, 제 2 바닥면 영역 (56b) 보다 얕은 위치에 형성되어 있다. 즉, 제 1 바닥면 영역 (56a) 의 하단 (55a) 은, 제 2 바닥면 영역 (56b) 의 상단 (55b) 보다 상측에 위치한다. 따라서, 제 1 바닥면 영역 (56a) 의 하단 (55a) 과 제 2 바닥면 영역 (56b) 의 상단 (55b) 사이에는, 반도체 기판 (12) 의 깊이 방향으로 간격 (D1) 이 형성되어 있다. 제 1 바닥면 영역 (56a) 은, 반도체 기판 (12) 의 상면을 평면에서 보았을 때에 (즉, 반도체 기판 (12) 의 깊이 방향을 따라 보았을 때에), 옆의 제 2 바닥면 영역 (56b) 과 부분적과 겹쳐지도록 배치되어 있다.

[0039] 제 1 바닥면 영역 (56a) 에는, p 형 불순물로서 AI (알루미늄) 이 함유되어 있다. 제 2 바닥면 영역 (56b) 에는, p 형 불순물로서 B (보론) 가 함유되어 있다.

[0040] 제 2 바닥면 영역 (56b) 의 두께 (Db) 는, 제 1 바닥면 영역 (56a) 의 두께 (Da) 보다 크다. 또, 제 2 바닥면 영역 (56b) 의 폭 (Wb) (내주측으로부터 외주측을 향하는 방향의 폭) 은, 제 1 바닥면 영역 (56a) 의 폭 (Wa) 보다 크다. 이 때문에, 제 2 바닥면 영역 (56b) 의 계면 (드리프트 영역 (28) 과의 계면) 의 커브가, 제 1 바닥면 영역 (56a) 의 계면 (드리프트 영역 (28) 과의 계면) 의 커브보다 완만하다. 즉, 제 2 바닥면 영역 (56b) 의 계면의 곡률이, 제 1 바닥면 영역 (56a) 의 계면의 곡률보다 작다.

[0041] 다음으로, 반도체 장치 (10) 의 동작에 대해 설명한다. 반도체 장치 (10) 를 동작시킬 때에는, 이면 전극 (18) 과 표면 전극 (14) 사이에 이면 전극 (18) 이 플러스가 되는 전압이 인가된다. 또한, 게이트 전극 (34c) 에 대해 게이트 온 전압이 인가됨으로써, 셀 영역 (20) 내의 MOSFET 가 온된다. 즉, 게이트 전극

(34c)에 대향하고 있는 위치의 보디 영역 (23)에 채널이 형성되고, 표면 전극 (14)으로부터 소스 영역 (22), 채널, 드리프트 영역 (28), 드레인 영역 (30)을 경유하여, 이면 전극 (18)을 향하여 전자가 흐른다.

[0042] 게이트 전극 (34c)에 대한 게이트 온 전압의 인가를 정지하면, 채널이 소실되고, MOSFET 가 오프된다. MOSFET 가 오프되면, 보디 영역 (23)과 드리프트 영역 (28)의 경계부의 pn 접합으로부터 드리프트 영역 (28)내로 공핍층이 확산된다. 공핍층이 셀 영역 (20) 내의 p형 플로팅 영역 (32)에 도달하면, p형 플로팅 영역 (32)으로부터도 드리프트 영역 (28)내로 공핍층이 확산된다. 따라서, 2개의 p형 플로팅 영역 (32) 사이에 위치하는 드리프트 영역 (28)은, 양측의 p형 플로팅 영역 (32)으로부터 확산되는 공핍층에 의해 공핍화된다. 이와 같이, 셀 영역 (20)내로 공핍층이 신전됨으로써, 셀 영역 (20)내에 있어서의 높은 내압이 실현된다.

[0043] 또, 상기 서술한 pn 접합으로부터 신전되는 공핍층은, 가장 셀 영역 (20)측에 위치하는 제1외주 트렌치 (54a)의 하측의 제1바닥면 영역 (56a)에 도달한다. 그러면, 제1바닥면 영역 (56a)으로부터, 그 주위의 드리프트 영역 (28)내로 공핍층이 확산된다. 제1바닥면 영역 (56a)과 그 옆(외주측의 옆)의 제2바닥면 영역 (56b)사이의 간격이 좁기 때문에, 제1바닥면 영역 (56a)으로부터 신전되는 공핍층은 옆의 제2바닥면 영역 (56b)에 도달한다. 그러면, 그 제2바닥면 영역 (56b)으로부터 그 주위의 드리프트 영역 (28)내로 공핍층이 확산된다. 제2외주 트렌치 (54b)와 그 옆(외주측의 옆)의 제1바닥면 영역 (56a)사이의 간격이 좁기 때문에, 제2바닥면 영역 (56b)으로부터 신전되는 공핍층은 옆의 제1바닥면 영역 (56a)에 도달한다. 이와 같이, 제1바닥면 영역 (56a)과 제2바닥면 영역 (56b)을 경유하여, 공핍층이 외주측으로 신전된다. 이와 같이 하여, 가장 내주측의 바닥면 영역 (56)으로부터 가장 외주측의 바닥면 영역 (56)까지 공핍층이 신전된다. 이와 같이, 외주 영역 (50)내의 드리프트 영역 (28)내로 공핍층이 넓게 신전된다. 바닥면 영역 (56)끼리는 드리프트 영역 (28)에 의해 서로 분리되어 있다. 따라서, 각 바닥면 영역 (56)사이에 있어서 전위차가 발생한다. 따라서, 외주 영역 (50)내에 있어서, 내주측으로부터 외주측을 향하여 서서히 전위가 변화하도록 전위가 분포된다. 이와 같이, 외주 영역 (50)내로 공핍층이 신전됨과 함께, 외주 영역 (50)내에 완만하게 변화하는 전위 분포가 형성됨으로써, 외주 영역 (50)에 있어서의 전계 집중이 억제된다. 따라서, 반도체 장치 (10)는 내압이 높다.

[0044] 또, 제2바닥면 영역 (56b)은, 제1바닥면 영역 (56a)보다 하측으로 돌출되어 있다. 이 때문에, 외주 영역 (50)으로 공핍층이 확산되어 있는 상태에서는, 제2바닥면 영역 (56b)의 주위에서 전계가 집중되기 쉽다. 그러나, 반도체 장치 (10)에서는, 제2바닥면 영역 (56b)의 두께 (Db)가 두껍고, 이로써, 제2바닥면 영역 (56b)의 계면의 커브가 완만해져 있다. 이와 같이 제2바닥면 영역 (56b)의 계면의 커브가 완만해져 있음으로써, 제2바닥면 영역 (56b)근방에서의 전계 집중이 억제된다. 이로써, 반도체 장치 (10)의 내압이 보다 향상되고 있다.

[0045] 다음으로, 반도체 장치 (10)의 제조 방법에 대해 설명한다. 실시예 1의 제조 방법에서는, 먼저, 도3에 나타내는 바와 같이, 에피택셜 성장, 이온 주입 등에 의해, 반도체 기판 (12)에 소스 영역 (22), 보디 영역 (23) 및 표면 영역 (51)을 형성한다.

[0046] 다음으로, 도4에 나타내는 바와 같이, 반도체 기판 (12)의 표면에 개구를 갖는 마스크 (60)(예를 들어 산화막)를 형성하고, 이방성 에칭에 의해 개구 내의 반도체 기판 (12)을 에칭한다. 이로써, 제2외주 트렌치 (54b)를 형성한다.

[0047] 다음으로, B(보론 : 청구항의 제2종의 제2도전형 불순물의 일례)를 제2외주 트렌치 (54b)의 바닥면에 주입하고, 그 후, 반도체 기판 (12)을 어닐(제1어닐)한다. 이로써, 주입된 B를 활성화시킴과 함께 확산시킨다. 이로써, 도5에 나타내는 바와 같이, 제2바닥면 영역 (56b)을 형성한다.

[0048] 다음으로, 제2외주 트렌치 (54b)내에 절연체를 성장시킴으로써, 제2외주 트렌치 (54b)내에 절연층 (53)을 형성한다.

[0049] 다음으로, 도6에 나타내는 바와 같이, 반도체 기판 (12)의 표면에 개구를 갖는 마스크 (62)(예를 들어 산화막)를 형성하고, 이방성 에칭에 의해 개구 내의 반도체 기판 (12)을 에칭한다. 이로써, 제1외주 트렌치 (54a)와 게이트 트렌치 (34)를 형성한다. 제1외주 트렌치 (54a)와 게이트 트렌치 (34)는, 제2외주 트렌치 (54b)보다 얕게 형성한다. 또, 제1외주 트렌치 (54a)는, 제1외주 트렌치 (54a)와 제2외주 트렌치 (54b)가 교대로 배치되도록, 제2외주 트렌치 (54b)의 옆에 형성한다.

[0050] 다음으로, A1(알루미늄 : 청구항의 제1종의 제2도전형 불순물의 일례)을 제1외주 트렌치 (54a)의 바닥

면과 게이트 트렌치 (34)의 바닥면에 주입하고, 그 후, 반도체 기판 (12)을 어닐 (제 2 어닐) 한다. 또한, 제 2 어닐은, 제 1 어닐보다 저온에서 실시한다. 이로써, 주입된 Al을 활성화시킴과 함께 확산시킨다. 이로써, 도 7에 나타내는 바와 같이, 제 1 바닥면 영역 (56a)과 p형 플로팅 영역 (32)을 형성한다.

[0051] 다음으로, 제 1 외주 트렌치 (54a)와 게이트 트렌치 (34)의 내부에 절연체를 성장시킨다. 이로써, 제 1 외주 트렌치 (54a) 내에 절연층 (53)을 형성한다. 다음으로, 게이트 트렌치 (34) 내의 절연체를 부분적으로 제거하고, 그 후, 게이트 트렌치 (34) 내에 게이트 절연막 (34b)과 게이트 전극 (34c)을 형성한다.

[0052] 다음으로, 반도체 기판 (12)의 상면에, 절연층 (34d), 절연층 (16) 및 표면 전극 (14)을 형성함으로써, 반도체 장치 (10)의 상면측의 구조가 완성된다. 다음으로, 반도체 기판 (12)의 하면측의 구조 (즉, 드레인 영역 (30) 및 이면 전극 (18))를 형성한다. 이로써, 도 1, 2의 반도체 장치 (10)가 완성된다.

[0053] 상기 서술한 반도체 장치 (10)의 제조 공정에 있어서는, 반도체 기판 (12)의 상면을 따른 방향 (즉, X 방향 및 Y 방향)에 있어서, 제 1 외주 트렌치 (54a)와 제 2 외주 트렌치 (54b)의 상대 위치에 어긋남이 발생하기 쉽다. 즉, 제 1 외주 트렌치 (54a)와 제 2 외주 트렌치 (54b)의 위치의 X 방향 및 Y 방향에 있어서의 오차가 크다. 특히, 상기의 실시예에서는, 제 1 외주 트렌치 (54a)와 제 2 외주 트렌치 (54b)를 다른 공정으로 형성하기 때문에, 이 오차는 보다 크다. 제 1 바닥면 영역 (56a)의 X 방향 및 Y 방향의 위치는 제 1 외주 트렌치 (54a)의 위치에 따라 변화되고, 제 2 바닥면 영역 (56b)의 X 방향 및 Y 방향의 위치는 제 2 외주 트렌치 (54b)의 위치에 따라 변화된다. 이 때문에, X 방향 및 Y 방향에 있어서, 제 1 바닥면 영역 (56a)과 제 2 바닥면 영역 (56b)의 상대 위치에 어긋남이 발생하기 쉽다. 그러나, 이 반도체 장치 (10)에서는, 반도체 기판 (12)의 두께 방향 (즉, Z 방향)에 있어서, 제 1 바닥면 영역 (56a)과 제 2 바닥면 영역 (56b)의 위치가 상이하다. 보다 상세하게는, 제 1 바닥면 영역 (56a)과 제 2 바닥면 영역 (56b)의 사이에 간격 (D1)이 형성되어 있다. 이 때문에, 제 1 바닥면 영역 (56a)과 제 2 바닥면 영역 (56b)의 상대 위치가 X 방향 또는 Y 방향으로 크게 어긋났다고 하더라도, 제 1 바닥면 영역 (56a)과 제 2 바닥면 영역 (56b)이 연결되는 경우가 없다. 예를 들어, 도 8에 나타내는 바와 같이, 제조 오차에 의해 제 2 바닥면 영역 (56b)이 제 1 바닥면 영역 (56a) 측으로 시프트되었다고 하더라도, 제 1 바닥면 영역 (56a)은 제 2 바닥면 영역 (56b)과 연결되지 않는다. 이와 같이, 반도체 장치 (10)의 구조에 의하면, 제조 오차에 의해 제 1 바닥면 영역 (56a)이 제 2 바닥면 영역 (56b)과 연결되는 것을 방지할 수 있다.

[0054] 또, 제 1 바닥면 영역 (56a)의 Z 방향의 위치는, 제 1 외주 트렌치 (54a)의 깊이와 제 1 바닥면 영역 (56a)에 대한 불순물의 주입 범위 및 확산 범위에 따라 변화된다. 또, 제 2 바닥면 영역 (56b)의 Z 방향의 위치는, 제 2 외주 트렌치 (54b)의 깊이와 제 2 바닥면 영역 (56b)에 대한 불순물의 주입 범위 및 확산 범위에 따라 변화된다. 각 트렌치의 깊이와 불순물의 주입 범위 및 확산 범위는, 정확하게 제어할 수 있다. 이 때문에, 제 1 바닥면 영역 (56a) 및 제 2 바닥면 영역 (56b)의 Z 방향의 위치는, 이들의 X 방향 및 Y 방향의 위치에 비하여 정확하게 제어할 수 있다. 따라서, 상기의 제조 방법에 의하면, 제 1 바닥면 영역 (56a)과 제 2 바닥면 영역 (56b)의 Z 방향의 간격 (D1)을 정확하게 제어할 수 있다. 이 때문에, 간격 (D1)을 짧게 하는 것이 가능하다. 이 때문에, 상기의 제조 방법에 의하면 외주 영역 (50)의 내압을 향상시킬 수 있다.

[0055] 또, 상기의 제조 방법에서는, 제 1 바닥면 영역 (56a)의 p형 불순물로서 Al을 주입하고, 제 2 바닥면 영역 (56b)의 p형 불순물로서 B를 주입한다. 반도체 기판 (12) (즉, SiC) 중에 있어서의 B의 확산 계수는, Al의 확산 계수보다 크다. 따라서, 제 2 바닥면 영역 (56b)을 제 1 바닥면 영역 (56a)보다 크게 할 수 있다.

[0056] 또, 상기의 제조 방법에서는, 제 1 어닐을, 제 2 어닐보다 고온에서 실시한다. 이 때문에, 제 1 어닐에 있어서 B의 확산 거리가 보다 커진다. 이로써도, 제 2 바닥면 영역 (56b)이 제 1 바닥면 영역 (56a)보다 크게 형성되게 되어 있다.

[0057] 또, 상기의 제조 방법에서는, 제 2 바닥면 영역 (56b)을 제 1 바닥면 영역 (56a)보다 먼저 형성한다. 이 때문에, 제 2 바닥면 영역 (56b)은, 제 1 어닐 뿐만 아니라 제 2 어닐에서도 가열된다. 제 2 어닐에서는, 제 2 바닥면 영역 (56b) 중의 B가 더욱 확산되기 때문에, 제 2 바닥면 영역 (56b)이 확대된다. 이로써도, 제 2 바닥면 영역 (56b)이 제 1 바닥면 영역 (56a)보다 크게 형성되게 되어 있다.

[0058] 이상과 같이 제 2 바닥면 영역 (56b)이 제 1 바닥면 영역 (56a)보다 커지기 때문에, 제 2 바닥면 영역 (56b)

의 두께 (Db) 가 제 1 바닥면 영역 (56a) 의 두께 (Da) 보다 커진다. 그 결과, 제 2 바닥면 영역 (56b) 의 계면의 커브가 제 1 바닥면 영역 (56a) 의 계면의 커브보다 완만해진다. 이와 같이 제 2 바닥면 영역 (56b) 이 형성되기 때문에, 상기 서술한 바와 같이 MOSFET 의 오프시에 제 2 바닥면 영역 (56b) 의 근방에 있어서의 전계 집중을 억제할 수 있다.

[0059] 또, 제 1 바닥면 영역 (56a) 의 주위에는 전계 집중이 잘 발생하지 않기 때문에, 제 1 바닥면 영역 (56a) 의 계면의 곡률이 커도, 전계 집중의 문제는 발생하지 않는다. 또, 이와 같이 제 1 바닥면 영역 (56a) 을 소형화 함으로써, 반도체 장치 (10) 를 소형화하는 것이 가능해진다.

[0060] 또, 상기의 제조 방법에서는, 제 1 외주 트렌치 (54a) 와 제 2 외주 트렌치 (54b) 를 다른 공정으로 형성하였다. 제 1 외주 트렌치 (54a) 와 제 2 외주 트렌치 (54b) 를 동시에 형성하면, 제 1 외주 트렌치 (54a) 와 제 2 외주 트렌치 (54b) 사이의 얇은 격벽 (반도체층) 에 크랙이 발생하기 쉽다. 이에 반하여, 상기와 같이, 제 2 외주 트렌치 (54b) 를 형성하고, 그 후, 제 2 외주 트렌치 (54b) 에 절연층 (53) 을 매립한 후에 제 1 외주 트렌치 (54a) 를 형성하면, 얇은 격벽이 형성되지 않기 때문에 크랙을 억제할 수 있다. 또한, 제 1 외주 트렌치 (54a) 를 먼저 형성하고, 제 1 외주 트렌치 (54a) 에 절연층 (53) 을 매립한 후에 제 2 외주 트렌치 (54b) 를 형성해도, 격벽의 크랙 문제를 해소할 수 있다.

[0061] (실시예 2)

[0062] 실시예 2 의 반도체 장치에서는, 제 1 바닥면 영역 (56a) 에 함유되는 p 형 불순물과 제 2 바닥면 영역 (56b) 에 함유되는 p 형 불순물이 모두 B 이다. 또, 제 1 바닥면 영역 (56a) 에 있어서의 C (카본) 의 농도가, 제 2 바닥면 영역 (56b) 에 있어서의 C 의 농도보다 높다. 실시예 2 의 반도체 장치의 그 밖의 구성은, 실시예 1 의 반도체 장치 (10) 와 동등하다. 이 때문에, 실시예 2 의 반도체 장치도, 실시예 1 의 반도체 장치 (10) 와 마찬가지로 동작한다.

[0063] 실시예 2 의 반도체 장치의 제조 방법에 대해 설명한다. 먼저, 실시예 1 과 마찬가지로 하여, 도 6 에 나타내는 구조를 형성한다. 다음으로, C 를 제 1 외주 트렌치 (54a) 의 바닥면에 주입한다. 이로써, 제 1 외주 트렌치 (54a) 의 바닥면 근방에 있어서의 C 의 농도가 상승한다. 다음으로, B 를 제 1 외주 트렌치 (54a) 의 바닥면에 주입한다. 즉, 여기서는, 제 1 외주 트렌치 (54a) 의 바닥면에 C 와 B 를 코도핑한다. 다음으로, 반도체 기판 (12) 을 어닐 (제 2 어닐) 한다. 이로써, 반도체 기판 (12) 에 주입된 B 를 활성화시킴과 함께 확산시킨다. 이로써, 도 7 에 나타내는 바와 같이, 제 1 바닥면 영역 (56a) 을 형성한다. 또한, 실시예 2 의 제조 방법에서도, 제 1 바닥면 영역 (56a) 과 동시에 p 형 플로팅 영역 (32) 을 형성해도 된다. 그 후, 실시예 1 의 방법과 마찬가지로 하여, 실시예 2 의 반도체 장치를 완성시킨다.

[0064] 반도체 기판 (12) (즉, SiC) 에 B 와 C 를 코도핑하면, 반도체 기판 (12) 중에 있어서의 B 의 확산 계수가 작아진다. 즉, B 가 잘 확산되지 않게 된다. 따라서, 실시예 2 의 제조 방법에 의하면, 작은 제 1 바닥면 영역 (56a) 을 형성할 수 있다. 또, 제 2 바닥면 영역 (56b) 에는, B 만이 주입되어 있고, C 가 주입되어 있지 않기 때문에, 실시예 2 의 제조 방법에서도, 실시예 1 의 제조 방법과 마찬가지로, 큰 제 2 바닥면 영역 (56b) 이 형성된다. 따라서, 도 2 에 나타내는 바와 같이, 실시예 2 의 제조 방법에서도, 제 2 바닥면 영역 (56b) 을 제 1 바닥면 영역 (56a) 보다 크게 할 수 있다.

[0065] 또한, 실시예 2 의 제조 방법에서도, 실시예 1 의 제조 방법과 마찬가지로, 제 2 어닐의 온도를 제 1 어닐의 온도보다 높게 해도 된다.

[0066] 또한, 상기 서술한 실시예 1, 2 에서는, 가장 내주측 (보디 영역 (23) 에 가까운 측) 의 외주 트렌치 (54) 가, 제 1 외주 트렌치 (54a) 였다. 그러나, 도 9 에 나타내는 바와 같이, 가장 내주측의 외주 트렌치 (54) 가 제 2 외주 트렌치 (54b) (깊은 트렌치) 여도 된다. 또, 도 2, 9 에서는, 게이트 트렌치 (34) 와 가장 내주측의 외주 트렌치 (54) 가 대략 동일한 깊이를 갖고 있었다. 그러나, 가장 내주측의 외주 트렌치 (54) 는, 게이트 트렌치 (34) 보다 깊어도 되고, 게이트 트렌치 (34) 보다 얕아도 된다.

[0067] 또, 상기 서술한 실시예에서는, 제 1 외주 트렌치 (54a) 와 제 2 외주 트렌치 (54b) 가 교대로 복수 개 형성되어 있었다. 그러나, 일부의 영역에서, 제 1 외주 트렌치 (54a) 가 2 개 나란히 형성되어 있어도 되고, 제 2 외주 트렌치 (54b) 가 2 개 나란히 형성되어 있어도 된다. 또, 외주 영역 (50) 에 제 1 외주 트렌치 (54a) 와 제 2 외주 트렌치 (54b) 가 1 개씩 형성되어 있어도 된다. 즉, 외주 영역 (50) 내에, 제 1 외주 트렌치 (54a) 의 옆에 제 2 외주 트렌치 (54b) 가 형성되어 있는 구조가 형성되어 있으면, 상기 서술한 실시예의 효과를 얻을 수 있다.

[0068] 또, 상기 서술한 실시예에서는, 제 2 바닥면 영역 (56b) 이 제 1 바닥면 영역 (56a) 보다 두꺼웠다. 그러나, 제 2 바닥면 영역 (56b) 근방에서의 전계 집중이 그다지 문제가 되지 않는 경우에는, 제 2 바닥면 영역 (56b) 의 두께가 제 1 바닥면 영역 (56a) 의 두께 이하여도 된다.

[0069] 또, 상기 서술한 실시예에서는, 반도체 기판 (12) 의 상면을 평면에서 보았을 때에 제 1 바닥면 영역 (56a) 과 제 2 바닥면 영역 (56b) 이 부분적으로 겹쳐져 있었다. 그러나, 도 10 에 나타내는 바와 같이, 이들이 겹쳐 있지 않아도 된다. 이와 같은 구성이어도, X 방향 또는 Y 방향의 위치의 오차에 의해 제 1 바닥면 영역 (56a) 과 제 2 바닥면 영역 (56b) 이 연결되는 것을 방지할 수 있다. 또, 제 1 바닥면 영역 (56a) 과 제 2 바닥면 영역 (56b) 이 겹쳐 있지 않아도, 제 1 바닥면 영역 (56a) 으로부터 제 2 바닥면 영역 (56b) 으로 (또는, 제 2 바닥면 영역 (56b) 으로부터 제 1 바닥면 영역 (56a) 으로) 공핍충을 신전시키는 것은 가능하다.

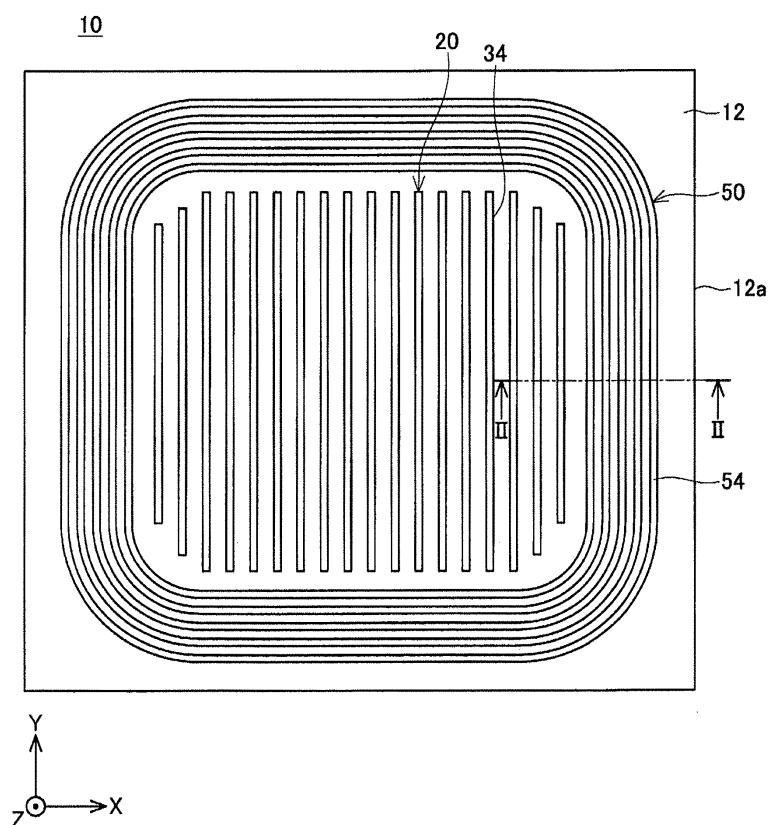
[0070] 또, 상기 서술한 실시예에서는, 반도체 기판 (12) 이 SiC 에 의해 구성되어 있었지만, Si 등의 다른 재질에 의해 구성된 반도체 기판을 사용해도 된다. 또, 상기 서술한 실시예의 p 형 플로팅 영역 (32) 대신에, 소정의 전위에 접속되어 있는 p 형 영역이 형성되어 있어도 된다.

[0071] 이상, 본 발명의 구체예를 상세하게 설명했지만, 이들은 예시에 지나지 않고, 특허청구범위를 한정하는 것은 아니다. 특허청구범위에 기재된 기술에는, 이상에 예시한 구체예를 여러 가지로 변형, 변경한 것이 포함된다.

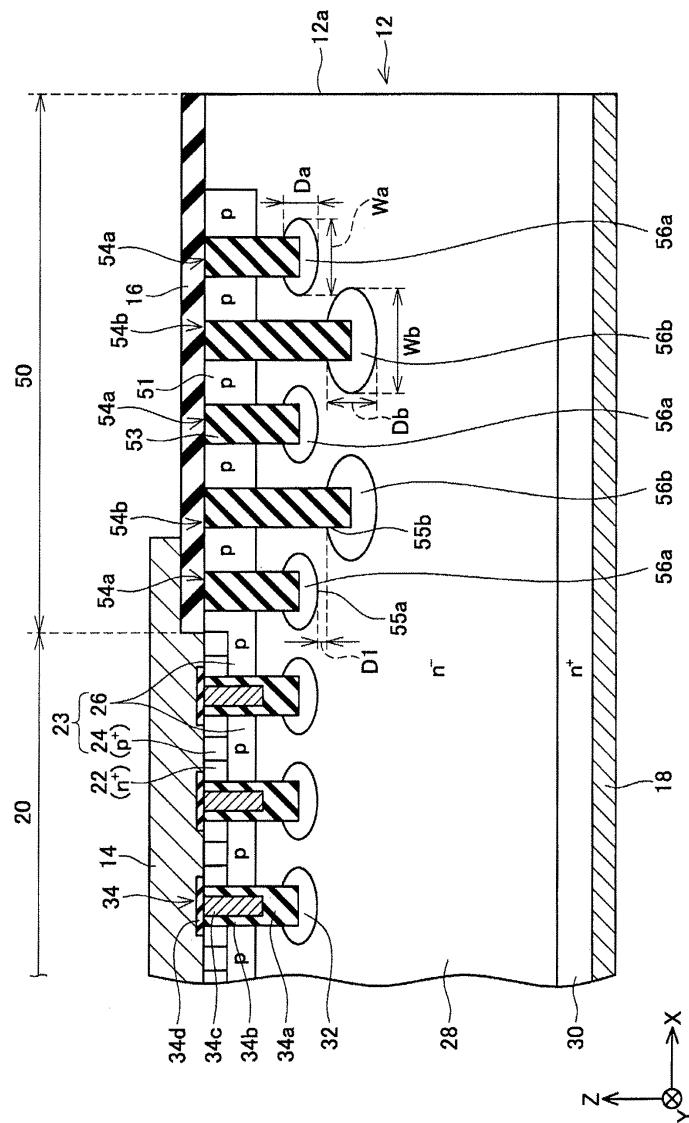
[0072] 본 명세서 또는 도면에 설명한 기술 요소는, 단독으로 혹은 각종의 조합에 의해 기술적 유용성을 발휘하는 것으로, 출원시 청구항에 기재된 조합에 한정되는 것은 아니다. 또, 본 명세서 또는 도면에 예시한 기술은 복수 목적을 동시에 달성하는 것으로, 그 중 하나의 목적을 달성하는 것 자체로 기술적 유용성을 갖는 것이다.

도면

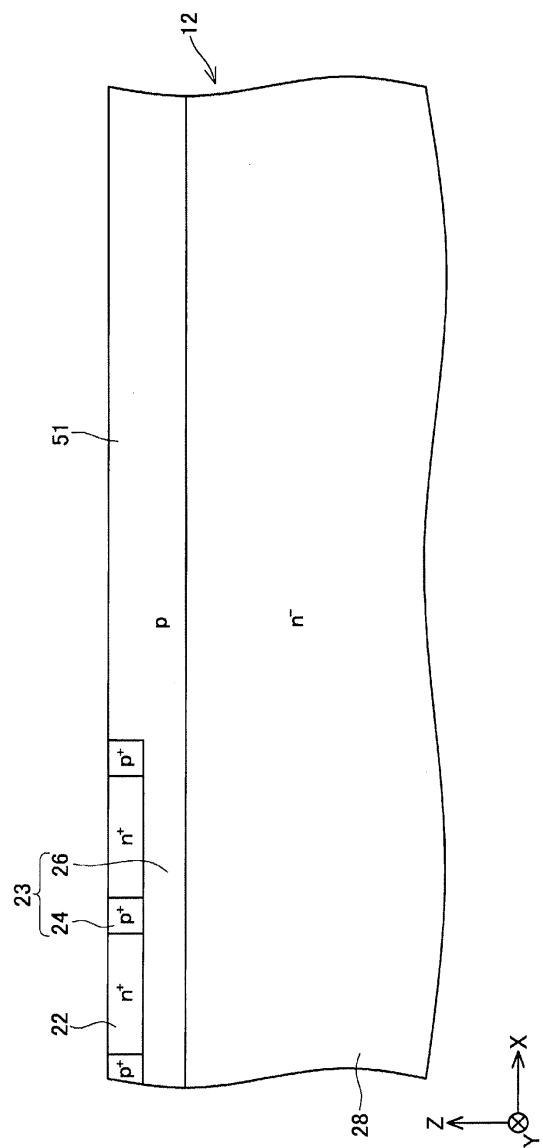
도면1



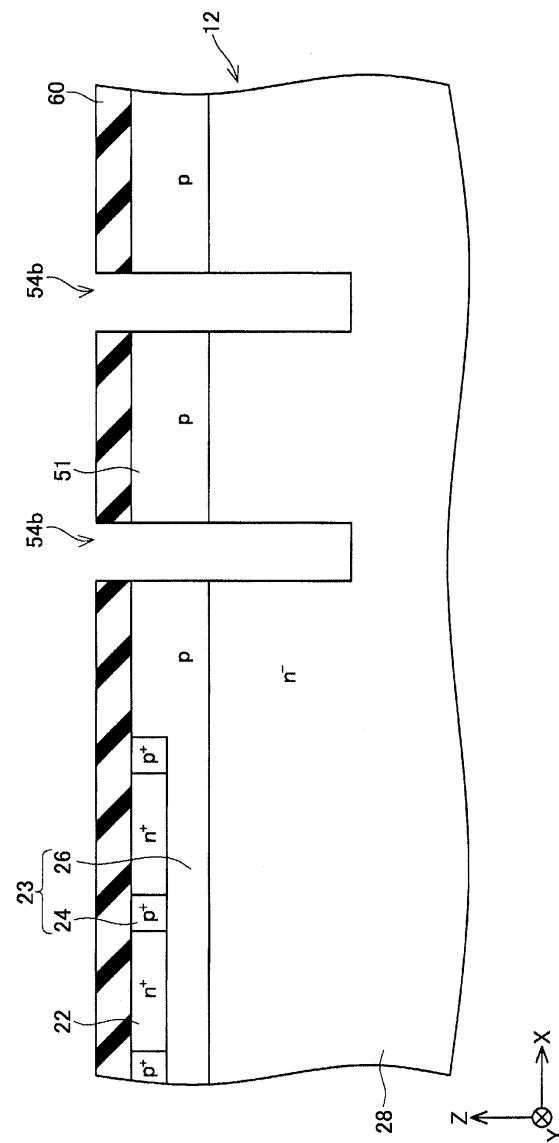
도면2



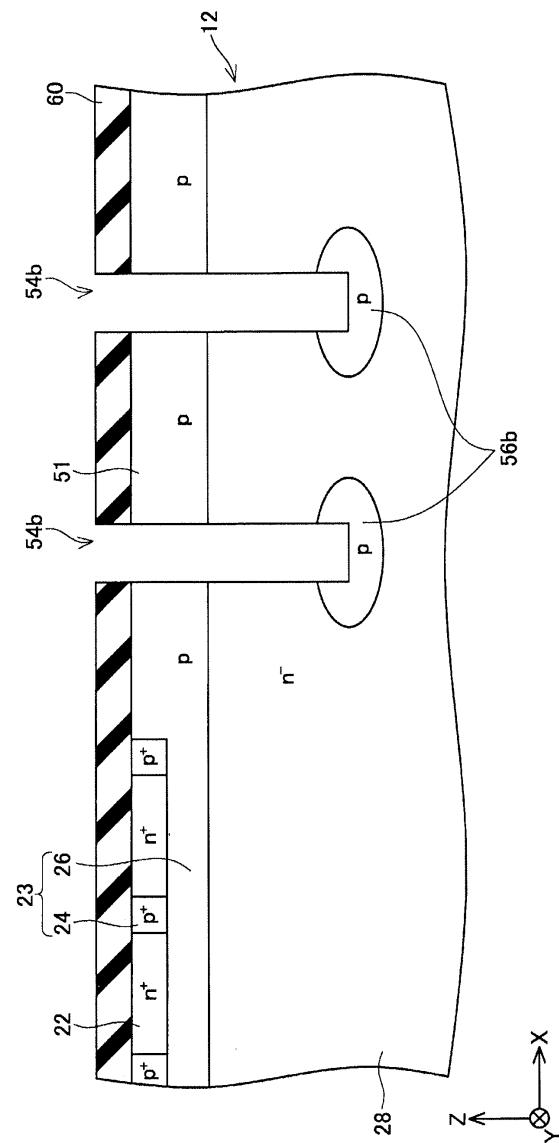
도면3



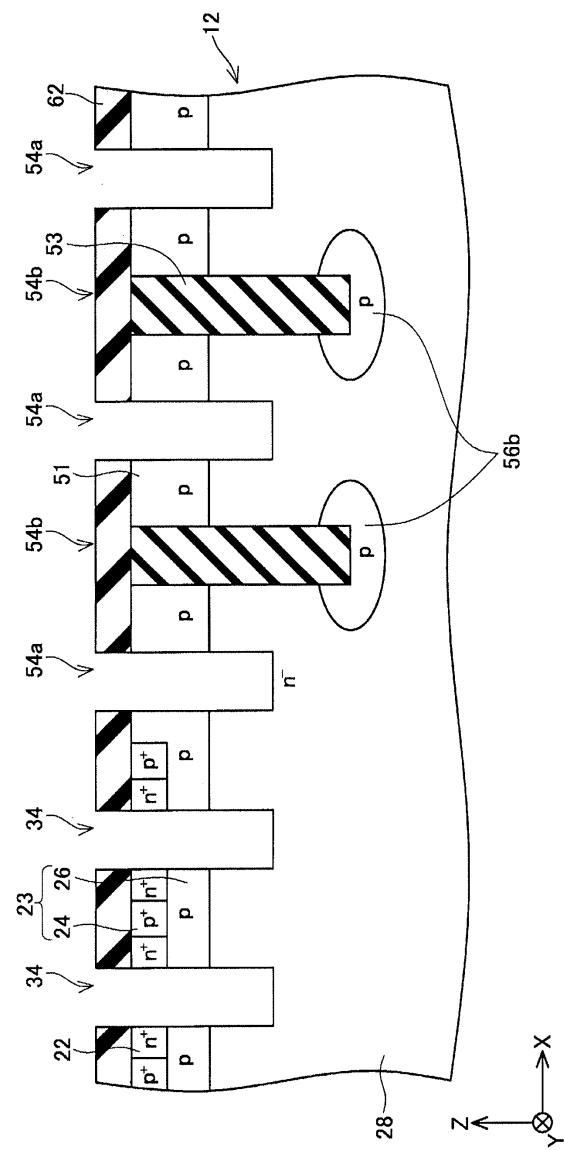
도면4



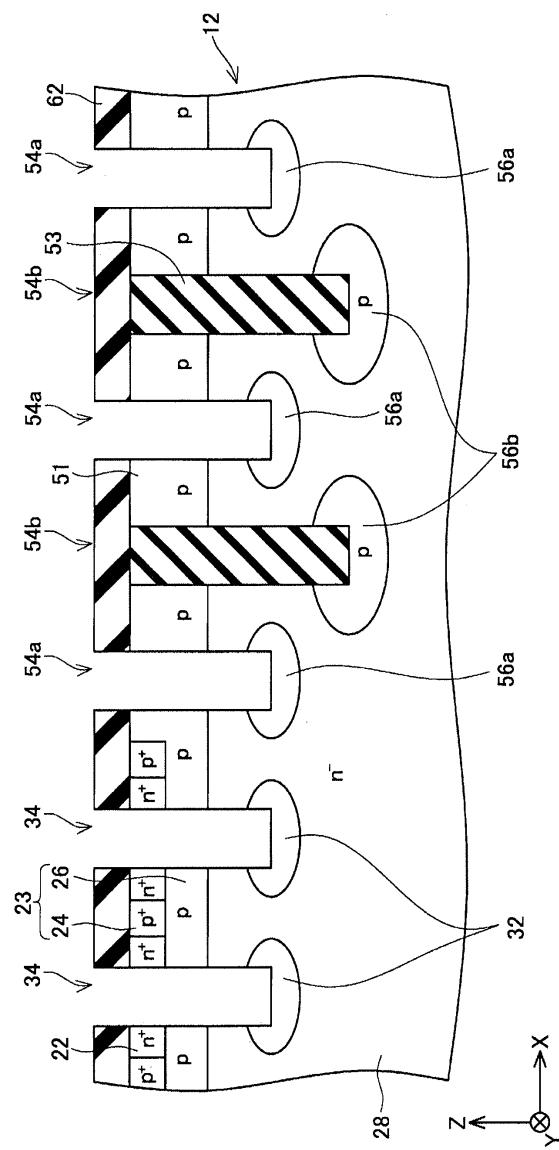
도면5



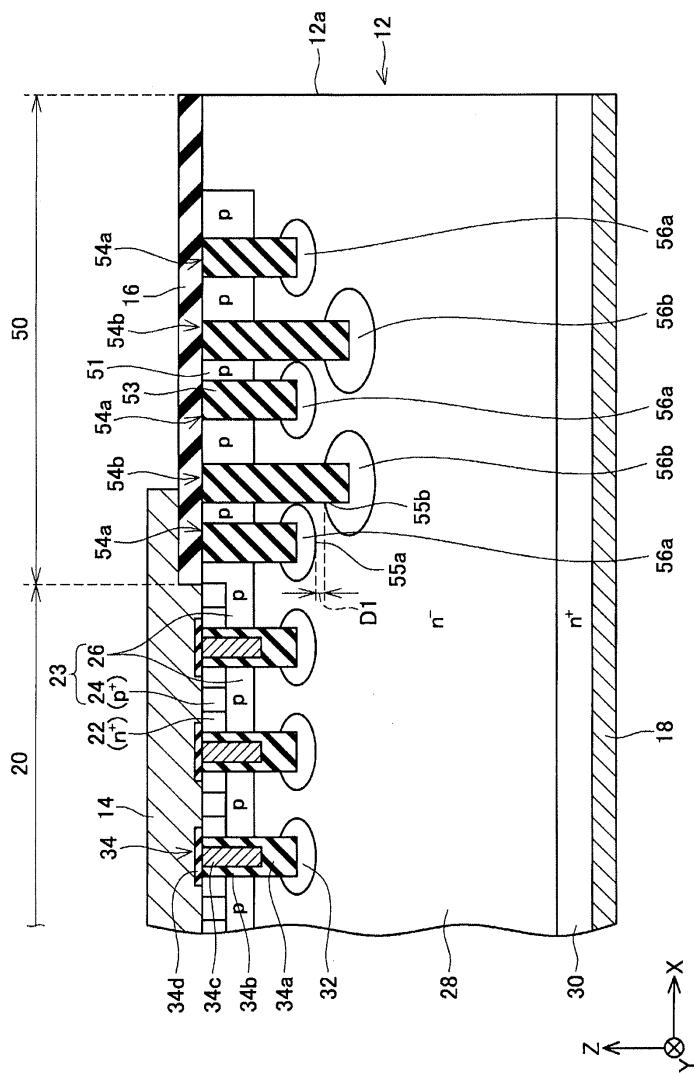
도면6



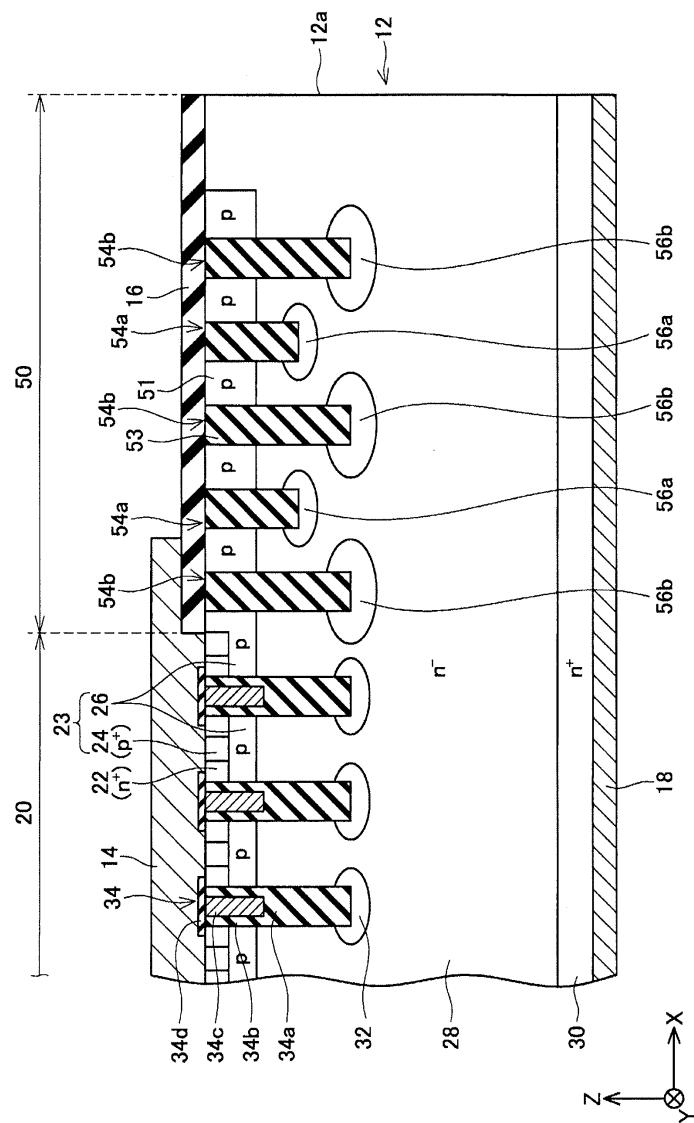
도면7



도면8



도면9



도면10

