

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-17731

(P2014-17731A)

(43) 公開日 平成26年1月30日(2014.1.30)

(51) Int.Cl.		F I		テーマコード (参考)		
H03L	7/099	(2006.01)	H03L	7/08	F	5J081
H03B	5/12	(2006.01)	H03B	5/12	G	5J106

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号	特願2012-154862 (P2012-154862)	(71) 出願人	000004330
(22) 出願日	平成24年7月10日 (2012.7.10)		日本無線株式会社
			東京都三鷹市下連雀5丁目1番1号
		(74) 代理人	100126561
			弁理士 原嶋 成時郎
		(72) 発明者	赤堀 耕一郎
			東京都三鷹市下連雀五丁目1番1号 日本無線株式会社内
		(72) 発明者	平林 和雄
			東京都三鷹市下連雀五丁目1番1号 日本無線株式会社内
		(72) 発明者	足立 誠幸
			東京都三鷹市下連雀五丁目1番1号 日本無線株式会社内

最終頁に続く

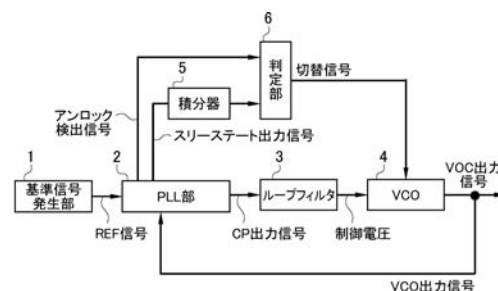
(54) 【発明の名称】 電圧制御発振器およびPLL回路

(57) 【要約】

【課題】 出力を広帯域に変可させた場合でも、位相雑音の劣化を防止する電圧制御発振器と、この電圧制御発振器を用いたPLL回路とを提供する。

【解決手段】 基準信号と出力信号との位相差に応じた信号を出力するPLL部2と、PLL部2が出力する信号を基に生成された制御電圧を入力とすると共に、この制御電圧に応じた周波数の信号を発振する電圧制御発振器4とを含む構成のPLL回路であって、PLL部2からのアンロック検出信号とスリーステート出力信号とを基に、発振の周波数バンドを切り替えるための切替信号を生成し、生成した切替信号を電圧制御発振器4に送る、積分器5および判定部6から成る判定手段を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

制御電圧に応じて共振周波数を調整する共振回路と、前記共振回路の共振周波数の信号で発振する発振回路とを備えている電圧制御発振器において、

前記共振回路のコンデンサおよび前記発振回路の帰還用コンデンサの中で、前記共振回路のインダクタンス素子に対して並列に接続されているコンデンサを少なくとも含むコンデンサを、容量値が変わる可変コンデンサにし、

前記可変コンデンサの容量値を、入力された切替信号に応じて切り替える、ことを特徴とする電圧制御発振器。

【請求項 2】

10

前記共振回路の中で、前記制御電圧で容量が変化する可変容量ダイオードに対して直列に接続されている可変コンデンサと、前記共振回路のインダクタンス素子に対して並列に接続されている可変コンデンサとは高い Q 値を持つ、

ことを特徴とする請求項 1 に記載の電圧制御発振器。

【請求項 3】

基準信号と出力信号との位相差に応じた信号を出力する PLL 部と、前記 PLL 部が出力する信号を基に生成された制御電圧を入力とすると共に、この制御電圧に応じた周波数の信号を発振する、請求項 1 または 2 に記載の電圧制御発振器を含む構成の PLL 回路であって、

前記 PLL 部からのアンロック検出信号とスリーステート出力信号とを基に、発振の周波数バンドを切り替えるための切替信号を生成し、生成した切替信号を前記電圧制御発振器に送る判定手段を備えることを特徴とする PLL 回路。

20

【請求項 4】

前記判定手段は、前記 PLL 部からのアンロック検出信号がアンロックの状態の場合に、スリーステート出力信号を基に周波数バンドを切り上げるか切り下げるかの切替信号を生成する、

ことを特徴とする請求項 3 に記載の PLL 回路。

【発明の詳細な説明】**【技術分野】****【0001】**

30

この発明は、外部から入力される制御電圧に応じて発振する電圧制御発振器と、この電圧制御発振器 (VCO: Voltage Controlled Oscillator) を利用した PLL 回路 (Phase Locked Loop: 位相同期回路) に関する。

【背景技術】**【0002】**

電圧制御発振器を内部に備える PLL 回路は、基準となる周波数との比較により所定周波数の信号を出力する。こうした PLL 回路は、携帯端末の周波数切り替え等に使用されている。

【0003】

40

従来の PLL 回路を図 7 に示す。図 7 の PLL 回路は、基準信号発生部 201 と、PLL 部 202 と、ループフィルタ 203 と、電圧制御発振器 (VCO) 204 とを備えている。基準信号発生部 201 は、周波数の基準となる信号を生成し、REF 信号として出力する。PLL 部 202 は、電圧制御発振器 204 からの出力信号 (以下、「VOC 出力信号」という) と、基準信号発生部 201 からの REF 信号とを入力とする。そして、PLL 部 202 の位相検出器 (図示を省略) は、REF 信号と VOC 出力信号との位相を比較する。位相比較器は、REF 信号に比べて VOC 出力信号の位相が進んでいる場合に、進相信号をハイレベルにし、逆の場合には遅相信号をハイレベルにする。この後、PLL 部 202 のチャージポンプ (図示を省略) は、位相比較器が出力する進相信号と遅相信号とを 1 つの信号とし、この信号を CP 出力信号として出力する。

50

【 0 0 0 4 】

ループフィルタ 2 0 3 は、P L L 部 2 0 2 のチャージポンプが出力する C P 出力信号の高周波成分を遮断して直流の制御電圧を生成する。そして、ループフィルタ 2 0 3 は、生成した制御電圧を電圧制御発振器 2 0 4 に出力する。電圧制御発振器 2 0 4 は、ループフィルタ 2 0 3 からの制御電圧に応じた周波数の信号を発振し、この信号を V O C 出力信号として出力する。

【 0 0 0 5 】

こうした V O C 出力信号を出力する電圧制御発振器 2 0 4 は、例えば図 8 に示すように、可変容量ダイオード 2 0 4 A と、コンデンサ 2 0 4 B、2 0 4 C、2 0 4 E と、コイル 2 0 4 D と、発振部 2 0 4 F とを備えている。

10

【 0 0 0 6 】

電圧制御発振器 2 0 4 の可変容量ダイオード 2 0 4 A は、ループフィルタ 2 0 3 から出力される制御電圧に応じて、容量を変える可変容量素子である。こうした可変容量ダイオード 2 0 4 A として、バリキャップなどがある。電圧制御発振器 2 0 4 では、可変容量ダイオード 2 0 4 A と、コンデンサ 2 0 4 B、2 0 4 C とコイル 2 0 4 D とにより共振回路が形成されている。発振部 2 0 4 F は、この共振回路の共振周波数で発振する。そして、発振部 2 0 4 F は、発振により生成した発振電圧を V O C 出力信号として出力する。なお、コンデンサ 2 0 4 E は、共振回路と発振部 2 0 4 F とを接続する直流阻止用のコンデンサである。

20

【 0 0 0 7 】

通常、電圧制御発振器 2 0 4 と P L L 部 2 0 2 との間には、分周器が接続されている。P L L 回路は、基準信号発生部 2 0 1 の R E F 信号を基にして、分周比に応じた所定周波数の電圧を、V O C 出力信号として出力する。こうした P L L 回路には、位相雑音の劣化を防ぐものなど、各種のものがある（例えば、特許文献 1 参照。）。なお、位相雑音は、電圧制御発振器 2 0 4 が発振する周波数の信号に対して、不要成分の周波数がどの程度含まれるかを示す値である。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開 2 0 1 0 - 2 3 3 0 7 8 号公報

30

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

ところで、先に述べた P L L 回路（図 8）の電圧制御発振器 2 0 4 や文献 1 で用いられている電圧制御発振器には、次の課題がある。従来の電圧制御発振器で、V O C 出力信号を広帯域に可変する場合には、可変容量ダイオードによる容量可変比を増加させるために、例えば図 8 のコンデンサ 2 0 4 B に相当する固定容量値を増加させていた。このような広帯域化では、可変容量ダイオード 2 0 4 A の可変比で周波数可変幅が制約される上に、可変容量ダイオード 2 0 4 A の低 Q 特性により、位相雑音が大幅に劣化する、という課題がある。

40

【 0 0 1 0 】

この発明の目的は、前記の課題を解決し、出力を広帯域に可変させた場合でも、位相雑音の劣化を防止する電圧制御発振器と、この電圧制御発振器を用いた P L L 回路とを提供することにある。

【 課題を解決するための手段 】

【 0 0 1 1 】

前記の課題を解決するために、請求項 1 の発明は、制御電圧に応じて共振周波数を調整する共振回路と、前記共振回路の共振周波数の信号で発振する発振回路とを備えている電圧制御発振器において、前記共振回路のコンデンサおよび前記発振回路の帰還用コンデンサの中で、前記共振回路のインダクタンス素子に対して並列に接続されているコンデンサ

50

を少なくとも含むコンデンサを、容量値が変わる可変コンデンサにし、前記可変コンデンサの容量値を、入力された切替信号に応じて切り替える、ことを特徴とする電圧制御発振器である。

【 0 0 1 2 】

請求項 1 の発明では、電圧制御発振器は共振回路と発振回路とを備えている。この電圧制御発振器において、共振回路のコンデンサおよび発振回路の帰還用コンデンサの中で、共振回路のインダクタンス素子に並列に接続されているコンデンサを少なくとも含むコンデンサを、容量値が変わる可変コンデンサにして、可変コンデンサの容量値を、入力された切替信号に応じて切り替える。

【 0 0 1 3 】

請求項 2 の発明は、請求項 1 に記載の電圧制御発振器において、前記共振回路の中で、前記制御電圧で容量が変化する可変容量ダイオードに対して直列に接続されている可変コンデンサと、前記共振回路のインダクタンス素子に対して並列に接続されている可変コンデンサとは高い Q 値を持つ、ことを特徴とする。

【 0 0 1 4 】

請求項 3 の発明は、基準信号と出力信号との位相差に応じた信号を出力する PLL 部と、前記 PLL 部が出力する信号を基に生成された制御電圧を入力すると共に、この制御電圧に応じた周波数の信号を発振する、請求項 1 または 2 に記載の電圧制御発振器とを含む構成の PLL 回路であって、前記 PLL 部からのアンロック検出信号とスリーステート出力信号とを基に、発振の周波数バンドを切り替えるための切替信号を生成し、生成した切替信号を前記電圧制御発振器に送る判定手段を備えることを特徴とする PLL 回路である。

【 0 0 1 5 】

請求項 3 の発明では、PLL 回路は、PLL 部と電圧制御発振器とを含む構成である。この PLL 回路において、判定手段は、PLL 部からのアンロック検出信号とスリーステート出力信号とを基に、発振の周波数バンドを切り替えるための切替信号を生成する。この後、判定手段は、生成した切替信号を電圧制御発振器に送る。

【 0 0 1 6 】

請求項 4 の発明は、請求項 3 に記載の PLL 回路において、前記判定手段は、前記 PLL 部からのアンロック検出信号がアンロックの状態の場合に、スリーステート出力信号を基に周波数バンドを切り上げるか切り下げるかの切替信号を生成する、ことを特徴とする。

【 発明の効果 】

【 0 0 1 7 】

請求項 1 の発明によれば、少なくとも共振回路のインダクタンス素子に対して並列に接続されているコンデンサを可変コンデンサにしたことにより、制御電圧に応じて容量値が変わる共振回路の可変容量ダイオードの可変比によらずに、電圧制御発振器の広帯域化が可能である。

【 0 0 1 8 】

請求項 2 の発明によれば、共振回路の可変容量ダイオードに直列に接続されている可変コンデンサと、共振回路のインダクタンス素子に並列に接続されている可変コンデンサに高い Q 値のものをを用いることで、低位相雑音特性を実現することができる。

【 0 0 1 9 】

請求項 3 の発明によれば、電圧制御発振器の周波数バンドを切り替えることにより、PLL 回路の広帯域化を可能にする。また、この発明によれば、PLL ループだけで、周波数バンドの制御が可能である。

【 0 0 2 0 】

請求項 4 の発明によれば、PLL 部からのアンロック検出信号がアンロックの状態の場合にだけ、スリーステート出力信号を基に切替信号を生成するので、処理の簡単化が可能である。

10

20

30

40

50

【図面の簡単な説明】

【0021】

【図1】この発明の実施の形態1によるPLL回路を示すブロック図である。

【図2】判定処理の一例を示すフローチャートである。

【図3】電圧制御発振器の一例を示す回路図である。

【図4】共振回路と発振回路とを示す回路図である。

【図5】可変コンデンサの一例を示す回路図である。

【図6】周波数バンドと容量値との関係を示す図である。

【図7】従来のPLL回路を示すブロック図である。

【図8】従来の電圧制御発振器を示す回路図である。

10

【発明を実施するための形態】

【0022】

次に、この発明の各実施の形態について、図面を用いて詳しく説明する。

(実施の形態1)

この実施の形態によるPLL回路を図1に示す。図1のPLL回路は、基準信号発生部1と、PLL部2と、ループフィルタ3と、電圧制御発振器4と、積分器5と、判定部6とを備えている。基準信号発生部1とループフィルタ3とは、図7の基準信号発生部201とループフィルタ203と同じであるので、これらの説明を省略する。

【0023】

PLL回路のPLL部2は図7と基本的に同じであるが、この実施の形態では、PLL部2の次の機能も利用している。PLL部2は、スリーステート出力信号を出力する機能を持つ。スリーステート出力信号は、PLL部2の先に述べたチャージポンプが出力するCP出力信号と同じであるか、または同等である。スリーステート出力信号は、基準信号発生部1からのREF信号に比べて、電圧制御発振器4からのVOC出力信号の位相が進んでいるときにロウレベルになり、逆に、REF信号に比べてVOC出力信号の位相が遅れているときにハイレベルになる。また、両方の位相が一致しているときに、スリーステート出力信号はハイインピーダンスの状態になる。PLL部2は、こうしたスリーステート出力信号を積分器5に出力する。

20

【0024】

また、PLL部2はロック検出機能を持つ。つまり、REF信号とVOC出力信号との位相差が所定範囲から外れると、PLL部2は、ロック検出機能により、アンロック検出信号をハイレベルにする。PLL部2は、こうしたアンロック検出信号を判定部6に出力する。

30

【0025】

積分器5は、PLL部2からスリーステート出力信号を受け取ると、この信号の高周波成分を除去する。そして、積分器5は、発振周波数が設定周波数より低ければハイレベルの低周波成分を判定部6に送り、発振周波数が設定周波数より高ければロウレベルの低周波成分を判定部6に送る。また、ロックしてれば、積分器5は出力をハイインピーダンスにする。

【0026】

PLL回路の判定部6は、PLL部2からのアンロック検出信号と積分器5からのスリーステート出力信号とを基に、図2に示す判定処理を定期的に行う。判定部6は、判定処理を開始すると、PLL部2が出力するアンロック検出信号が、ハイレベルであるかどうかを調べる(ステップS1)。判定部6は、アンロック検出信号がアンロックであると判定すると(ステップS2)、積分器5からのスリーステート出力信号を調べる(ステップS3)。

40

【0027】

判定部6は、スリーステート出力信号がハイレベルであると判定すると(ステップS4)、電圧制御発振器4に対してバンドアップの切替信号を送る(ステップS5)。また、判定部6は、ステップS4でスリーステート出力信号がロウレベルであると判定すると、

50

電圧制御発振器 4 に対してバンドダウンの切替信号を送る (ステップ S 6)。なお、バンドアップおよびバンドダウンの切替信号については、後述する。

【0028】

ステップ S 5 またはステップ S 6 が終了すると、判定部 6 は、バンドアップまたはバンドダウンの切替信号を送ってからの経過時間を調べる (ステップ S 7)。判定部 6 は、所定時間が経過したと判定すると (ステップ S 7)、処理をステップ S 1 に戻す。また、所定時間が経過してないと判定すると、判定部 6 は、処理をステップ S 7 に戻し、所定時間が経過するまで処理を繰り返す。

【0029】

一方、ステップ S 2 で、アンロック検出信号がアンロックではないと判定すると、判定部 6 は判定処理を終了する。

【0030】

PLL 回路の電圧制御発振器 4 は、ループフィルタ 3 からの制御電圧に応じた周波数の信号を発振し、生成した信号を V O C 出力信号として出力する。また、電圧制御発振器 4 は、判定部 6 からのバンドアップ信号またはバンドダウン信号を受け取ると、発振周波数のバンド (以下、「周波数バンド」という) を切り替える。こうした電圧制御発振器 4 の一例を図 3 に示す。この電圧制御発振器 4 は、共振回路 4 1 と、発振回路 4 2 と、切替回路 4 3 とで構成されている。

【0031】

電圧制御発振器 4 の切替回路 4 3 は、判定部 6 が出力する切替信号を基にして、バンド選択信号を生成する。バンド選択信号は、電圧制御発振器 4 が出力する V O C 出力信号の周波数の粗調整をするためのものである。この実施の形態では、V O C 出力信号の周波数の粗調整をするために、4 つの周波数バンド、つまり、周波数バンド B 1、周波数バンド B 2、周波数バンド B 3、周波数バンド B 4 が設定されている。

【0032】

切替回路 4 3 は、判定部 6 からバンドアップの切替信号を受け取ると、現在の周波数バンドから 1 段上の周波数バンドに切り替えるためのバンド選択信号を生成する。なお、現在の周波数バンドから 1 段上の周波数バンドは、現在の V O C 出力信号の周波数に比べて、さらに 1 段高い周波数帯域である。また、切替回路 4 3 は、バンドダウンの切替信号を受け取ると、現在の周波数バンドから 1 段下の周波数バンドに切り替えるためのバンド選択信号を生成する。なお、現在の周波数バンドから 1 段下の周波数バンドは、現在の V O C 出力信号の周波数に比べて、さらに 1 段低い周波数帯域である。このように、バンド選択信号は、周波数バンド B 1 ~ B 4 の中から 1 つの周波数バンドを選択するための信号である。切替回路 4 3 は、このように生成したバンド選択信号を、共振回路 4 1 と発振回路 4 2 とに送る。

【0033】

電圧制御発振器 4 の共振回路 4 1 と発振回路 4 2 とを図 4 に示す。共振回路 4 1 は、可変容量ダイオード C D 1 と、可変コンデンサ C 1 ~ C 3 と、コイル L 1 とで構成されている。共振回路 4 1 では、制御電圧により容量が変化する可変容量ダイオード C D 1 と可変コンデンサ C 1 との直列回路に対して、可変コンデンサ C 2 とコイル L 1 とがそれぞれ並列に接続されて、共振用の並列回路が形成されている。この並列回路は、直流阻止用の可変コンデンサ C 3 によって、次段の発振回路 4 2 に接続されている。

【0034】

この共振回路 4 1 の可変コンデンサ C 1 ~ C 3 は、バンド切替信号に応じて、容量値を段階的に変える。例えば、可変コンデンサ C 1 は、図 5 に示すように、スイッチ S W 1 1 とコンデンサ C 1 1 とが直列に接続されている第 1 の直列回路と、スイッチ S W 1 2 とコンデンサ C 1 2 とが直列に接続されている第 2 の直列回路と、スイッチ S W 1 3 とコンデンサ C 1 3 とが直列に接続されている第 3 の直列回路と、スイッチ S W 1 4 とコンデンサ C 1 4 とが直列に接続されている第 4 の直列回路とを備えている。第 1 の直列回路は周波数バンド B 1 に対応し、第 2 の直列回路は周波数バンド B 2 に対応する。また、第 3 の直

10

20

30

40

50

列回路は周波数バンド B 3 に対応し、第 4 の直列回路は周波数バンド B 4 に対応する。さらに、可変コンデンサ C 1 では、第 1 の直列回路～第 4 の直列回路が並列に接続されている。

【0035】

可変コンデンサ C 1 は、切替回路 4 3 からのバンド選択信号を受け取る。この後、可変コンデンサ C 1 は、バンド選択信号に応じて、スイッチ S W 1 1 ～ S W 1 4 の中から 1 つをオンにする。例えば、バンド選択信号が周波数バンド B 1 の選択を示す場合、可変コンデンサ C 1 は、周波数バンド B 1 に対応する第 1 の直列回路のスイッチ S W 1 1 をオンにし、残りのスイッチ S W 1 2 ～ S W 1 4 をオフにする。この結果、可変コンデンサ C 1 の容量値は値 C_{1B1} となる。

10

【0036】

同じように、バンド選択信号が周波数バンド B 2 の選択を示す場合、可変コンデンサ C 1 の容量値は値 C_{1B2} となり、バンド選択信号が周波数バンド B 3 の選択を示す場合、可変コンデンサ C 1 の容量値は値 C_{1B3} となる。また、バンド選択信号が周波数バンド B 4 の選択を示す場合、可変コンデンサ C 1 の容量値は値 C_{1B4} となる。この様子を図 6 に示す。図 6 に示すように、各周波数バンド B 1 ～ B 4 に応じて、可変コンデンサ C 1 の容量値 $C_{1B1} \sim C_{1B4}$ を変えている。このように、可変コンデンサ C 1 は、切替回路 4 3 からのバンド選択信号に応じた容量値となる。共振回路 4 1 の可変コンデンサ C 2、C 3 も同様であり、可変コンデンサ C 2 $C_{2B1} \sim C_{2B4}$ 、C 3 $C_{3B1} \sim C_{3B4}$ を変えている。さらに、この実施の形態では、共振回路 4 1 の可変コンデンサ C 1、C 2 には、良好な共振特性を得るために、C 3 ～ C 5 に比べて高い Q 値 (Quality factor) のものを用いて、低位相雑音特性を得ている。

20

【0037】

電圧制御発振器 4 の発振回路 4 2 は、抵抗 R 1、R 2、R 3 と、可変コンデンサ C 4、C 5 と、トランジスタ T R 1 と、コンデンサ C 6、C 7 とで構成され、共振回路 4 1 の共振周波数で発振する。電源 V c c とグランドとの間に、抵抗 R 1 と抵抗 R 2 との直列回路が接続され、抵抗 R 1 とグランドの間にはコンデンサ C 6 が接続されている。また、抵抗 R 1、R 2 の接続点とグランドの間には、可変コンデンサ C 4 と可変コンデンサ C 5 との直列回路が接続されている。可変コンデンサの接続点には、コンデンサ C 7 が接続され、この接続点とグランドの間には抵抗 R 3 が接続されている。抵抗 R 1、R 2 の接続点には、トランジスタ T R 1 のベースが接続され、抵抗 R 1 とコンデンサ C 6 との接続点には、トランジスタ T R 1 のコレクタが接続されている。また、可変コンデンサ C 4、C 5 の接続点には、トランジスタ T R 1 のエミッタが接続されている。

30

【0038】

この発振回路 4 2 では、トランジスタ T R 1 に対して抵抗 R 1 ～ R 3 によりバイアス電圧が加えられ、可変コンデンサ C 4、C 5 による直列回路により V O C 出力信号が分圧されて、トランジスタ T R 1 のベースに加えられている。つまり、可変コンデンサ C 4、C 5 による直列回路は帰還回路である。また、コンデンサ C 6 はトランジスタ T R 1 のコレクタを交流的にアースし、コンデンサ C 7 は直流阻止用である。そして、発振回路 4 2 では、可変コンデンサ C 4、C 5 が図 5 の可変コンデンサ C 1 と同様である。つまり、可変コンデンサ C 4、C 5 は切替回路 4 3 からのバンド選択信号を受け取ると、先の図 6 に示すように、可変コンデンサ C 4、C 5 の容量値 $C_{4B1} \sim C_{4B4}$ 、 $C_{5B1} \sim C_{5B4}$ はバンド選択信号に応じた値となる。

40

【0039】

このように、電圧制御発振器 4 では、切替回路 4 3 からのバンド選択信号に応じて、共振回路 4 1 と発振回路 4 2 の可変コンデンサ C 1 ～ C 5 の容量値が切り替えられる。つまり、可変コンデンサ C 1 ～ C 5 の容量値が切り替えられることにより、各周波数バンドに応じた最適な共振回路 4 1 および発振回路 4 2 が形成される。逆に、周波数バンドに応じた最適な共振回路 4 1 および発振回路 4 2 を形成するために、可変コンデンサ C 1 ～ C 5 の容量値が決められている。

50

【 0 0 4 0 】

次に、この実施の形態の動作について説明する。例えば、図示を省略した分周器の分周比を変えることにより設定周波数が変更された場合、PLL部2はアンロック検出信号をハイレベルにする。同時に、PLL部2は、例えば、基準信号発生部1からのREF信号に比べて、電圧制御発振器4からのVOC出力信号の位相が遅れていると、スリーステート出力信号をハイレベルにする。PLL部2からのスリーステート出力信号は、積分器5を経て判定部6に加えられる。

【 0 0 4 1 】

判定部6は、判定処理のステップS1～S6により、周波数バンドをアップする切替信号を電圧制御発振器4に送る。これにより、電圧制御発振器4は、共振回路41および共振回路42の可変コンデンサC1～C5の容量値を変えて、周波数バンドを切り替えて、周波数バンドの粗調整を行う。

【 0 0 4 2 】

この後、判定部6の判定処理のステップS7、S8により、所定時間が経過するまで、PLL部2とループフィルタ3と電圧制御発振器4とで形成されるPLLループにより、電圧制御発振器4は、共振回路41の可変容量ダイオードCD1により、VOC出力信号の周波数が設定周波数になるように、発振周波数の微調整を行う。もし、微調整によりVOC出力信号の周波数が設定周波数にならなければ、PLL部2は先の動作を繰り返す。また、微調整によりVOC出力信号の周波数が設定周波数になると、PLL部2はアンロック検出信号をロウレベルにする。これにより、判定部6は、判定処理を終了する。

【 0 0 4 3 】

こうして、この実施の形態によれば、電圧制御発振器4の共振回路41に用いられている全てのコンデンサC1～C3を可変コンデンサにすると共に、電圧制御発振器4の発振回路42に用いられている帰還回路のコンデンサC4、C5を可変コンデンサにすることにより、電圧制御発振器4の周波数バンドを切り替えるために、周波数の粗調整と微調整とを行い、PLL回路の広帯域化を可能にする。

【 0 0 4 4 】

また、この実施の形態によれば、可変コンデンサC1、C2に高いQ値の素子を用いることで、低位相雑音特性を実現することができる。かつ、周波数バンド毎に最適に設計した容量値C1～C5を用いることで、広帯域に位相雑音特性を最適に保つことを可能にする。

【 0 0 4 5 】

さらに、この実施の形態によれば、可変容量ダイオードCD1の可変比によらずに、電圧制御発振器およびPLL回路の広帯域化が可能であり、PLLループだけで、周波数バンドの制御が可能である。

(実施の形態2)

実施の形態1では、可変コンデンサC1～C5として、図5に示すものを用いた。この実施の形態では、可変コンデンサC1～C5の代わりに、電圧制御で容量値を変えるものや、シリアルデータで不連続に容量値を変える回路や素子を用いる。これにより、実施の形態1と同様の作用効果を得ることができる。

【 符号の説明 】

【 0 0 4 6 】

- 1 基準信号発生部
- 2 PLL部
- 3 ループフィルタ
- 4 電圧制御発振器
 - 41 共振回路
 - 42 発振回路
 - 43 切替回路
- 5 積分器(判定手段)

10

20

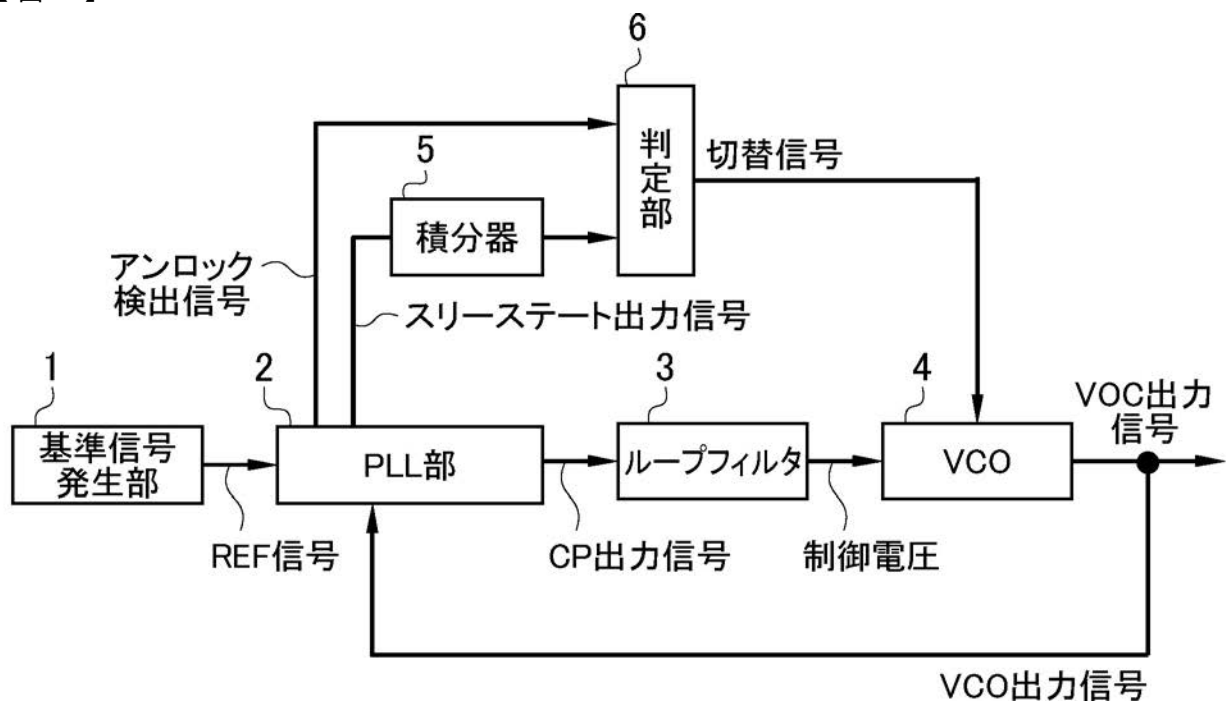
30

40

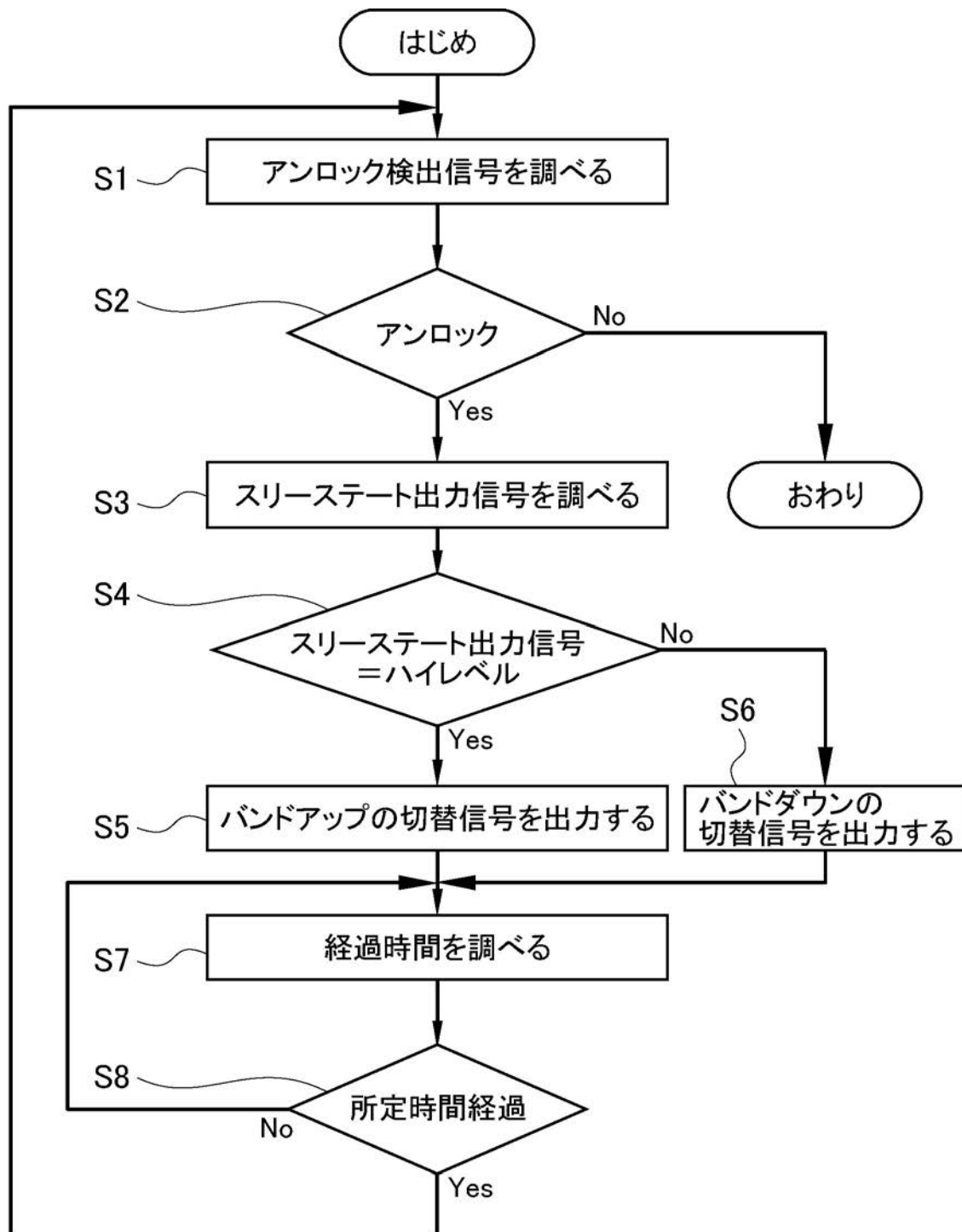
50

6 判定部（判定手段）

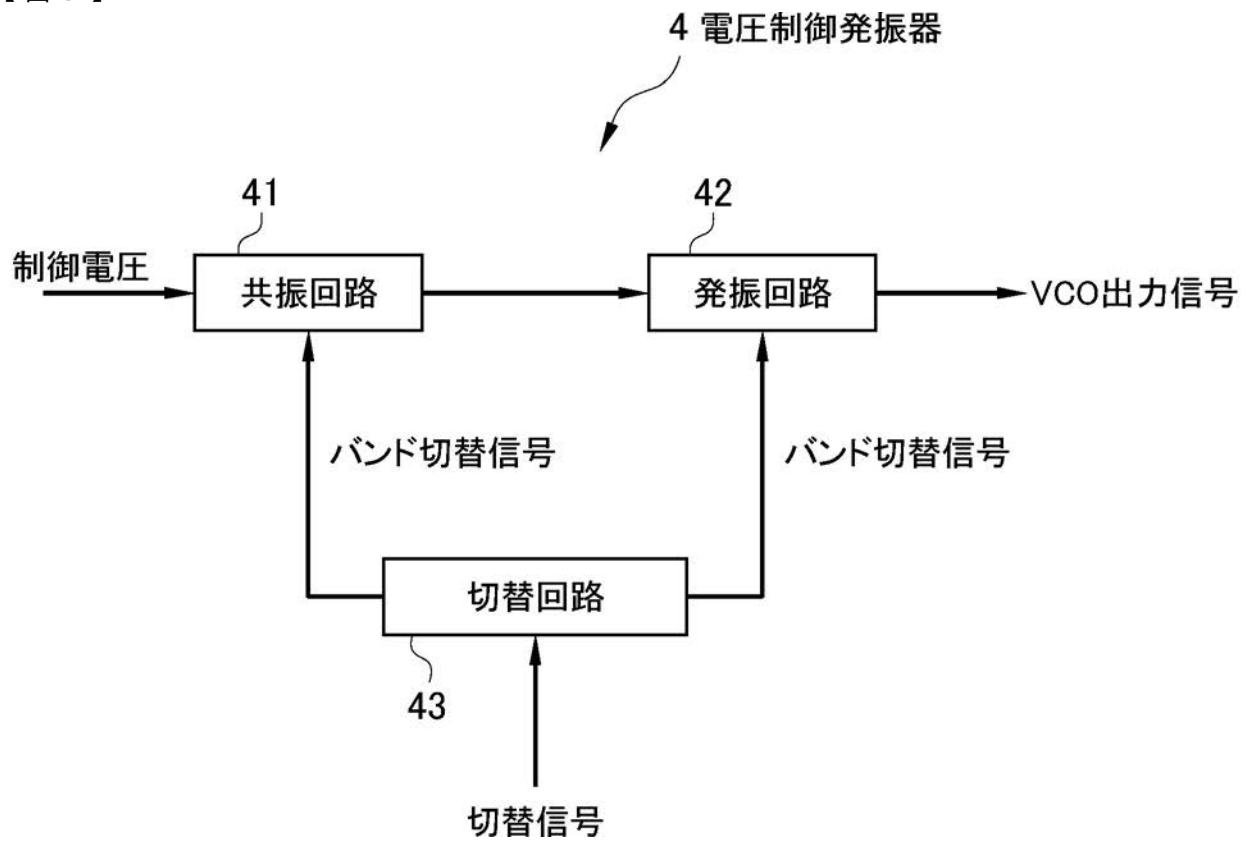
【図 1】



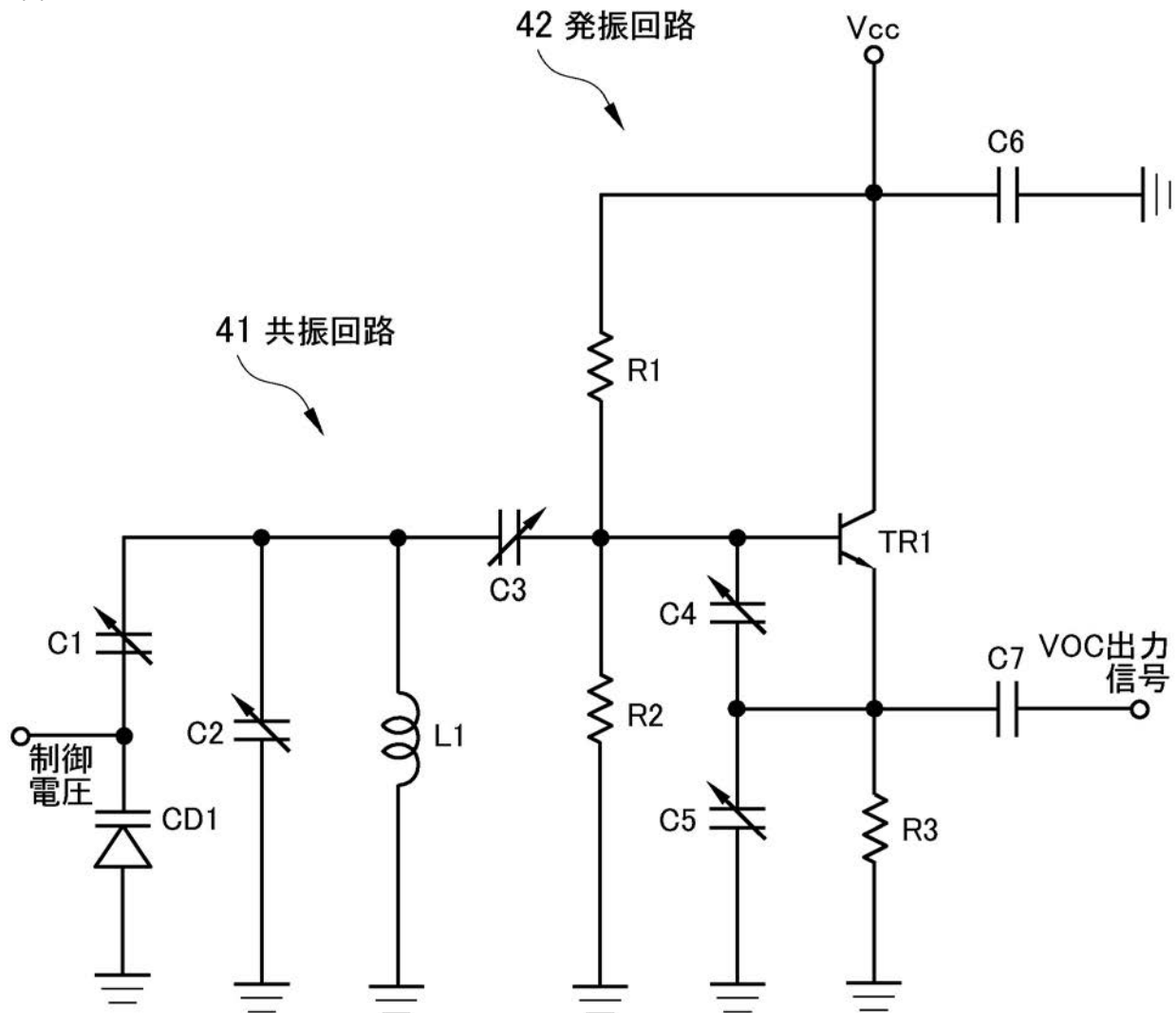
【図 2】



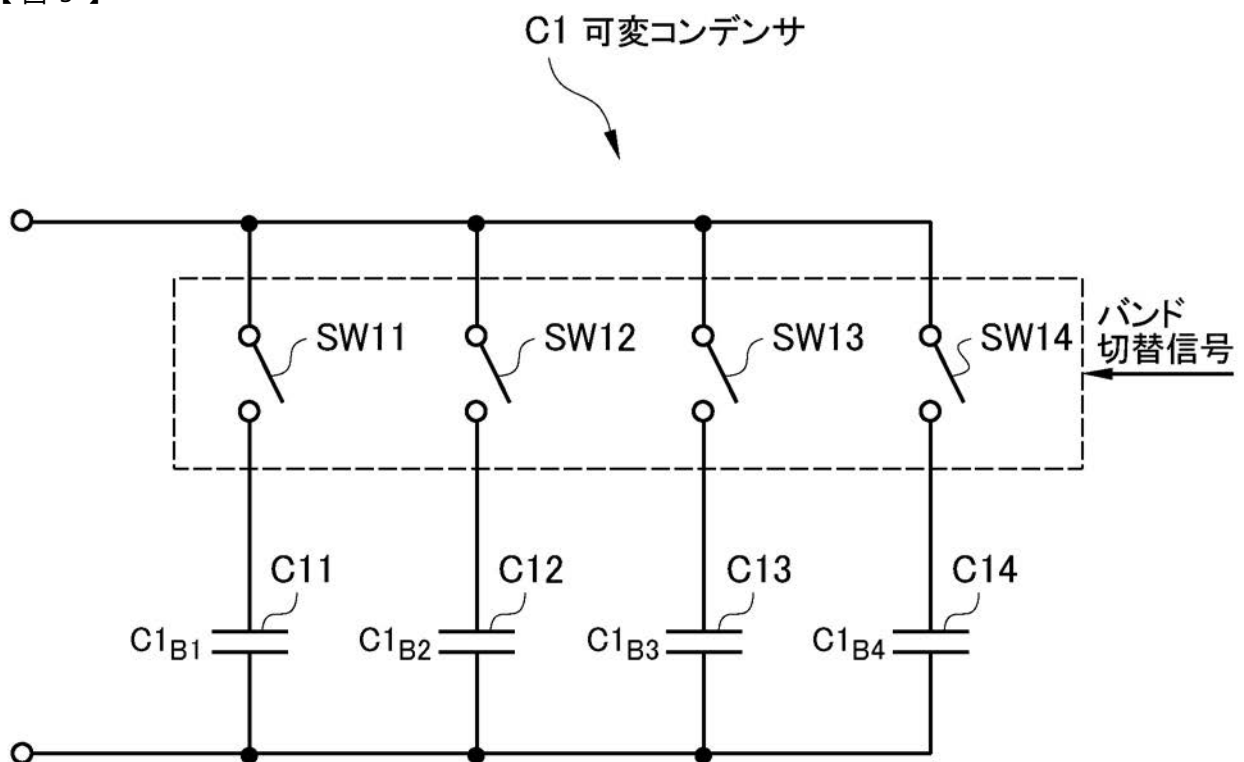
【図 3】



【図 4】



【図 5】

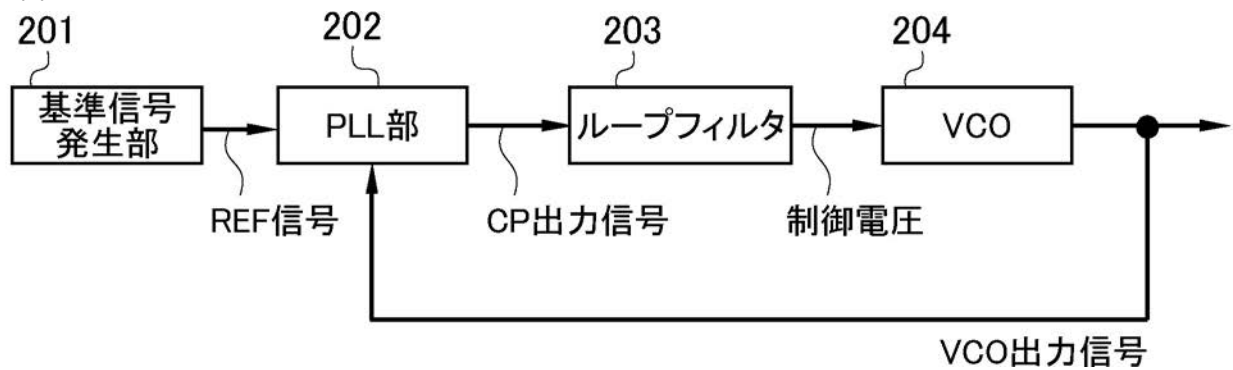


【図 6】

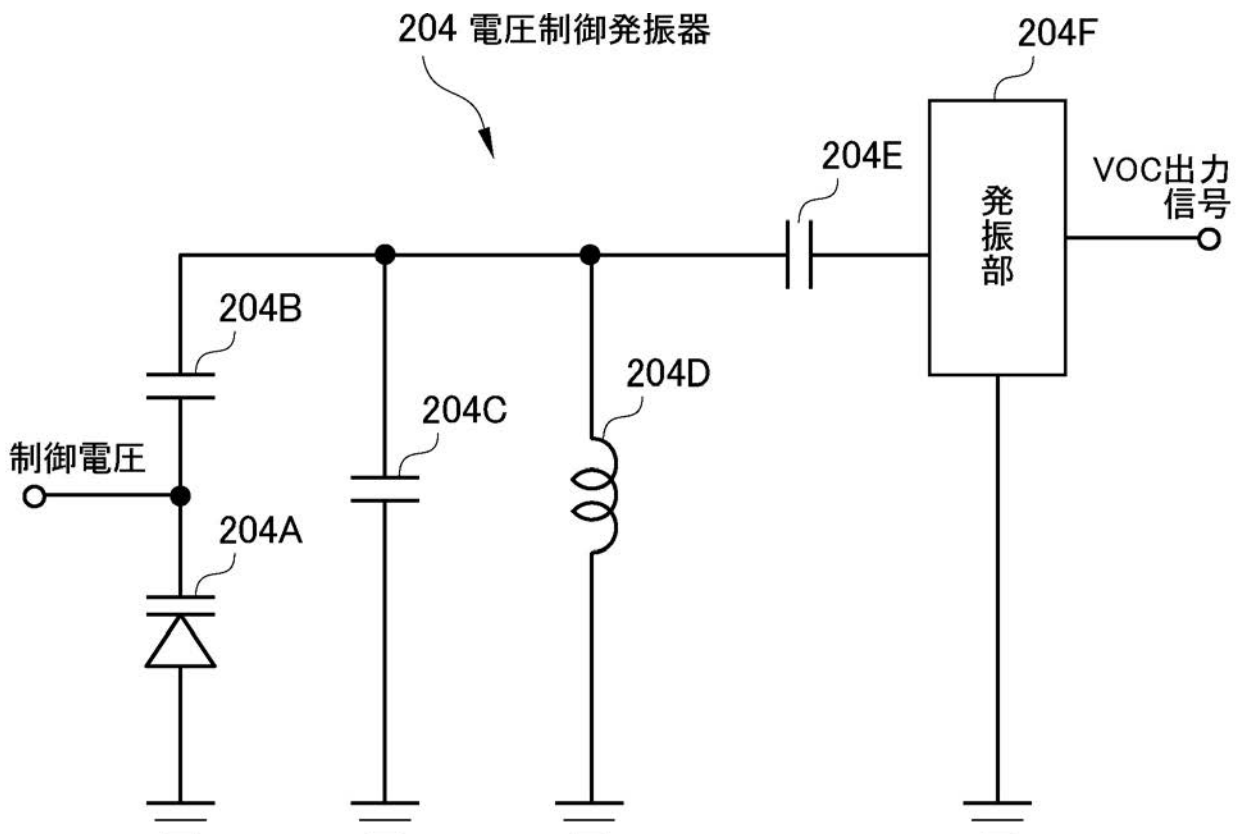
周波数バンドと容量値との関係

	バンドB1	バンドB2	バンドB3	バンドB4
C1	C1 _{B1}	C1 _{B2}	C1 _{B3}	C1 _{B4}
C2	C2 _{B1}	C2 _{B2}	C2 _{B3}	C2 _{B4}
C3	C3 _{B1}	C3 _{B2}	C3 _{B3}	C3 _{B4}
C4	C4 _{B1}	C4 _{B2}	C4 _{B3}	C4 _{B4}
C5	C5 _{B1}	C5 _{B2}	C5 _{B3}	C5 _{B4}

【図 7】



【図 8】



フロントページの続き

F ターム(参考) 5J081 AA03 BB10 CC07 CC30 DD03 DD26 EE02 EE03 EE18 FF21
FF25 GG01 HH01 KK02 KK07 KK22 KK23 LL02 LL08 MM01
5J106 AA04 BB01 CC01 CC31 CC41 DD02 DD08 GG01 HH10 KK22