

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3775580号

(P3775580)

(45) 発行日 平成18年5月17日(2006.5.17)

(24) 登録日 平成18年3月3日(2006.3.3)

(51) Int. Cl.

G06T 15/00 (2006.01)

F I

G06T 15/00 300

請求項の数 6 (全 16 頁)

(21) 出願番号	特願2001-355866 (P2001-355866)	(73) 特許権者	000002185
(22) 出願日	平成13年11月21日(2001.11.21)		ソニー株式会社
(65) 公開番号	特開2003-157445 (P2003-157445A)		東京都品川区北品川6丁目7番35号
(43) 公開日	平成15年5月30日(2003.5.30)	(74) 代理人	100082131
審査請求日	平成15年2月12日(2003.2.12)		弁理士 稲本 義雄
		(72) 発明者	長崎 多仁生
			東京都品川区東五反田1丁目14番10号
			株式会社ソニー木原研究所内
		(72) 発明者	富川 英亮
			東京都品川区東五反田1丁目14番10号
			株式会社ソニー木原研究所内
		(72) 発明者	岩崎 誠吾
			東京都品川区東五反田1丁目14番10号
			株式会社ソニー木原研究所内

最終頁に続く

(54) 【発明の名称】 画像処理装置および方法、記録媒体、並びにプログラム

(57) 【特許請求の範囲】

【請求項1】

モデルを形成する複数の単位図形の各画素についての縮小率を決定し、決定した前記縮小率に応じたテクスチャデータを前記単位図形に対応付ける画像処理装置において、

所定の縮小率に対応した複数のテクスチャデータを記憶する記憶手段と、

前記単位図形の画素の縮小率を、除算を含まない所定の式の演算結果に基づいて決定する決定手段と、

前記決定手段により決定された前記縮小率に対応する前記テクスチャデータを、前記記憶手段から取得する取得手段と、

前記取得手段により取得された前記テクスチャデータを前記単位図形に対応付ける対応付け手段と

を備え、

前記決定手段は、前記式に含まれる2を底とする、任意の値Wの対数の演算を、2を底とする、前記値Wの浮動小数点の数値である $2^e \times m$ の対数を演算することで行う

ことを特徴とする画像処理装置。

【請求項2】

前記決定手段は、 $1 < m < 2$ において、2を底とする $2^e \times m$ の前記対数を、 $e$ 、 $(m - 1)$ 、および $\log_2 m$ と $m - 1$ の差分値に基づいて算出する

ことを特徴とする請求項1に記載の画像処理装置。

【請求項3】

前記決定手段は、 $m$ と、 $m$ に対応する前記差分値からなるテーブルを記憶しており、 $2$ を底とする $2^{\circ} \times m$ の前記対数を、前記 $e$ 、前記 $(m - 1)$ 、および前記テーブルにおいて前記 $m$ に対応する前記差分値に基づいて算出する

ことを特徴とする請求項1に記載の画像処理装置。

【請求項4】

モデルを形成する複数の単位図形の各画素についての縮小率を決定し、決定した前記縮小率に応じたテクスチャデータを前記単位図形に対応付ける画像処理装置の画像処理方法において、

所定の縮小率に対応した複数のテクスチャデータを記憶する記憶ステップと、

前記単位図形の画素の縮小率を、除算を含まない所定の式の演算結果に基づいて決定する決定ステップと、

前記決定ステップの処理で決定された前記縮小率に対応する前記テクスチャデータを、前記記憶制御ステップの処理で記憶された前記複数のテクスチャデータから取得する取得ステップと、

前記取得ステップの処理で取得された前記テクスチャデータを前記単位図形に対応付ける対応付けステップと

を含み、

前記決定ステップは、前記式に含まれる $2$ を底とする、任意の値 $W$ の対数の演算を、 $2$ を底とする、前記値 $W$ の浮動小数点の数値である $2^{\circ} \times m$ の対数を演算することで行う

ことを特徴とする画像処理方法。

【請求項5】

モデルを形成する複数の単位図形の各画素についての縮小率を決定し、決定した前記縮小率に応じたテクスチャデータを前記単位図形に対応付ける画像処理装置のプログラムであって、

所定の縮小率に対応した複数のテクスチャデータの記憶を制御する記憶制御ステップと、

前記単位図形の画素の縮小率の、除算を含まない所定の式の演算結果に基づく決定を制御する決定制御ステップと、

前記決定制御ステップの処理で決定された前記縮小率に対応する前記テクスチャデータの、前記記憶制御ステップの処理で記憶された前記複数のテクスチャデータからの取得を制御する取得制御ステップと、

前記取得制御ステップの処理で取得された前記テクスチャデータの、前記単位図形に対する対応付けを制御する対応付け制御ステップと

を含み、

前記決定制御ステップは、前記式に含まれる $2$ を底とする、任意の値 $W$ の対数の演算を、 $2$ を底とする、前記値 $W$ の浮動小数点の数値である $2^{\circ} \times m$ の対数を演算することで行う

う

ことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

【請求項6】

モデルを形成する複数の単位図形の各画素についての縮小率を決定し、決定した前記縮小率に応じたテクスチャデータを前記単位図形に対応付ける画像処理装置のプログラムであって、

所定の縮小率に対応した複数のテクスチャデータの記憶を制御する記憶制御ステップと、

前記単位図形の画素の縮小率の、除算を含まない所定の式の演算結果に基づく決定を制御する決定制御ステップと、

前記決定制御ステップの処理で決定された前記縮小率に対応する前記テクスチャデータの、前記記憶制御ステップの処理で記憶された前記複数のテクスチャデータからの取得を制御する取得制御ステップと、

10

20

30

40

50

前記取得制御ステップの処理で取得された前記テクスチャデータの前記単位図形に対する対応付けを制御する対応付け制御ステップと

を含み、

前記決定制御ステップは、前記式に含まれる2を底とする、任意の値Wの対数の演算を、2を底とする、前記値Wの浮動小数点の数値である $2^e \times m$ の対数を演算することで行う

を処理をコンピュータに実行させることを特徴とするプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像処理装置および方法、記録媒体、並びにプログラムに関し、特に、簡単な構成の装置で、lodを算出することができるようにした画像処理装置および方法、記録媒体、並びにプログラムに関する。

【0002】

【従来の技術】

コンピュータグラフィックスにおいて、3次元の図形（モデル）を描画する際に、そのモデルの表面に、あらかじめ用意しておいた2次元画像（以下、テクスチャと称する）を貼り付け、質感の高い画像を生成することができるテクスチャマッピングという手法がある。

【0003】

ここで、テクスチャマッピングの基本的な原理を図1および図2を参照してその概略を説明する。

【0004】

図1AのXY座標は、テクスチャが貼り付けられるモデルが写像される座標である。

【0005】

描画されるモデルは、図1Aに示すような三角形のポリゴンの集合により形成される。モデルを形成する各ポリゴンの頂点A、B、Cには、3次元座標の座標値（ $S_n$ 、 $T_n$ 、 $Q_n$ 、但し $n = 1, 2, 3$ ）が与えられる。なお、以下において、その図示は省略するが、この3次元の座標をテクスチャ座標と称する。

【0006】

ポリゴンの内部のD点の座標値（ $s$ 、 $t$ 、 $q$ ）は、点A、B、Cのテクスチャ座標値を線形補間して得られる。座標（ $s$ 、 $t$ ）は、張り合わせのイメージパターンを示すテクスチャの同次座標（ $s$ 、 $t$ ）で、同次項 $q$ は、簡単にいうと、拡大縮小率のようなものである。

【0007】

なお、上述した（ $s$ 、 $t$ 、 $q$ ）、（ $S_n$ 、 $T_n$ 、 $Q_n$ ）などのテクスチャ座標値は、描画するモデルを構成する個々のポリゴンに対して与えられるものであり、変数である。また、テクスチャ座標のポリゴンの頂点座標値（ $S_n$ 、 $T_n$ 、 $Q_n$ 、但し $n = 1, 2, 3$ ）は、XY座標値（ $X$ 、 $Y$ ）に対応し、ポリゴンの内部の画素のテクスチャ座標値（ $s$ 、 $t$ 、 $q$ ）は、XY座標値（ $x$ 、 $y$ ）に対応する。

【0008】

図1BのUV座標は、描画するモデルのポリゴンに貼り付けられるテクスチャの2次元座標である。図1Bのテクスチャの点A'、B'、C'、D'のUV座標値（ $u$ 、 $v$ ）は、ポリゴンの同次座標（ $S_n$ 、 $T_n$ ）を同次項 $Q$ で乗算した（ $S_n/Q_n$ 、 $T_n/Q_n$ ）となる。また図1Bのテクスチャは、点A'、B'、C'、D'が、XY座標に写像されたポリゴンの点A、B、C、Dと対応するようにポリゴンに貼り付けられる。

【0009】

図2Bは、XY座標を構成する単位画素のX軸方向の辺素 $d_x$ （図2A）がUV座標上では如何なる変位に対応するかを示したもので、XY座標の辺素 $d_x$ は、UV座標のU軸方向に $d_u/d_x$ 、V軸方向に $d_v/d_x$ の変位量に対応していることを表している。すな

10

20

30

40

50

わち、 $du/dx$ と $dv/dx$ は、 $XY$ 座標で $(dx)$ 変化したときの $UV$ 座標での $u$ の変位量と $v$ の変化量である。 $Y$ 軸方向の辺素 $dy$ (図示せず)に対応する $UV$ 座標上の変位についても同様である。

【0010】

ところで、このテクスチャマッピングを行う際の、高画質を得る手法としてMIPMAPフィルタリング(Multum in parvo mapping)が知られている。MIPMAPフィルタリングについては、Advanced Animation and Rendering Techniques (page.140) 出版社：ADDISON WESLEYなどに詳しく述べられている。

【0011】

MIPMAPフィルタリングは、図3に示すように、複数の異なる縮小率(図3の例では、 $1/1$ 、 $1/2$ 、 $1/4$ 、 $1/8$ )のそれぞれに対応した、複数のフィルタ処理がなされたテクスチャデータ(元画像、 $1/2$ 画像、 $1/4$ 画像、 $1/8$ 画像)を予め用意し、各画素の縮小率に応じた最適なテクスチャデータを選択し使用するものである。すなわち、これにより、イメージの縮小に伴う情報欠落に起因するエイリアシングの影響を抑制でき、高画質を得ることができる。

10

【0012】

図4は、MIPMAPフィルタリングを行うテクスチャマッピング装置1の利用例を示している。

【0013】

テクスチャバッファ3には、図3に示したような、複数の異なる縮小率のそれぞれに対応した、複数のフィルタ処理がなされたテクスチャデータが記憶されている。

20

【0014】

テクスチャマッピング装置1は、ポリゴンの画素の縮小率を表すlod(Level Of Detail)を算出する。テクスチャマッピング装置1は、算出したlodに対応する画像をテクスチャバッファ3から読み出し、ディスプレイバッファ4に出力して記憶させる。ディスプレイバッファ4の記録内容に基づく画像が、図示せぬ表示部に表示される。

【0015】

テクスチャマッピング装置1の動作を、図5のフローチャートを参照して説明する。

【0016】

ステップS1において、テクスチャマッピング装置1は、ポリゴン(図1A)の各頂点ついで同次座標および同次項を示す $(s_1, t_1, q_1)$ 、 $(s_2, t_2, q_2)$ 、および $(s_3, t_3, q_3)$ を入力する。

30

【0017】

次に、ステップS2において、テクスチャマッピング装置1は、入力した各頂点の $(s_1, t_1, q_1)$ 、 $(s_2, t_2, q_2)$ 、および $(s_3, t_3, q_3)$ を線形補間して、ポリゴンの内部の各画素の同次座標および同次項を示す $(s, t, q)$ を求める。

【0018】

ステップS3において、テクスチャマッピング装置1は、内蔵したlod算出装置2において、ポリゴンの内部の各画素の $(s, t, q)$ から、各画素のlodを算出する。

【0019】

ここでは、式(1)に示すように、2を底とする、各画素の $(s, t, q)$ の縮小率を $1/n$ とした場合の $n$ の対数で表すことができる。従って、縮小率が $1/1$ 、 $1/2$ 、 $1/4$ 、 $1/8$ ・・・のとき、 $0$ 、 $1$ 、 $2$ 、 $3$ 、・・・となる。

40

【数1】

$$\text{Lod} = \log_2(n) \quad \dots(1)$$

【0020】

縮小率 $(1/n)$ の $n$ は、式(2)で求めることができる。

【数2】

$$n = \text{MAX} \left( \left| \frac{du}{dx} \right|, \left| \frac{dv}{dx} \right|, \left| \frac{du}{dy} \right|, \left| \frac{dv}{dy} \right| \right) \quad \dots (2)$$

## 【 0 0 2 1 】

なお、式(2)中の、 $du/dx$ と $dv/dx$ は、XY座標で(dx)変化したときのUV座標でのuの変位量とvの変化量であり(図2B)、 $du/dy$ と $dv/dy$ は、XY座標で(dy)変化したときのUV座標でのuの変位量とvの変化量であり、それらは、式(3)に従って算出される。したがって、nは、式(4)で求めることができる。

## 【 数 3 】

$$\frac{du}{dx} = \text{USIZE} \times \frac{dS}{dx} \times \frac{1}{Q} - \text{USIZE} \times \frac{dQ}{dx} \times \frac{1}{Q} \times \frac{S}{Q}$$

$$\frac{dv}{dx} = \text{VSIZE} \times \frac{dT}{dx} \times \frac{1}{Q} - \text{VSIZE} \times \frac{dQ}{dx} \times \frac{1}{Q} \times \frac{T}{Q}$$

$$\frac{du}{dy} = \text{USIZE} \times \frac{dS}{dy} \times \frac{1}{Q} - \text{USIZE} \times \frac{dQ}{dy} \times \frac{1}{Q} \times \frac{S}{Q}$$

$$\frac{dv}{dy} = \text{VSIZE} \times \frac{dT}{dy} \times \frac{1}{Q} - \text{VSIZE} \times \frac{dQ}{dy} \times \frac{1}{Q} \times \frac{T}{Q} \quad \dots (3)$$

## 【 数 4 】

$$n = \text{MAX} \left( \left| \frac{\text{USIZE} \times \left( \frac{dS}{dx} \times Q - \frac{dQ}{dx} \times S \right)}{Q^2} \right|, \left| \frac{\text{VSIZE} \times \left( \frac{dT}{dx} \times Q - \frac{dQ}{dx} \times T \right)}{Q^2} \right|, \left| \frac{\text{USIZE} \times \left( \frac{dS}{dy} \times Q - \frac{dQ}{dy} \times S \right)}{Q^2} \right|, \left| \frac{\text{VSIZE} \times \left( \frac{dT}{dy} \times Q - \frac{dQ}{dy} \times T \right)}{Q^2} \right| \right)$$

...

## 【 0 0 2 2 】

式(3)、(4)中、 $dS/dx$ 、 $dT/dx$ 、および $dQ/dx$ は、X方向の1画素当たりの(S, T, Q)の差分を、 $dS/dy$ 、 $dT/dy$ 、および $dQ/dy$ は、Y方向の1画素当たりの(S, T, Q)の差分を表している。USIZEは、テクスチャの幅(U方向の長さ)を表し、VSIZEは、テクスチャの高さ(V方向の長さ)を表す。

## 【 0 0 2 3 】

従って、lodは、結局、式(1)に式(4)が代入された式(5)が演算されることにより算出される。

## 【 数 5 】

Lod =

$$\log_2 \left( \text{MAX} \left( \underbrace{\left| \frac{\text{USIZE} \times \left( \frac{dS}{dx} \times Q - \frac{dQ}{dx} \times S \right)}{Q^2} \right|}_A, \underbrace{\left| \frac{\text{VSIZE} \times \left( \frac{dT}{dx} \times Q - \frac{dQ}{dx} \times T \right)}{Q^2} \right|}_B, \underbrace{\left| \frac{\text{USIZE} \times \left( \frac{dS}{dy} \times Q - \frac{dQ}{dy} \times S \right)}{Q^2} \right|}_C, \underbrace{\left| \frac{\text{VSIZE} \times \left( \frac{dT}{dy} \times Q - \frac{dQ}{dy} \times T \right)}{Q^2} \right|}_D \right) \right)$$

...

## 【 0 0 2 4 】

図6は、式(5)を演算して、lodを算出するlod算出装置2の構成例を表している。

## 【 0 0 2 5 】

除算器11は、入力されたQで、1を除算し(1/Qを演算し)、その除算結果を、乗算器12、乗算器13、回路21(乗算器32, 34)、回路22(乗算器42, 44)、

10

20

30

40

50

回路 2 4 (乗算器 5 2, 5 4)、および回路 2 5 (乗算器 6 2, 6 4) に出力する。

【 0 0 2 6 】

乗算器 1 2 は、S と 1 / Q を乗算し、その乗算結果を、回路 2 1 (乗算器 3 5)、および回路 2 2 (乗算器 4 5) に出力する。乗算器 1 3 は、T と 1 / Q を乗算し、その乗算結果を、回路 2 4 (乗算器 5 5)、および回路 2 5 (乗算器 6 5) に出力する。

【 0 0 2 7 】

乗算器 3 1 乃至絶対値検出器 3 7 からなる回路 2 1 は、式 (5) の符号 A に対応する部分 (以下、部分 A と称する。他の部分についても同様とする) を演算し、乗算器 4 1 乃至絶対値検出器 4 7 からなる回路 2 2 は、式 (5) の部分 C を演算し、演算結果を、それぞれ最大値検出器 2 3 に出力する。最大値検出器 2 3 は、回路 2 1 からの値 (部分 A の値) と回路 2 2 からの値 (部分 C の値) のうちの大きい方を検出し、その検出結果を最大値検出器 2 7 に出力する。

10

【 0 0 2 8 】

乗算器 5 1 乃至絶対値検出器 5 7 からなる回路 2 4 は、式 (5) の部分 B を演算し、乗算器 6 1 乃至絶対値検出器 6 7 からなる回路 2 5 は、部分 D を演算し、演算結果を、それぞれ最大値検出器 2 6 に出力する。最大値検出器 2 6 は、回路 2 4 からの値 (部分 B の値) と回路 2 5 からの値 (部分 D の値) のうちの大きい方を検出し、その検出結果を最大値検出器 2 7 に出力する。

【 0 0 2 9 】

最大値検出器 2 7 は、最大値検出器 2 3 からの値と最大値検出器 2 6 からの値のうちの大きい方を検出し、その検出結果を対数演算器 2 8 に出力する。対数演算器 2 8 は、2 を底とする最大値検出器 2 7 からの値の対数を演算し、その演算結果 (式 (5) 全体の演算結果) を、lod としてディスプレイバッファ 4 (図 4) に出力する。

20

【 0 0 3 0 】

次に、ステップ S 4 において、テクスチャマッピング装置 1 は、各画素の (s, t, q) について、s データを q データで除算した u データと、t データを q データで除算した v データとを算出し、テクスチャ座標データ (u, v) を算出する。

【 0 0 3 1 】

ステップ S 5 において、テクスチャマッピング装置 1 は、lod 算出装置 2 で算出した lod と、テクスチャ座標データ (u, v) とから、テクスチャバッファ 3 における物理アドレスであるテクスチャアドレス (U, V) を求め、テクスチャバッファ 3 に出力し、テクスチャデータ (R, G, B) を読み出す。

30

【 0 0 3 2 】

次に、ステップ S 6 において、テクスチャマッピング装置 1 は、ステップ S 5 で読み出しテクスチャデータに所定の処理を施した画素データをディスプレイバッファ 4 に書き込む。

【 0 0 3 3 】

その後、処理は終了する。

【 0 0 3 4 】

以上のようにして、テクスチャバッファ 3 に記憶されている、複数の異なる縮小率のそれぞれに対応した複数のテクスチャデータのうち、lod に対応したテクスチャデータについてのアクセスが実現される。

40

【 0 0 3 5 】

【 発明が解決しようとする課題 】

ところで、式 (5) の部分 A 乃至部分 D には、 $Q^2$  の除算が行われる。その結果、lod 算出装置 2 の構成は、図 6 で示したように、除算器 (図 6 の例の場合、1 個の除算器 1 1) の他、多くの乗算器が必要となり (図 6 の例の場合、2 2 個の乗算器が必要となり)、lod 算出装置 2 の規模が大きくなるの課題があった。

【 0 0 3 6 】

本発明はこのような状況に鑑みてなされたものであり、簡単な構成の装置で、lod を算出

50

することができるようにするものである。

【0037】

【課題を解決するための手段】

本発明の画像処理装置は、所定の縮小率に対応した複数のテクスチャデータを記憶する記憶手段と、単位図形の画素の縮小率を、除算を含まない所定の式の演算結果に基づいて決定する決定手段と、決定手段により決定された縮小率に対応するテクスチャデータを、記憶手段から取得する取得手段と、取得手段により取得されたテクスチャデータを単位図形に対応付ける対応付け手段とを備え、決定手段は、式に含まれる2を底とする、任意の値Wの対数の演算を、2を底とする、値Wの浮動小数点の数値である $2^{\circ} \times m$ の対数を演算することで行うことを特徴とする。

10

【0039】

決定手段は、 $1 < m < 2$ において、2を底とする $2^{\circ} \times m$ の対数を、 $e$ 、 $(m - 1)$ 、および $\log_2 m$ と $m - 1$ の差分値に基づいて算出することができる。

【0040】

決定手段は、 $m$ と、 $m$ に対応する差分値からなるテーブルを記憶しており、2を底とする $2^{\circ} \times m$ の対数を、 $e$ 、 $(m - 1)$ 、およびテーブルにおいて $m$ に対応する差分値に基づいて算出することができる。

【0041】

本発明の画像処理方法は、所定の縮小率に対応した複数のテクスチャデータを記憶する記憶ステップと、単位図形の画素の縮小率を、除算を含まない所定の式の演算結果に基づいて決定する決定ステップと、決定ステップの処理で決定された縮小率に対応するテクスチャデータを、記憶制御ステップの処理で記憶された複数のテクスチャデータから取得する取得ステップと、取得ステップの処理で取得されたテクスチャデータを単位図形に対応付ける対応付けステップとを含み、決定ステップは、式に含まれる2を底とする、任意の値Wの対数の演算を、2を底とする、値Wの浮動小数点の数値である $2^{\circ} \times m$ の対数を演算することで行うことを特徴とする。

20

【0042】

本発明の記録媒体のプログラムは、所定の縮小率に対応した複数のテクスチャデータの記憶を制御する記憶制御ステップと、単位図形の画素の縮小率の、除算を含まない所定の式の演算結果に基づく決定を制御する決定制御ステップと、決定制御ステップの処理で決定された縮小率に対応するテクスチャデータの、記憶制御ステップの処理で記憶された複数のテクスチャデータからの取得を制御する取得制御ステップと、取得制御ステップの処理で取得されたテクスチャデータの、単位図形に対する対応付けを制御する対応付け制御ステップとを含み、決定制御ステップは、式に含まれる2を底とする、任意の値Wの対数の演算を、2を底とする、値Wの浮動小数点の数値である $2^{\circ} \times m$ の対数を演算することで行うことを特徴とする。

30

【0043】

本発明のプログラムは、所定の縮小率に対応した複数のテクスチャデータの記憶を制御する記憶制御ステップと、単位図形の画素の縮小率の、除算を含まない所定の式の演算結果に基づく決定を制御する決定制御ステップと、決定制御ステップの処理で決定された縮小率に対応するテクスチャデータの、記憶制御ステップの処理で記憶された複数のテクスチャデータからの取得を制御する取得制御ステップと、取得制御ステップの処理で取得されたテクスチャデータの単位図形に対する対応付けを制御する対応付け制御ステップとを含み、決定制御ステップは、式に含まれる2を底とする、任意の値Wの対数の演算を、2を底とする、値Wの浮動小数点の数値である $2^{\circ} \times m$ の対数を演算することで行う処理をコンピュータに実行させることを特徴とする。

40

【0044】

本発明の画像処理装置および方法、並びにプログラムにおいては、所定の縮小率に対応した複数のテクスチャデータが記憶され、単位図形の画素の縮小率が、除算を含まない所定の式の演算結果に基づいて決定され、決定された縮小率に対応するテクスチャデータが

50

、記憶された複数のテクスチャデータから取得され、取得されたテクスチャデータが単位図形に対応付けられ、単位図形の画素の縮小率の決定は、式に含まれる2を底とする、任意の値Wの対数の演算が、2を底とする、値Wの浮動小数点の数値である $2^e \times m$ の対数を演算することで行われる。

【0045】

【発明の実施の形態】

図7は、本発明を適用したテクスチャマッピング装置1の利用例を示している。このテクスチャマッピング装置1には、図4のlod算出装置2に代えて、lod算出装置101が設けられている。

【0046】

次に、このテクスチャマッピング装置1の動作を、図8のフローチャートを参照して説明する。

【0047】

ステップS11、S12、およびステップS14乃至ステップS16においては、図5のステップS1、S2、およびステップS4乃至ステップS6における場合と同様の処理が実行されるので、その説明は省略する。

【0048】

ステップS13において、lod算出装置101は、ポリゴンの内部の各画素の(s, t, q)から、式(6)を演算して、lodを算出する。

【数6】

Lod=

$$\underbrace{\text{MAX}}_{\text{E}} \left( \underbrace{\log_2 \text{USIZE} - \log_2 \text{Q}^2}_{\text{F}} + \underbrace{\log_2 \left( \underbrace{\text{MAX}}_{\text{A}} \left( \underbrace{\left| \frac{dS}{dx} \times Q - \frac{dQ}{dx} \times S \right|}_{\text{B}} \right) \right)}_{\text{C}} \right)_{\text{D}} \left( \log_2 \text{VSIZE} - \log_2 \text{Q}^2 \right)_{\text{F}} + \underbrace{\log_2 \left( \underbrace{\text{MAX}}_{\text{I}} \left( \underbrace{\left| \frac{dT}{dx} \times Q - \frac{dQ}{dx} \times T \right|}_{\text{J}} \right) \right)}_{\text{K}} \right)_{\text{L}} \right)_{\text{H}} \quad \dots (6)$$

【0049】

式(6)は、図4のlod算出装置2において、lodを算出するために演算された式(5)が、除算を含まないように展開されたもので、正確には、式(5)を式(7)のように展開した後、さらに式(6)のように展開したものである。

【数7】

Lod=

$$\log_2 \left( \text{MAX} \left( \text{USIZE} \times \frac{1}{|Q|^2} \times \text{MAX} \left( \left| \frac{dS}{dx} \times Q - \frac{dQ}{dx} \times S \right| \right), \text{VSIZE} \times \frac{1}{|Q|^2} \times \text{MAX} \left( \left| \frac{dT}{dx} \times Q - \frac{dQ}{dx} \times T \right| \right) \right) \right) \quad \dots (7)$$

【0050】

図9は、lod算出装置101の構成例を表している。このlod算出装置101には、乗算器が、図4のlod算出装置2には、22個設けられていたのに対して、9個しか存在せず、装置の小型化が図られている。

【0051】

図9の回路111A乃至111Cのそれぞれは、2個の乗算器、1個の減算器、および1個の絶対値検出器から構成されている。

【0052】

乗算器121-1乃至絶対値検出器121-4からなる回路111Aは、式(6)の部分Aを演算し、その演算結果を、最大値検出器111Cに出力する。すなわち、乗算器121-1は、dS/dxとQを乗算し、乗算器121-2は、dQ/dxとSを乗算し、その乗算結果を、それぞれ減算器121-3に出力する。減算器121-3は、乗算器121-1からの乗算結果から、乗算器121-2からの乗算結果を減算して、その減算結果を、絶

10

20

30

40

50



対値検出器 1 2 1 - 4 に出力する。絶対値検出器 1 2 1 - 4 は、減算器 1 2 1 - 3 からの減算結果の絶対値を検出し、その検出結果を、最大値検出器 1 1 1 C に出力する。

【 0 0 5 3 】

乗算器 1 2 2 - 1 乃至絶対値検出器 1 2 2 - 4 からなる回路 1 1 1 B は、式 ( 6 ) の部分 B を演算し、その演算結果を最大値検出器 1 1 1 C に出力する。

【 0 0 5 4 】

最大値検出器 1 1 1 C は、回路 1 1 1 A からの演算結果 ( 式 ( 6 ) の部分 A の値 ) と、回路 1 1 1 B からの演算結果 ( 式 ( 6 ) の部分 B の値 ) のうちの大きい方を検出し、対数演算器 1 1 1 D に出力する。すなわち、最大値検出器 1 1 1 C は、式 ( 6 ) の部分 C を演算する。

10

【 0 0 5 5 】

対数演算器 1 1 1 D は、2 を底とする最大値検出器 1 1 1 C からの値の対数を演算し ( 式 ( 6 ) の部分 D を演算し )、その演算結果を、加算器 1 3 1 に出力する。

【 0 0 5 6 】

対数演算器 1 1 1 E は、2 を底とする USIZE の対数を演算し ( 式 ( 6 ) の部分 E を演算し )、その演算結果を、減算器 1 3 2 に出力する。

【 0 0 5 7 】

乗算器 1 1 1 F は、Q の二乗を演算し ( 式 ( 6 ) の部分 F を演算し )、その演算結果を、対数演算器 1 1 1 G に出力する。対数演算器 1 1 1 G は、2 を底とする Q の二乗の対数を演算し ( 部分 G を演算し )、その演算結果を、減算器 1 3 2 および減算器 1 3 3 に出力する。

20

【 0 0 5 8 】

対数演算器 1 1 1 H は、2 を底とする VSIZE の対数を演算し ( 式 ( 6 ) の部分 H を演算し )、その演算結果を、減算器 1 3 3 に出力する。

【 0 0 5 9 】

乗算器 1 2 3 - 1 乃至絶対値検出器 1 2 3 - 4 からなる回路 1 1 1 I は、式 ( 6 ) の部分 I を演算し、乗算器 1 2 4 - 1 乃至絶対値検出器 1 2 4 - 4 からなる回路 1 1 1 J は、部分 J を演算し、その演算結果を、それぞれ最大値検出器 1 1 1 K に出力する。

【 0 0 6 0 】

最大値検出器 1 1 1 K は、回路 1 1 1 I からの演算結果 ( 式 ( 6 ) の部分 I の値 ) と、回路 1 1 1 J からの演算結果 ( 式 ( 6 ) の部分 J の値 ) のうちの大きい方を検出し ( 部分 K を演算し )、対数演算器 1 1 1 L に出力する。対数演算器 1 1 1 L は、2 を底とする最大値検出器 1 1 1 K からの値の対数を演算し ( 部分 L を演算し )、その演算結果を、加算器 1 3 4 に出力する。

30

【 0 0 6 1 】

減算器 1 3 2 は、対数演算器 1 1 1 E からの値から、対数演算器 1 1 1 G からの値を減算して、その減算結果を、加算器 1 3 1 に出力する。加算器 1 3 1 は、対数演算器 1 1 1 D からの値と減算器 1 3 2 からの値を加算して、その加算結果を、最大値検出器 1 3 5 に出力する。

【 0 0 6 2 】

減算器 1 3 3 は、対数演算器 1 1 1 H からの値から対数演算器 1 1 1 G からの値を減算し、その減算結果を、加算器 1 3 4 に出力する。

40

【 0 0 6 3 】

加算器 1 3 4 は、対数演算器 1 1 1 L からの値と、減算器 1 3 3 からの値とを加算し、その加算結果を、最大値検出器 1 3 5 に出力する。

【 0 0 6 4 】

最大値検出器 1 3 5 は、加算器 1 3 1 からの値と、加算器 1 3 4 からの値のうちの大きい方を検出し、その検出結果 ( 式 ( 6 ) 全体の演算結果 ) を、lod として、ディスプレイバッファ 4 に出力する。

【 0 0 6 5 】

50

ところで、対数演算器 1 1 1 D, E, G, H, L は、図 1 0 A の式に示すように、2 を底とする、入力された値（以下、値 W と称する）の対数を演算するが、lod 算出装置 1 0 1 への入力値は、浮動小数の数値であるので、ここでは浮動小数点の数値の対数演算が行われる。

【 0 0 6 6 】

以下に、この浮動小数点の数値の対数演算について説明する。

【 0 0 6 7 】

値 W の浮動小数点の数値は、図 1 0 B に示すように表現され、その、図 1 0 C の左辺のように、2 を底とする対数をとると、図 1 0 C の右辺が得られる。

【 0 0 6 8 】

ところで、図 1 0 C の右辺の第 2 項 ( $\log_2 m$ ) の軌跡は、図 1 1 に示すようになる。すなわち、図 1 0 C の右辺の第 2 項は、 $1 < m < 2$  の範囲において、図 1 1 中、点 A と点 B を通る直線に近似することができるので、図 1 0 D の式が成り立つ。

【 0 0 6 9 】

図 1 0 D の式中の  $\text{error}(m)$  は、図 1 0 C の右辺の第 2 項と、図 1 1 の点 A と点 B を通る直線との差分である ( $\log_2 m$  と  $(m - 1.0)$  の差分である)。

【 0 0 7 0 】

すなわち、対数演算器は、 $1 < m < 2$  においては、値 W の浮動小数点の数値を構成する e と m、並びに m に対応する  $\text{error}(m)$  を得て、図 1 0 D を図 1 0 C の右辺に代入することで（結局、図 1 0 E の右辺を演算することで）、図 1 0 A の対数の値を得ることができ

【 0 0 7 1 】

なお、 $\text{error}(m)$ （図 1 0 D, E の式、図 1 1）は、m に 1 対 1 に対応するので、この例の場合、対数演算器は、m と  $\text{error}(m)$  とが 1 体 1 に対応付けられた対応テーブル（詳細は後述するが、正確には、 $m-1$  と  $\text{error}(m)$  とが 1 体 1 に対応付けられた対応テーブル）を記憶しているものとし、値 W の m に対応する  $\text{error}(m)$  をその対応テーブルから取得するものとする。

【 0 0 7 2 】

また、ここでの、e、 $(m - 1.0)$ 、および  $\text{error}(m)$  の加算（図 1 0 E の右辺の演算）は、e は、整数であり、 $(m - 1.0) + \text{error}(m)$  は、 $1 < m < 2$  の下では、少数点以下の値となるので、この例の場合、図 1 2 に示すように、e を 4 ビットで表して整数部に設定し、 $(m - 1.0 + \text{error}(m))$  を 4 ビットで表して小数部に設定することで行われる。すなわち、lod は、4 ビットの整数部と 4 ビットの小数部からなる。

【 0 0 7 3 】

また、 $(m - 1.0)$  と  $\text{error}(m)$  の加算は、 $m - 1.0$  を表す 4 ビットと、 $\text{error}(m)$  を表す 4 ビットを加算することで行われる。すなわち、この例の場合、対応テーブルには、図 1 3 に示すように、小数点以下の数値としての  $(m - 1.0)$  を表す 4 ビットと、それに対応する小数点以下の数値としての  $\text{error}(m)$  を表す 4 ビットが対応して設定されている。 $m - 1.0$  が 0 または 1、すなわち、m が 1 または 2 に近い値であればあるほど、図 1 1 に示すように、 $\text{error}(m)$  は小さいものとなっている。

【 0 0 7 4 】

例えば、 $m - 1.0$  が、値 0.5 であるとき ( $m = 1.5$  であるとき)、 $m - 1.0$  を表す 4 ビットは " 1 0 0 0 " であるので、その " 1 0 0 0 " と、対応テーブルにおいて  $m - 1.0$  の欄の " 1 0 0 0 " に対応して設定されている  $\text{error}(m)$  の欄の " 0 0 0 1 " とが加算され、その加算結果である " 1 0 0 1 " が小数部となる。

【 0 0 7 5 】

なお、値 1 を、図 1 4 A に示すように、整数を表す 1 ビットと、小数点以下の数値を表す 4 ビットで表した場合、値 0.5 は、図 1 4 B のように、図 1 4 A の整数を表す 1 ビットに設定された 1 を、図中右方向に 1 ビット分シフトしたものとなるので（1 を 1 / 2 したものである）、値 0.5 は、" 1 0 0 0 " となる。

10

20

30

40

50

## 【0076】

上述した一連の処理は、ハードウェアにより実現させることもできるが、ソフトウェアにより実現させることもできる。一連の処理をソフトウェアにより実現する場合には、そのソフトウェアを構成するプログラムがコンピュータにインストールされ、そのプログラムがコンピュータで実行されることより、上述したlod算出装置101が機能的に実現される。

## 【0077】

図15は、上述のようなlod算出装置101として機能するコンピュータ501の一実施の形態の構成を示すブロック図である。CPU(Central Processing Unit)511にはバス515を介して入出力インタフェース516が接続されており、CPU511は、入出力インタフェース516を介して、ユーザから、キーボード、マウスなどよりなる入力部518から指令が入力されると、例えば、ROM(Read Only Memory)512、ハードディスク514、またはドライブ520に装着される磁気ディスク531、光ディスク532、光磁気ディスク533、若しくは半導体メモリ534などの記録媒体に格納されているプログラムを、RAM(Random Access Memory)513にロードして実行する。これにより、上述した各種の処理が行われる。さらに、CPU511は、その処理結果を、例えば、入出力インタフェース516を介して、LCD(Liquid Crystal Display)などよりなる出力部517に必要に応じて出力する。なお、プログラムは、ハードディスク514やROM512に予め記憶しておき、コンピュータ501と一体的にユーザに提供したり、磁気ディスク531、光ディスク532、光磁気ディスク533、半導体メモリ534等のパッケージメディアとして提供したり、衛星、ネットワーク等から通信部519を介してハードディスク514に提供することができる。

## 【0078】

なお、本明細書において、記録媒体により提供されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

## 【0079】

また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

## 【0080】

## 【発明の効果】

本発明によれば、装置を簡単な構成にすることができる。

## 【図面の簡単な説明】

【図1】 テクスチャマッピングの原理を説明する図である。

【図2】 テクスチャマッピングの原理を説明する他の図である。

【図3】 MIPMAPフィルタリングの原理を説明する図である。

【図4】 従来のテクスチャマッピング装置の構成例を示すブロック図である。

【図5】 図4のテクスチャマッピング装置の動作を説明するフローチャートである。

【図6】 図4のlod算出装置2の構成例を示すブロック図である。

【図7】 本発明を適用したテクスチャマッピング装置の構成例を示すブロック図である。

【図8】 図7のテクスチャマッピング装置の動作を説明するフローチャートである。

【図9】 図7のlod算出装置の構成例を示すブロック図である。

【図10】 図7のlod算出装置におけるlod算出方法について説明する図である。

【図11】  $\log_2 m$ と $m$ の関係を示す図である。

【図12】 lodのデータ構成を説明する図である。

【図13】 対応テーブルを説明する図である。

【図14】 小数部を説明する図である。

【図15】 パーソナルコンピュータ501の構成例を示すブロック図である。

## 【符号の説明】

1 テクスチャマッピング装置, 3 テクスチャバッファ, 4 ディスプレイバッフ

10

20

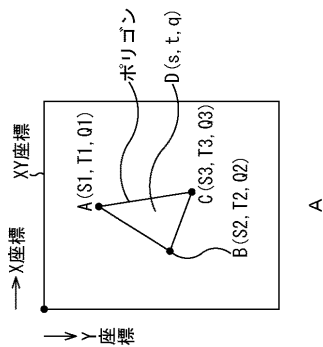
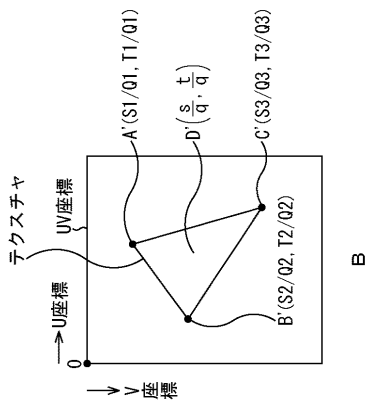
30

40

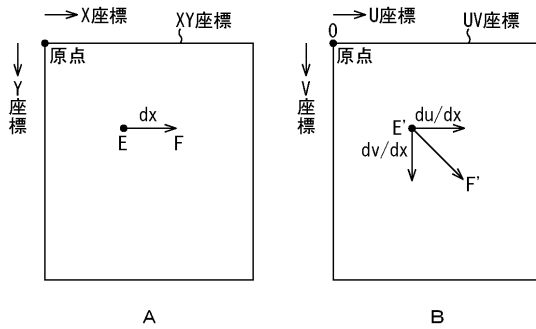
50

ア, 101 lod算出装置, 111A 回路, 111B 回路, 111C 最大値検出器, 111D 対数演算器, 111E 対数演算器, 111F 乗算器, 111G 対数演算器, 111H 対数演算器, 111I 回路, 111J 回路, 111K 最大値検出器, 111L 対数演算器, 131 加算器, 132 減算器, 133 減算器, 134 加算器, 135 最大値検出器

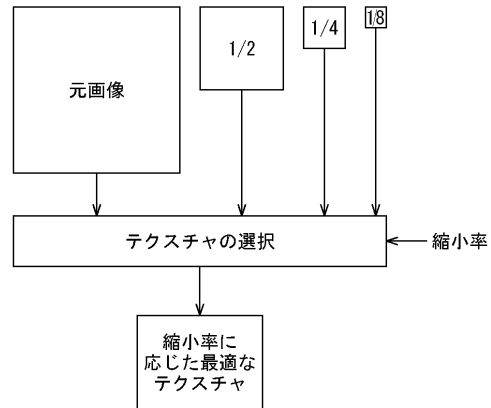
【図1】  
図1



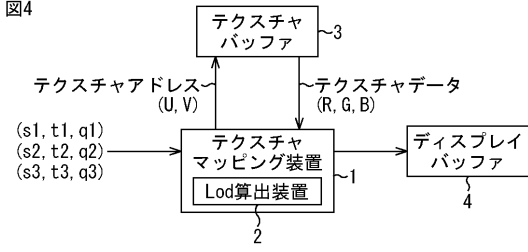
【図2】  
図2



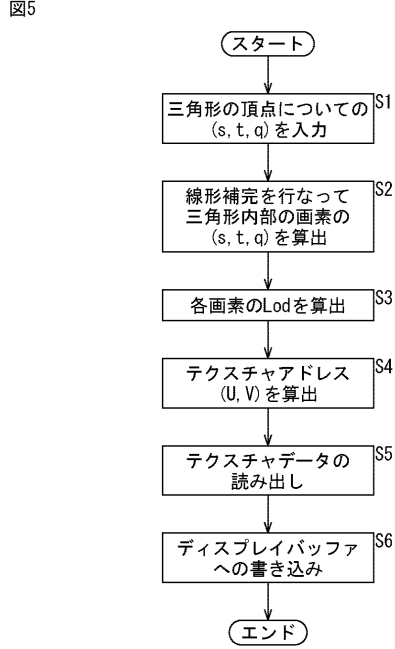
【図3】  
図3



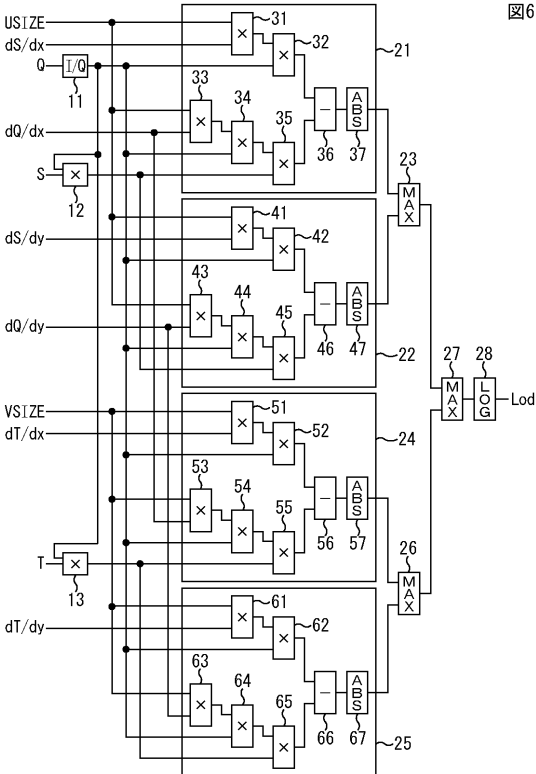
【 図 4 】



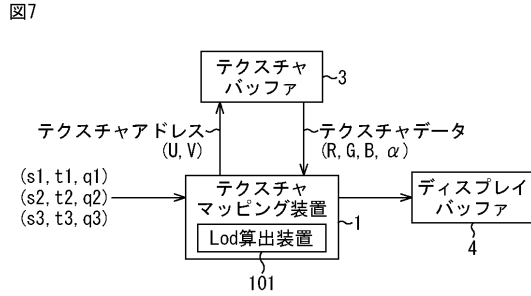
【 図 5 】



【 図 6 】

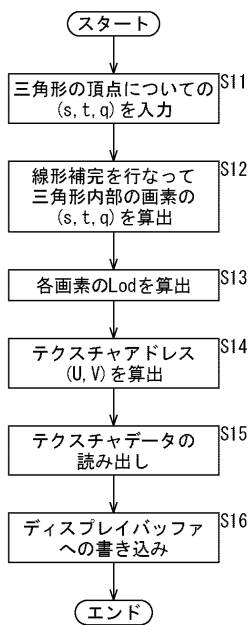


【 図 7 】



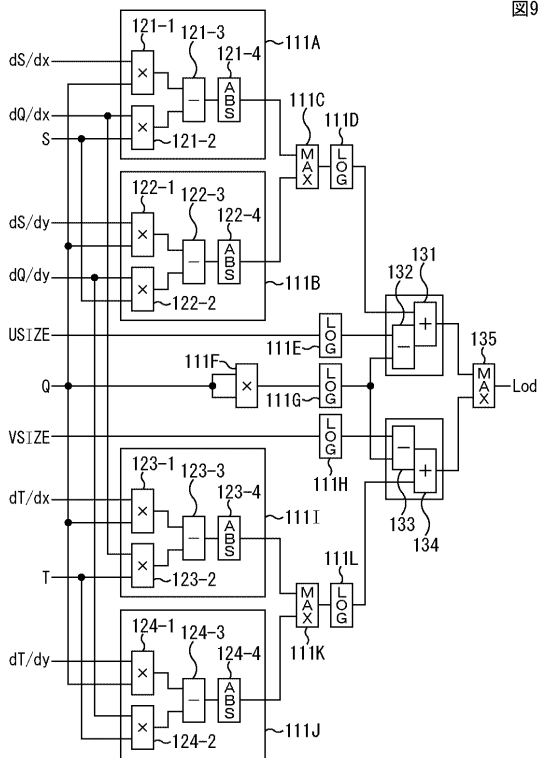
【 図 8 】

図8



【 図 9 】

図9



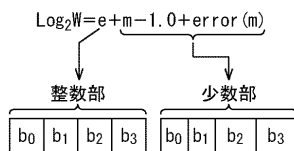
【 図 1 0 】

図10

- A  $\log_2(w)$
- B  $w=2^e \times m$
- C  $\log_2(2^e \times m) = e + \log_2 m$
- D  $\log_2 m = m - 1.0 + \text{error}(m)$
- E  $\log_2(w) = e + m - 1.0 + \text{error}(m)$

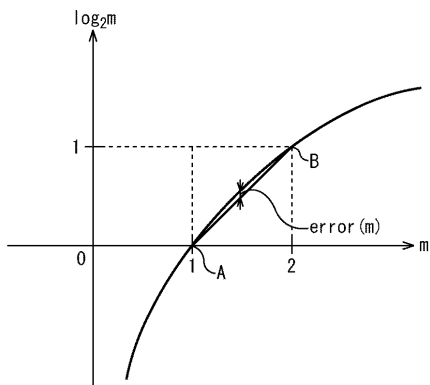
【 図 1 2 】

図12



【 図 1 1 】

図11



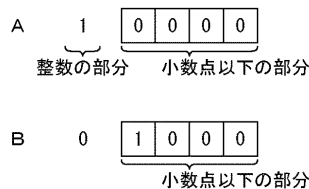
【 図 1 3 】

図13

m-1.0	error(m)
0000	0000
0001	0000
0010	0000
0011	0000
0100	0001
0101	0001
0110	0001
0111	0001
1000	0001
1001	0001
1010	0001
1011	0001
1100	0000
1101	0000
1110	0000
1111	0000

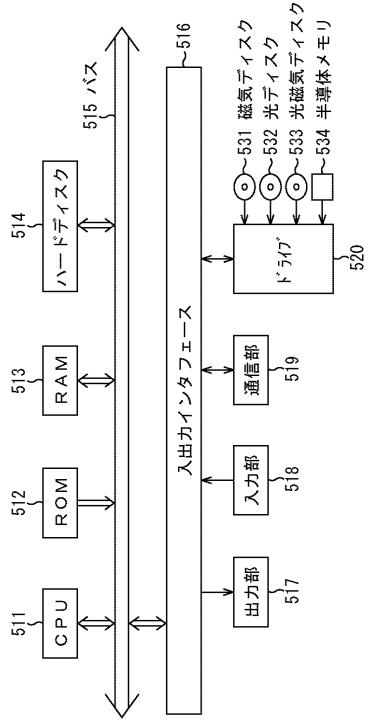
【 図 1 4 】

図14



【 図 15 】

図15



コンピュータ 501

---

フロントページの続き

- (72)発明者 本村 哲夫  
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 五十嵐 正寛  
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 伊知地 和之

- (56)参考文献 特開2001-118056(JP,A)  
特開昭57-034246(JP,A)  
特開2000-155851(JP,A)  
特開平9-305789(JP,A)  
特開2000-236455(JP,A)  
特開平11-242585(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06T 15/00  
G06T 17/40  
A63F 13/00  
G06F 7/52