



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I861027 B

(45)公告日：中華民國 113 (2024) 年 11 月 11 日

(21)申請案號：108141507

(22)申請日：中華民國 108 (2019) 年 11 月 15 日

(51)Int. Cl. : H01L27/146 (2006.01)

(30)優先權：2018/11/16 日本 2018-215381

2019/09/19 日本 2019-170593

(71)申請人：日商索尼半導體解決方案公司(日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：山下浩史 YAMASHITA, HIROFUMI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201834229A US 2010/0060764A1

US 2014/0042298A1 US 2017/0040371A1

審查人員：廖家成

申請專利範圍項數：20 項 圖式數：56 共 136 頁

(54)名稱

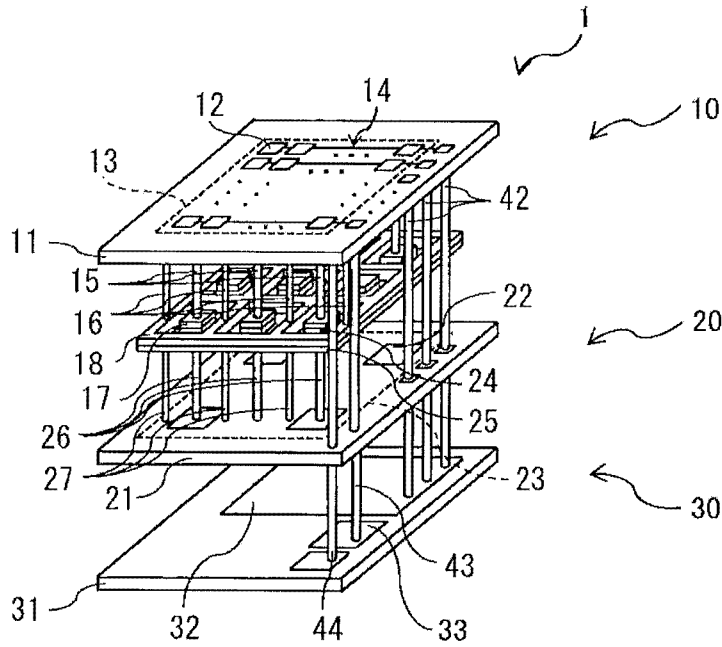
成像裝置

(57)摘要

一種成像裝置包含一第一區段，其包含：一第一半導體基板；至少一個第一光電轉換區域；一第一浮動擴散部；一第一接合部分；一第一佈線，其經電連接於該第一浮動擴散部與該第一接合部分之間；至少一個第二光電轉換區域；一第二浮動擴散部，其經耦合至該至少一個第二光電轉換區域；一第二接合部分；一第二佈線，其經電連接於該第二浮動擴散部與該第二接合部分之間；一第一區域，其經耦合至接收一參考電壓之一節點；及一第三佈線，其在介於該第一佈線與該第二佈線之間之一位置處耦合至該第一區域。該成像裝置包含一第二區段，該第二區段經由該第一接合部分及該第二接合部分接合至該第一區段，且包含耦合至該第一接合部分及該第二接合部分之讀出電路。

An imaging device includes a first section including a first semiconductor substrate, at least one first photoelectric conversion region, a first floating diffusion, a first bonding portion, a first wiring electrically connected between the first floating diffusion and the first bonding portion, at least one second photoelectric conversion region, a second floating diffusion coupled to the at least one second photoelectric conversion region, a second bonding portion, a second wiring electrically connected between the second floating diffusion and the second bonding portion, a first region coupled to a node that receives a reference voltage, and a third wiring coupled to the first region at a location that is between the first wiring and the second wiring. The imaging device includes a second section bonded to the first section via the first and second bonding portions and including readout circuitry coupled to the first bonding portion and the second bonding portion.

指定代表圖：



【圖1】

符號簡單說明：

- 1: 成像裝置
- 10: 第一基板
- 11: 半導體基板
- 12: 感測器像素
- 13: 像素區域
- 14: 驅動佈線
- 15: FD 貫穿佈線
- 16: VSS 貫穿佈線
- 17: FD 接面電極
- 18: VSS 接面電極
- 20: 第二基板
- 21: 半導體基板
- 22: 讀出電路
- 23: 讀出電路區域
- 24: FD 接面電極
- 25: VSS 接面電極
- 26: FD 貫穿佈線
- 27: VSS 貫穿佈線
- 30: 第三基板
- 31: 半導體基板
- 32: 邏輯電路
- 33: 升壓電路
- 42: 貫穿佈線
- 43: 貫穿佈線
- 44: 貫穿佈線



I861027

【發明摘要】

【中文發明名稱】

成像裝置

【英文發明名稱】

IMAGING DEVICE

【中文】

一種成像裝置包含一第一區段，其包含：一第一半導體基板；至少一個第一光電轉換區域；一第一浮動擴散部；一第一接合部分；一第一佈線，其經電連接於該第一浮動擴散部與該第一接合部分之間；至少一個第二光電轉換區域；一第二浮動擴散部，其經耦合至該至少一個第二光電轉換區域；一第二接合部分；一第二佈線，其經電連接於該第二浮動擴散部與該第二接合部分之間；一第一區域，其經耦合至接收一參考電壓之一節點；及一第三佈線，其在介於該第一佈線與該第二佈線之間之一位置處耦合至該第一區域。該成像裝置包含一第二區段，該第二區段經由該第一接合部分及該第二接合部分接合至該第一區段，且包含耦合至該第一接合部分及該第二接合部分之讀出電路。

【英文】

An imaging device includes a first section including a first semiconductor substrate, at least one first photoelectric conversion region, a first floating diffusion, a first bonding portion, a first wiring electrically connected between the first floating diffusion and the first bonding portion, at least one second photoelectric conversion region, a second floating diffusion coupled to the at least one second

photoelectric conversion region, a second bonding portion, a second wiring electrically connected between the second floating diffusion and the second bonding portion, a first region coupled to a node that receives a reference voltage, and a third wiring coupled to the first region at a location that is between the first wiring and the second wiring. The imaging device includes a second section bonded to the first section via the first and second bonding portions and including readout circuitry coupled to the first bonding portion and the second bonding portion.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- | | |
|----|---------|
| 1 | 成像裝置 |
| 10 | 第一基板 |
| 11 | 半導體基板 |
| 12 | 感測器像素 |
| 13 | 像素區域 |
| 14 | 驅動佈線 |
| 15 | FD貫穿佈線 |
| 16 | VSS貫穿佈線 |
| 17 | FD接面電極 |
| 18 | VSS接面電極 |
| 20 | 第二基板 |
| 21 | 半導體基板 |

22	讀出電路
23	讀出電路區域
24	FD接面電極
25	VSS接面電極
26	FD貫穿佈線
27	VSS貫穿佈線
30	第三基板
31	半導體基板
32	邏輯電路
33	升壓電路
42	貫穿佈線
43	貫穿佈線
44	貫穿佈線

【發明說明書】

【中文發明名稱】

成像裝置

【英文發明名稱】

IMAGING DEVICE

【技術領域】

【0001】 本發明係關於一種成像裝置。

【先前技術】

【0002】 迄今為止，透過採用微製造程序及改良安裝密度，已達成二維結構之一成像裝置中每像素面積之小型化。近年來，為達成一成像裝置之進一步小型化，已開發三維結構之成像裝置。在具有此三維結構之成像裝置中，例如，如PLT 1至PLT 3中所描述，一光電二極體、用於讀出藉由光電二極體獲得之電荷之一電路(一讀出電路)、用於控制電荷從光電二極體之讀出之一電路(一控制電路)等經安置於兩個層壓半導體基板上。

[引用清單]

[專利文獻]

【0003】

[PTL1] 日本未審查專利申請公開案第2014-22561號

[PTL2] 日本未審查專利申請公開案第2010-219339號

[PTL3] 日本未審查專利申請公開案第2017-117828號

【發明內容】

[技術問題]

【0004】 順便提及，在三維結構之一成像裝置中，期望一動態範圍

之進一步增強及雜訊之進一步減小。因此，期望提供一種成像裝置，其允許動態範圍之進一步增強及進一步雜訊減小。

[問題解決方案]

【0005】 一種根據本發明之一第一態樣之成像裝置經組態以依序層壓一第一基板、一第二基板及一第三基板。該第一基板具有包含執行光電轉換之複數個感測器像素之一像素區域。該第二基板具有複數個讀出電路，該複數個讀出電路針對單個感測器像素或該複數個感測器像素之各者逐個地提供，以基於從該等感測器像素輸出之一電荷而輸出一像素信號。該第三基板具有一控制電路，該控制電路控制該等感測器像素及該等讀出電路。包含該第一基板及該第二基板之一層壓板具有一層間絕緣膜及設置於定位於該層間絕緣膜中且與該像素區域相對之一區域中之複數個接面電極。該等感測器像素及該等讀出電路透過該等接面電極之接面彼此電耦合。

【0006】 在根據本發明之第一態樣之成像裝置中，該複數個感測器像素經安置於該第一基板上；該複數個讀出電路經安置於該第二基板上；且該控制電路經安置於該第三基板上。此允許該等感測器像素之各者以足夠大之尺寸組態，從而確保獲得一寬動態範圍之重現影像。此外，此可為讀出電路採用足夠大之尺寸，此避免例如，諸如RTS(隨機電報信號)雜訊之暗時雜訊之增加。此外，在根據本發明之一實施例之成像裝置中，該等感測器像素及該等讀出電路透過設置於與該像素區域相對之一區域中之該等接面電極之接面相對於彼此電耦合。如與其中在一共同基板上之一單個像素中執行感測器像素及讀出電路之電耦合之情況相比，此可減小一單位像素尺寸。

【0007】 一種根據本發明之一第二態樣之成像裝置經組態以將一第一基板及一第二基板彼此層壓。該第一基板具有包含執行光電轉換之複數個感測器像素之一像素區域。該第二基板具有：複數個讀出電路，其等針對單個感測器像素或複數個感測器像素之各者逐個地提供，以基於從該等感測器像素輸出之一電荷而輸出一像素信號；及一控制電路，其控制該等感測器像素及該等讀出電路。包含該第一基板及該第二基板之一層壓板具有一層間絕緣膜及設置於定位於該層間絕緣膜中且與該像素區域相對之一區域中之複數個接面電極。該等感測器像素及該等讀出電路透過該等接面電極之接面相對於彼此電耦合。

【0008】 在根據本發明之第二態樣之成像裝置中，該複數個感測器像素經安置於該第一基板上，且該複數個讀出電路及該控制電路經安置於該第二基板上。此允許該等感測器像素之各者以足夠大之尺寸組態，從而確保獲得一寬動態範圍之重現影像。此外，此可為讀出電路採用足夠大之尺寸，此避免例如，諸如RTS雜訊之暗時雜訊之增加。

【0009】 根據本技術之一態樣之成像裝置包含：一第一區段，其包含：一第一半導體基板；至少一個第一光電轉換區域，其經安置於該第一半導體基板中；一第一浮動擴散部，其經耦合至該至少一個第一光電轉換區域；一第一接合部分；一第一佈線，其經電連接於該第一浮動擴散部與該第一接合部分之間；至少一個第二光電轉換區域，其經安置於該第一半導體基板中；一第二浮動擴散部，其經耦合至該至少一個第二光電轉換區域；一第二接合部分；一第二佈線，其經電連接於該第二浮動擴散部與該第二接合部分之間；一第一區域，其經耦合至接收一參考電壓之一節點；及一第三佈線，其經耦合至該第一區域且在介於該第一佈線與該第二佈線

之間之一位置處在相同於該第一佈線及該第二佈線之一方向上延伸。該成像裝置包含一第二區段，該第二區段經由該第一接合部分及該第二接合部分接合至該第一區段，且包含耦合至該第一接合部分及該第二接合部分之讀出電路。該第一區段進一步包含：一第一轉移電晶體，其將電荷從該第一光電轉換區域轉移至該第一浮動擴散部；及一第二轉移電晶體，其將電荷從該第二光電轉換區域轉移至該第二浮動擴散部。該讀出電路包含一第一重設電晶體、一第一放大電晶體及一第一選擇電晶體，其等經電連接至該第一接合部分。該讀出電路包含一第二重設電晶體、一第二放大電晶體及一第二選擇電晶體，其等經電連接至該第二接合部分。該讀出電路包含：一第一重設電晶體及一第一負回饋電路，其等經電連接至該第一接合部分；及一第二重設電晶體及一第二負回饋電路，其等經電連接至該第二接合部分。該第一負回饋電路及該第二負回饋電路各包含一運算放大器及一回饋電容。該第一區段進一步包含在該第一半導體基板上之至少一個絕緣層，其中該至少一個絕緣層包含該第一佈線、該第二佈線及該第三佈線。該至少一個絕緣層包含一第一絕緣層及一第二絕緣層，其中該第二絕緣層比該第一絕緣層更靠近該第二區段且具有比該第一絕緣層更低之一介電常數。該第一區段進一步包括一第三接合部分，其中該第三佈線將該第一區域電連接至該第三接合部分，且其中該第一區段及該第二區段經由該第一接合部分、該第二接合部分及該第三接合部分接合。該至少一個絕緣層包含在該第二絕緣層上且具有比該第一絕緣層更低之一介電常數之一第三絕緣層。該第二區段進一步包括：一第三接合部分，其接合至該第一接合部分；及一第四接合部分，其接合至該第二接合部分。該第二區段進一步包括：一第四佈線，其將該第三接合部分電連接至該讀出電路；及一第

五佈線，其將該第四接合部分電連接至該讀出電路。該第二區段進一步包括一第六佈線，該第六佈線經電連接至定位於該第四佈線與該第五佈線之間之該讀出電路。該第六佈線與該第一佈線對準。該第一區段進一步包括一第五接合部分，且該第二區段進一步包括接合至該第五接合部分之一第六接合部分。該第二區段進一步包括：一第二半導體基板，其包含該讀出電路；及一絕緣層，其在第二半導體基板上，該絕緣層包含該第四佈線、該第五佈線及該第六佈線。該成像裝置包含一第三區段，該第三區段接合至該第二區段，且包含處理來自該讀出電路之信號之處理電路。根據本技術之一態樣，一種成像裝置包含一第一區段，該第一區段包含一第一半導體基板。該第一半導體基板包含：至少一個第一光電轉換區域；一第一浮動擴散部，其經耦合至該至少一個第一光電轉換區域；及一第一轉移電晶體，其將電荷從該至少一個第一光電轉換區域轉移至該第一浮動擴散部。該成像裝置包含：至少一個第二光電轉換區域，其經安置於該第一半導體基板中；一第二浮動擴散部，其經耦合至該至少一個第二光電轉換區域；一第二轉移電晶體，其將電荷從該至少一個第二光電轉換區域轉移至該第二浮動擴散部。該成像裝置包含一井區及在該第一半導體基板上之至少一個第一絕緣層。該至少一個第一絕緣層包含：一第一接合部分；一第一佈線，其經電連接於該第一浮動擴散部與該第一接合部分之間；一第二接合部分；一第二佈線，其經電連接於該第二浮動擴散部與該第二接合部分之間；及一第三佈線，其經電連接至該井區域，且在該第一佈線與該第二佈線之間提供一屏蔽件。該成像裝置包含一第二區段，該第二區段經由該第一接合部分及該第二接合部分接合至該第一區段，且包含耦合至該第一接合部分及該第二接合部分之讀出電路。該成像裝置包含一第三區段，該第

三區段接合至該第二區段，且包含處理來自該讀出電路之信號之處理電路。根據本技術之一態樣，一種成像裝置包含一第一區段，該第一區段包含：第一光電轉換區域，其等共用一第一浮動擴散部；一第一接合部分；一第一佈線，其將該第一浮動擴散部電連接至該第一接合部分；第二光電轉換區域，其等共用一第二浮動擴散部；一第二接合部分；第二佈線，其將該第二浮動擴散部電連接至該第二接合部分；一所要導電性類型之一井區；第三佈線，其經電連接至該井區且提供第一佈線與該第二佈線之間之一信號屏蔽件；及一第二區段，其經由該第一接合部分及該第二接合部分接合至該第一區段，且包含電連接至該第一接合部分及該第二接合部分之讀出電路。該成像裝置包含一第三區段，該第三區段接合至該第二區段，且包含處理來自該讀出電路之信號之處理電路。

【圖式簡單說明】

【0010】 附圖經包含以提供本技術之進一步理解，且經併入本說明書中並且構成本說明書之一部分。附圖繪示實施例，且與說明書一起用於解釋本技術之原理。

[圖1]

圖1繪示根據本發明之一實施例之一成像裝置之一分解透視組態實例。

[圖2]

圖2繪示圖1中所繪示之一邏輯電路之一功能區塊之一實例。

[圖3]

圖3繪示圖1中所繪示之感測器像素及一讀出電路之一實例。

[圖4]

圖4繪示在圖1中所繪示之成像裝置之一垂直方向上之一橫截面組態實例。

[圖5]

圖5繪示在圖1中所繪示之成像裝置之一水平方向上之一橫截面組態實例。

[圖6A]

圖6A繪示圖4中之貫穿佈線附近之一橫截面組態實例。

[圖6B]

圖6B繪示圖4中之貫穿佈線附近之一橫截面組態實例。

[圖6C]

圖6C繪示圖4中之貫穿佈線附近之一橫截面組態實例。

[圖7A]

圖7A繪示圖4中之貫穿佈線附近之一橫截面組態實例。

[圖7B]

圖7B繪示圖4中之貫穿佈線附近之一橫截面組態實例。

[圖7C]

圖7C繪示圖4中之貫穿佈線附近之一橫截面組態實例。

[圖8]

圖8繪示在圖1中所繪示之成像裝置之水平方向上之一橫截面組態之一修改實例。

[圖9]

圖9繪示圖1中所繪示之感測器像素及讀出電路之一修改實例。

[圖10]

圖10繪示在圖1中所繪示之成像裝置之水平方向上之一橫截面組態之一修改實例。

[圖11]

圖11繪示在圖1中所繪示之成像裝置之垂直方向上之一橫截面組態之一修改實例。

[圖12]

圖12繪示在圖1中所繪示之成像裝置之垂直方向上之一橫截面組態之一修改實例。

[圖13]

圖13繪示在圖1中所繪示之成像裝置之垂直方向上之一橫截面組態之一修改實例。

[圖14]

圖14繪示在圖1中所繪示之成像裝置之垂直方向上之一橫截面組態之一修改實例。

[圖15]

圖15繪示在圖1中所繪示之成像裝置之垂直方向上之一橫截面組態之一修改實例。

[圖16]

圖16繪示圖1中所繪示之感測器像素及讀出電路之一修改實例。

[圖17]

圖17繪示圖1中所繪示之讀出電路之一修改實例。

[圖18]

圖18繪示圖1中所繪示之感測器像素及讀出電路之一修改實例。

[圖19]

圖19繪示圖1中所繪示之成像裝置之一分解透視組態之一修改實例。

[圖20]

圖20繪示圖1中所繪示之一第一基板中之一電晶體之一橫截面組態之一實例。

[圖21]

圖21繪示圖1中所繪示之一第二基板中之一電晶體之一橫截面組態之一實例。

[圖22]

圖22繪示由圖1中之讀出電路共用感測器像素之一修改實例。

[圖23]

圖23繪示由圖1中之讀出電路共用感測器像素之一修改實例。

[圖24]

圖24繪示圖1中所繪示之成像裝置之一分解透視組態之一修改實例。

[圖25]

圖25繪示圖19中所繪示之一成像裝置之一分解透視組態之一修改實例。

[圖26]

圖26繪示圖1中所繪示之成像裝置之一電路組態之一修改實例。

[圖27]

圖27繪示在圖1中所繪示之成像裝置之垂直方向上之一橫截面組態之一修改實例。

[圖28]

圖28繪示在具有圖27中所繪示之橫截面組態之一成像裝置之水平方向上之一橫截面組態之一實例。

[圖29]

圖29繪示具有圖27中所繪示之橫截面組態之成像裝置之感測器像素及一讀出電路之一實例。

[圖30A]

圖30A係繪示製造圖27中所繪示之一佈線結構之一方法之一實例之垂直方向上之一示意性橫截面圖。

[圖30B]

圖30B係繪示在圖30A中所繪示之步驟之後之一步驟之一示意性橫截面圖。

[圖30C]

圖30C係繪示在圖30B中所繪示之步驟之後之一步驟之一示意性橫截面圖。

[圖30D]

圖30D係繪示在圖30C中所繪示之步驟之後之一步驟之一示意性橫截面圖。

[圖30E]

圖30E係繪示在圖30D中所繪示之步驟之後之一步驟之一示意性橫截面圖。

[圖30F]

圖30F係繪示在圖30E中所繪示之步驟之後之一步驟之一示意性橫截面圖。

[圖30G]

圖30G係繪示在圖30F中所繪示之步驟之後之一步驟之一示意性橫截面圖。

[圖30H]

圖30H係繪示在圖30G中所繪示之步驟之後之一步驟之一示意性橫截面圖。

[圖30I]

圖30I係繪示在圖30H中所繪示之步驟之後之一步驟之一示意性橫截面圖。

[圖31]

圖31繪示在圖27中所繪示之成像裝置中之一接面表面上及其附近之一佈線結構之一修改實例。

[圖32]

圖32繪示根據比較實例1之一成像裝置中之一接面表面上及其附近之一佈線結構之垂直方向之一橫截面組態。

[圖33]

圖33繪示根據比較實例2之一成像裝置中之一接面表面上及其附近之一佈線結構之垂直方向上之一橫截面組態。

[圖34]

圖34係說明圖27中所繪示之成像裝置中之未對準之示意性橫截面圖。

[圖35]

圖35係說明圖30中所繪示之成像裝置中之未對準之一示意性橫截面

圖。

[圖36]

圖36繪示在圖1中所繪示之成像裝置之垂直方向上之橫截面組態之一修改實例。

[圖37]

圖37繪示在圖1中所繪示之成像裝置之垂直方向上之橫截面組態之一修改實例。

[圖38]

圖38繪示在圖1中所繪示之成像裝置之垂直方向上之橫截面組態之一修改實例。

[圖39]

圖39繪示圖1中所繪示之成像裝置之垂直方向上之橫截面組態之一修改實例。

[圖40]

圖40繪示圖1中所繪示之成像裝置之垂直方向上之橫截面組態之一修改實例。

[圖41]

圖41繪示具有圖27中所繪示之橫截面組態之成像裝置之感測器像素及讀出電路之一修改實例。

[圖42]

圖42繪示具有圖27中所繪示之橫截面組態之成像裝置之感測器像素及讀出電路之一修改實例。

[圖43]

圖43繪示在將圖27中所繪示之佈線結構應用於其他位置之情況下之感測器像素及一讀出電路之一實例。

[圖44]

圖44繪示具有圖27中所繪示之橫截面組態之成像裝置之水平方向上之橫截面組態之一修改實例。

[圖45]

圖45繪示具有圖27中所繪示之橫截面組態之成像裝置之水平方向上之橫截面組態之一修改實例。

[圖46]

圖46繪示具有圖27中所繪示之橫截面組態之成像裝置之水平方向上之橫截面組態之一修改實例。

[圖47]

圖47繪示具有圖27中所繪示之橫截面組態之成像裝置之水平方向上之橫截面組態之一修改實例。

[圖48]

圖48繪示具有圖27中所繪示之橫截面組態之成像裝置之水平方向上之橫截面組態之一修改實例。

[圖49]

圖49繪示具有圖27中所繪示之橫截面組態之成像裝置之水平方向上之橫截面組態之一修改實例。

[圖50]

圖50繪示具有圖27中所繪示之橫截面組態之成像裝置之水平方向上之橫截面組態之一修改實例。

[圖51]

圖51繪示具備根據上述實施例及其修改實例之任何成像裝置之一成像系統之一示意性組態之一實例。

[圖52]

圖52繪示圖51中所繪示之成像系統中之成像步驟之一實例。

[圖53]

圖53係描繪一車輛控制系統之示意性組態之一實例之一方塊圖。

[圖54]

圖54係說明一車外資訊偵測區段及一成像區段之安裝位置之一實例之一輔助圖。

[圖55]

圖55係描繪一內視鏡手術系統之一示意性組態之一實例之一視圖。

[圖56]

圖56係描繪一相機鏡頭及一相機控制單元(CCU)之一功能組態之一實例之一方塊圖。

【實施方式】

【0011】

相關申請案之交叉參考

本申請案主張於2018年11月16日提交之日本優先專利申請案JP2018-215381之權益，其全部內容以引用的方式併入本文中。

【0012】 在下文中，參考圖式詳細描述本發明之一些實施例。應注意，依以下順序給出描述。

1. 實施例(成像裝置)…圖1至圖7

2.修改實例(成像裝置)…圖8至圖50

3.應用實例

其中將根據上述實施例及其修改實例之任何成像裝置應用於一成像系統之一實例……圖51及圖52

4.工業應用實例

工業應用實例1…其中將根據上述實施例及其修改實例之任何成像裝置應用於一移動車輛之一實例…圖53及圖54

工業應用實例2…其中將根據上述實施例及其修改實例之任何成像裝置應用於一手術系統之一實例…圖55及圖56

<1.實施例>

[組態]

【0013】 圖1繪示根據本發明之一實施例之一成像裝置1之一示意性組態之一實例。成像裝置1包含三個基板(一第一基板10、一第二基板20及一第三基板30)。成像裝置1係三維結構之一成像裝置，其藉由將三個基板(第一基板10、第二基板20及第三基板30)相對於彼此接合而組態。依序層壓第一基板10、第二基板20及第三基板30。

【0014】 第一基板10在一半導體基板11上具有執行光電轉換之複數個感測器像素12。複數個感測器像素12以一矩陣圖案設置於第一基板10上之一像素區域13中。第一基板10具有例如在一列方向上延伸之複數根驅動佈線14。複數根驅動佈線14經電連接至(隨後描述之)一垂直驅動電路32a。

【0015】 第二基板20在一半導體基板21上具有一讀出電路22，該讀出電路22基於待從感測器像素12之各者輸出之電荷針對單個或複數個感

測器像素12之各者逐個地輸出一像素信號。在第二基板20上之一讀出電路區域23中，以一矩陣圖案提供複數個讀出電路22。第二基板20例如具有在一列方向上延伸之複數根驅動佈線及在一行方向上延伸之(隨後描述之)複數根垂直信號線VSL。設置於第二基板20上之複數根驅動佈線經電耦合至隨後描述之垂直驅動電路32a。複數根垂直信號線VSL經電耦合至隨後描述之一行信號處理電路32b。

【0016】 第三基板30在一半導體基板31上具有一邏輯電路32及一升壓電路33。邏輯電路32控制感測器像素12及讀出電路22之各者，且處理從讀出電路22之各者獲得之一像素信號。邏輯電路32具有例如垂直驅動電路32a、行信號處理電路32b、一水平驅動電路32c及一系統控制電路32d，如圖2中所繪示。邏輯電路32將針對感測器像素12之各者獲得之一輸出電壓Vout輸出至外部。

【0017】 垂直驅動電路32a例如在各列之基礎上循序選擇複數個感測器像素12。垂直驅動電路32a例如經電耦合至複數根驅動佈線14，且藉由將選擇信號循序輸出至複數根驅動佈線14而在各列之基礎上循序選擇複數個感測器像素12。

【0018】 行信號處理電路32b對例如待從由垂直驅動電路32a選擇之一列之感測器像素12之各者輸出之一像素信號執行相關雙重取樣(Correlated Double Sampling: CDS)處理。行信號處理電路32b藉由執行例如CDS處理來保持對應於由感測器像素12之各者所接收之光量之像素資料而提取像素信號之一信號位準。行信號處理電路32b例如經電耦合至隨後描述之複數根垂直信號線VSL，且透過複數根垂直信號線VSL從由垂直驅動電路32a選擇之一列之感測器像素12之各者獲得像素信號。行信號處

理電路32b具有例如用於垂直信號線VSL之各者之一ADC(類比轉數位)，以將透過複數根垂直信號線VSL獲得之一類比像素信號轉換為一數位像素信號。

【0019】 水平驅動電路32c例如將行信號處理電路32b中保持之像素資料作為輸出電壓 V_{out} 循序輸出至外部。系統控制電路32d控制例如邏輯電路32中之各自區塊(垂直驅動電路32a、行信號處理電路32b及水平驅動電路32c)之驅動。升壓電路33產生例如預定量值之一電力供應電位VDD。

【0020】 圖3繪示感測器像素12及讀出電路22之一實例。在下文中，給出如圖3中所繪示之四個感測器像素12共用單個讀出電路22之情況之描述。此處，「共用」指示複數個感測器像素12之輸出被輸入至共同讀出電路22。

【0021】 各自感測器像素12具有相對於彼此共同之組件部分。為將各自感測器像素12之組件部分彼此區分，圖3將識別號(1、2、3及4)指派至各自感測器像素12之組件部分之元件符號之末尾。在下文中，在需要將各自感測器像素12之組件部分彼此區分之情況下，將識別號指派至各自感測器像素12之組件部分之元件符號之末尾。然而，在不需要將各自感測器像素12之組件部分彼此區分之情況下，將省略待指派至各自感測器像素12之組件部分之元件符號之末尾之識別號。

【0022】 感測器像素12之各者具有例如一光電二極體PD、電耦合至光電二極體PD之一轉移電晶體TR，及暫時保持透過轉移電晶體TR從光電二極體PD輸出之電荷之一浮動擴散部FD。例如，針對共用讀出電路22之複數個感測器像素12提供單個浮動擴散部FD。應注意，可針對單個感測

器像素12提供單個浮動擴散部FD。在此一情況下，在共用讀出電路22之複數個感測器像素12中，提供用於將各自浮動擴散部FD相對於彼此電耦合之佈線。

【0023】 光電二極體PD藉由執行光電轉換而產生對應於所接收光之量之電荷。光電二極體PD之一陰極經電耦合至轉移電晶體TR之一源極，且光電二極體PD之一陽極經電耦合至半導體基板11中保持於一參考電位VSS之一區域(隨後描述之一p井區域41)。轉移電晶體TR之一汲極經電耦合至浮動擴散部FD，且轉移電晶體TR之一閘極透過驅動佈線14及隨後描述之一貫穿佈線42電耦合至邏輯電路32。轉移電晶體TR係例如一CMOS(互補金屬氧化物半導體)電晶體。

【0024】 浮動擴散部FD係暫時保持透過轉移電晶體TR從光電二極體PD輸出之電荷之一浮動擴散區域。讀出電路22之一輸入端子經耦合至浮動擴散部FD。具體言之，隨後描述之一重設電晶體RST經耦合至浮動擴散部FD，且垂直信號線VSL透過隨後描述之一放大電晶體AMP及隨後描述之一選擇電晶體SEL而進一步耦合至浮動擴散部FD。浮動擴散部FD產生一電容Cfd。例如，如圖3中所繪示，在用於耦合感測器像素12之各者及一FD界面電極(或接合部分)17之一佈線與半導體基板11中保持於參考電位VSS之區域(例如，p井區域41)之間產生電容Cfd。

【0025】 讀出電路22具有例如重設電晶體RST、選擇電晶體SEL及放大電晶體AMP。應注意，可根據需要省略選擇電晶體SEL。重設電晶體RST之一源極(讀出電路22之輸入端子)經電耦合至浮動擴散部FD，且重設電晶體RST之一汲極經電耦合至電力供應電位VDD透過隨後描述之一貫穿佈線43施加至其之一佈線，且經電耦合至放大電晶體AMP之一汲極。

重設電晶體RST之一閘極透過貫穿佈線42電耦合至邏輯電路32。放大電晶體AMP之一源極經電耦合至選擇電晶體SEL之一汲極且放大電晶體AMP之一閘極經電耦合至選擇電晶體SEL之一源極。選擇電晶體SEL之源極(讀出電路22之一輸出端子)透過垂直信號線VSL及貫穿佈線42電耦合至邏輯電路32，且選擇電晶體SEL之一閘極透過貫穿佈線42電耦合至邏輯電路32。

【0026】 在導通時，轉移電晶體TR將光電二極體PD之電荷轉移至浮動擴散部FD。重設電晶體RST將浮動擴散部FD之一電位重設為一預定電位。在導通時，重設電晶體RST將浮動擴散部FD之電位重設為電力供應電位VDD。選擇電晶體SEL控制來自讀出電路22之像素信號之輸出時序。放大電晶體AMP產生對應於浮動擴散部FD中保持之電荷之一位準之一電壓之一信號作為像素信號。放大電晶體AMP組態一源極隨耦器類型放大器以輸出對應於在光電二極體PD中產生之電荷之一位準之一電壓之像素信號。當選擇電晶體SEL導通時，放大電晶體AMP放大浮動擴散部FD之電位，以透過垂直信號線VSL將對應於該電位之一電壓輸出至邏輯電路32。重設電晶體RST、放大電晶體AMP及選擇電晶體SEL係例如CMOS電晶體。

【0027】 應注意，選擇電晶體SEL可經設置於電力供應線VDD與放大電晶體AMP之間。在此一情況下，重設電晶體RST之汲極經電耦合至電力供應電位VDD被施加至之佈線，且經電耦合至選擇電晶體SEL之汲極。選擇電晶體SEL之源極經電耦合至放大電晶體AMP之汲極，且選擇電晶體SEL之閘極透過貫穿佈線42電耦合至邏輯電路32。放大電晶體AMP之源極(讀出電路22之一輸出端子)透過垂直信號線VSL及貫穿佈線42電耦

合至邏輯電路32，且放大電晶體AMP之閘極經電耦合至重設電晶體RST之源極。

【0028】圖4繪示成像裝置1之垂直方向上之一橫截面組態之一實例。圖4例示與像素區域13(感測器像素12)相對之一位置之一橫截面組態及成像裝置1中之像素區域13周圍之一區域之一橫截面組態。成像裝置1經組態以依序層壓第一基板10、第二基板20及第三基板30，且進一步包含在第一基板10之背表面側(光入射表面側)上之一彩色濾光片層40及光接收透鏡50。例如，針對感測器像素12之各者逐個地提供彩色濾光片層40及光接收透鏡50。換言之，成像裝置1係一背側照明類型之一成像裝置。

【0029】第一基板10經組態以將一絕緣膜(或絕緣層) 19層壓在半導體基板11上。第一基板10具有絕緣膜19作為一層間絕緣膜。絕緣膜19經設置於半導體基板11與第二基板20之間。第一基板10在絕緣膜19中具有複數根驅動佈線14。在按一矩陣圖案安置之複數個感測器像素12中按各列基礎逐個地提供複數根驅動佈線14。半導體基板11包含一矽基板。半導體基板11具有例如在一表面之一部分上及在此一位置附近之p井區域41，且在除p井區域41外之一區域(比p井區域41更深之一區域)中具有與p井區域之導電性類型不同之一導電性類型之光電二極體PD。p井區域41包含一p型半導體區域。光電二極體PD包含與p井區域41之導電性類型不同之一導電性類型(具體地，n型)之一半導體區域。半導體基板11具有在p井區域41中之浮動擴散部FD作為不同於p井區域41之導電性類型之一導電性類型(具體地，n型)之一半導體區域。

【0030】第一基板10具有用於感測器像素12之各者之光電二極體PD、轉移電晶體TR及浮動擴散部FD。第一基板10經組態使得轉移電晶體

TR及浮動擴散部FD被設置於半導體基板11之前表面側(光入射表面側之相對側，第二基板20側)上之一部分處。第一基板10具有分離感測器像素12之各者之一元件分離區段。元件分離區段經安置以在半導體基板11之一法線方向(垂直於半導體基板11之一表面之一方向)上延伸。元件分離區段經設置於彼此相鄰之兩個感測器像素12之間。元件分離區段將彼此相鄰之兩個感測器像素12電分離。元件分離區段包含例如氧化矽。第一基板10進一步具有例如與半導體基板11之一背表面接觸之一固定電荷膜。該固定電荷膜帶負電以抑制由半導體基板11之光接收表面側之一介面狀態引起之一暗電流之產生。固定電荷膜包含例如具有一負固定電荷之一絕緣膜。此一絕緣膜之一材料之實例包含氧化鉛、氧化銻、氧化鋁、氧化鈦或氧化鉭。藉由由固定電荷膜引發之一電場在半導體基板11之光接收表面側上之一介面處提供一電洞儲存層。電洞儲存層用於抑制從介面產生電子。彩色濾光片層40經設置於第一基板10之背表面側上。彩色濾光片層40經提供為例如與固定電荷膜接觸，且經設置於與感測器像素12相對之一位置處，其中固定電荷膜經插置於其間。光接收透鏡50經提供為例如與彩色濾光片層40接觸，且經設置於與感測器像素12相對之一位置處，其中彩色濾光片層40及固定電荷膜經插置於其間。

【0031】 第一基板10在絕緣膜19中具有複數根FD貫穿佈線15及複數根VSS貫穿佈線16。複數根FD貫穿佈線15及複數根VSS貫穿佈線16延伸穿過絕緣膜19。FD貫穿佈線15對應於本發明之一「第三貫穿佈線」之一特定實例。VSS貫穿佈線16對應於本發明之一「第二貫穿佈線」之一特定實例。VSS貫穿佈線16之各者按複數根FD貫穿佈線15當中彼此相鄰之兩根FD貫穿佈線15之間之一間距(spacing interval)安置。此外，第一基

板10在絕緣膜19中具有複數個FD接面電極17及單個VSS接面電極(或接合部分) 18。複數個FD接面電極17及單個VSS接面電極18兩者曝露於絕緣膜19之一表面上。FD接面電極17對應於本發明之一「第一接面電極」之一特定實例。VSS接面電極18對應於本發明之一「佈線電極」之一特定實例。在與像素區域13相對之一區域中提供複數根FD貫穿佈線15及複數根VSS貫穿佈線16。VSS接面電極18之各者經安置於與FD接面電極17之各者相同之平面中。VSS接面電極18按在複數個FD接面電極17當中彼此相鄰之兩個FD接面電極17之間之一間距安置。

【0032】 在針對共用讀出電路22之複數個感測器像素12提供單個浮動擴散部FD之情況下，針對共用讀出電路22之複數個感測器像素12之各者逐個地提供複數根FD貫穿佈線15。在針對單個感測器像素12提供單個浮動擴散部FD之情況下，針對感測器像素12之各者逐個地提供複數根FD貫穿佈線15。

【0033】 FD貫穿佈線15之各者經耦合至浮動擴散部FD及FD接面電極17。在針對共用讀出電路22之複數個感測器像素12提供單個浮動擴散部FD之情況下，針對共用讀出電路22之複數個感測器像素12之各者逐個地提供複數根VSS貫穿佈線16。在針對單個感測器像素12提供單個浮動擴散部FD之情況下，針對感測器像素12之各者逐個地提供複數根VSS貫穿佈線16。VSS貫穿佈線16之各者經耦合至p井區域41及VSS接面電極18。在任一情況中，針對讀出電路22之各者逐個地提供複數根VSS貫穿佈線16。

【0034】 第二基板20經組態以在半導體基板21上層壓一絕緣層28。第二基板20具有絕緣層28作為一層間絕緣膜。絕緣層28經設置於半導體

基板21與第一基板10之間。半導體基板21包含矽基板。第二基板20具有用於四個感測器像素12之各者之單個讀出電路22。第二基板20經組態使得讀出電路22經設置於半導體基板21之前表面側(第三基板30側)之一部分處。第二基板20接合至第一基板10，其中半導體基板21之前表面經引導朝向半導體基板11之前表面側。

【0035】 第二基板20在絕緣層28中具有複數根FD貫穿佈線26及複數根VSS貫穿佈線27。複數根FD貫穿佈線26及複數根VSS貫穿佈線27延伸穿過絕緣層28。FD貫穿佈線26對應於本發明之「第三貫穿佈線」之一特定實例。VSS貫穿佈線27對應於本發明之「第二貫穿佈線」之一特定實例。VSS貫穿佈線27之各者按在複數根FD貫穿佈線26當中彼此相鄰之兩根FD貫穿佈線26之間之一間距安置。此外，第二基板20在絕緣層28中具有複數個FD接面電極(或接合部分) 24及單個VSS接面電極(或接合部分) 25。複數個FD接面電極24及單個VSS接面電極25兩者曝露於絕緣層28之一表面上。FD接面電極24對應於本發明之「第一接面電極」之一特定實例。VSS接面電極25對應於本發明之「佈線電極」之一特定實例。針對第一基板10之FD接面電極17之各者，逐個地提供複數個FD接面電極24。FD接面電極24經電耦合至FD接面電極17。FD接面電極24及FD接面電極17包含例如銅材料，且彼此接合。VSS接面電極25經電耦合至第一基板10之VSS接面電極18。VSS接面電極25及VSS接面電極18包含例如銅材料，且彼此接合。VSS接面電極25之各者例如經安置於與FD接面電極24之各者相同之平面中。VSS接面電極25按在複數個FD接面電極24當中彼此相鄰之兩個FD接面電極24之間之一間距安置。感測器像素12及讀出電路22透過FD接面電極17及24之接面相對於彼此電耦合。

【0036】 例如，如圖5中所繪示，FD介面電極17及24之各者經安置於與浮動擴散部FD相對之一位置處。圖5繪示FD介面電極17及VSS介面電極18中之一橫截面組態實例，或FD介面電極24及VSS介面電極25中之一橫截面組態實例。在浮動擴散部FD由四個感測器像素12共用之情況下，浮動擴散部FD經設置於包含四個感測器像素12之一區域之一中心部分處。因此，在浮動擴散部FD由四個感測器像素12共用之情況下，FD介面電極17及24之各者經安置於與包含四個感測器像素12之區域之中心部分相對之一位置處。例如，FD介面電極17及24之各者呈一正方形形狀。

【0037】 例如，如圖5中所繪示，VSS介面電極18及25各在一層壓平面內方向上以一格子狀圖案安置在FD介面電極17及24之各者周圍。如從成像裝置1之層壓方向觀看，VSS介面電極18及25之各者在與四個感測器像素12相對之位置之各者處具有一開口。VSS介面電極18呈例如格子形狀，其中在第一陣列方向(例如，一列方向)上延伸之複數根介面佈線及在第一第二陣列方向(例如，一行方向)上延伸之複數根介面佈線經安置於一相同平面中以相對於彼此相交(使其等正交)。類似地，VSS介面電極25呈例如格子形狀，其中在第一陣列方向(例如，列方向)上延伸之複數根介面佈線及在第二陣列方向(例如，行方向)上延伸之複數根介面佈線經安置於一相同平面中以相對於彼此相交(使其等正交)。在此，第一陣列方向係複數個浮動擴散部FD (或複數個感測器像素12)之一個陣列方向(例如，列方向)。此外，第二陣列方向係複數個浮動擴散部FD (或複數個感測器像素12)之另一陣列方向(例如，行方向)。

【0038】 在與像素區域13相對之一區域中提供複數個FD介面電極24及複數根FD貫穿佈線26。針對FD貫穿佈線15之各者逐個地提供複數根

FD貫穿佈線26。FD貫穿佈線26之各者經耦合至FD接面電極24及讀出電路22(具體言之，放大電晶體AMP之一閘極)。在與像素區域13相對之一區域中提供複數個VSS接面電極25及複數根VSS貫穿佈線27。針對VSS貫穿佈線16之各者，逐個地提供複數根VSS貫穿佈線27。VSS貫穿佈線27之各者經耦合至VSS接面電極25及第二基板20中被施加參考電位VSS之一區域(讀出電路22之一參考電位區域)。

【0039】 包含第一基板10及第二基板20之一層壓板在像素區域13周圍之一區域中具有延伸穿過第一基板10及第二基板20之複數根貫穿佈線42。貫穿佈線42對應於本發明之「第一貫穿佈線」之一特定實例。針對第一基板10之驅動佈線14之各者，逐個地提供複數根貫穿佈線42。貫穿佈線42之各者經耦合至驅動佈線14及驅動電路32之垂直驅動電路32a。因此，邏輯電路32透過複數根貫穿佈線42控制感測器像素12及讀出電路22。貫穿佈線42之各者包含例如TSV(貫穿矽通孔)。應注意，取代貫穿佈線42之各者，可提供延伸穿過絕緣膜19之一貫穿佈線(以下被稱為「貫穿佈線a」)、延伸穿過絕緣層28之一貫穿佈線(以下被稱為「貫穿佈線b」)、耦合至貫穿佈線a之一接面電極(以下被稱為「接面電極c」)，及耦合至貫穿佈線b之一接面電極(以下被稱為「接面電極d」)。在此一情況下，接面電極c及d包含例如銅，且接面電極c及接面電極d彼此接合。

【0040】 包含第一基板10及第二基板20之層壓板在像素區域13周圍進一步具有一貫穿佈線43及一貫穿佈線44，其等之各者延伸穿過第一基板10及第二基板20。貫穿佈線43及44之各者包含例如TSV。貫穿佈線43經耦合至第三基板30之升壓電路33，以保持於電力供應電位VDD。例如，電力供應電位VDD係在2.5 V至2.8 V之範圍內之一值。貫穿佈線44經

電耦合至第三基板30中被施加參考電位VSS之一區域(第三基板30之參考電位區域)以保持於參考電位VSS。參考電位VSS係例如零伏。

【0041】 第三基板30例如經組態以在半導體基板31上層壓一絕緣層36。第三基板30具有絕緣層36作為一層間絕緣膜。絕緣層36經設置於半導體基板31與第二基板20之間。半導體基板31包含一矽基板。第三基板30經組態使得邏輯電路32至少部分經設置於半導體基板31之前表面側(第二基板20側)上。第三基板30經接合至第二基板20，其中半導體基板31之前表面經引導朝向半導體基板21之背表面側。

【0042】 圖6A繪示用於從成像裝置1取出待自邏輯電路32輸出之輸出電壓Vout之一佈線結構之一實例。圖6B繪示用於將一參考電位提供至升壓電路33之一佈線結構之一實例。圖6C繪示用於將參考電位VSS提供至第三基板30之一佈線結構之一實例。包含第一基板10及第二基板20之層壓板在像素區域13周圍具有開口45a、46a及47a，其等之各者延伸穿過第一基板10及第二基板20。在開口45a之一底部表面上提供一連接墊45b，且連接墊45b經耦合至邏輯電路32之一輸出端子。例如，一接合線經耦合至連接墊45b。一連接墊46b經設置於開口46a之一底部表面上，且連接墊46b經耦合至升壓電路33。例如，一接合線經耦合至連接墊46b。一連接墊47b經設置於開口47a之一底部表面上，且連接墊47b經耦合至第三基板30中針對其施加參考電位VSS之一區域。例如，一接合線經耦合至連接墊47b。

【0043】 應注意，貫穿佈線45c可經設置於開口45a之內部，如圖7A中所繪示。在此一情況下，例如，一連接墊45d可經設置於其上曝露貫穿佈線45c之第一基板10之一表面上，且一接合線可經耦合至連接墊45d。

此外，一貫穿佈線46c可經設置於開口46a之內部，如圖7B中所繪示。在此一情況下，例如，一連接墊46d可經設置於其上曝露貫穿佈線46c之第一基板10之一表面上，且一接合線可經耦合至連接墊46d。此外，一貫穿佈線47c可經設置於開口47a之內部，如圖7C中所繪示。在此一情況下，例如，一連接墊47d可經設置於其上曝露貫穿佈線47c之第一基板10之一表面上，且一接合線可經耦合至連接墊47d。

[有利效應]

【0044】 接下來，給出根據本實施例之成像裝置1之有利效應之描述。

【0045】 迄今為止，透過採用微製造程序及改良安裝密度，已達成二維結構之一成像裝置中每像素面積之小型化。近年來，為達成一成像裝置之進一步小型化及高密度像素安裝，已開發三維結構之成像裝置。在具有此三維結構之成像裝置中，例如，一光電二極體、用於讀出藉由光電二極體獲得之電荷之一電路(一讀出電路)、用於控制電荷從光電二極體之讀出之一電路(一控制電路)等經安置於兩個層壓半導體基板上。

【0046】 在本實施例中，複數個感測器像素12經安置於第一基板10上；複數個讀出電路22經安置於第二基板20上；且邏輯電路32經安置於第三基板30上。此允許感測器像素12之各者以足夠大之尺寸組態，從而確保獲得一寬動態範圍之重現影像。此外，此可為讀出電路22採用足夠大之尺寸，此避免例如，諸如RTS雜訊之暗時雜訊之增加。此外，此可為邏輯電路32採用足夠大之尺寸，此例如允許充分增加之輸出資料速率，從而以高圖框速率獲得移動影像。此外，在本實施例中，感測器像素12及讀出電路22透過經設置於與像素區域13相對之一區域中之FD接面電極17及24

之接面而相對於彼此電耦合。如與在一共同基板上之單個像素中執行感測器像素12及讀出電路22之電耦合之情況相比，此可減小一單位像素尺寸。

【0047】 此外，在本實施例中，在包含第一基板10及第二基板20之層壓板中，複數根貫穿佈線42經安置於像素區域13周圍之一區域中。感測器像素12及讀出電路22係由邏輯電路32透過複數根貫穿佈線42控制。如與貫穿佈線42之各者經安置於與像素區域13相對之一區域中之情況相比，此確保貫穿佈線42之各者經安置遠離電耦合至浮動擴散部FD之FD貫穿佈線15及26。因此，可減小貫穿佈線42之各者與FD貫穿佈線15及26之各者之間之信號干擾。此允許達成進一步雜訊減小。

【0048】 此外，在本實施例中，在定位於絕緣膜19中且與像素區域13相對之一區域中，針對讀出電路22之各者逐個地提供複數根VSS貫穿佈線16，且在定位於絕緣層28中且與像素區域13相對之一區域中，針對讀出電路22之各者逐個地提供複數根VSS貫穿佈線27。此外，在本實施例中，VSS貫穿佈線16之各者經電耦合至第一基板10中保持於參考電位VSS之一區域(p井區域41)，且VSS貫穿佈線27之各者經電耦合至第二基板20中保持於參考電位VSS之一區域。此可使VSS貫穿佈線16之各者用作減小彼此相鄰之FD貫穿佈線15之間之信號干擾之一屏蔽件，且進一步使VSS貫穿佈線27之各者用作減小彼此相鄰之FD貫穿佈線26之間之信號干擾之一屏蔽件。此允許達成進一步雜訊減小。

【0049】 此外，在本實施例中，分別電耦合至複數個FD接面電極17之複數根FD貫穿佈線15經設置於定位於絕緣膜19中且與像素區域13相對之區域中，且分別電耦合至複數個FD接面電極24之複數根FD貫穿佈線26

經設置於定位於絕緣層28中且與像素區域13相對之區域中。此外，在本實施例中，VSS貫穿佈線16之各者以在複數根FD貫穿佈線15當中彼此相鄰之兩根FD貫穿佈線15之間之一間距安置，且VSS貫穿佈線27之各者以在複數根FD貫穿佈線26當中彼此相鄰之兩根FD貫穿佈線26之間之一間距安置。此可使VSS貫穿佈線16之各者用作減小彼此相鄰之FD貫穿佈線15之間之信號干擾之一屏蔽件，且進一步使VSS貫穿佈線27之各者用作減小彼此相鄰之FD貫穿佈線26之間之信號干擾之一屏蔽件。此允許達成進一步雜訊減小。

【0050】 此外，在本實施例中，電耦合至VSS貫穿佈線16之各者之VSS接面電極18 (佈線電極)經設置於絕緣膜19中，且VSS接面電極18各以格子狀圖案安置在FD接面電極17之各者周圍。此外，在本實施例中，電耦合至VSS貫穿佈線27之各者之VSS接面電極25 (佈線電極)經設置於絕緣層28中，且VSS接面電極25各以格子狀圖案安置在FD接面電極24之各者周圍。此可使VSS接面電極18用作減小彼此相鄰之VSS接面電極17之間之信號干擾之一屏蔽件，且進一步使VSS接面電極25之各者用作減小彼此相鄰之FD接面電極24之間之信號干擾之一屏蔽件。此允許達成進一步雜訊減小。

<2.修改實例>

【0051】 在下文中，給出根據上述實施例之成像裝置1之修改實例之描述。應注意，在以下修改實例中，上述實施例所共同之組態用相同元件符號表示。

[修改實例A]

【0052】 圖8繪示FD接面電極17及VSS接面電極18中之一橫截面組

態之一修改實例，或FD接面電極24及VSS接面電極25中之一橫截面組態之一修改實例。在根據上述實施例之成像裝置1中，例如，如圖8中所繪示，VSS接面電極18之各者可包含複數個接面電極18a及將複數個接面電極18a相對於彼此電耦合之一佈線18b。此外，在根據上述實施例之成像裝置1中，例如，如圖8中所繪示，VSS接面電極25之各者可包含複數個接面電極25a及將複數個接面電極25a相對於彼此電耦合之一佈線25b。

【0053】 在此一情況下，針對VSS貫穿佈線16之各者逐個地提供複數個接面電極18a，且針對VSS貫穿佈線27之各者逐個地提供複數個接面電極25a。換言之，第一基板10在絕緣膜19中具有分別電耦合至複數根VSS貫穿佈線16之複數個接面電極18a，且第二基板20在絕緣層28中具有分別電耦合至複數根VSS貫穿佈線27之複數個接面電極25a。接面電極18a及接面電極25a之各者對應於本發明之一「第二接面電極」之一特定實例。此外，複數個接面電極18a之各者以在複數個FD接面電極17當中彼此相鄰之兩個FD接面電極17之間之一間距安置，且複數個接面電極25a之各者以在複數個FD接面電極24當中彼此相鄰之兩個FD接面電極24之間之一間距安置。

【0054】 即使在此一情況下，亦可使VSS接面電極18用作減小彼此相鄰之FD接面電極17之間之信號干擾之一屏蔽件，且進一步使VSS接面電極25之各者用作減小彼此相鄰之FD接面電極24之間之信號干擾之一屏蔽件。此允許達成進一步雜訊減小。

[修改實例B]

【0055】 圖9繪示感測器像素12及讀出電路22之一修改實例。圖10繪示FD接面電極17及VSS接面電極18中之一橫截面組態之一修改實例，

或FD接面電極24及VSS接面電極25之一橫截面組態之一修改實例。

【0056】 在根據上述實施例及其修改實例之成像裝置1中，例如，單個讀出電路22可共用八個感測器像素12 (2×4個感測器像素12)，如圖9中所繪示。此時，例如，如圖10中所繪示，VSS接面電極18及25各在一層壓平面內方向上以一格子狀圖案分別安置在FD接面電極17及24周圍。VSS接面電極18呈例如形成在一相同平面中之一格子形狀，使得在第一方向上延伸之複數根接面佈線及在第二方向上延伸之複數根接面佈線相對於彼此相交(使其等正交)。類似地，VSS接面電極25呈例如形成在一相同平面中之一格子形狀，使得在第一方向上延伸之複數根接面佈線及在第二方向上延伸之複數根接面佈線相對於彼此相交(使其等正交)。在此，第一方向係與複數個浮動擴散部FD (或複數個感測器像素12)之陣列方向(例如，一列方向或一行方向)相交之一方向。此外，第二方向係與複數個浮動擴散部FD (或複數個感測器像素12)之陣列方向(例如，列方向或行方向)相交之一方向，以及與該第一方向相交(使其等正交)之一方向。如與圖5中所繪示之佈局相比，此一佈局允許增大彼此相鄰之兩個FD接面電極17之間之一間距，及增大彼此相鄰之兩個FD接面電極24之間之一間距，此亦可增加FD接面電極17與VSS接面電極18之間之一距離或FD接面電極24與VSS接面電極25之間之一距離。因此，甚至在更微觀之單位像素尺寸之情況下，可將VSS接面電極18安置在彼此相鄰之兩個FD接面電極17之間，且將VSS接面電極25安置在彼此相鄰之兩個FD接面電極24之間。因此，甚至在更微觀之單位像素尺寸之情況下，可使VSS接面電極18用作減小彼此相鄰之FD接面電極17之間之信號干擾之一屏蔽件，且進一步使VSS接面電極25之各者用作減小彼此相鄰之FD接面電極24之間之信號干擾之一

屏蔽件。此允許達成進一步雜訊減小。

[修改實例C]

【0057】 圖11繪示成像裝置1之垂直方向上之一橫截面組態之一修改實例。在根據上述實施例及其修改實例之成像裝置1中，可使用一絕緣材料來安置設置在與設置於第一基板10上之絕緣膜19中之FD接面電極17及VSS接面電極18相同之層上之一絕緣層71，該絕緣材料具有比設置於第一基板10上之絕緣膜19中之絕緣層71以外之任何位置之介電常數低之一介電常數。此外，在根據上述實施例及其修改實例之成像裝置1中，可使用一絕緣材料來安置設置在與設置於第二基板20上之絕緣層28中之FD接面電極24及VSS接面電極25相同之層上之一絕緣層72，該絕緣材料具有比設置於第二基板20上之絕緣層28中之絕緣層72以外之任何位置之介電常數低之一介電常數。在此一情況下，可減小電容 C_{fd} ，此允許抑制轉換效率之劣化。

【0058】 此外，在根據上述實施例及其修改實例之成像裝置1中，例如，如圖12中所繪示，可使用一絕緣材料來安置設置在與耦合至設置於第一基板10上之絕緣膜19中之FD接面電極17及VSS接面電極18之一連接佈線47（例如，一通孔）相同之層上之一絕緣層73，該絕緣材料具有比設置於第一基板10上之絕緣膜19中之絕緣層71及73以外之任何位置之介電常數低之一介電常數。此外，可使用一絕緣材料來安置設置在與耦合至設置於第二基板20上之絕緣層28中之FD接面電極24及VSS接面電極25之一連接佈線48（例如，一通孔）相同之層上之一絕緣層74，該絕緣材料具有比設置於第二基板20上之絕緣膜28中之絕緣層72及74以外之任何位置之介電常數低之一介電常數。在此一情況下，可進一步減小電容 C_{fd} ，此允

許抑制轉換效率之劣化。

[修改實例D]

【0059】圖13繪示成像裝置1之垂直方向上之一橫截面組態之一修改實例。在根據上述實施例及其修改實例之成像裝置1中，例如，如圖13中所繪示，可省略待耦合至VSS接面電極25之連接佈線48，且在與像素區域13相對之一區域中可不提供用於耦合VSS接面電極25及第二基板20中被施加參考電位VSS之一區域之一佈線。此時，VSS貫穿佈線16之各者經電耦合至p井區域41，且VSS貫穿佈線27之各者經電耦合至第二基板20中被施加參考電位VSS之一區域。甚至在此一情況下，可使VSS貫穿佈線16之各者用作減小彼此相鄰之FD貫穿佈線15之間之信號干擾之一屏蔽件，且進一步使VSS貫穿佈線27之各者用作減小彼此相鄰之FD貫穿佈線26之間之信號干擾之一屏蔽件。此允許達成進一步雜訊減小。

[修改實例E]

【0060】圖14繪示成像裝置1之垂直方向上之一橫截面組態之一修改實例。在根據上述實施例及其修改實例之成像裝置1中，例如，如圖14中所繪示，可省略VSS接面電極18及25，且在與像素區域13相對之一區域中可不提供用於耦合第一基板10之p井區域41及第二基板20中被施加參考電位VSS之區域之一佈線。此時，VSS貫穿佈線16之各者經電耦合至p井區域41，且VSS貫穿佈線27之各者經電耦合至第二基板20中被施加參考電位VSS之區域。甚至在此一情況下，可使VSS貫穿佈線16之各者用作減小彼此相鄰之FD貫穿佈線15之間之信號干擾之一屏蔽件，且進一步使VSS貫穿佈線27之各者用作減小彼此相鄰之FD貫穿佈線26之間之信號干擾之一屏蔽件。此允許達成進一步雜訊減小。

[修改實例F]

【0061】圖15繪示成像裝置1之垂直方向上之一橫截面組態之一修改實例。在根據上述實施例及其修改實例之成像裝置1中，例如，如圖15中所繪示，可省略VSS接面電極18及25以及待分別耦合至VSS接面電極18及25之連接佈線47及48，且在與像素區域13相對之一區域中可不提供用於耦合第一基板10之p井區域41及第二基板20中被施加參考電位VSS之區域之佈線。此時，VSS貫穿佈線16之各者經電耦合至p井區域41，且VSS貫穿佈線27之各者經電耦合至第二基板20中被施加參考電位VSS之區域。甚至在此一情況下，可使VSS貫穿佈線16之各者用作減小彼此相鄰之FD貫穿佈線15之間之信號干擾之一屏蔽件，且進一步使VSS貫穿佈線27之各者用作減小彼此相鄰之FD貫穿佈線26之間之信號干擾之一屏蔽件。此允許達成進一步雜訊減小。

[修改實例G]

【0062】圖16繪示感測器像素12及讀出電路22之一修改實例。當在上述修改實例D、E及F中之第二基板20中應用用於耦合第一基板10之p井區域41及第二基板20中被施加參考電位VSS之區域之佈線時，可使用一貫穿佈線44。在此一情況下，可將第一基板10之p井區域41之一電位及第二基板20中被施加參考電位VSS之區域之一電位設定為彼此相等之一值(參考電位VSS)。

[修改實例H]

【0063】圖17繪示讀出電路22之一修改實例。在根據上述實施例及其修改實例之成像裝置1中，例如，如圖17中所繪示，讀出電路22可具有一負回饋電路，該負回饋電路包含一運算放大器OP及一回饋電容器Cf，

以取代放大電晶體AMP及選擇電晶體SEL。回饋電容器Cf經耦合至運算放大器OP之一第一輸入端子及運算放大器OP之一輸出端子。重設電晶體RST經耦合至電力供應電位VDD被施加至之一佈線、運算放大器OP之第一輸入端子及回饋電容器Cf之一第一端子。電力供應電位VDD被施加至之佈線經耦合至運算放大器OP之一第二輸入端子。例如，電力供應電位VDD及參考電位VSS作為一供應電壓被施加至運算放大器OP。

【0064】 在本修改實例中，讀出電路22具備包含運算放大器OP及回饋電容器Cf之負回饋電路。因為此確保一電荷偵測電容對應於回饋電容器Cf，所以即使浮動擴散部FD之電容Cfd很大，仍達成高轉換效率。

【0065】 圖18繪示感測器像素12及讀出電路22之一修改實例。在圖17中所繪示之讀出電路22經設置於根據上述修改實例D至G之任一者之成像裝置1中之情況下，第一基板10之一參考電位VSS1可低於第二基板20之一參考電位VSS2。參考電位VSS1低於參考電位VSS2，且例如在-0.5 V至-1 V之範圍內。參考電位VSS2係例如與上述參考電位VSS相等之一電位，且係例如零伏。應注意，在第二基板20中被施加參考電位VSS2之一區域等效於根據上述實施例及其修改實例之第二基板20中被施加參考電位VSS2之區域。

【0066】 在此一情況下，在成像裝置1中，包含第一基板10及第二基板20之層壓板可在像素區域13周圍之區域中具有一貫穿佈線45，如圖19之實例中所繪示。貫穿佈線45對應於本發明之「第四貫穿佈線」之一特定實例。貫穿佈線45係參考電位VSS1被施加至之一貫穿佈線，且包含例如TSV。貫穿佈線45經電耦合至隨後描述之一負升壓電路34及第一基板10之p井區域41。

【0067】此外，在成像裝置1中，包含第二基板20及第三基板30之一層壓板可在像素區域13周圍之一區域中具有一貫穿佈線46，如圖19之實例中所繪示。佈線46係參考電位VSS2被施加至之一貫穿佈線，且包含例如TSV。貫穿佈線46經電耦合至第三基板30中被施加參考電位VSS2之一區域及第二基板20中被施加參考電位VSS2之一區域。

【0068】此外，在成像裝置1中，第三基板30具有負升壓電路34，該負升壓電路34產生一預定量值之參考電位VSS1。負升壓電路34藉由透過佈線45控制第一基板10之參考電位而使第一基板10之一參考電位低於第二基板20之一參考電位。

【0069】在本修改實例中，第一基板10之參考電位VSS1低於第二基板20之參考電位VSS2。如與第一基板10及第二基板20之參考電位彼此相等的情況相比，此可擴大浮動擴散部FD之一動態範圍。因此，可抑制電荷之錯誤轉移或在影像顯示時抑制黑沉(black sinking)之發生。

[修改實例I]

【0070】圖20繪示第一基板10中之一電晶體之一橫截面組態之一實例。圖21繪示第二基板20中之一電晶體之一橫截面組態之一實例。在根據上述實施例及其修改實例之成像裝置1中，第一基板10中之電晶體及第二基板20中之電晶體可在設計條件上彼此不同。

【0071】例如，如圖20中所繪示，第一基板10中之電晶體具有：一閘極絕緣膜51，其經安置於半導體基板11上；一閘極電極52，其經安置與閘極絕緣膜51接觸；一側壁層53，其經安置與閘極電極52之一側表面接觸；以及一源極區域及一汲極區域，其等經安置於半導體基板11之一表面上。在第一基板10中之電晶體周圍安置：氧化矽膜54，其經安置以覆

蓋閘極絕緣膜51、閘極電極52及側壁層53；氮化矽膜55，其經安置與氧化矽膜54接觸；一絕緣層56，其經安置與氮化矽膜55接觸；一貫穿佈線58，其經電耦合至閘極電極52；及一貫穿佈線57，其經電耦合至浮動擴散部FD，如圖20之實例中所繪示。氧化矽膜54經提供以保護半導體基板11之一前表面部分或在離子植入時，使半導體基板11之前表面部分處之氧化矽膜之一厚度均勻化。氮化矽膜55在形成通孔以將貫穿佈線57及58安置於絕緣層56上時具有一蝕刻停止層之作用。

【0072】 例如，如圖21中所繪示，第二基板20中之電晶體具有：一閘極絕緣膜61，其經安置於半導體基板21上；一閘極電極62，其經安置與閘極絕緣膜61接觸；一側壁層63，其經安置與閘極電極62之一側表面接觸；以及一源極區域及一汲極區域(一雜質擴散區域69)，其等經安置於半導體基板21之一表面上。在第二基板20中之電晶體周圍安置：氧化矽膜64，其經安置以覆蓋閘極絕緣膜61、閘極電極62及側壁層63；氮化矽膜65，其經安置與氧化矽膜64接觸；一絕緣層66，其經安置與氮化矽膜65接觸；一貫穿佈線68，其經電耦合至閘極電極62；及一貫穿佈線67，其經電耦合至雜質擴散區域69，如圖21之實例中所繪示。氧化矽膜64經提供以保護半導體基板21之一前表面部分或在離子植入時，使半導體基板21之前表面部分處之氧化矽膜之一厚度均勻化。氮化矽膜65在形成通孔以將貫穿佈線67及68安置於絕緣層66上時具有蝕刻停止層之作用。

【0073】 在本修改實例中，閘極絕緣膜51可依大於閘極絕緣膜61之厚度之厚度安置。此外，在本修改實例中，側壁層53可依大於側壁層63之寬度之寬度安置。此外，在本修改實例中，安置於半導體基板11上之源極區域及汲極區域之雜質濃度可低於安置於半導體基板21上之雜質擴散區

域69之雜質濃度。此外，在本修改實例中，氧化矽膜54可依大於氧化矽膜64之厚度之厚度安置，且氮化矽膜55可依小於氮化矽膜65之厚度之厚度安置。

【0074】 如上所述，在本修改實例中，第一基板10中之電晶體及第二基板20中之電晶體在設計條件上彼此不同。此可將適合於第一基板10中之電晶體之設計條件應用於第一基板10中之電晶體，且可將適合於第二基板20中之電晶體之設計條件應用於第二基板20中之電晶體。因此，可達成雜訊減小、效率增強等。

[修改實例J]

【0075】 圖22及圖23之各者繪示由讀出電路22共用感測器像素12之一修改實例。在根據上述實施例及其修改實例之成像裝置1中，例如，如圖22中所繪示，由單個讀出電路22共用之感測器像素12之數目可係兩個。此外，在根據上述實施例及其修改實例之成像裝置1中，例如，如圖23中所繪示，可針對讀出電路22之各者提供單個感測器像素12。

[修改實例K]

【0076】 圖24及圖25之各者繪示根據本發明之一實施例之一成像裝置2之一組態。成像裝置2經組態使得在根據上述實施例及其修改實例之成像裝置1中，提供一第二基板80以取代第二基板20及第三基板30，且在第二基板80上提供設置在第二基板20及第三基板30 (具體言之，複數個讀出電路22、邏輯電路32、升壓電路33及負升壓電路34)上之電路。甚至在此一情況下，如同根據上述實施例及其修改實例之成像裝置1，可以足夠大之尺寸組態感測器像素12之各者，從而確保獲得一寬動態範圍之重現影像。此外，此可為讀出電路22採用足夠大之尺寸，此避免例如，諸如RTS

雜訊之暗時雜訊之增加。

[修改實例L]

【0077】 圖26繪示根據上述實施例及其修改實例之成像裝置1之一電路組態之一實例。根據本修改實例之成像裝置1係併入一線並聯ADC之一CMOS影像感測器。

【0078】 如圖26中所繪示，除包含光電轉換元件之複數個感測器像素12按列及行(以一矩陣圖案)二維地安置於其中之像素區域13外，根據本修改實例之固態成像裝置1經組態以亦具有一垂直驅動電路32a、一行信號處理電路32b、一參考電壓供應區段38、一水平驅動電路32c、一水平輸出線37及一系統控制電路32d。

【0079】 在此一系統組態中，系統控制電路32d基於一主時脈MCK產生用作用於垂直驅動電路32a、行信號處理電路32b、參考電壓供應區段38、水平驅動電路32c等之操作之參考信號之時脈信號、控制信號等，且將此等信號提供至垂直驅動電路32a、行信號處理電路32b、參考電壓供應區段38、水平驅動電路32c等。

【0080】 此外，垂直驅動電路32a與像素區域13中之感測器像素12之各者一起安置於第一基板10上，且亦經安置於其中安置讀出電路22之第二基板20上。行信號處理電路32b、參考電壓供應區段38、水平驅動電路32c、水平輸出線37及系統控制電路32d經安置於第三基板30上。

【0081】 針對感測器像素12，可使用具有例如除光電二極體PD外亦將自藉由光電二極體PD執行之光電轉換獲得之電荷轉移至浮動擴散部FD之轉移電晶體TR之一組態(此處未繪示)。此外，針對讀出電路22，可使用例如具有控制浮動擴散部FD之一電位之重設電晶體RST、輸出對應於

浮動擴散部FD之電位之一信號之放大電晶體AMP及用於執行像素選擇之選擇電晶體SEL之三電晶體組態(此處未繪示)。

【0082】 在像素區域13中，感測器像素12經二維地安置，且針對此一m列/n行像素陣列，驅動佈線14在各列之基礎上安置，而垂直信號線VSL在各行之基礎上安置。複數根驅動佈線14之各端經耦合至對應於垂直驅動電路32a之各列之各輸出端。垂直驅動電路32a包含一移位暫存器等，以透過複數根驅動佈線14控制像素區域13之列定址及列掃描。

【0083】 行信號處理電路32b具有例如ADC (類比轉數位轉換電路)35-1至35-m，其等在像素區域13之各像素行之基礎上(即，針對垂直信號線VSL之各者)設置。此等ADC之各者將待在各行之基礎上從像素區域13中之感測器像素12之各者輸出之一類比信號轉換為一數位信號作為一輸出。

【0084】 參考電壓供應區段38具有例如一DAC (數位轉類比轉換電路) 38A作為產生其位準隨時間以一斜率變化之一所謂的斜坡(RAMP)波形之一參考電壓Vref之一構件。應注意，產生斜坡波形之參考電壓Vref之構件不限於DAC 38A。

【0085】 DAC 38A基於在藉由使用自系統控制電路32d給出之控制信號CS1之控制下自系統控制電路32d給出之一時脈CK產生斜坡波形之參考電壓Vref以將所得電壓提供至行信號處理電路32b中之ADC 35-1至35-m。

【0086】 應注意，ADC 35-1至35-m之各者經組態以選擇性地啟用對應於各操作模式之A/D轉換操作，包含在讀出所有感測器像素12之資訊之一漸進掃描方法中之一正常圖框速率模式，及將感測器像素12之曝光時

間設定為 $1/N$ 以便如與正常圖框速率模式相比將一圖框速率提高 N 倍(例如，兩倍)之一高速圖框速率模式。在藉由使用從系統控制電路32d給出之控制信號CS2及CS3之控制下執行操作模式之切換。此外，從一外部系統控制器(未繪示)向系統控制電路32d給出用於在正常圖框速率模式及高速圖框速率模式之各操作模式之間切換之指令資訊。

【0087】 所有ADC 35-1至35-m皆採用相同組態，且此處藉由引用ADC 35-m作為一實例給出描述。ADC 35-m經組態以具有一比較器35A、作為一計數構件之一實例之一遞增/遞減計數器(在圖式中表示為U/DCNT) 35B、一轉接開關35C及一記憶體裝置35D。

【0088】 比較器35A比較對應於待從像素區域13中之 n 行之感測器像素12之各者輸出之一信號之垂直信號線VSL上之一信號電壓 V_x 與從參考電壓供應區段38供應之斜坡波形之參考電壓 V_{ref} 。例如，當參考電壓 V_{ref} 大於信號電壓 V_x 時，一輸出 V_{co} 轉變為「H」位準，且當參考電壓 V_{ref} 係信號電壓 V_x 或更小時， V_{co} 轉變為「L」位準。

【0089】 遞增/遞減計數器35B係一異步計數器，且在藉由使用從系統控制電路32d給出之控制信號CS2控制DAC 38A的同時，將時脈CK自系統控制電路32d給出至遞增/遞減計數器35B。遞增/遞減計數器35B與時脈CK同步地執行遞減(DOWN)計數或遞增(UP)計數，從而量測從比較器35A之比較操作之開始直至比較操作之結束之一比較時間段。

【0090】 具體言之，在正常圖框速率模式中，遞增/遞減計數器35B在一信號自單個感測器像素12之讀出操作中，藉由在第一讀出操作期間執行遞減計數而量測第一讀出操作時之一比較時間，且接著藉由在第二讀出操作期間執行遞增計數而量測第二讀出操作時之一比較時間。

【0091】 相比之下，在高速圖框速率模式中，遞增/遞減計數器35B按原樣保持一特定列之感測器像素12之一計數結果，且藉由針對下一列之感測器像素12在第一讀出操作期間自先前計數結果執行遞減計數而繼續量測第一讀出操作時之比較時間，且接著藉由在第二讀出操作期間執行遞增計數而量測第二讀出操作時之一比較時間。

【0092】 在正常圖框速率模式中，在藉由使用自系統控制電路32d給出之控制信號CS3之控制下，在針對一特定列之感測器像素12完成遞增/遞減計數器35B之計數操作時，轉接開關35C被置於接通(閉合)狀態中以將遞增/遞減計數器35B之計數結果傳送至記憶體裝置35D。

【0093】 相比之下，在例如 $N=2$ 之高速圖框速率模式中，在針對一特定列之感測器像素12完成遞增/遞減計數器35B之計數操作時，轉接開關35C保持在關斷(斷開)狀態中，且在針對下一列之感測器像素12完成遞增/遞減計數器35B之計數操作時繼續被置於接通狀態中，以將兩個垂直像素之一計數結果從遞增/遞減計數器35B傳送至記憶體裝置35D。

【0094】 以此一方式，藉由ADC 35-1至35-m之各者中之比較器35A及遞增/遞減計數器35B之各操作將待透過垂直信號線VSL在各行之基礎上從像素區域13中之感測器像素12之各者供應之類比信號轉換成 N 位元數位信號以儲存在記憶體裝置35D中。

【0095】 水平驅動電路32c包含一移位暫存器等以控制行信號處理電路32b中之ADC 35-1至35-m之行定址及行掃描。在水平驅動電路32c之控制下，經歷由ADC 35-1至35-m之各者進行之A/D轉換之 N 位元數位信號經循序讀出至水平輸出線37上，以透過水平輸出線37作為成像資料輸出。

【0096】 應注意，未具體繪示針對待透過水平輸出線37輸出之成像資料執行各種信號處理之一電路等，此係因為其等未與本發明直接相關；然而，除上述組件部分外，亦可提供此一電路等。

【0097】 併入根據上述組態之本修改實例之線並聯ADC之成像裝置1允許透過轉接開關35C將遞增/遞減計數器35B之計數結果選擇性地傳送至記憶體裝置35D，此可獨立地控制遞增/遞減計數器35B之計數操作及遞增/遞減計數器35B之計數結果至水平輸出線37上之讀出操作。

[修改實例M]

【0098】 圖27繪示成像裝置1之垂直方向上之橫截面組態之一修改實例，且特定言之繪示在第一基板10及第二基板10之與像素區域13相對之一接面表面上且在接面表面附近之一佈線結構之一修改實例之一修改實例。圖28繪示圖27中所繪示之第一基板10及第二基板20之接面表面上之FD接面電極17及24以及VSS接面電極18及25之水平方向上之一橫截面組態之一實例。圖29繪示成像裝置1之感測器像素及一讀出電路之一實例，該成像裝置1具有在第一基板10及第二基板20之接面表面上以及圖27中所繪示之接面表面附近之佈線結構。本修改實例與上述實施例及修改實例之不同之處在於FD接面電極17及24直接耦合至FD貫穿佈線15及26而通孔(上述連接佈線47及48)未插置於其等之間，且VSS接面電極18及25直接耦合至VSS貫穿佈線16及27而通孔(上述連接佈線47及48)未插置於其等之間。FD接面電極17及24在與像素區域13相對之區域中將感測器像素12及讀出電路22彼此電耦合，且VSS接面電極18及25在與像素區域13相對之區域中將感測器像素12及讀出電路22彼此電耦合。本修改例與上述實施例及修改實例之不同之處亦在於FD接面電極17及24以及VSS接面電極18

及25具有兩種或更多種類型之形狀。

【0099】 例如，如圖27中所繪示，FD接面電極17、FD接面電極24及VSS接面電極18及25可在寬度上彼此不同。在一個實例中，VSS接面電極18及25之各者之寬度可小於FD接面電極17及24之各者之寬度。在另一實例中，FD接面電極17及24以及VSS接面電極18及25可沿層壓方向之長度上彼此不同。替代地，例如，如圖27中所繪示，第一基板10側上之VSS接面電極18及第二基板20側上之VSS接面電極25可在沿一光軸方向之長度上彼此不同。在此情況下，例如，第一基板10側上之VSS接面電極18之各者經形成在絕緣膜19之內部，且不曝露於第一基板10及第二基板20之接面表面上。換言之，彼此相對之VSS接面電極18及VSS接面電極25彼此分離而在其等之間具有絕緣膜19。在此情況下，亦可使VSS貫穿佈線16之各者用作減小彼此相鄰之FD貫穿佈線15之間之信號干擾之一屏蔽件，且進一步使VSS貫穿佈線27之各者用作減小彼此相鄰之FD貫穿佈線26之間之信號干擾之一屏蔽件。

【0100】 例如，可如下描述般製造佈線結構。

【0101】 圖30A至圖30I按步驟順序繪示在第一基板10側上製造FD接面電極17及VSS接面電極18之一方法之一實例。首先，如圖30A中所繪示，例如藉由一鑲嵌技術形成FD貫穿佈線15及SVV貫穿佈線16。此後，如圖30B中所繪示，在包含FD貫穿佈線15及VSS貫穿佈線16之一絕緣膜19A上以一預定厚度沈積一絕緣膜19B。此後，如圖30C中所繪示，選擇性地蝕刻FD貫穿佈線15及VSS貫穿佈線16上之絕緣膜19B以提供一開口H1。此後，如圖30D中所繪示，例如，提供銅(Cu)或類似物之一金屬膜M1以填充開口H1且沈積在絕緣膜19B上。此後，如圖30E中所繪示，例

如藉由蝕刻移除絕緣膜19B上之金屬膜M1。由此形成FD接面電極17及VSS接面電極18之一部分(一FD接面電極17A)。此後，如圖30F中所繪示，在包含FD接面電極17A及VSS接面電極18之絕緣膜19B上以一預定厚度沈積一絕緣膜19C。此後，如圖30G中所繪示，選擇性地蝕刻FD接面電極17A上之絕緣膜19以形成一開口H2。此後，如圖30H中所繪示，例如，提供銅(Cu)或類似物之一金屬膜M2以填充開口H2且沈積在絕緣膜19上。最後，如圖30I中所繪示，例如藉由蝕刻而移除絕緣膜19上之金屬膜M2。以此一方式，完成包含在沿層壓方向之長度上彼此不同之FD接面電極17及VSS接面電極18之第一基板10。

【0102】應注意，儘管圖27繪示其中FD接面電極17及FD接面電極24在寬度上彼此不同之一實例，但是FD接面電極17及FD接面電極24可具有相同之寬度，如圖31中所繪示。此外，儘管圖27繪示其中VSS接面電極18及VSS接面電極25具有相同寬度之一實例，但是VSS接面電極18及VSS接面電極25可在寬度上彼此不同，此未繪示，如同圖27中所繪示之FD接面電極17及24。

【0103】在具有包含複數個感測器像素12及浮動擴散部FD之第一基板10及包含如圖1中所繪示基於從感測器像素12輸出之電荷輸出一像素信號之讀出電路22之第二基板20之一層壓板之成像裝置1中，期望在各信號端子(例如，FD貫穿佈線15或26)與在列及行方向上與相關信號端子相鄰之至少四個信號端子之各者之間安置一屏蔽佈線(例如，VSS貫穿佈線16或27)。在提供屏蔽佈線之一情況下，除電耦合感測器像素12及讀出電路22之FD接面電極17及24外，針對第一基板10及第二基板20之接面表面上之各屏蔽佈線安置屏蔽佈線之一接面電極(例如，VSS接面電極18或25)。

然而，在需要高解析度之一成像裝置中，像素尺寸根據像素數目之增加而減小。此減小信號端子之間之一距離，且減小在信號端子之間安置屏蔽佈線之接面電極之一空間。在此情況下，亦可使VSS貫穿佈線16之各者用作減小彼此相鄰之FD貫穿佈線15之間之信號干擾之一屏蔽件，且進一步使VSS貫穿佈線27之各者用作減小彼此相鄰之FD貫穿佈線26之間之信號干擾之一屏蔽件。此允許達成雜訊減小現。

【0104】 特定言之，當第一基板10及第二基板20彼此結合時，複數個FD接面電極17及24以及複數個VSS接面電極18及25之一佈線間距變得更接近各連結表面上之耦合未對準量。因此，難以將屏蔽佈線安置於彼此相鄰之信號端子之間。例如，當耦合未對準量極大時，如圖32及圖33中所繪示，例如，在第一基板10側上之VSS接面電極18與第二基板20側上之FD接面電極24之間建立電傳導。亦在第一基板10側上之FD接面電極17與第二基板20側上之VSS接面電極25之間建立電傳導。此防止第一基板10與第二基板20之間之信號傳輸，此可導致一重現影像上之一極大影像缺陷。此情況發生而不管貫穿佈線15、16、26及27上之接面電極17、18、24及25是否具有一單層結構(圖32)或一層壓結構(圖33)。

【0105】 相比之下，根據本修改實例，例如，第一基板10側上之VSS接面電極18之沿光軸方向之長度小於第二基板20側上之VSS接面電極25之長度，從而防止VSS接面電極18曝露於第一基板10及第二基板20之接面表面上。此可防止(或替代地，減輕)第一基板10側上之VSS接面電極18與第二基板20側上之FD接面電極24之間之接觸，如圖34及35中所繪示，甚至在其中第一基板10及第二基板20之間發生耦合未對準之情況下亦係如此。

【0106】此外，根據本修改實例，VSS 接面電極 18 及 25 經設置於 VSS 貫穿佈線 16 及 27 之末端處。例如，與圖 15 中所繪示之成像裝置 1 之佈線結構相比，此減小與第二基板側 20 上之 VSS 接面電極 25 之一分離距離。因此，可改良作為減小彼此相鄰之 FD 貫穿佈線 15 與 26 之間之信號干擾之一屏蔽件之一功能。與採用圖 15 中所繪示之佈線結構之情況相比，此允許達成進一步雜訊減小。

[修改實例 N]

【0107】圖 36 繪示成像裝置 1 之垂直方向上之橫截面組態之一修改實例，且特定言之，繪示在第一基板 10 及第二基板 20 之與像素區域 13 相對之接面表面上且在接面表面附近之佈線結構之一修改實例。儘管上述修改實例 M 係指其中第一基板 10 側上之 VSS 接面電極 18 具有一較小長度之一實例，但是如圖 36 中所繪示，第二基板 20 側上之 VSS 接面電極 25 可具有一較小長度。如同上述修改實例 M，在此情況下亦可改良作為減小彼此相鄰之 FD 貫穿佈線 15 與 26 之間之信號干擾之屏蔽件之功能。此亦允許達成雜訊減小。

[修改實例 O]

【0108】圖 37 繪示成像裝置 1 之垂直方向上之橫截面組態之一修改實例，且特定言之，繪示在第一基板 10 及第二基板 20 之與像素區域 13 相對之接面表面上且在接面表面附近之佈線結構之一修改實例。儘管上述修改實例 M 係指其中 VSS 接面電極 18 及 25 經設置於 VSS 貫穿佈線 16 及 27 之末端處之一實例，但是 VSS 貫穿佈線 16 及 27 之末端可具備佈線層 78 及 85，其中通孔 v78 及 v85 分別插置於其等之間，如圖 37 中所繪示。在此情況下，各佈線層 78 經電耦合至 p 井區域 41，在其等之間具有對應通孔 v78 及

對應VSS貫穿佈線16。此外，各佈線層85經由對應通孔v85及對應VSS貫穿佈線27電耦合至參考電位VSS被施加至之一區域。在此情況下，亦可使VSS貫穿佈線16之各者及佈線層78之各者用作減小彼此相鄰之FD貫穿佈線15與26之間之信號干擾之一屏蔽件，且進一步使VSS貫穿佈線27之各者及佈線層85之各者用作減小彼此相鄰之FD貫穿佈線26之間之信號干擾之一屏蔽件。此外，形成佈線層78及85之各者使之具有比修改實例M或類似者中描述之VSS接面電極18之寬度寬之一寬度進一步改良作為屏蔽件之功能。例如，與採用圖15中所繪示之佈線結構之情況相比，此允許達成進一步雜訊減小。

[修改實例P]

【0109】 圖38繪示成像裝置1之垂直方向上之橫截面組態之一修改實例，且特定言之，繪示在第一基板10及第二基板20之與像素區域13相對之接面表面上且在接面表面附近之佈線結構之一修改實例。儘管上述修改實例O係指其中佈線層78及85經設置於VSS貫穿佈線16及27之末端處之一實例，但是VSS貫穿佈線16及27之末端之一者可具備一佈線層，且VSS貫穿佈線16及27之末端之另一者可具備一通孔，如圖38中所繪示。例如，佈線層78可經設置於第一基板10側上，且通孔v85可經設置於第二基板20側上，如圖38中所繪示。在此情況下，亦可使VSS貫穿佈線16之各者用作減小彼此相鄰之FD貫穿佈線15之間之信號干擾之一屏蔽件，且進一步使VSS貫穿佈線27之各者用作減小彼此相鄰之FD貫穿佈線26之間之信號干擾之一屏蔽件。此允許達成雜訊減小。

[修改實例Q]

【0110】 圖39繪示成像裝置1之垂直方向上之橫截面組態之一修改

實例，且特定言之，繪示在第一基板10及第二基板20之與像素區域13相對之接面表面上且在接面表面附近之佈線結構之一修改實例。VSS貫穿佈線16及27之末端可分別具備通孔v78及v85。在此一情況下，亦可使VSS貫穿佈線16之各者用作減小彼此相鄰之FD貫穿佈線15之間之信號干擾之一屏蔽件，且進一步使VSS貫穿佈線27之各者用作減小彼此相鄰之FD貫穿佈線26之間之信號干擾之一屏蔽件。此允許達成雜訊減小。

[修改實例R]

【0111】圖40繪示成像裝置1之垂直方向上之橫截面組態之一修改實例，且特定言之，繪示在第一基板10及第二基板20之與像素區域13相對之接面表面上且在接面表面附近之佈線結構之一修改實例。VSS貫穿佈線16之末端及VSS貫穿佈線27之末端之一者可具備VSS接面電極，且另一端可具備一通孔。例如，第一基板10側上之末端可具備VSS接面電極18，且第二基板20側之末端可具備通孔v85。在此一情況下，亦可使VSS貫穿佈線16之各者用作減小彼此相鄰之FD貫穿佈線15之間之信號干擾之一屏蔽件，且進一步使VSS貫穿佈線27之各者用作減小彼此相鄰之FD貫穿佈線26之間之信號干擾之一屏蔽件。此允許達成雜訊減小。

[修改實例S]

【0112】圖41繪示感測器像素12及讀出電路22之一修改實例。在上述修改實例M至R中，例如，可將VSS、GND或類似物之一參考電位施加至第一基板10中之VSS貫穿佈線16，且可將任何其他電壓施加至第二基板20中之VSS貫穿佈線27。

[修改實例T]

【0113】圖42繪示感測器像素12及讀出電路22之一修改實例。在上

述修改實例M至R中，例如，可將VSS、GND或類似物之一參考電位施加至第二基板20中之VSS貫穿佈線27，且可將任何其他電壓施加至第一基板10中之VSS貫穿佈線16。

[修改實例U]

【0114】圖43繪示在將圖27中所繪示之接面表面上及其附近之佈線結構應用於另一位置之情況下之感測器像素及讀出電路之一實例。上述修改實例M至T係指像素信號係在浮動擴散部FD之端子上之一情況。然而，如圖43中所繪示，像素信號可在讀出電路22之輸出端子(例如，Vsig)上。

【0115】如在上述修改實例M至T中，在其中浮動擴散部FD經耦合於兩個矽基板之間(半導體基板11與半導體基板21之間)之一結構之一情況下，浮動擴散部FD之端子與另一端子之間之一電容可增加，從而導致像素之轉換效率之降低。相比之下，如在本修改實例中，在其中放大電晶體AMP之輸出端子經耦合於兩個矽基板之間之一情況下，浮動擴散部FD之端子之電容與一典型成像裝置中之電容相等。因此，可防止(或替代地減輕)轉換效率之降低。

[修改實例V]

【0116】圖44至圖50繪示具有圖27中所繪示之佈線結構及類似者之成像裝置1之FD接面電極17及VSS接面電極18之水平方向上之一橫截面組態之一修改實例以及具有圖27中所繪示之佈線結構及類似者之成像裝置1之FD接面電極24及VSS接面電極25之水平方向上之一橫截面組態之一修改實例。應注意，作為一實例，圖44至圖50繪示如同圖5所繪示之情況浮動擴散部FD由四個感測器像素12共用之一情況。

【0117】例如，如圖44中所繪示，複數個VSS接面電極18及25可經

安置於以列及行配置之FD接面電極17及24之間，使得FD接面電極17與24之間之各空間具備VSS接面電極18及25之一者。在一個實例中，如圖45中所繪示，除圖44中所繪示之組態外，在一傾斜方向上彼此相鄰之FD接面電極17與24之間之各空間亦可具備VSS接面電極18及25之一者。在另一實例中，如圖46中所繪示，在列方向上彼此相鄰之FD接面電極17與24之間之各空間可具備VSS接面電極18及25之一者，且在行方向上相鄰之FD接面電極17與24之間之各空間可具備在列方向上連續提供之VSS接面電極18及25。在另一實例中，如圖47中所繪示，在行方向上彼此相鄰之FD接面電極17與24之間之各空間可具備VSS接面電極18及25之各者，且在列方向上彼此相鄰之FD接面電極17與24之間之各空間可具備在行方向上連續提供之VSS接面電極18及25。在另一個實例中，如圖48中所繪示，例如，關於以列及行配置之FD接面電極17及24，第一基板10側上之FD接面電極17與24之間之各空間可具備VSS接面電極18之一者且以一格子形狀連續提供之VSS接面電極25可經設置於第二基板20側上。在另一實例中，如圖49中所繪示，以列及行配置之FD接面電極17與24之間之各空間具備VSS接面電極18及25之一者之情況下，VSS接面電極25之長度可大於VSS接面電極18之一長度。在另一實例中，如圖50中所繪示，在配置成列及行之FD接面電極17及24之間之各空間具備VSS接面電極18及25之一者之情況下，VSS接面電極25之長度可小於VSS接面電極18之長度。

【0118】亦可在上述及圖44至圖50中所繪示之任何結構中使VSS貫穿佈線16及27及VSS接面電極18及25之各者用作減小彼此相鄰之FD貫穿佈線15與26之間之信號干擾之一屏蔽件。此允許達成雜訊減小。

<3.應用實例>

【0119】 圖51繪示具備根據上述實施例及其任何修改實例之成像裝置1之一成像系統3之一示意性組態之一實例。

【0120】 成像系統3係例如一電子設備，包含諸如一數位相機、一視訊攝影機之一成像設備，或諸如一智能電話、一平板終端之一移動終端設備。成像系統3包含例如根據上述實施例及其任何修改實例之成像裝置1、一光學系統141、一快門裝置142、一控制電路143、一DSP電路144、一圖框記憶體145、一顯示區段146、一儲存區段147、一操作區段148及一電力供應區段149。在成像系統3中，根據上述實施例及其任何修改實例之成像裝置1、DSP電路144、圖框儲存器145、顯示區段146、儲存區段147、操作區段148及電力供應區段149透過一匯流排線150相對於彼此耦合。

【0121】 光學系統141經組態以具有單個透鏡或複數個透鏡，且將來自一照相主體之光(傳入光)導引至成像裝置1以使此光在成像裝置1之一光接收表面上成像。快門裝置142經安置於光學系統141與成像裝置1之間，以根據控制電路143之控制來控制用光照射成像裝置1之時段及一遮光時段。成像裝置1取決於待透過光學系統141及快門裝置142在光接收表面上成像之光而在一固定時間段內累積信號電荷。在成像裝置1中累積之信號電荷根據待從控制電路143供應之一驅動信號(一時序信號)作為影像資料轉移。控制電路143輸出控制成像裝置1之轉移操作及快門裝置142之快門操作以驅動成像裝置1及快門裝置142之驅動信號。

【0122】 DSP電路144係信號處理電路，其處理待從成像裝置1輸出之影像資料。圖框記憶體145在各圖框之基礎上暫時保持由DSP電路144處理之影像資料。顯示區段146包含例如一面板顯示單元，諸如一液晶面板

及一有機EL(電致發光)面板，以顯示藉由成像裝置1成像之移動影像或靜止影像。儲存區段147將藉由成像裝置1成像之移動影像或靜止影像之影像資料記錄在諸如一半導體記憶體、一硬碟之一記錄媒體上。操作區段148根據一使用者之操作發佈關於成像系統3具有之各種功能之操作指令。電力供應區段149視情況將用作用於成像裝置1、DSP電路144、圖框記憶體145、顯示區段146、儲存區段147及操作區段148之操作電力供應器之各種電力供應器提供給此等供應物件。

【0123】 接下來，給出成像系統3中之成像步驟之描述。

【0124】 圖52繪示成像系統3中之成像操作之一流程圖之一實例。一使用者藉由操作操作區段148來指示成像之開始(步驟S101)。此後，操作區段148將成像指令傳輸至控制電路143 (步驟S102)。在接收成像指令之後，控制電路143開始對快門裝置142及成像裝置1之控制。成像裝置1(具體言之，系統控制電路32d)在控制電路143之控制下以預定成像方法執行成像(步驟S103)。快門裝置142在控制電路143之控制下控制用光照射成像裝置1之一時段及一遮光時段。

【0125】 成像裝置1將藉由成像獲得之影像資料輸出至DSP電路144。此處，影像資料係指對應於基於暫時保持在浮動擴散部FD中之電荷而產生之一像素信號之整個像素之資料。DSP電路144基於來自於成像裝置1之影像資料執行預定信號處理(例如，雜訊減小處理等) (步驟S104)。DSP電路144使圖框記憶體145保持已經歷預定信號處理之影像資料，且圖框記憶體145使儲存區段147儲存影像資料(步驟S105)。以此一方式，執行成像系統3中之成像。

【0126】 在本應用實例中，將根據上述實施例及其任何修改實例之

成像裝置1應用於成像系統3。此允許達成一減小之尺寸、一增強之動態範圍及一減小之雜訊，此可提供小尺寸、寬動態範圍及高清晰度成像系統3。

<4.工業應用實例>

【0127】 [工業應用實例1]

根據本發明之技術可應用於各種產品。例如，根據本發明之技術可經實現為安裝至諸如車輛、電動車輛、混合電動車輛、機車、自行車、個人行動工具(personal mobility)、飛機、無人機、船隻及機器人。

【0128】 圖53係描繪作為可應用根據本發明之一實施例之技術之一移動本體控制系統之一實例之一車輛控制系統之示意性組態之一實例之一方塊圖。

【0129】 車輛控制系統12000包含經由一通信網路12001彼此連接的複數個電子控制單元。在圖53中描繪之實例中，車輛控制系統12000包含一驅動系統控制單元12010、一車體系統控制單元12020、一車輛外部資訊偵測單元12030、一車輛內部資訊偵測單元12040、及一整合控制單元12050。另外，繪示一微電腦12051、一聲音/影像輸出區段12052及一車載網路介面(I/F) 12053作為整合控制單元12050之一功能組態。

【0130】 驅動系統控制單元12010根據各種程式控制與車輛之驅動系統有關之裝置之操作。舉例而言，驅動系統控制單元12010充當以下各者之一控制裝置：一驅動力產生裝置，其用於產生車輛之驅動力，諸如一內燃機、一驅動馬達或類似者；一驅動力傳輸機構，其用於將驅動力傳輸至車輪；一轉向機構，其用於調整車輛之轉向角；一制動裝置，其用於產生車輛之制動力；及類似者。

【0131】 車體系統控制單元12020根據各種程式控制提供至一車輛本體之各種裝置之操作。舉例而言，車體系統控制單元12020充當以下各者之一控制裝置：一無鑰匙進入系統；一智慧型鑰匙系統；一電動車窗裝置；或各種燈，諸如頭燈、倒車燈、剎車燈、轉向燈、霧燈或類似者。在此情況中，從作為一鑰匙之替代品之一行動裝置傳輸之無線電波或各種開關之信號可輸入至車體系統控制單元12020。車體系統控制單元12020接收此等輸入無線電波或信號，且控制車輛之一門鎖裝置、電動車窗裝置、燈或類似者。

【0132】 車輛外部資訊偵測單元12030偵測關於包含車輛控制系統12000之車輛外部之資訊。舉例而言，車輛外部資訊偵測單元12030與一成像區段12031連接。車輛外部資訊偵測單元12030使成像區段12031使車輛外部之一影像成像，且接收成像影像。基於所接收影像，車輛外部資訊偵測單元12030可執行偵測一物件(諸如人類、車輛、障礙物、標識、路面上之文字或類似者)之處理或偵測至其之一距離之處理。

【0133】 成像區段12031係一光學感測器，其接收光且輸出對應於光之所接收光量之一電信號。成像區段12031可輸出電信號作為一影像，或可輸出電信號作為關於一量測距離之資訊。另外，由成像區段12031接收之光可為可見光，或可為不可見光(諸如紅外線或類似者)。

【0134】 車輛內部資訊偵測單元12040偵測關於車輛內部之資訊。車輛內部資訊偵測單元12040 (舉例而言)與偵測一駕駛員之狀態之一駕駛員狀態偵測區段12041連接。駕駛員狀態偵測區段12041 (舉例而言)包含使駕駛員成像的一相機。基於從駕駛員狀態偵測區段12041輸入之偵測資訊，車輛內部資訊偵測單元12040可計算駕駛員之一疲勞程度或駕駛員之

一專注程度，或可判定駕駛員是否正在打瞌睡。

【0135】 微電腦12051可基於關於車輛內部或外部之資訊(由車輛外部資訊偵測單元12030或車輛內部資訊偵測單元12040獲得該資訊)而計算驅動力產生裝置、轉向機構或制動裝置之一控制目標值，且將一控制命令輸出至驅動系統控制單元12010。舉例而言，微電腦12051可執行旨在實施一先進駕駛輔助系統(ADAS)之功能(該等功能包含車輛之碰撞避免或撞擊緩解、基於一車輛間距離之跟車駕駛、恆定車速行駛、車輛碰撞警告、車道偏離警告或類似者)之協同控制。

【0136】 此外，微電腦12051可藉由基於關於車輛外部或內部之資訊(由車輛外部資訊偵測單元12030或車輛內部資訊偵測單元12040獲得該資訊)控制驅動力產生裝置、轉向機構、制動裝置或類似者而執行旨在用於使車輛自主行駛而不依賴於駕駛員之操作或類似者之自動駕駛之協同控制。

【0137】 此外，微電腦12051可基於關於車輛外部之資訊(由車輛外部資訊偵測單元12030獲得該資訊)將一控制命令輸出至車體系統控制單元12020。舉例而言，微電腦12051可藉由(舉例而言)根據由車輛外部資訊偵測單元12030偵測之一前方車輛或一對向車輛之位置控制頭燈以便從一遠光燈變為一近光燈而執行旨在防止(或替代地，減少)眩光之協同控制。

【0138】 聲音/影像輸出區段12052將一聲音及一影像之至少一者之一輸出信號傳輸至能夠在視覺上或聽覺上將資訊通知給車輛之一乘客或車輛外部的一輸出裝置。在圖53之實例中，一音訊揚聲器12061、一顯示區段12062及一儀錶板12063繪示為輸出裝置。顯示區段12062可(舉例而言)包含一車載顯示器及一抬頭顯示器之至少一者。

【0139】 圖54係描繪成像區段12031之安裝位置之一實例之一圖。

【0140】 在圖54中，成像區段12031包含成像區段12101、12102、12103、12104及12105。

【0141】 成像區段12101、12102、12103、12104及12105例如經安置於車輛12100之前鼻、後視鏡、後保險槓及後門上之位置處以及車輛內部之一擋風玻璃之一上部分上之一位置處。經設置至前鼻之成像區段12101及經設置至車輛內部之擋風玻璃之上部分之成像區段12101主要獲得車輛12100前方之一影像。經設置至後視鏡之成像區段12102及12103主要獲得車輛12100側方之一影像。經設置至後保險槓或後門之成像區段12104主要獲得車輛12100後方之一影像。經設置至車輛內部之擋風玻璃之上部分之成像區段12105主要用於偵測一前方車輛、行人、障礙物、信號、交通標誌、車道或類似物。

【0142】 順便提及，圖54描繪成像區段12101至12104之拍攝範圍之一實例。一成像範圍12111表示經設置至前鼻之成像區段12101之成像範圍。成像範圍12112及12113分別表示經設置至後視鏡之成像區段12102及12103之成像範圍。一成像範圍12114表示經設置至後保險槓或後門之成像區段12104之成像範圍。例如，藉由疊加由成像區段12101至12104成像之影像資料而獲得如從上方觀看之車輛12100之鳥瞰影像。

【0143】 成像區段12101至12104之至少一者可具有獲得距離資訊之一功能。例如，成像區段12101至12104之至少一者可係由複數個成像元件構成之一立體相機，或可係具有用於相差偵測之像素之一成像元件。

【0144】 例如，微電腦12051可基於從成像區段12101至12104獲得之距離資訊來判定至成像範圍12111至12114內之各三維物件之一距離以

及該距離之時間變化(相對於車輛12100之相對速度)，且藉此提取特定言之存在於車輛12100之一行駛路徑上且以一預定速度(例如，等於或大於0 km/小時)在與車輛12100實質上相同之方向上行駛之一最近三維物件作為一前方車輛。此外，微電腦12051可預先設定待維持於一前方車輛前方之一跟車距離，且執行自動制動控制(包含跟車停止控制)、自動加速控制(包含跟車起動控制)或類似物。因此，可執行旨在用於使車輛自主行駛而不依賴於駕駛人之操作或類似物之自動駕駛之協同控制。

【0145】 例如，微電腦12051可基於從成像區段12101至12104獲得之距離資訊將關於三維物件之三維物件資料分類為兩輪車輛、標準尺寸之車輛、大型車輛、行人、電線桿及其他三維物件之三維物件資料，提取經分類之三維物件資料，且將經提取之三維物件資料用於一障礙物之自動避開。例如，微電腦12051將車輛12100周圍之障礙物識別為車輛12100之駕駛人可在視覺上辨識之障礙物及車輛12100之駕駛人難以在視覺上辨識之障礙物。然後，微電腦12051判定指示與各障礙物碰撞之一風險之一碰撞風險。在其中碰撞風險等於或高於一設定值且因此存在碰撞可能性之情況下，微電腦12051經由音訊揚聲器12061或顯示區段12062向駕駛人輸出警告，且經由駕駛系統控制單元12010執行強制減速或避撞轉向。微電腦12051可由此輔助駕駛以避免碰撞。

【0146】 成像區段12101至12104之至少一者可係偵測紅外線之一紅外線相機。微電腦12051可例如藉由判定在成像區段12101至12104之經成像影像中是否存在行人來辨識行人。舉例而言，藉由在作為紅外線相機之成像區段12101至12104之經成像影像中提取特性點的一程序及藉由對表示物件之輪廓之一系列特性點執行圖案匹配處理而判定物件是否係行人的

一程序來執行行人之此辨識。當微電腦12051判定在成像區段12101至12104之經成像影像中存在一行人且因此辨識該行人時，聲音/影像輸出區段12052控制顯示區段12062使得用於強調之一正方形輪廓線經顯示以便疊加於所辨識行人上。聲音/影像輸出區段12052亦可控制顯示區段12062使得在一所要位置處顯示表示行人之一圖示或類似者。

【0147】 如上所述，給出可應用根據本發明之一實施例之技術之移動本體控制系統之一實例之描述。在上述組態中，可將根據本發明之技術應用於成像區段12301。具體言之，根據上述實施例及任何修改實例之成像裝置1可應用於成像區段12301。藉由將根據本發明之技術應用於成像區段12301，可獲得具有高精度及經減小雜訊之經捕獲影像，此可藉由使用移動本體控制系統中之一經捕獲影像來執行一高精度控制。

【0148】

[工業應用實例2]

圖55係描繪可應用根據本發明(本技術)之一實施例之技術之一內視鏡手術系統之一示意性組態之一實例之一視圖。

【0149】 在圖55中，繪示其中一外科醫生(醫生)11131正在使用一內視鏡手術系統11000來對一病床11133上之一病人11132執行手術之一狀態。如所描繪，內視鏡手術系統11000包含一內視鏡11100、諸如一氣腹管11111及一能量治療工具11112之其他手術工具11110、在其上支撐內視鏡11100之一支撐臂裝置11120，及在其上安裝用於內視鏡手術之各種設備之一推車11200。

【0150】 內視鏡11100包含：一鏡筒11101，其具有從其待被插入至病人11132之一體腔中之一遠端起之一預定長度之一區域；及一相機鏡頭

11102，其經連接至鏡筒11101之一近端。在所描述之實例中，描繪內視鏡11100，其包含具有硬型之鏡筒11101之一硬鏡。然而，內視鏡11100可以其他方式包含為具有軟型之鏡筒11101之一軟鏡。

【0151】 鏡筒11101在其遠端處具有一開口，在該開口中配裝一物鏡。一光源設備11203經連接至內視鏡11100，使得由光源設備11203產生之光藉由在鏡筒11101內部中延伸之一光導被引入至鏡筒11101之一遠端且透過物鏡朝著病人11132之一體腔中之一觀察目標照射。應注意，內視鏡11100可係一直視鏡或可係一透視鏡或一後視鏡。

【0152】 一光學系統及一影像拾取元件經設置於相機鏡頭11102之內部，使得來自觀察目標之反射光(觀察光)藉由光學系統而會聚在影像拾取元件上。觀察光藉由影像拾取元件光電轉換以產生對應於觀察光之一電信號，即，對應於一觀察影像之一影像信號。影像信號作為RAW資料被傳輸至CCU 11201。

【0153】 CCU 11201包含一中央處理單元(CPU)、一圖形處理單元(GPU)或類似物，且一體地控制內視鏡11100及一顯示設備11202之操作。此外，CCU 11201從相機鏡頭11102接收一影像信號，且針對影像信號執行用於基於影像信號顯示一影像之各種影像程序諸如，例如一顯影程序(去馬賽克程序)。

【0154】 顯示設備11202在CCU 11201之控制下在其上顯示基於一影像信號之一影像，該影像已由CCU 11201執行影像程序。

【0155】 光源設備11203包含諸如，例如一發光二極體(LED)之一光源，且在一手術區域之成像之後將照射光供應至內視鏡11100。

【0156】 一輸入設備11204係用於內視鏡手術系統11000之一輸入介

面。一使用者可透過輸入設備11204執行輸入至內視鏡手術系統11000之各種資訊或指令之輸入。例如，使用者將輸入一指令或類似物以藉由內視鏡11100改變一影像拾取條件(照射光之類型、放大率、焦距或類似物)。

【0157】 一治療工具控制設備11205控制能量治療工具11112之驅動，以進行組織之燒灼或切開、血管之密封或類似物。一氣腹設備11206透過氣腹管11111將氣體饋送至病人11132之一體腔中以使體腔膨脹，以便確保內視鏡11100之視野並保全外科醫生之工作空間。一記錄器11207係能夠記錄與手術有關之各種資訊之一設備。印表機11208係能夠以諸如文字、影像或圖表之各種形式列印與手術有關之各種資訊之一設備。

【0158】 應注意，當一手術區域待成像至內視鏡11100時供應照射光之光源設備11203可包含一白光源，該白光源包含例如LED、一雷射光源或其等之一組合。在一白光源包含紅、綠及藍(RGB)雷射光源之一組合之情況下，由於可針對各色彩(各波長)以高精確度來控制輸出強度及輸出時序，故可藉由光源設備11203執行一經拾取影像之白平衡之調整。此外，在此一情況下，若將來自各自RGB雷射光源之雷射束時分地照射在一觀察目標上且與照射時序同步地控制相機鏡頭11102之影像拾取元件之驅動。接著，亦可時分地拾取個別地對應於R、G及B色彩之影像。根據此方法，即使未針對影像拾取元件提供彩色濾光片，仍可獲得一彩色影像。

【0159】 此外，可控制光源設備11203，使得可針對各預定時間改變待輸出之光之強度。藉由與光強度之改變之時序同步地控制相機鏡頭11102之影像拾取元件之驅動以時分地獲得影像及合成影像，可形成無曝光不足之被遮擋陰影及曝光過度之高光之一高動態範圍之一影像。

【0160】 此外，光源設備11203可經組態以供應準備用於特殊光觀

察之預定波長頻帶之光。在特殊光觀察中，例如，與常規觀察時之照射光(即，白光)相比，藉由利用人體組織中之光吸收之波長相依性來照射窄頻帶之光而執行以高對比度對諸如黏膜之表層部分之血管或類似物之一預定組織進行成像之窄頻帶觀察(窄頻帶成像)。替代地，在特殊光觀察中，可執行用於從由激發光之照射產生之螢光獲得一影像之螢光觀察。在螢光觀察中，可藉由將激發光照射於人體組織上而執行來自人體組織之螢光之觀察(自動螢光觀察)，或藉由將諸如靛氰綠(ICG)之一試劑局部注入至人體組織中且在人體組織上照射對應於試劑之螢光波長之激發光而獲得一螢光影像。光源設備11203可經組態以供應適於如上所述之特殊光觀察之此窄頻帶光及/或激發光。

【0161】 圖56係描繪圖55中所描繪之相機鏡頭11102及CCU 11201之一功能組態之一實例之一方塊圖。

【0162】 相機鏡頭11102包含一透鏡單元11401、一影像拾取單元11402、一驅動單元11403、一通信單元11404及一相機鏡頭控制單元11405。CCU 11201包含一通信單元11411、一影像處理單元11412及一控制單元11413。相機鏡頭11102及CCU 11201藉由一傳輸電纜11400連接以進行彼此通信。

【0163】 透鏡單元11401係光學系統，其經設置於至鏡筒11101之一連接位置處。從鏡筒11101之一遠端入射之觀察光被導引至相機鏡頭11102，且被引入至透鏡單元11401中。透鏡單元11401包含複數個透鏡之組合，包含一變焦透鏡及一聚焦透鏡。

【0164】 由影像拾取單元11402所包含之影像拾取元件之數目可係一個(單板型)或複數個(多板型)。在影像拾取單元11402經組態為多板型

之情況下，例如，由影像拾取元件產生對應於各自R、G及B之影像信號，且影像信號可經合成以獲得一彩色影像。影像拾取單元11402亦可經組態以便具有一對影像拾取元件，其等用於獲取準備好進行三維(3D)顯示之右眼及左眼之各自影像信號。若執行3D顯示，則外科醫生11131可更準確地了解一手術區域中之一活體組織之深度。應注意，在影像拾取單元11402經組態為立體型之情況下，提供對應於個別影像拾取元件之透鏡單元11401之複數個系統。

【0165】 此外，影像拾取單元11402可未必經設置於相機鏡頭11102上。例如，影像拾取單元11402可經設置為緊接在鏡筒11101內部之物鏡之後。

【0166】 驅動單元11403包含一致動器，且在相機鏡頭控制單元11405之控制下，使透鏡單元11401之變焦透鏡及聚焦透鏡沿著一光軸移動達一預定距離。因此，可適當地調整由影像拾取單元11402拾取之影像之放大率及焦點。

【0167】 通信單元11404包含用於將各種資訊傳輸至CCU 11201及從CCU 11201接收各種資訊之一通信設備。通信單元11404透過傳輸電纜11400將從影像拾取單元11402獲取之一影像信號作為RAW資料傳輸至CCU 11201。

【0168】 此外，通信單元11404從CCU 11201接收用於控制相機鏡頭11102之驅動之一控制信號，且將控制信號供應至相機鏡頭控制單元11405。控制信號包含與影像拾取條件有關之資訊，諸如，例如，指定一經拾取影像之一圖框速率之資訊、指定影像拾取時之一曝光值之資訊及/或指定一經拾取影像之一放大率及一焦點之資訊。

【0169】 應注意，諸如圖框速率、曝光值、放大率或焦點之影像拾取條件可由使用者指定或可由CCU 11201之控制單元11413基於所獲取影像信號來自動設定。在後一種情況下，一自動曝光(AE)功能、一自動聚焦(AF)功能及一自動白平衡(AWB)功能被併入內視鏡11100中。

【0170】 相機鏡頭控制單元11405基於透過通信單元11404接收之來自CCU 11201之一控制信號來控制相機鏡頭11102之驅動。

【0171】 通信單元11411包含用於將各種資訊傳輸至相機鏡頭11102及從相機鏡頭11102接收各種資訊之一通信設備。通信單元11411透過傳輸電纜11400接收從相機鏡頭11102傳輸至其之一影像信號。

【0172】 此外，通信單元11411將用於控制相機鏡頭11102之驅動之一控制信號發送至相機鏡頭11102。影像信號及控制信號可藉由電通信、光學通信或類似物來傳輸。

【0173】 影像處理單元11412針對從相機鏡頭11102傳輸至其之RAW資料之形式之一影像信號執行各種影像程序。

【0174】 控制單元11413執行與藉由內視鏡11100對手術區域或類似物進行之影像拾取以及藉由手術區域或類似物之影像拾取而獲得之一經拾取影像之顯示有關之各種控制。例如，控制單元11413形成用於控制相機鏡頭11102之驅動之一控制信號。

【0175】 此外，控制單元11413基於影像處理單元11412已對其執行影像程序之一影像信號來控制顯示設備11202，以顯示其中對手術區域或類似物進行成像之一經拾取影像。於是，控制單元11413可使用各種影像辨識技術來辨識經拾取影像中之各種物件。例如，控制單元11413可藉由偵測包含於一經拾取影像中之物件之邊緣之形狀、色彩等而在使用能量治

療工具11112等等之時辨識一手術工具(例如鑷子)、一特定活體區域、出血、模糊。控制單元11413在其控制顯示設備11202以顯示一經拾取影像時，可使用辨識結果使各種手術支援資訊以與手術區域之一影像重疊之方式顯示。在以重疊之方式顯示手術支援資訊且將其呈現給外科醫生11131之情況下，可減小外科醫生11131之負擔，且外科醫生11131可確定無疑地繼續進行手術。

【0176】 將相機鏡頭11102及CCU 11201彼此連接之傳輸電纜11400係準備用於電信號之通信之一電信號電纜、準備用於光學通信之一光纖或準備用於電通信及光學通信兩者之一複合電纜。

【0177】 此處，雖然在所描繪之實例中，藉由使用傳輸電纜11400之有線通信來執行通信，但是相機鏡頭11102與CCU 11201之間之通信可藉由無線通信來執行。

【0178】 如上所述，給出可應用根據本發明之一實施例之技術之內視鏡手術系統之一實例之描述。在上述組態中，根據本發明之技術可較佳地應用於設置於內視鏡11100之相機鏡頭11102上之影像拾取單元11402。藉由將根據本發明之技術應用於影像拾取單元11402，可在尺寸上減小影像拾取單元11402或使其具有高精度，此使其可提供在尺寸上減小之內視鏡11100或具有高精度之內視鏡11100。

【0179】 至此，參考實施例及其修改實例以及應用實例及工業應用實例描述本發明；然而，本發明不限於上述實施例等，而可進行各種修改。應注意，本文中描述之效應僅係例示性的。本發明之效應不限於本文描述之效應。本發明可具有除本文描述之效應外之任何效應。

【0180】 此外，例如，本發明可如下般組態。

(1)

一種成像裝置，其包含：

一第一基板，其具有包含執行光電轉換之複數個感測器像素之一像素區域；

一第二基板，其具有複數個讀出電路，該複數個讀出電路針對單個感測器像素或該複數個感測器像素之各者逐個地提供，以基於從該等感測器像素輸出之一電荷而輸出一像素信號；及

一第三基板，其具有一控制電路，該控制電路控制該等感測器像素及該等讀出電路，其中

依序層壓該第一基板、該第二基板及該第三基板，

包含該第一基板及該第二基板之一層壓板具有一層間絕緣膜及設置於定位於該層間絕緣膜中且與該像素區域相對之一區域中之複數個第一接面電極，及

該等感測器像素及該等讀出電路透過該等第一接面電極之接面相對於彼此電耦合。

(2)

根據(1)之成像裝置，其中

該層壓板在該像素區域周圍之一區域中具有複數根第一貫穿佈線，及

該控制電路透過該複數根第一貫穿佈線控制該等感測器像素及該等讀出電路。

(3)

根據(1)至(2)中任一項或多項之成像裝置，其中

該層壓板在定位於該層間絕緣膜中且與該像素區域相對之一區域中具有針對該等讀出電路之各者逐個地提供之複數根第二貫穿佈線，及

該等第二貫穿佈線之各者經電耦合至在該第一基板或該第二基板之至少一者中保持於一參考電位之一區域。

(4)

根據(1)至(3)中任一項或多項之成像裝置，其中

該層壓板在定位於該層間絕緣膜中且與該像素區域相對之一區域中具有複數根第三貫穿佈線，該複數根第三貫穿佈線電耦合至該等第一接面電極之對應者，及

該等第二貫穿佈線之各者按在該複數根第三貫穿佈線中彼此相鄰之該兩根第三貫穿佈線之間之一間距安置。

(5)

根據(1)至(4)中任一項或多項之成像裝置，其中

該層壓板在該層間絕緣膜中具有電耦合至該等第二貫穿佈線之各者之一佈線電極，及

該佈線電極以一格子形狀安置在該等第一接面電極之各者周圍。

(6)

根據(1)至(5)中任一項或多項之成像裝置，其中該佈線電極呈安置於一相同平面中之一格子形狀，使得在該複數個感測器像素之一第一陣列方向上延伸之複數根第一接面佈線及在該複數個感測器像素之一第二陣列方向上延伸之複數根第二接面佈線相對於彼此相交。

(7)

根據(1)至(6)中任一項或多項之成像裝置，其中該佈線電極呈安置於

一相同平面中之一格子形狀，使得在與該複數個感測器像素之一陣列方向相交之一第一方向上延伸之複數根第一接面佈線及在與該複數個感測器像素之一陣列方向相交且亦與該第一方向相交之一第二方向上延伸之複數根第二接面佈線相對於彼此相交。

(8)

根據(1)至(7)中任一項或多項之成像裝置，其中

該層壓板在該層間絕緣膜中具有電耦合至該複數根第二貫穿佈線之各者之複數個第二接面電極，及

該複數個第二接面電極之各者以在該複數個第一接面電極中彼此相鄰之該兩個第一接面電極之間之一間距安置。

(9)

根據(1)至(8)中任一項或多項之成像裝置，其中該等讀出電路之各者具有一負回饋電路，該負回饋電路具有一運算放大器。

(10)

根據(1)至(9)中任一項或多項之成像裝置，其中該第一基板之一參考電位低於該第二基板之一參考電位。

(11)

根據(1)至(10)中任一項或多項之成像裝置，其中

該層壓板在該像素區域周圍之一區域中具有複數根第四貫穿佈線，

該第三基板具有一負升壓電路，及

該負升壓電路藉由透過該複數根第四貫穿佈線控制第一基板之一參考電位而使該第一基板之一參考電位低於該第二基板之一參考電位。

(12)

根據(1)至(11)中任一項或多項之成像裝置，其中

該層壓板在該層間絕緣膜中具有複數個佈線電極，該等佈線電極經電耦合至該等各自第二貫穿佈線，且按在該複數個第一接面電極中彼此相鄰之該兩個第一接面電極之間之一間距安置，及

該等第一接面電極及該等佈線電極具有兩種或兩種以上之形狀。

(13)

根據(1)至(12)中任一項或多項之成像裝置，其中該等第一接面電極及該等佈線電極之一部分或全部具有彼此不同之兩種形狀。

(14)

根據(1)至(13)中任一項或多項之成像裝置，其中

該等佈線電極之一部分或全部在長度上小於該等第一接面電極，及設置於該第一基板之側上之該佈線電極及設置於該第二基板之側上之該佈線電極彼此相對，且該層間絕緣膜安置在其等之間。

(15)

根據(1)至(14)中任一項或多項之成像裝置，其中

設置於該第一基板之側上之該佈線電極及設置於該第二基板之側上之該佈線電極在長度、寬度或兩者上彼此不同，及

設置於該第一基板之該側上之該佈線電極及設置於該第二基板之該側上之該佈線電極彼此相對，且該層間絕緣膜安置在其等之間。

(16)

根據(1)至(15)中任一項或多項之成像裝置，其中該第一基板之該側及該第二基板之該側之一者上之該等佈線電極曝露於該第一基板及該第二基板之一接面表面，且該第一基板之該側及該第二基板之該側之另一者上

之該等佈線電極形成於該層間絕緣膜中。

(17)

一種成像裝置，其包含：

一第一基板，其具有包含執行光電轉換之複數個感測器像素之一像素區域；及

一第二基板，其具有複數個讀出電路，該複數個讀出電路針對單個感測器像素或該複數個感測器像素之各者逐個地提供，以基於從該等感測器像素輸出之一電荷而輸出一像素信號；及一控制電路，該控制電路控制該等感測器像素及該等讀出電路，其中

該第一基板及該第二基板及彼此層壓，

包含該第一基板及該第二基板之一層壓板具有一層間絕緣膜及設置於定位於該層間絕緣膜中且與該像素區域相對之一區域中之複數個第一接面電極，及

該等感測器像素及該等讀出電路透過該等第一接面電極之接面相對於彼此電耦合。

(18)

根據(17)之成像裝置，其中

該層壓板在該像素區域周圍之一區域中具有複數根第一貫穿佈線，及

該控制電路透過該複數根第一貫穿佈線控制該等感測器像素。

(19)

根據(17)至(18)中任一項或多項之成像裝置，其中

該層壓板在定位於該層間絕緣膜中且與該像素區域相對之一區域中

具有針對該等讀出電路之各者逐個地提供之複數根第二貫穿佈線，及

該等第二貫穿佈線之各者經電耦合至在該第一基板或該第二基板之至少一者中保持於一參考電位之一區域。

(20)

根據(17)至(19)中任一項或多項之成像裝置，其中

該層壓板在定位於該層間絕緣膜中且與該像素區域相對之一區域中具有複數根第三貫穿佈線，該複數根第三貫穿佈線電耦合至該等第一接面電極之對應者，及

該等第二貫穿佈線之各者按在該複數根第三貫穿佈線中彼此相鄰之該兩根第三貫穿佈線之間之一間距安置。

(21)

根據(17)至(20)中任一項或多項之成像裝置，其中

該層壓板在該層間絕緣膜中具有電耦合至該等第二貫穿佈線之各者之一佈線電極，及

該佈線電極以一格子形狀安置在該等第一接面電極之各者周圍。

(22)

根據(17)至(21)中任一項或多項之成像裝置，其中該佈線電極呈安置於一相同平面中之一格子形狀，使得在該複數個感測器像素之一第一陣列方向上延伸之複數根第一接面佈線及在該複數個感測器像素之一第二陣列方向上延伸之複數根第二接面佈線相對於彼此相交。

(23)

根據(17)至(22)中任一項或多項之成像裝置，其中該佈線電極呈安置於一相同平面中之一格子形狀，使得在與該複數個感測器像素之一陣列方

向相交之一第一方向上延伸之複數根第一接面佈線及在與該複數個感測器像素之一陣列方向相交且亦與該第一方向相交之一第二方向上延伸之複數根第二接面佈線相對於彼此相交。

(24)

根據(17)至(23)中任一項或多項之成像裝置，其中

該層壓板在該層間絕緣膜中具有電耦合至該複數根第二貫穿佈線之各者之複數個第二接面電極，及

該複數個第二接面電極之各者以在該複數個第一接面電極中彼此相鄰之該兩個第一接面電極之間之一間距安置。

(25)

一種成像裝置，其包括：

一第一區段，其包含：

一第一半導體基板；

至少一個第一光電轉換區域，其經安置於該第一半導體基板中；

一第一浮動擴散部，其經耦合至該至少一個第一光電轉換區域；

一第一接合部分；

一第一佈線，其經電連接於該第一浮動擴散部與該第一接合部分之間；

至少一個第二光電轉換區域，其經安置於該第一半導體基板中；

一第二浮動擴散部，其經耦合至該至少一個第二光電轉換區域；

一第二接合部分；

一第二佈線，其經電連接於該第二浮動擴散部與該第二接合部分之間；

一第一區域，其經耦合至接收一參考電壓之一節點；及

一第三佈線，其經耦合至該第一區域且在介於該第一佈線與該第二佈線之間之一位置處在相同於該第一佈線及該第二佈線之一方向上延伸；

及一第二區段，其經由該第一接合部分及該第二接合部分接合至該第一區段，且包含耦合至該第一接合部分及該第二接合部分之讀出電路。

(26)

根據(25)之成像裝置，其中該第一區段進一步包括：

一第一轉移電晶體，其將電荷從該第一光電轉換區域轉移至該第一浮動擴散部；及

一第二轉移電晶體，其將電荷從該第二光電轉換區域轉移至該第二浮動擴散部。

(27)

根據(25)至(26)中任一項或多項之成像裝置，其中該讀出電路包含：

一第一重設電晶體、一第一放大電晶體及一第一選擇電晶體，其等經電連接至該第一接合部分；及

一第二重設電晶體、一第二放大電晶體及一第二選擇電晶體，其等經電連接至該第二接合部分。

(28)

根據(25)至(27)中任一項或多項之成像裝置，其中該讀出電路包含：

一第一重設電晶體及一第一負回饋電路，其等經電連接至該第一接合部分；及

一第二重設電晶體及一第二負回饋電路，其等經電連接至該第二接合部分。

(29)

根據(25)至(28)中任一項或多項之成像裝置，其中該第一負回饋電路及該第二負回饋電路各包含一運算放大器及一回饋電容。

(30)

根據(25)至(29)中任一項或多項之成像裝置，其中該第一區段進一步包括：

在該第一半導體基板上之至少一個絕緣層，其中該至少一個絕緣層包含該第一佈線、該第二佈線及該第三佈線。

(31)

根據(25)至(30)中任一項或多項之成像裝置，其中該至少一個絕緣層包含一第一絕緣層及一第二絕緣層，該第二絕緣層比該第一絕緣層更靠近該第二區段且具有比該第一絕緣層更低之一介電常數。

(32)

根據(25)至(31)中任一項或多項之成像裝置，其中該第一區段進一步包括：

一第三接合部分，其中該第三佈線將該第一區域電連接至該第三接合部分，且其中該第一區段及該第二區段經由該第一接合部分、該第二接合部分及該第三接合部分接合。

(33)

根據(25)至(32)中任一項或多項之成像裝置，其中該至少一個絕緣層包含在該第二絕緣層上且具有比該第一絕緣層更低之一介電常數之一第三絕緣層。

(34)

根據(25)至(33)中任一項或多項之成像裝置，其中該第二區段進一步包括：

一第三接合部分，其接合至該第一接合部分；及

一第四接合部分，其接合至該第二接合部分。

(35)

根據(25)至(34)中任一項或多項之成像裝置，其中該第二區段進一步包括：

一第四佈線，其將該第三接合部分電連接至該讀出電路；及

一第五佈線，其將該第四接合部分電連接至該讀出電路。

(36)

根據(25)至(35)中任一項或多項之成像裝置，其中該第二區段進一步包括：

一第六佈線，其經電連接至定位於該第四佈線與該第五佈線之間之該讀出電路。

(37)

根據(25)至(37)中任一項或多項之成像裝置，其中該第六佈線與該第一佈線對準。

(38)

根據(25)至(37)中任一項或多項之成像裝置，其中該第一區段進一步包括一第五接合部分，且其中該第二區段進一步包括接合至該第五接合部分之一第六接合部分。

(39)

根據(25)至(38)中任一項或多項之成像裝置，其中該第二區段進一步

包括：

一第二半導體基板，其包含該讀出電路；及

一絕緣層，其在第二半導體基板上，該絕緣層包含該第四佈線、該第五佈線及該第六佈線。

(40)

根據(25)至(39)中任一項或多項之成像裝置，其進一步包括：

一第三區段，其接合至該第二區段且包含處理來自該讀出電路之信號之處理電路。

(41)

一種成像裝置，其包括：

一第一區段，其包含：

一第一半導體基板，其包含：

至少一個第一光電轉換區域；

一第一浮動擴散部，其經耦合至該至少一個第一光電轉換區域；及

一第一轉移電晶體，其將電荷從該至少一個第一光電轉換區域轉移至該第一浮動擴散部；

至少一個第二光電轉換區域，其經安置於該第一半導體基板中；

一第二浮動擴散部，其經耦合至該至少一個第二光電轉換區域；及

一第二轉移電晶體，其將電荷從該至少一個第二光電轉換區域轉移至該第二浮動擴散部；及

一井區；及

至少一個第一絕緣層，其在該第一半導體基板上且包含：

一第一接合部分；

一第一佈線，其經電連接於該第一浮動擴散部與該第一接合部分之間；

一第二接合部分；

一第二佈線，其經電連接於該第二浮動擴散部與該第二接合部分之間；及

一第三佈線，其經電連接至該井區域，且在該第一佈線與該第二佈線之間提供一屏蔽件。

(42)

根據(41)中任一項或多項之成像裝置，其進一步包括：

一第二區段，其經由該第一接合部分及該第二接合部分接合至該第一區段，且包含耦合至該第一接合部分及該第二接合部分之讀出電路；及

一第三區段，其接合至該第二區段且包含處理來自該讀出電路之信號之處理電路。

(43)

一種成像裝置，其包括：

一第一區段，其包含：

第一光電轉換區域，其等共用一第一浮動擴散部；

一第一接合部分；

第一佈線，其將該第一浮動擴散部電連接至該第一接合部分；

第二光電轉換區域，其等共用一第二浮動擴散部；

一第二接合部分；

第二佈線，其將該第二浮動擴散部電連接至該第二接合部分；

一所要導電性類型之一井區；

第三佈線，其經電連接至該井區且提供該第一佈線與該第二佈線之間之一信號屏蔽件；及

一第二區段，其經由該第一接合部分及該第二接合部分接合至該第一區段，且包含電連接至該第一接合部分及該第二接合部分之讀出電路。

(44)

(43)之成像裝置，其進一步包括：

一第三區段，其接合至該第二區段且包含處理來自該讀出電路之信號之處理電路。

【0181】 根據本發明之一實施例之一成像裝置，複數個感測器像素經安置於一第一基板上；複數個讀出電路經安置於一第二基板上；且一控制電路經安置於一第三基板上，此允許達成一動態範圍之進一步增強及進一步雜訊減小。

【0182】 熟習此項技術者應瞭解，取決於設計要求及其他因素，各種修改、組合、子組合及變更可發生，只要其等在隨附發明申請專利範圍或其等之等效物之範疇內。

【符號說明】

【0183】

1	成像裝置
2	成像裝置
3	成像系統
10	第一基板
11	半導體基板
12	感測器像素

13	像素區域
14	驅動佈線
15	FD貫穿佈線
16	VSS貫穿佈線
17	FD接面電極
17A	FD接面電極
18	VSS接面電極
18a	VSS接面電極
18b	佈線
19	絕緣膜
19A	絕緣膜
19B	絕緣膜
19C	絕緣膜
20	第二基板
21	半導體基板
22	讀出電路
23	讀出電路區域
24	FD接面電極
25	VSS接面電極
25a	VSS接面電極
25b	佈線
26	FD貫穿佈線
27	VSS貫穿佈線

28	絕緣層
30	第三基板
31	半導體基板
32	邏輯電路
32a	垂直驅動電路
32b	行信號處理電路
32c	水平驅動電路
32d	系統控制電路
33	升壓電路
34	負升壓電路
35-1至35-m	類比轉數位轉換電路(ADC)
35A	比較器
35B	遞增/遞減計數器
35C	轉接開關
35D	記憶體裝置
36	絕緣層
37	水平輸出線
38	參考電壓供應區段
38A	數位轉類比轉換電路(DAC)
40	彩色濾光片層
41	p井區域
42	貫穿佈線
43	貫穿佈線

44	貫穿佈線
45	貫穿佈線
45a	開口
45b	連接墊
45c	貫穿佈線
45d	連接墊
46	貫穿佈線
46a	開口
46b	連接墊
46c	貫穿佈線
46d	連接墊
47	連接佈線
47a	開口
47b	連接墊
47c	貫穿佈線
47d	連接墊
48	連接佈線
50	光接收透鏡
51	閘極絕緣膜
52	閘極電極
53	側壁層
54	氧化矽膜
55	氮化矽膜

56	絕緣膜
57	貫穿佈線
58	貫穿佈線
61	閘極絕緣膜
62	閘極電極
63	側壁層
64	氧化矽膜
65	氮化矽膜
66	絕緣膜
67	貫穿佈線
68	貫穿佈線
69	雜質擴散區域
71	絕緣層
72	絕緣層
73	絕緣層
74	絕緣層
78	佈線層
80	第二基板
85	佈線層
141	光學系統
142	快門裝置
143	控制電路
144	DSP電路

145	圖框記憶體
146	顯示區段
147	儲存區段
148	操作區段
149	電力供應區段
150	匯流排線
11000	內視鏡手術系統
11100	內視鏡
11101	鏡筒
11102	相機鏡頭
11110	其他手術工具
11111	氣腹管
11112	能量治療工具
11120	支撐臂裝置
11131	外科醫生(醫生)
11132	病人
11133	病床
11200	推車
11201	相機控制單元(CCU)
11202	顯示設備
11203	光源設備
11204	輸入設備
11205	治療工具控制設備

11206	氣腹設備
11207	記錄器
11208	印表機
11400	傳輸電纜
11401	透鏡單元
11402	影像拾取單元
11403	驅動單元
11404	通信單元
11405	相機鏡頭控制單元
11411	通信單元
11412	影像處理單元
11413	控制單元
12000	車輛控制系統
12001	通信網路
12010	駕駛系統控制單元
12020	車體系統控制單元
12030	車輛外部資訊偵測單元
12031	成像區段
12040	車輛內部資訊偵測單元
12041	駕駛人狀態偵測區段
12050	整合控制單元
12051	微電腦
12052	聲音/影像輸出區段

12053	車載網路介面
12061	音訊揚聲器
12062	顯示區段
12063	儀表板
12100	車輛
12101	成像區段
12102	成像區段
12103	成像區段
12104	成像區段
12105	成像區段
12111	成像範圍
12112	成像範圍
12113	成像範圍
12114	成像範圍
AMP	放大電晶體
Cf	回饋電容器
Cfd	電容
CS1	控制信號
FD	浮動擴散部
H1	開口
H2	開口
M1	金屬膜
M2	金屬膜

OP	運算放大器
PD	光電二極體
PD1	光電二極體
PD2	光電二極體
PD3	光電二極體
PD4	光電二極體
PD5	光電二極體
PD6	光電二極體
PD7	光電二極體
PD8	光電二極體
RST	重設電晶體
S101	步驟
S102	步驟
S103	步驟
S104	步驟
S105	步驟
SEL	選擇電晶體
TR	轉移電晶體
TR1	轉移電晶體
TR2	轉移電晶體
TR3	轉移電晶體
TR4	轉移電晶體
TR5	轉移電晶體

TR6	轉移電晶體
TR7	轉移電晶體
TR8	轉移電晶體
V78	通孔
V85	通孔
VDD	電力供應電位
VSS	參考電位
VSS1	參考電位
VSS2	參考電位
VSL	垂直信號線
Vout	輸出電壓
Vref	參考電壓

【發明申請專利範圍】

【第1項】

一種成像裝置，其包括：

一第一區段，其包含：

一第一半導體基板；

至少一個第一光電轉換區域，其經安置於該第一半導體基板中；

一第一浮動擴散部，其經耦合至該至少一個第一光電轉換區域；

一第一接合部分；

一第一佈線，其經電連接於該第一浮動擴散部與該第一接合部分之間；

至少一個第二光電轉換區域，其經安置於該第一半導體基板中；

一第二浮動擴散部，其經耦合至該至少一個第二光電轉換區域；

一第二接合部分；

一第二佈線，其經電連接於該第二浮動擴散部與該第二接合部分之間；

一第一區域，其經耦合至接收一參考電壓之一節點；及

一第三佈線，其經耦合至該第一區域且在介於該第一佈線與該第二佈線之間之一位置處在相同於該第一佈線及該第二佈線之一方向上延伸；及

一第二區段，其經由該第一接合部分及該第二接合部分接合至該第一區段，且包含耦合至該第一接合部分及該第二接合部分之讀出電路。

【第2項】

如請求項1之成像裝置，其中該第一區段進一步包括：

一第一絕緣層，其中該第一佈線、該第二佈線及該第三佈線係安置於該第一絕緣層中，其中該位置係在該第一絕緣層內介於該第一佈線與該第二佈線之間，且其中該第三佈線穿透最接近該第一半導體基板之該第一絕緣層之一表面；

一第一轉移電晶體，其將電荷從該第一光電轉換區域轉移至該第一浮動擴散部；及

一第二轉移電晶體，其將電荷從該第二光電轉換區域轉移至該第二浮動擴散部。

【第3項】

如請求項2之成像裝置，其中該讀出電路包含：

一第一重設電晶體、一第一放大電晶體及一第一選擇電晶體，其等經電連接至該第一接合部分；及

一第二重設電晶體、一第二放大電晶體及一第二選擇電晶體，其等經電連接至該第二接合部分。

【第4項】

如請求項2之成像裝置，其中該讀出電路包含：

一第一重設電晶體及一第一負回饋電路，其等經電連接至該第一接合部分；及

一第二重設電晶體及一第二負回饋電路，其等經電連接至該第二接合部分。

【第5項】

如請求項4之成像裝置，其中該第一負回饋電路及該第二負回饋電路各包含一運算放大器及一回饋電容。

【第6項】

如請求項1之成像裝置，其中該第三佈線包括一第一開口，該第一佈線安置於該第一開口中，及其中該第三佈線包括一第二開口，該第二佈線安置於該第二開口中，及其中該第一區段進一步包括：

在該第一半導體基板上之至少一個絕緣層，其中該至少一個絕緣層包含該第一佈線、該第二佈線及該第三佈線。

【第7項】

如請求項6之成像裝置，其中該至少一個絕緣層包含一第一絕緣層及一第二絕緣層，該第二絕緣層比該第一絕緣層更靠近該第二區段且具有比該第一絕緣層更低之一介電常數。

【第8項】

如請求項7之成像裝置，其中該第一區段進一步包括：

一第三接合部分，其中該第三佈線將該第一區域電連接至該第三接合部分，且其中該第一區段及該第二區段經由該第一接合部分、該第二接合部分及該第三接合部分接合。

【第9項】

如請求項7之成像裝置，其中該至少一個絕緣層包含在該第二絕緣層上且具有比該第一絕緣層更低之一介電常數之一第三絕緣層。

【第10項】

如請求項1之成像裝置，其中該第一區段進一步包括：

一第一絕緣層，其中該第一佈線、該第二佈線及該第三佈線係安置於該第一絕緣層中，其中該位置係在該第一絕緣層內介於該第一佈線與該第二佈線之間，且其中該第三佈線係耦合至最接近該第一半導體基板之該第一絕緣層之一表面，及其中該第二區段進一步包括：

- 一第三接合部分，其接合至該第一接合部分；及
- 一第四接合部分，其接合至該第二接合部分。

【第11項】

如請求項10之成像裝置，中該第二區段進一步包括：

- 一第四佈線，其將該第三接合部分電連接至該讀出電路；及
- 一第五佈線，其將該第四接合部分電連接至該讀出電路。

【第12項】

如請求項11之成像裝置，其中該第二區段進一步包括：

一第六佈線，其經電連接至定位於該第四佈線與該第五佈線之間之該讀出電路。

【第13項】

如請求項12之成像裝置，其中該第六佈線與該第一佈線對準。

【第14項】

如請求項12之成像裝置，其中該第一區段進一步包括一第五接合部分，且其中該第二區段進一步包括接合至該第五接合部分之一第六接合部分。

【第15項】

如請求項12之成像裝置，其中該第二區段進一步包括：

- 一第二半導體基板，其包含該讀出電路；及
- 一絕緣層，其在第二半導體基板上，該絕緣層包含該第四佈線、該第五佈線及該第六佈線。

【第16項】

如請求項1之成像裝置，其進一步包括：

一第三區段，其接合至該第二區段且包含處理來自該讀出電路之信號之處理電路，其中該第一區段進一步包括：

- 一第一絕緣層，其中該第一佈線、該第二佈線及該第三佈線係安置於該第一絕緣層中，其中該位置係在該第一絕緣層內介於該第一佈線與該第二佈線之間，且其中該第三佈線係耦合至最接近該第一半導體基板之該第一絕緣層之一表面。

【第17項】

一種成像裝置，其包括：

一第一區段，其包含：

一第一半導體基板，其包含：

至少一個第一光電轉換區域；

一第一浮動擴散部，其經耦合至該至少一個第一光電轉換區域；及

一第一轉移電晶體，其將電荷從該至少一個第一光電轉換區域轉移至該第一浮動擴散部；

至少一個第二光電轉換區域，其經安置於該第一半導體基板

中；

一 第二浮動擴散部，其經耦合至該至少一個第二光電轉換區域；及

一 第二轉移電晶體，其將電荷從該至少一個第二光電轉換區域轉移至該第二浮動擴散部；及

一 井區；及

至少一絕緣層，其在該第一半導體基板上且包含：

一 第一接合部分；

一 第一佈線，其經電連接於該第一浮動擴散部與該第一接合部分之間；

一 第二接合部分；

一 第二佈線，其經電連接於該第二浮動擴散部與該第二接合部分之間；及

一 第三佈線，其經電連接至該井區域，且在該第一佈線與該第二佈線之間提供一屏蔽件，其中該第三佈線包括一第一開口，該第一佈線安置於該第一開口中，及其中該第三佈線包括一第二開口，該第二佈線安置於該第二開口中。

【第18項】

如請求項17之成像裝置，其進一步包括：

一 第二區段，其經由該第一接合部分及該第二接合部分接合至該第一區段，且包含耦合至該第一接合部分及該第二接合部分之讀出電路；及

一 第三區段，其接合至該第二區段且包含處理來自該讀出電路之

信號之處理電路。

【第19項】

一種成像裝置，其包括：

一第一區段，其包含：

一第一半導體基板；

第一光電轉換區域，其等安置於該第一半導體基板中且共用一第一浮動擴散部；

一第一接合部分；

一第一絕緣層；

第一佈線，其安置於該第一絕緣層中且將該第一浮動擴散部電連接至該第一接合部分；

第二光電轉換區域，其等安置於該第一半導體基板中且共用一第二浮動擴散部；

一第二接合部分；

第二佈線，其安置於該第一絕緣層中且將該第二浮動擴散部電連接至該第二接合部分；

一所要導電性類型之一井區；

第三佈線，其安置於該第一絕緣層中且經電連接至該井區且提供該第一佈線與該第二佈線之間之一信號屏蔽件，其中該第三佈線穿透最接近該第一半導體基板之該第一絕緣層之一表面，其中該第三佈線包括一第一開口，該第一佈線安置於該第一開口中，及其中該第三佈線包括一第二開口，該第二佈線安置於該第二開口中；及

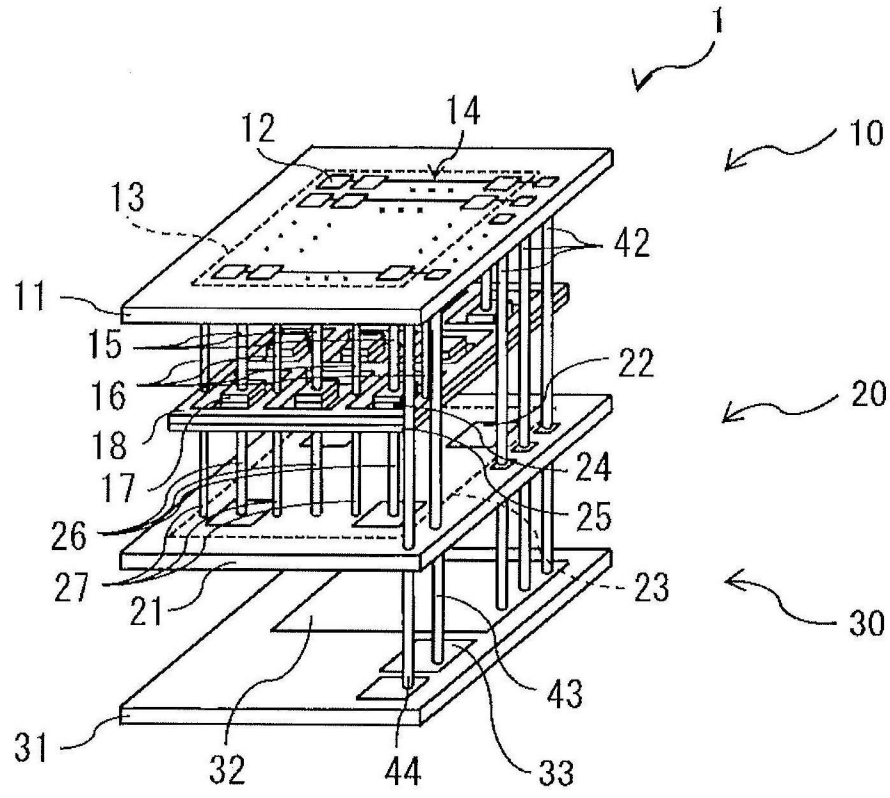
一第二區段，其經由該第一接合部分及該第二接合部分接合至該第一區段，且包含電連接至該第一接合部分及該第二接合部分之讀出電路。

【第20項】

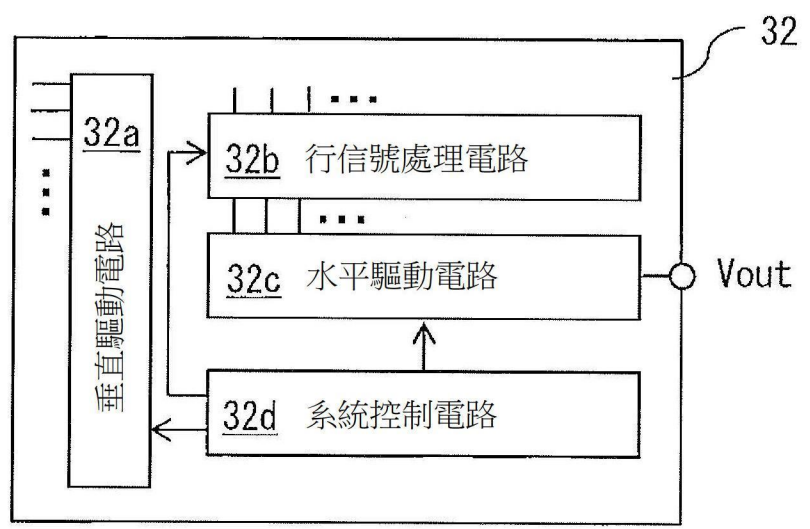
如請求項19之成像裝置，其進一步包括：

一第三區段，其接合至該第二區段且包含處理來自該讀出電路之信號之處理電路。

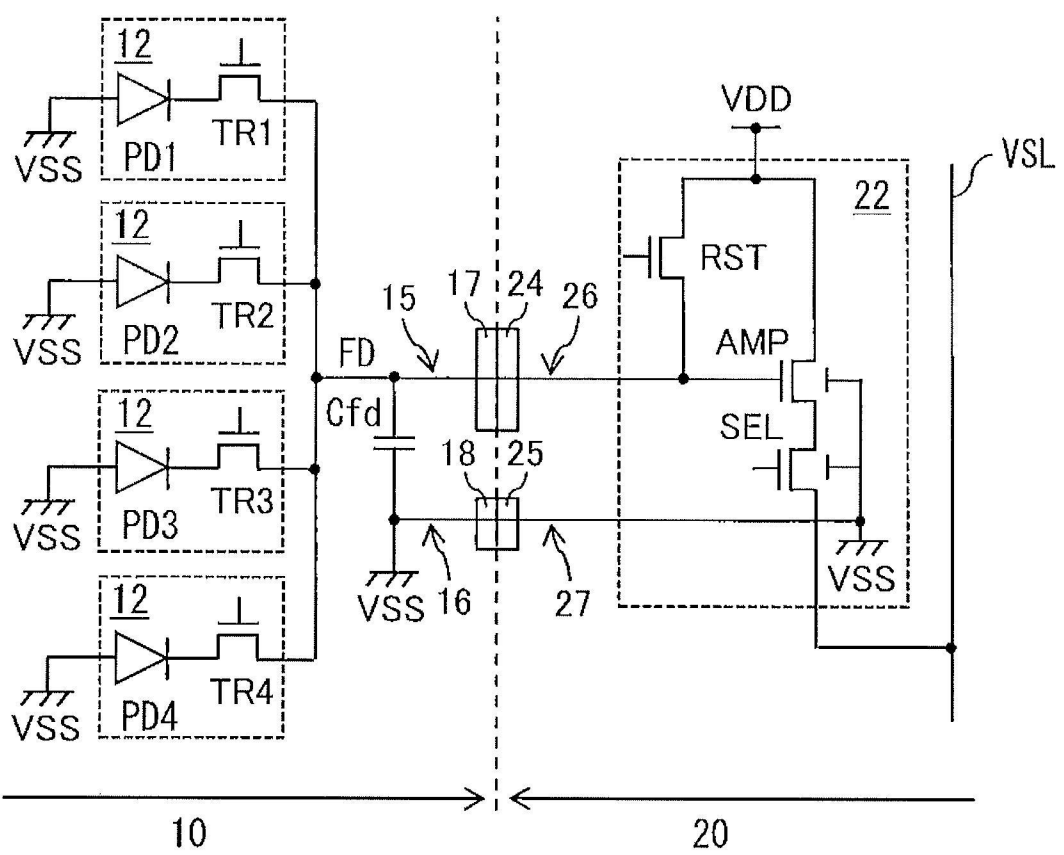
【發明圖式】



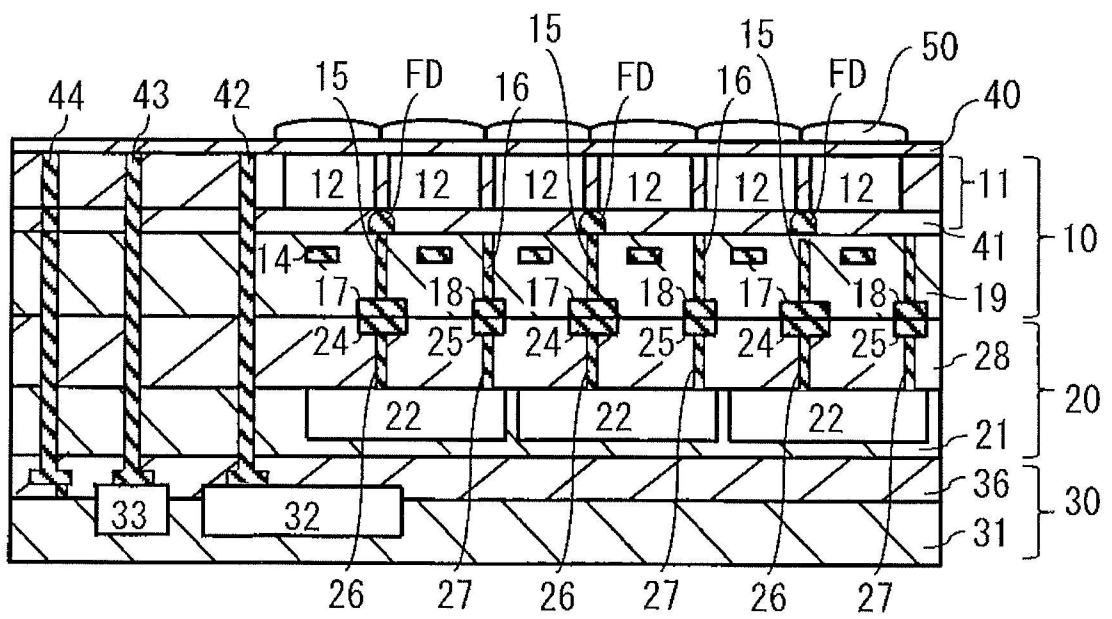
【圖1】



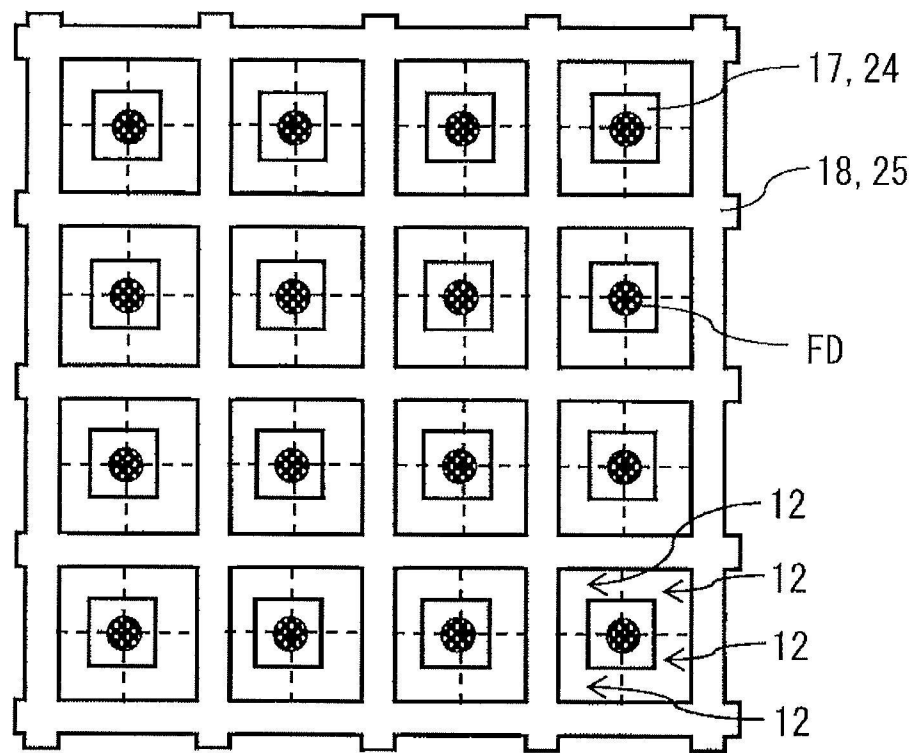
【圖2】



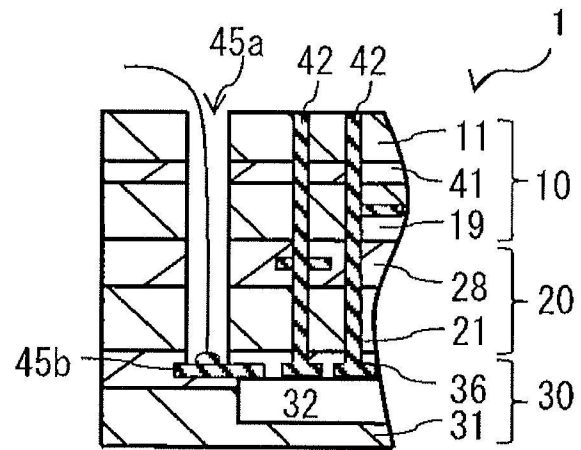
【圖3】



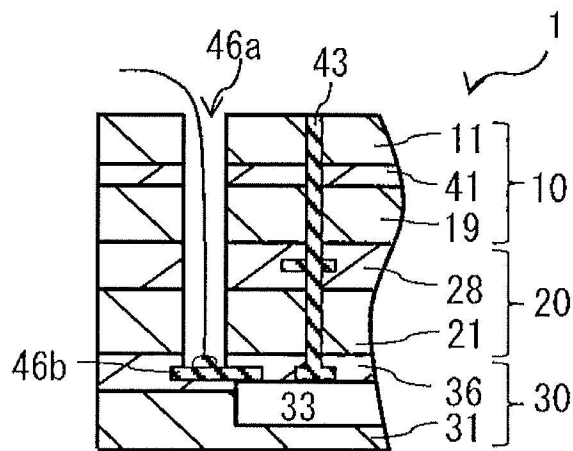
【圖4】



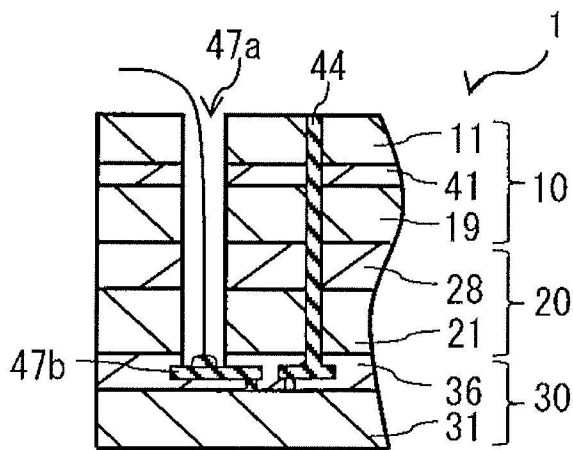
【圖5】



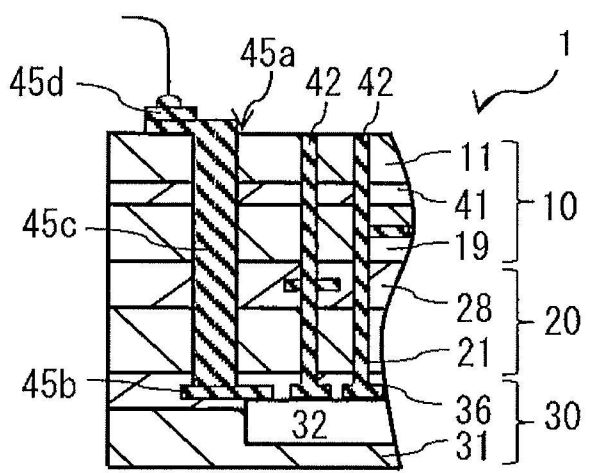
【圖6A】



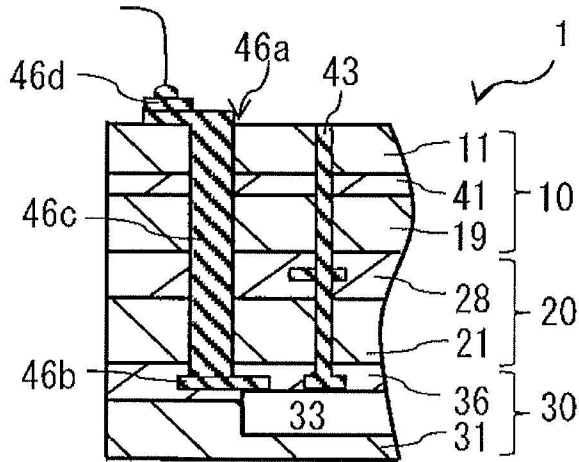
【圖6B】



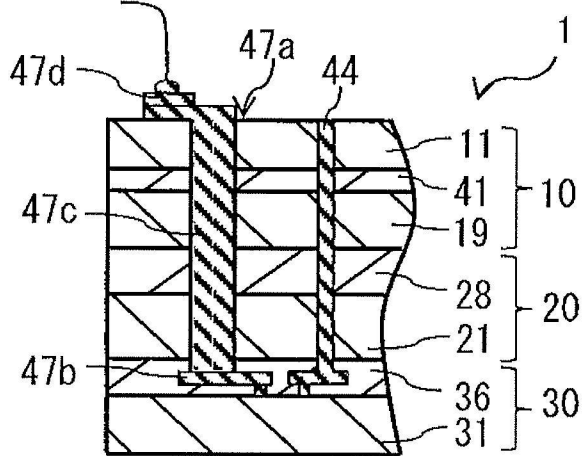
【圖6C】



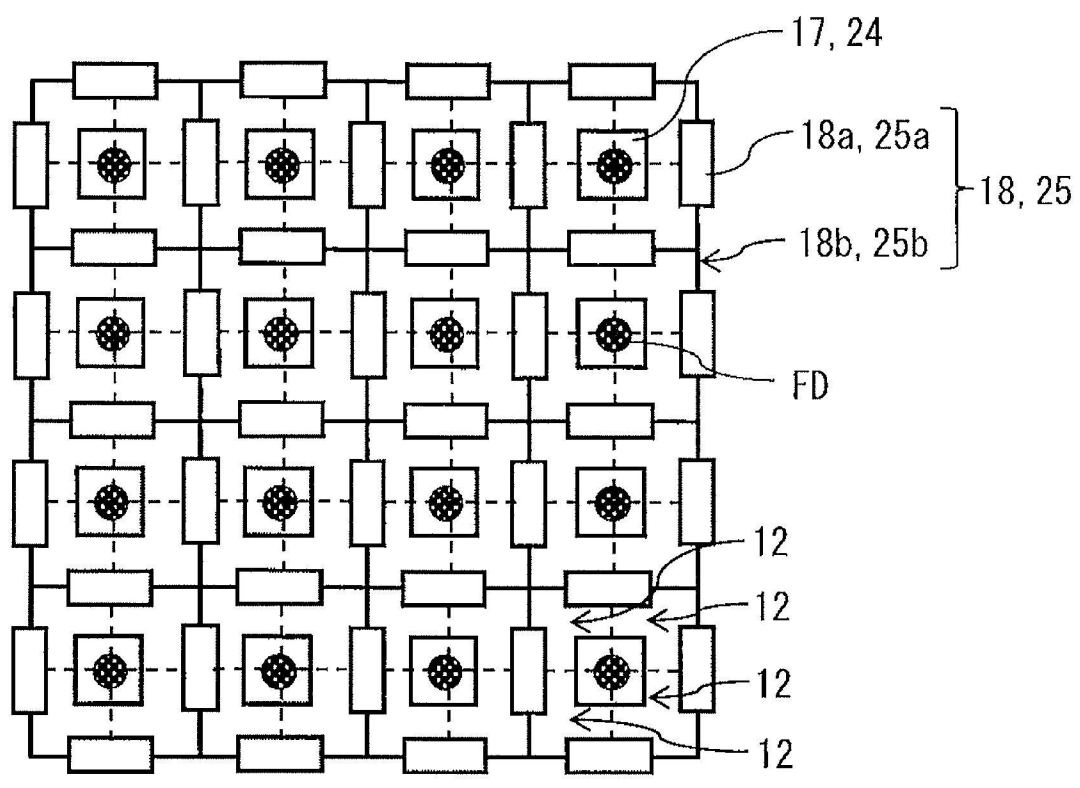
【圖7A】



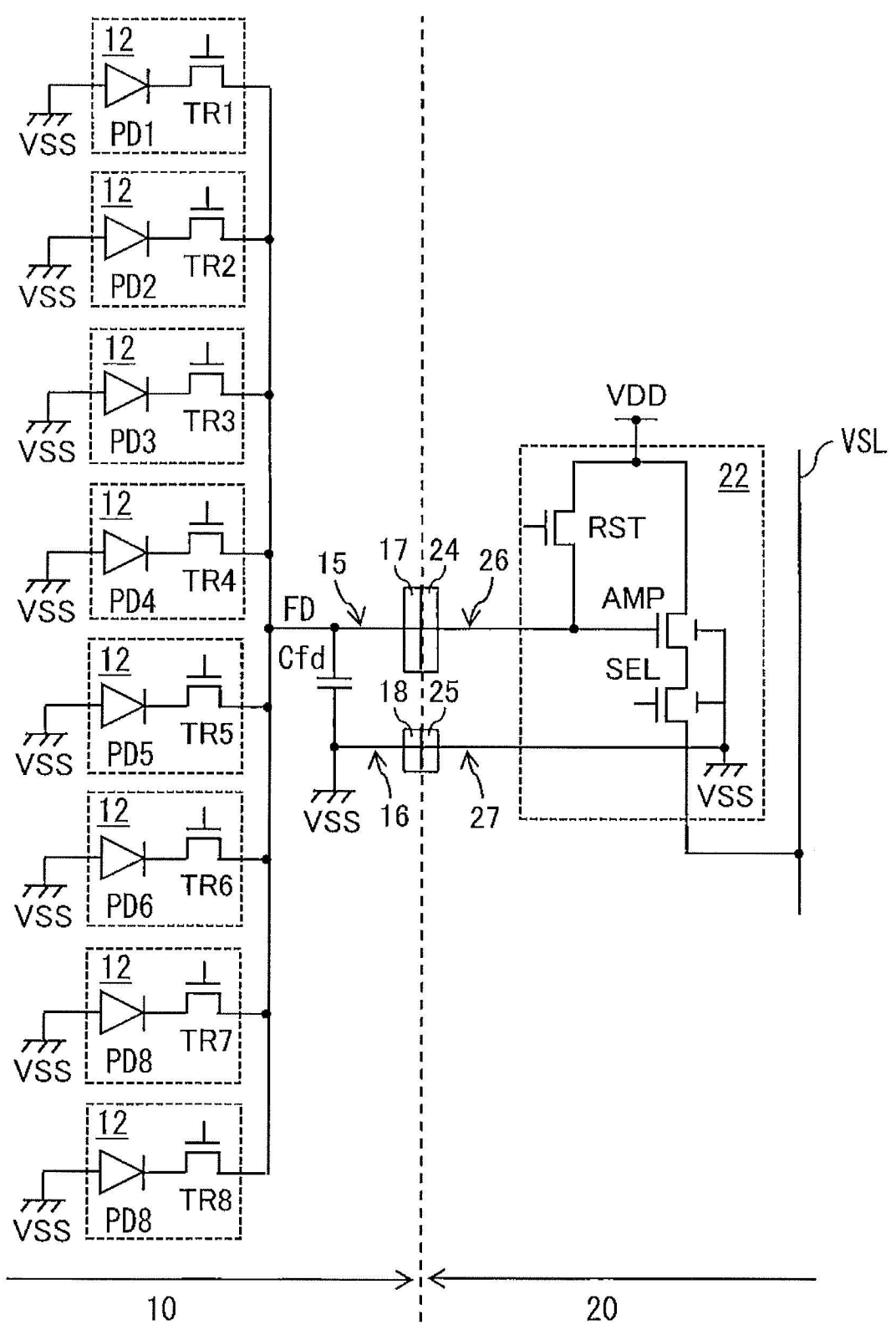
【圖7B】



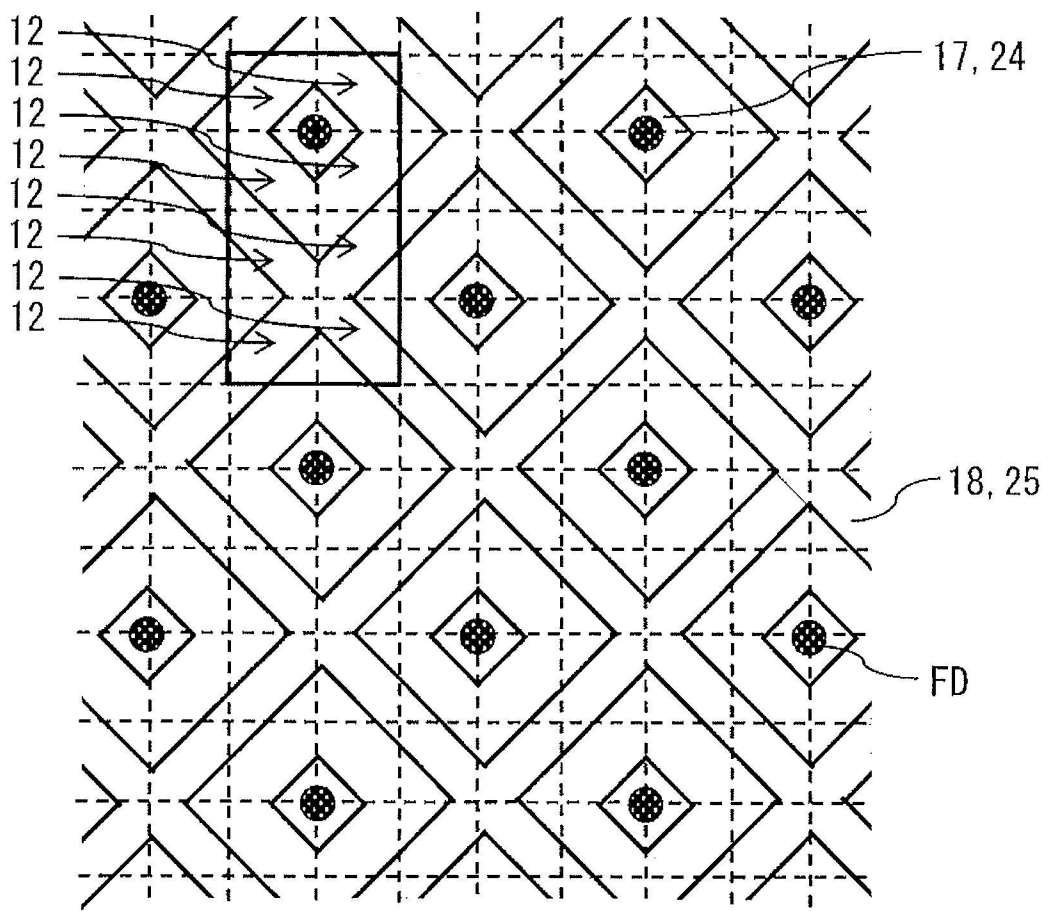
【圖7C】



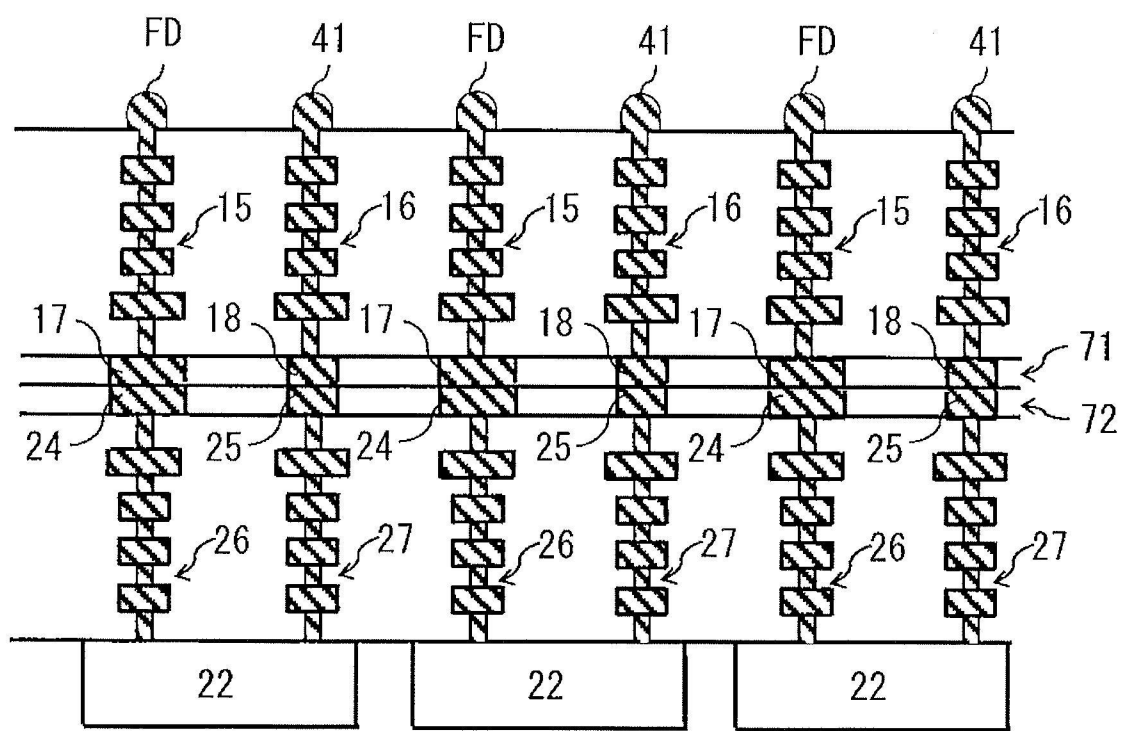
【圖8】



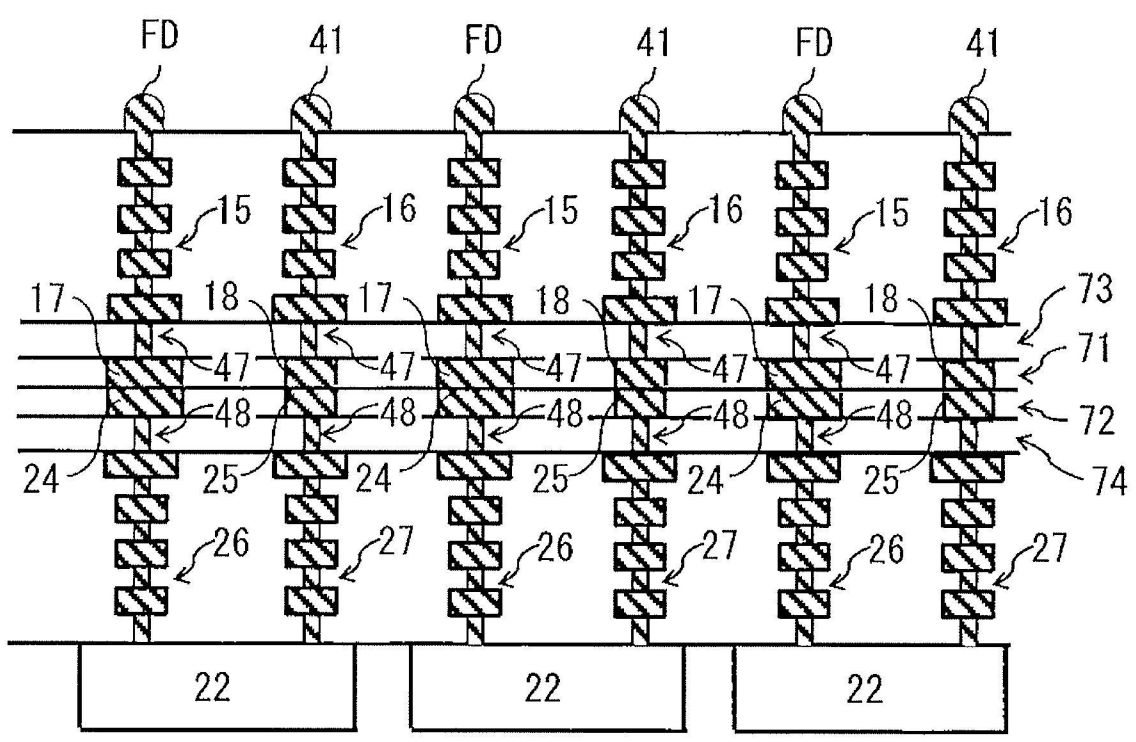
【圖9】



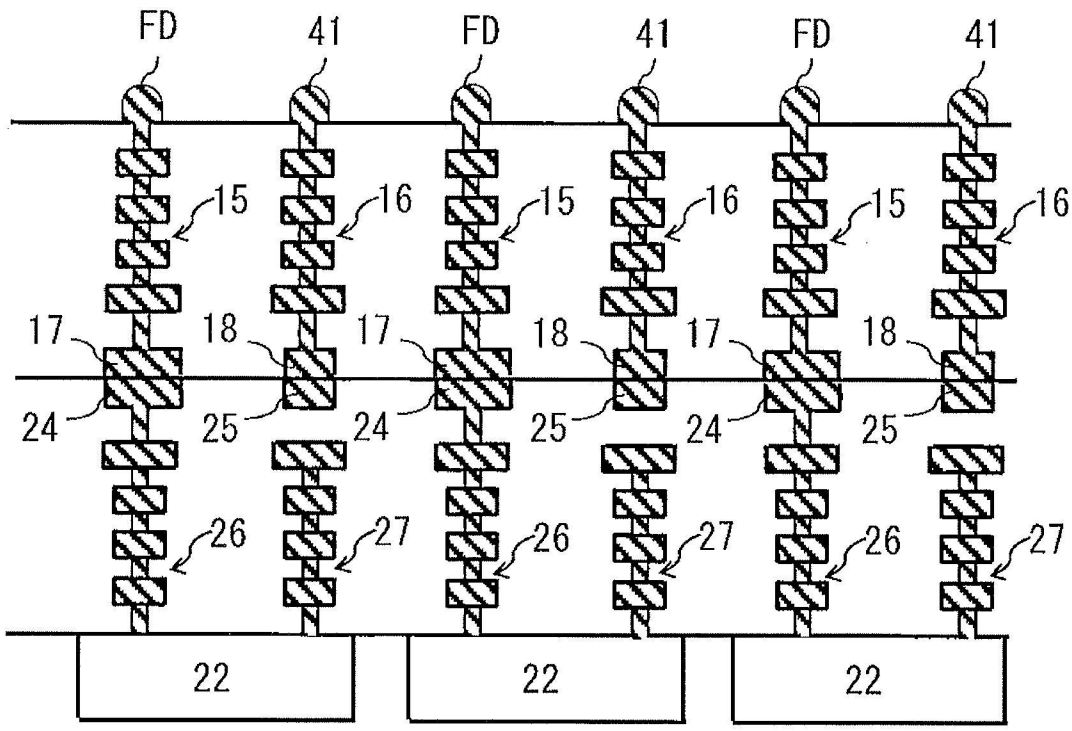
【圖10】



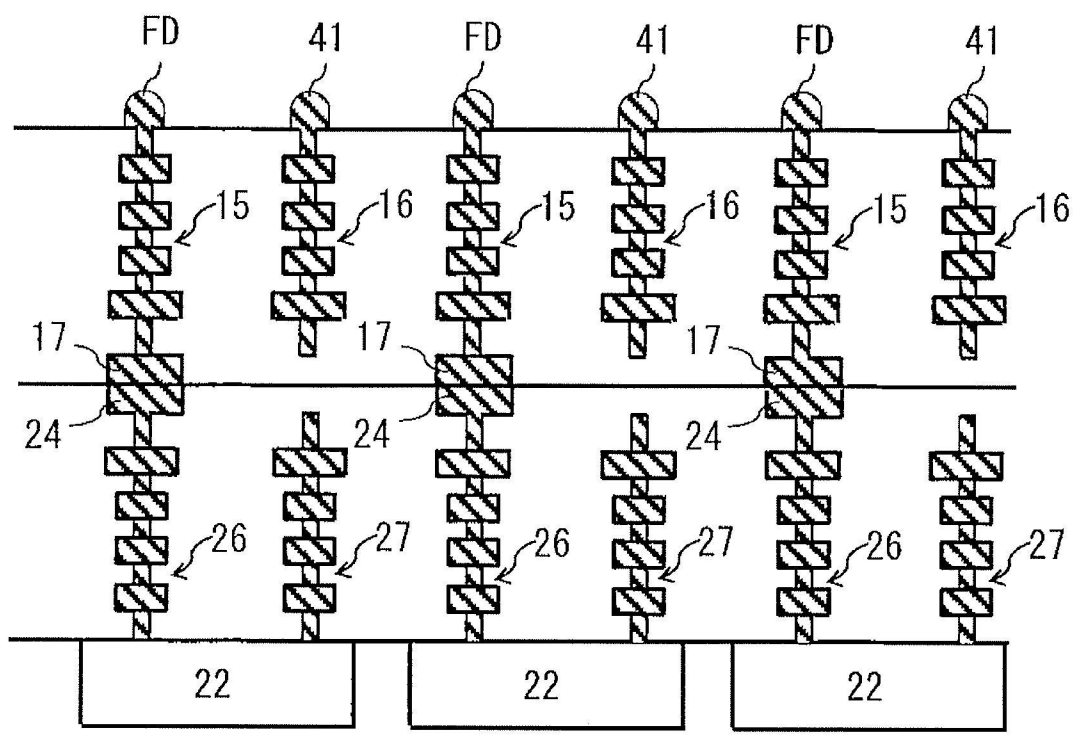
【圖11】



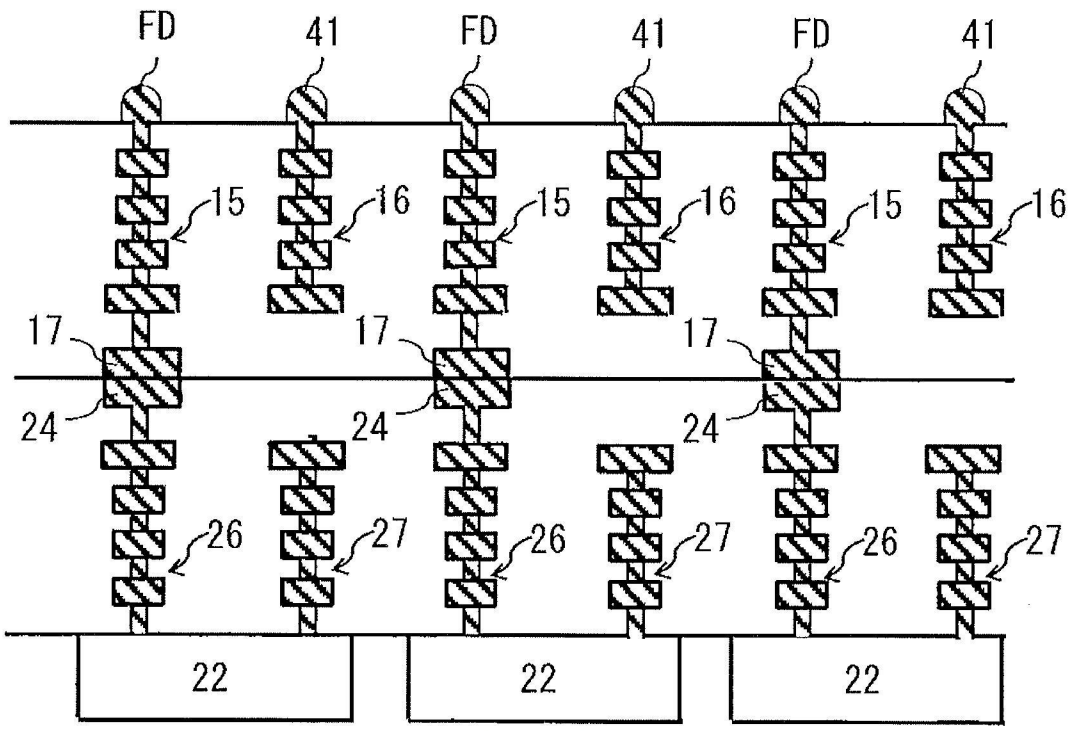
【圖12】



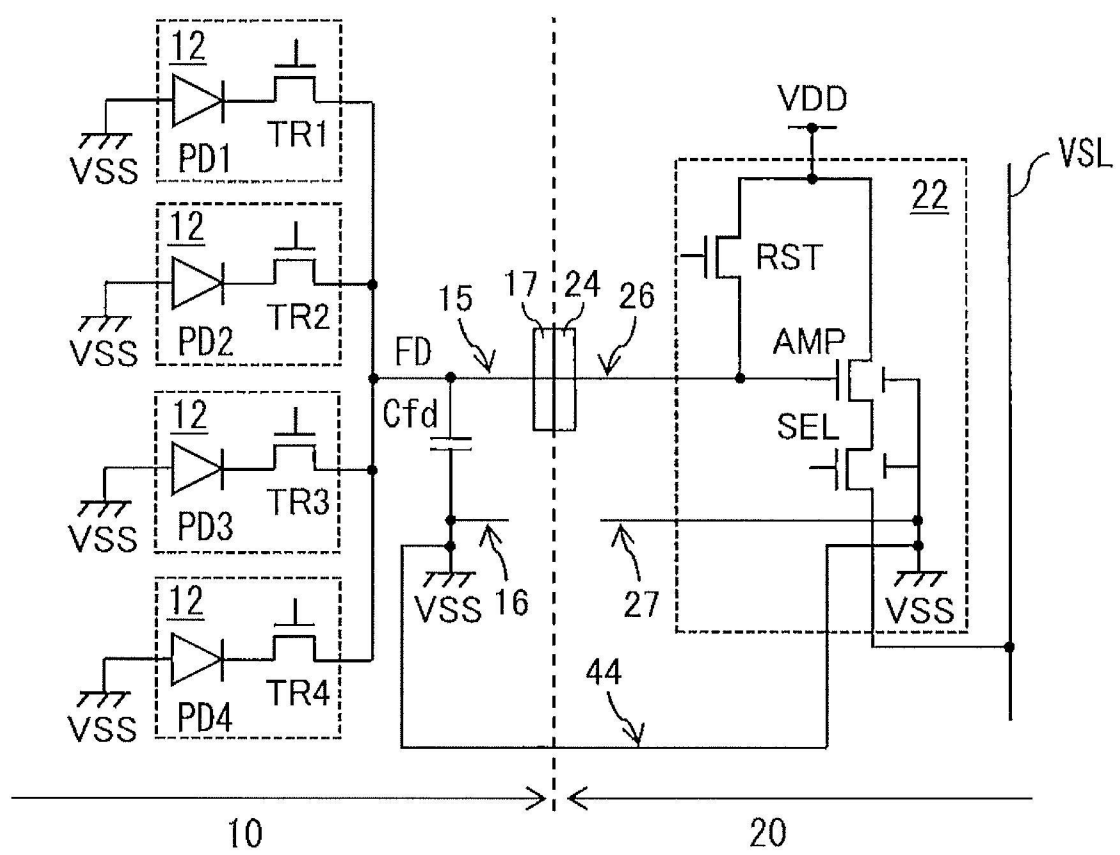
【圖13】



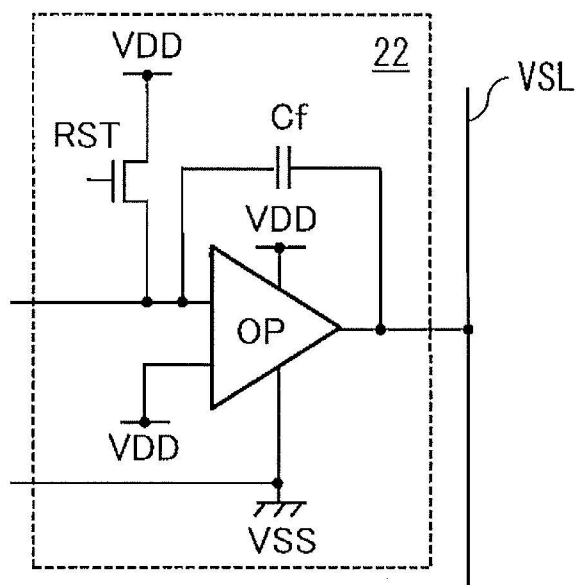
【圖14】



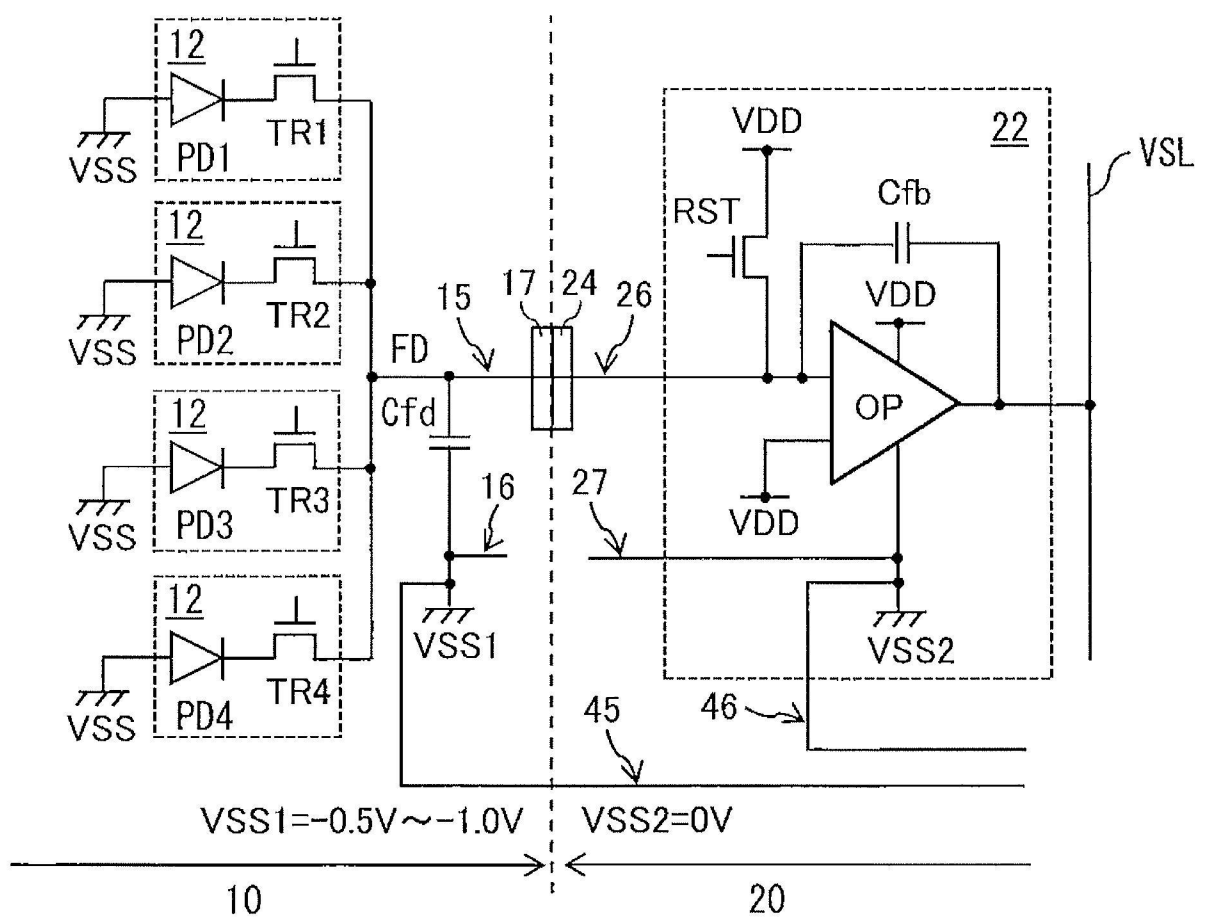
【圖15】



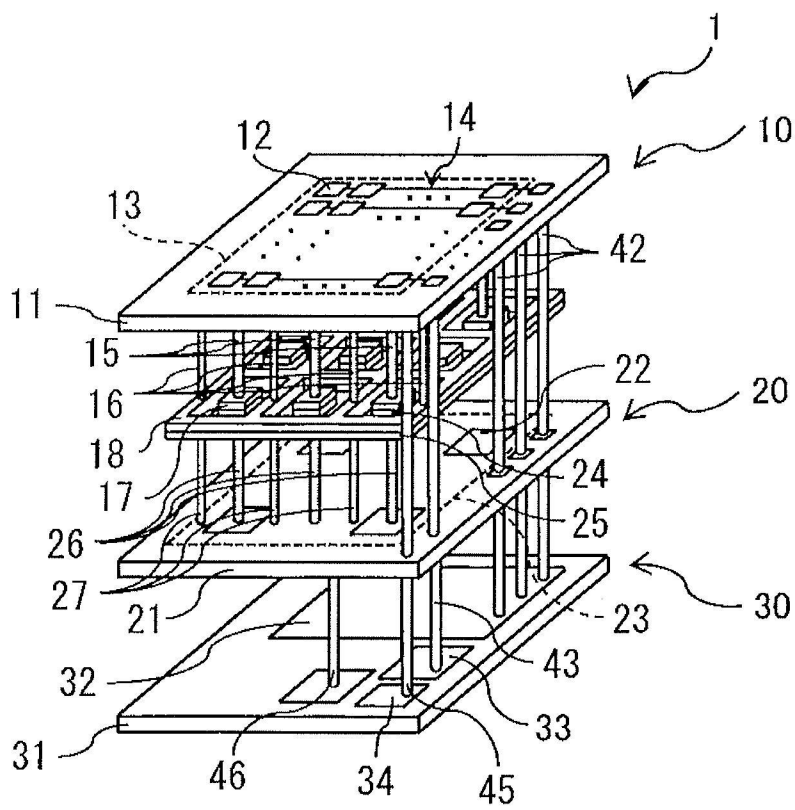
【圖16】



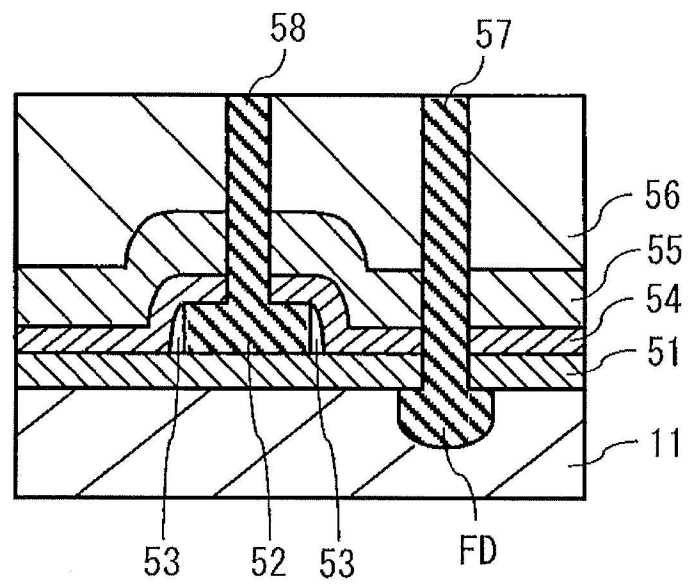
【圖17】



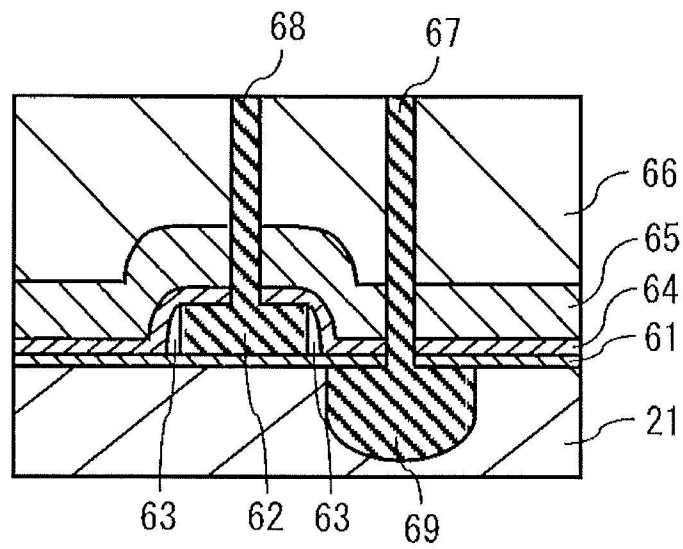
【圖18】



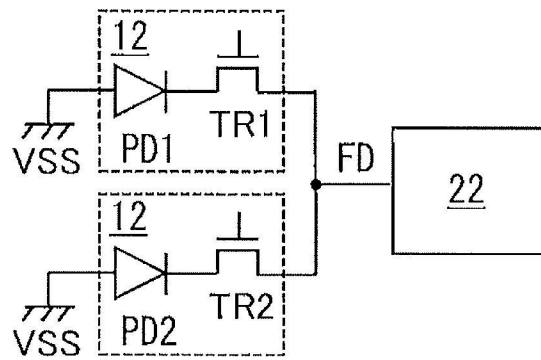
【圖19】



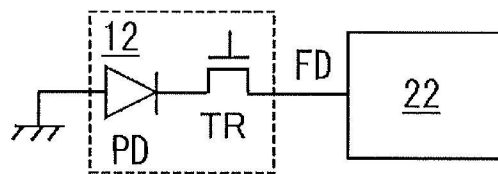
【圖20】



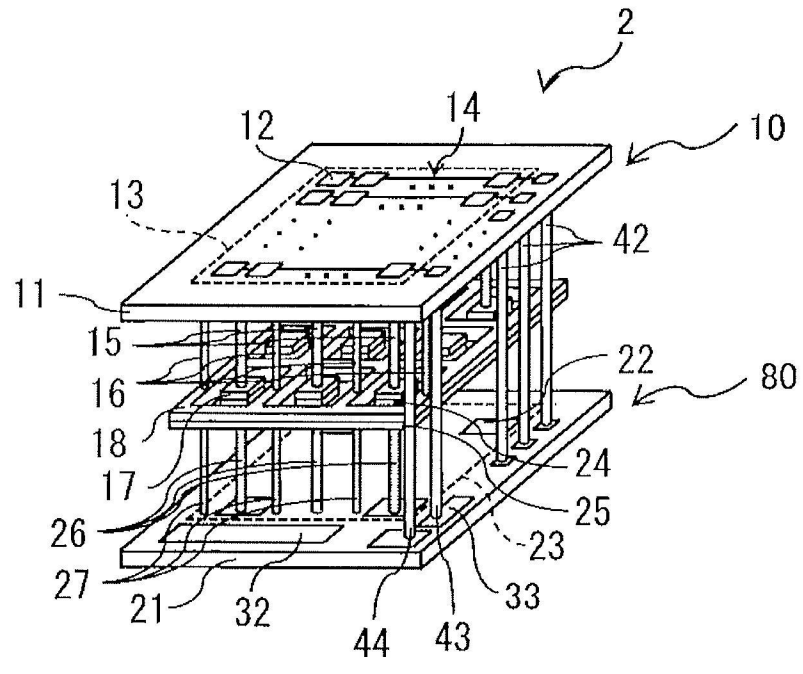
【圖21】



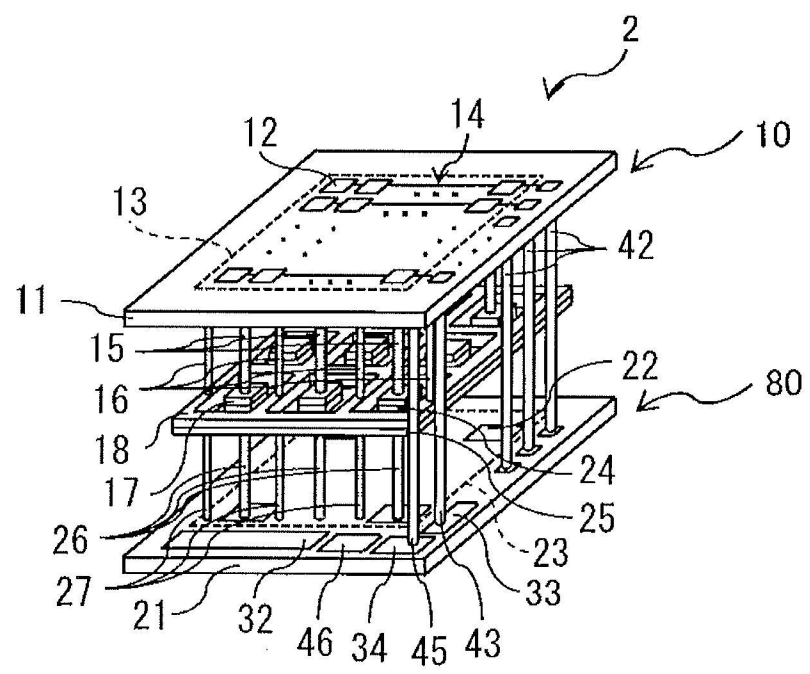
【圖22】



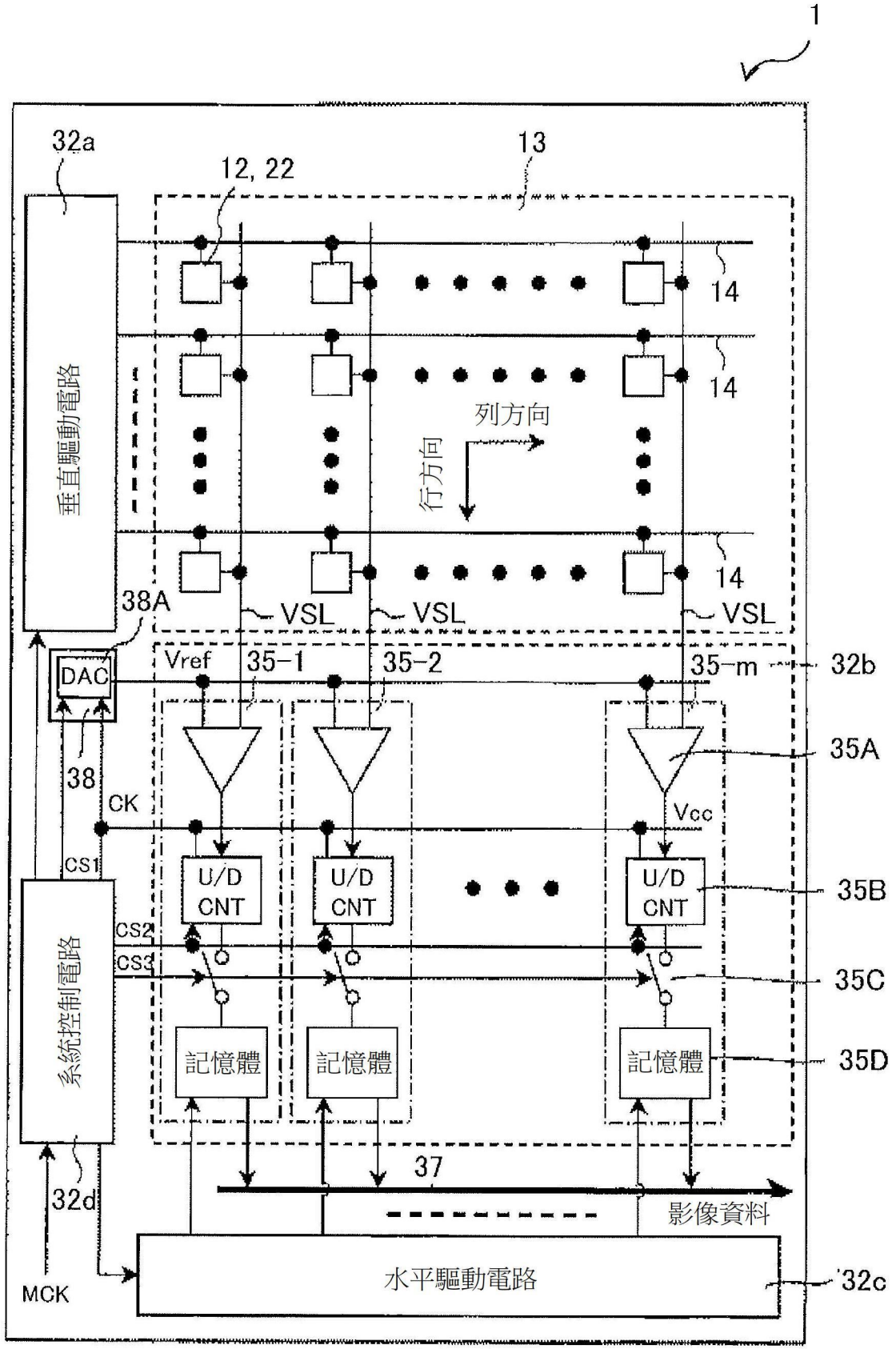
【圖23】



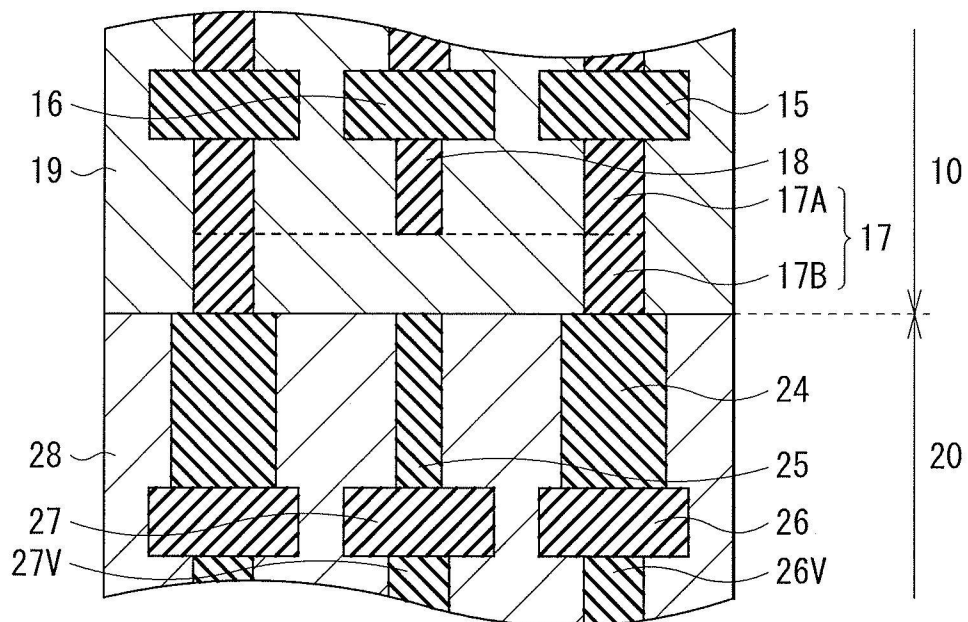
【圖24】



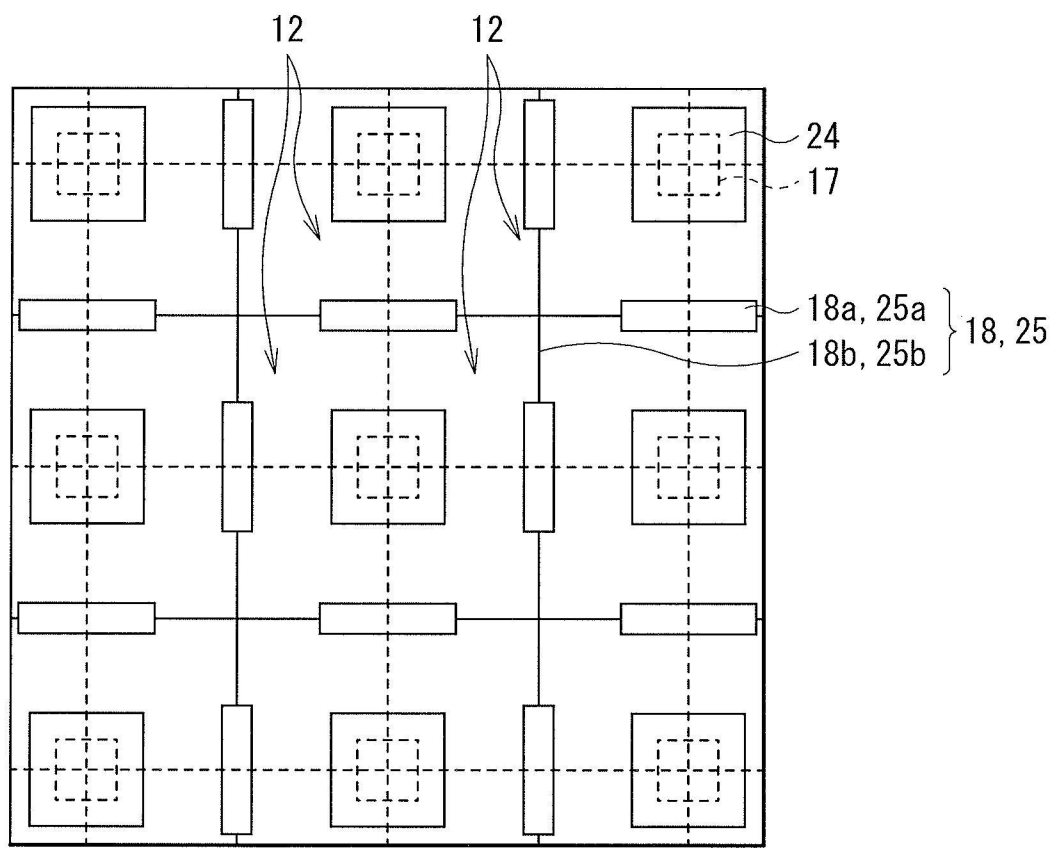
【圖25】



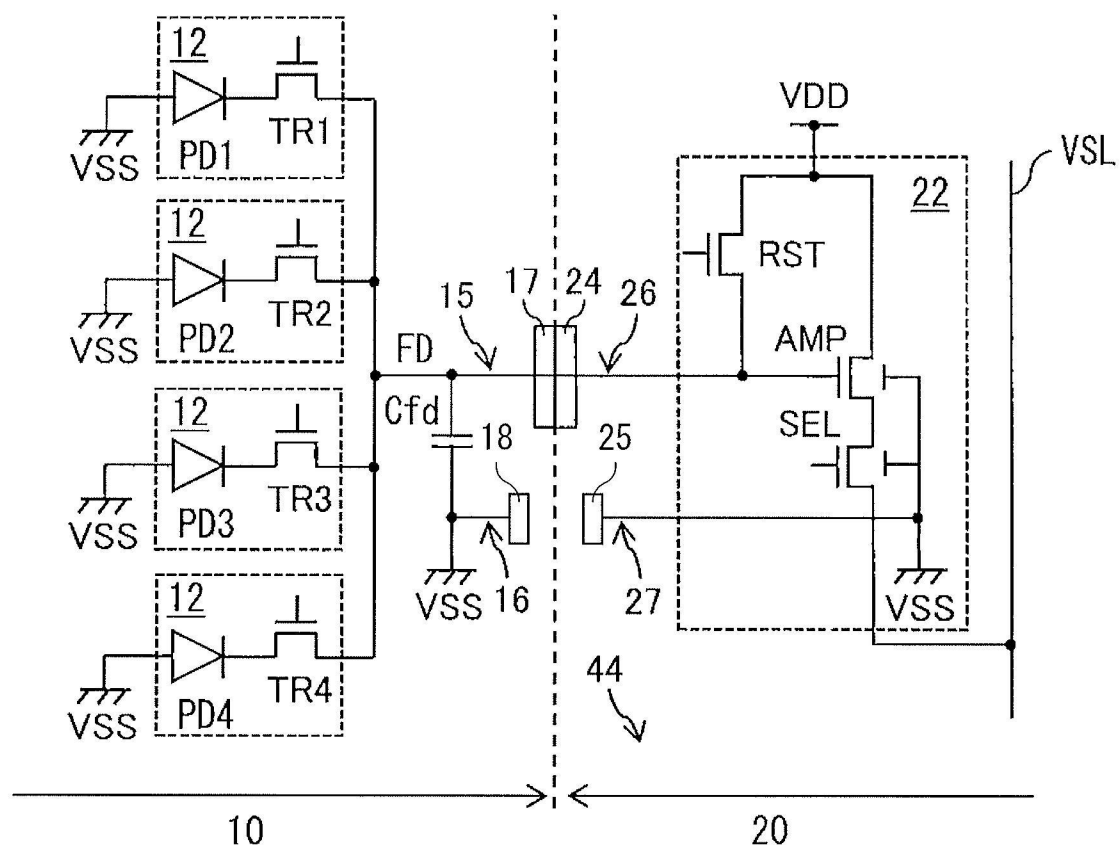
【圖26】



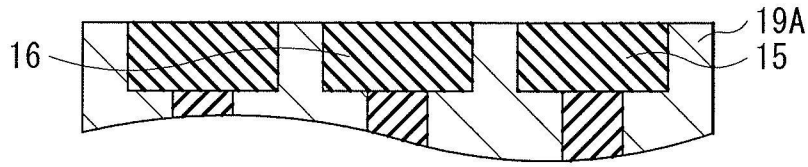
【圖27】



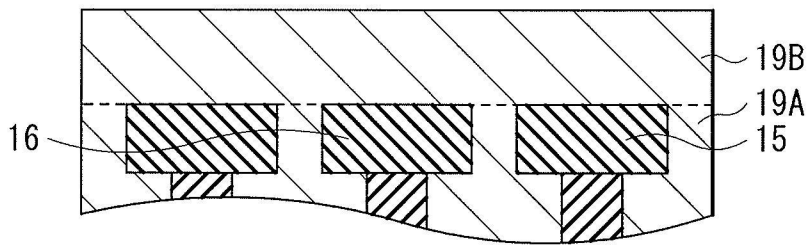
【圖28】



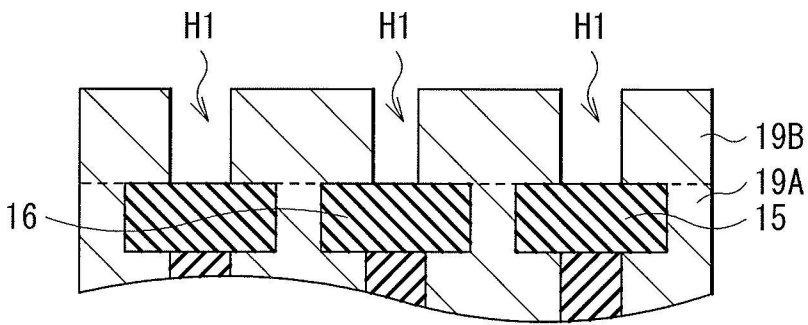
【圖29】



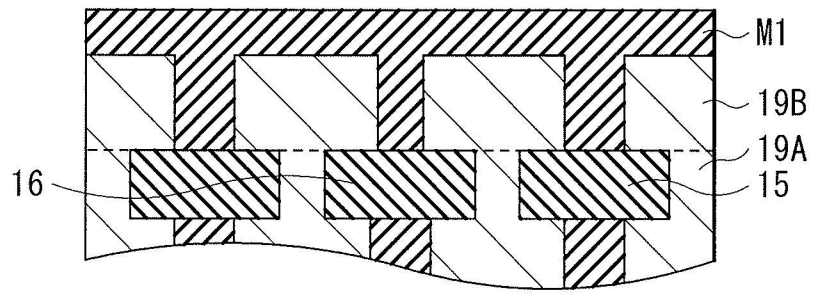
【圖30A】



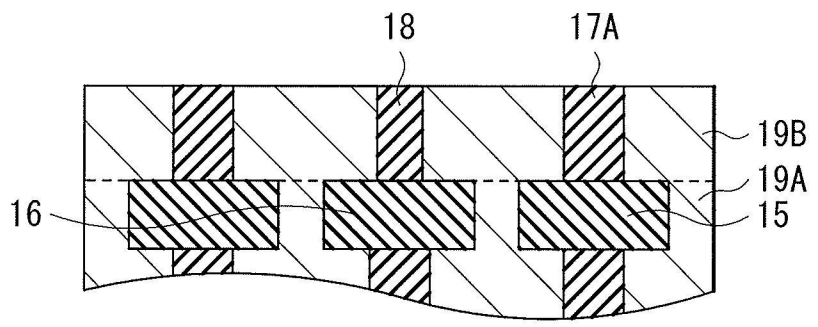
【圖30B】



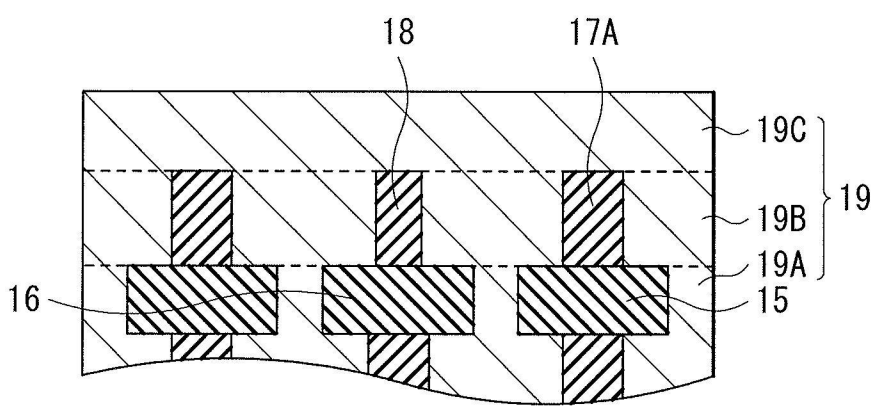
【圖30C】



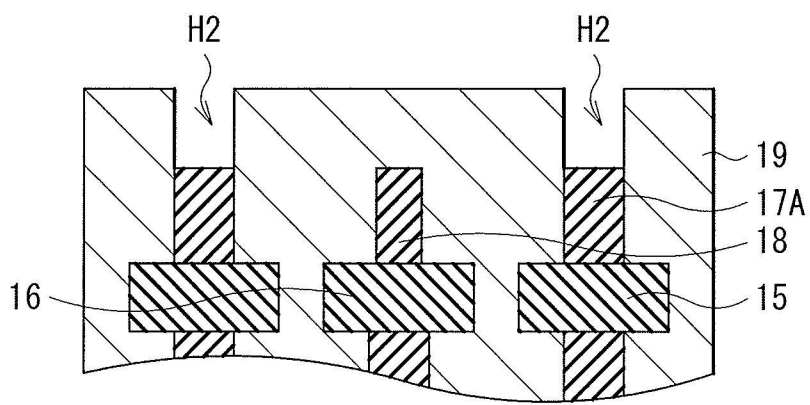
【圖30D】



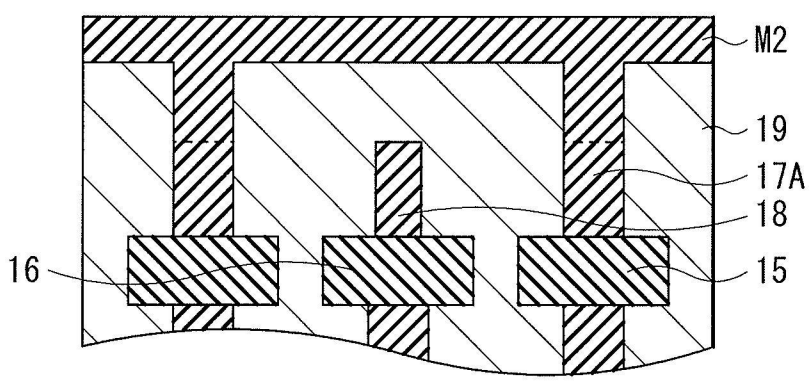
【圖30E】



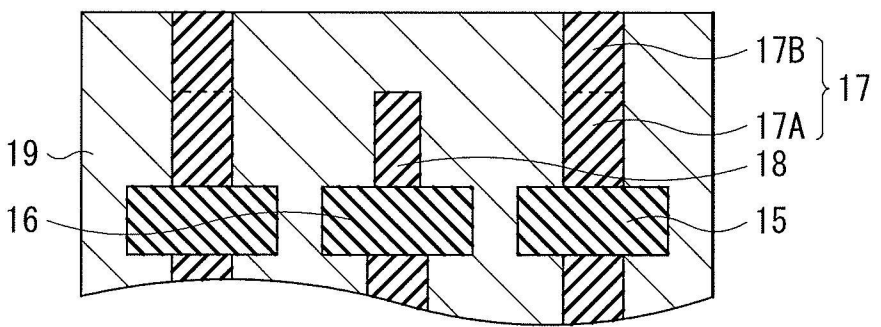
【圖30F】



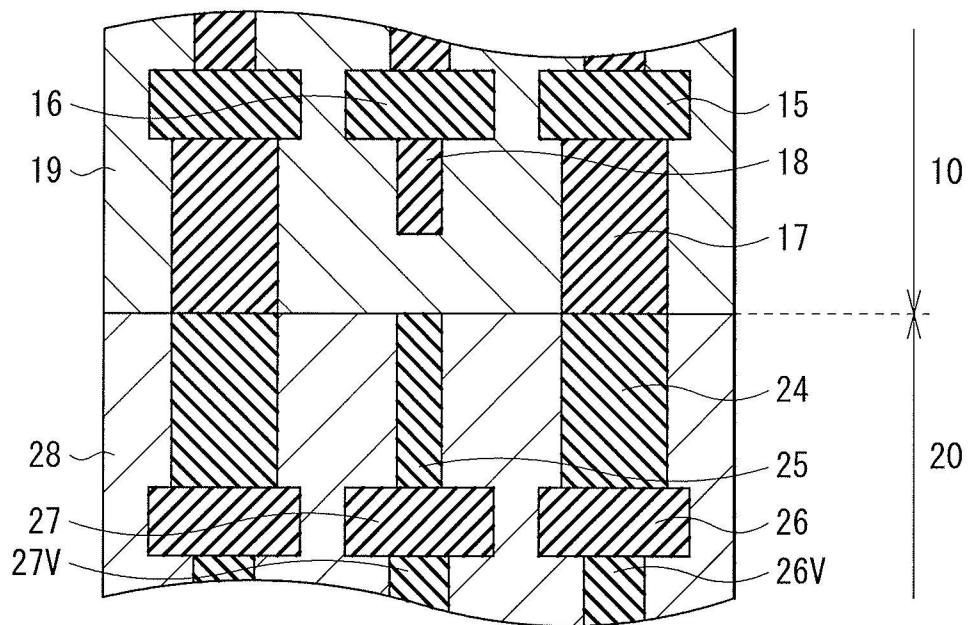
【圖30G】



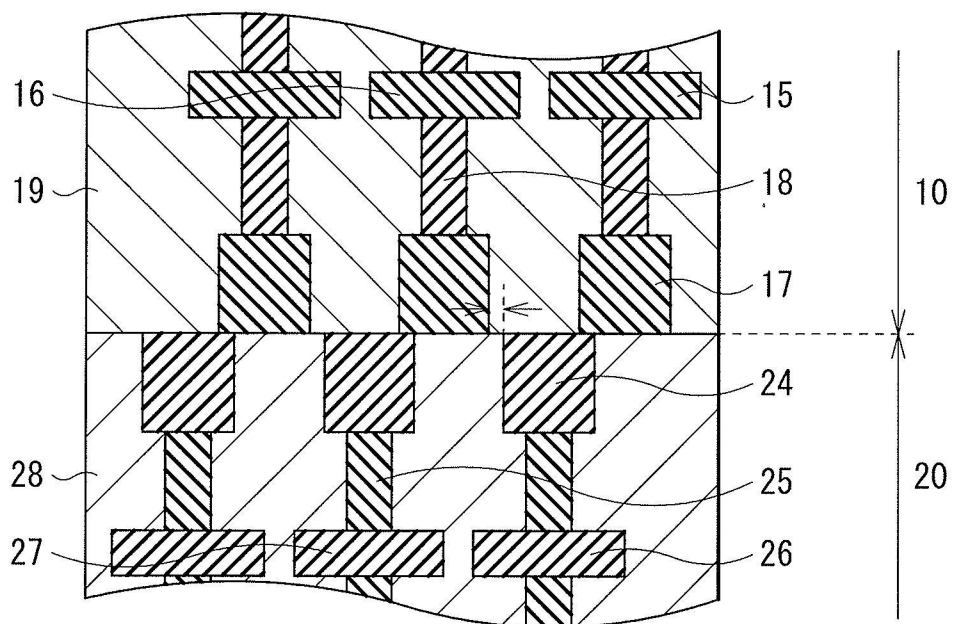
【圖30H】



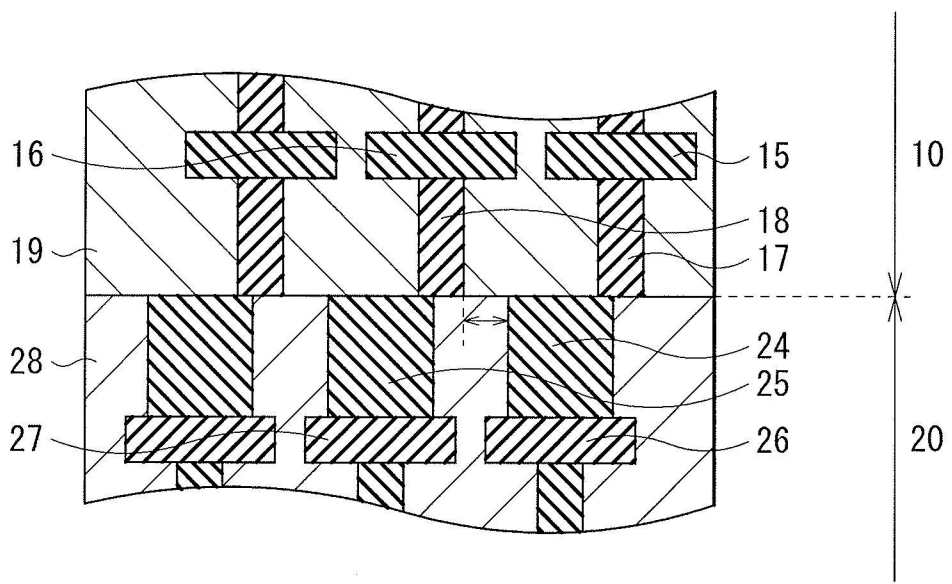
【圖30I】



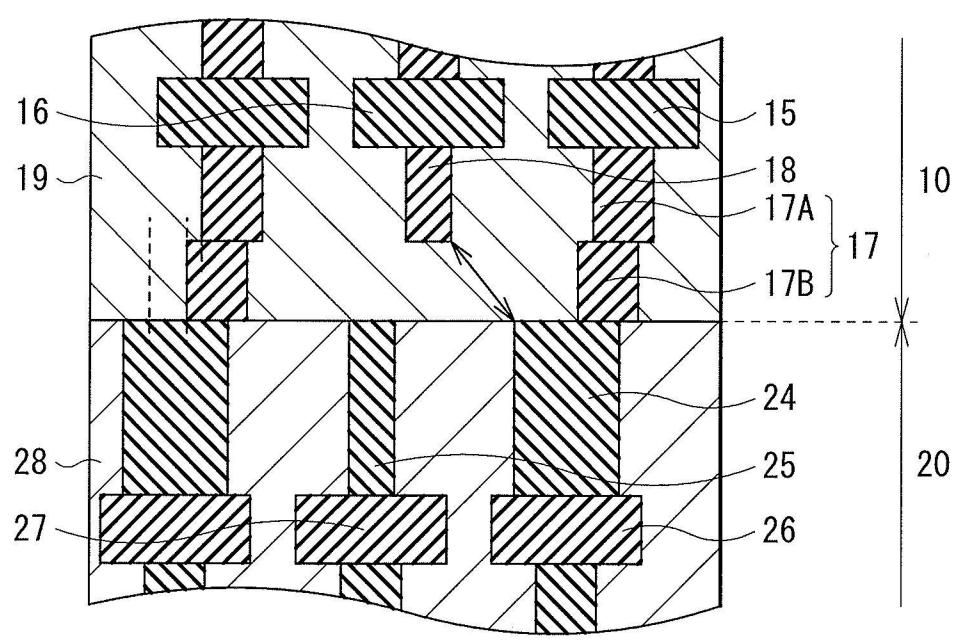
【圖31】



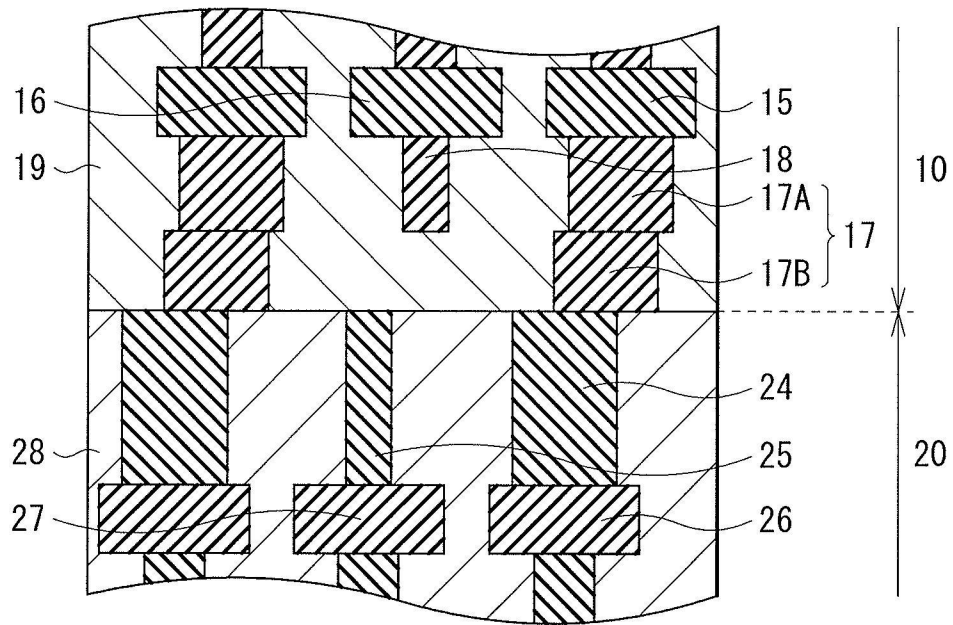
【圖32】



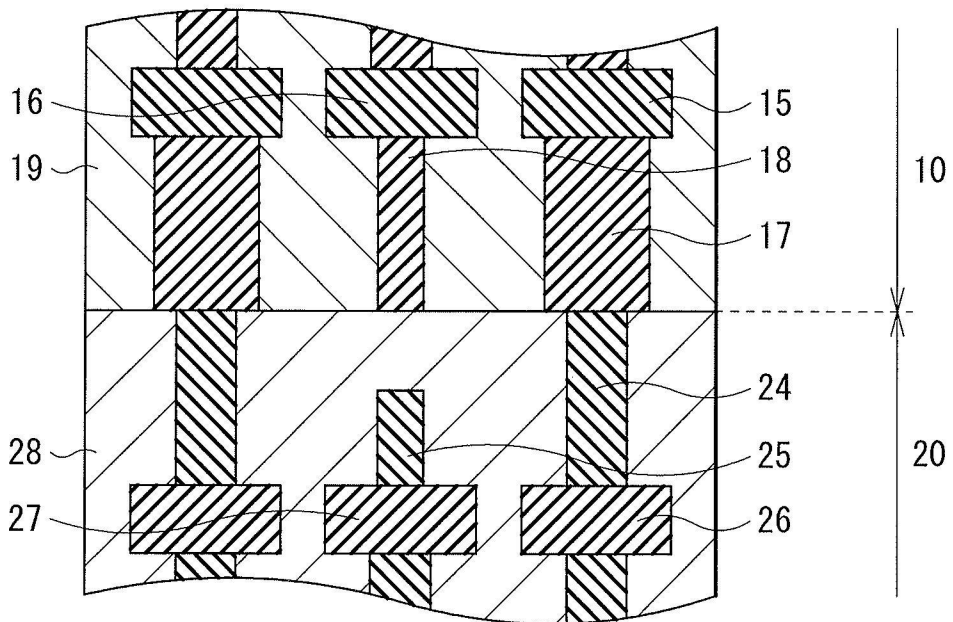
【圖33】



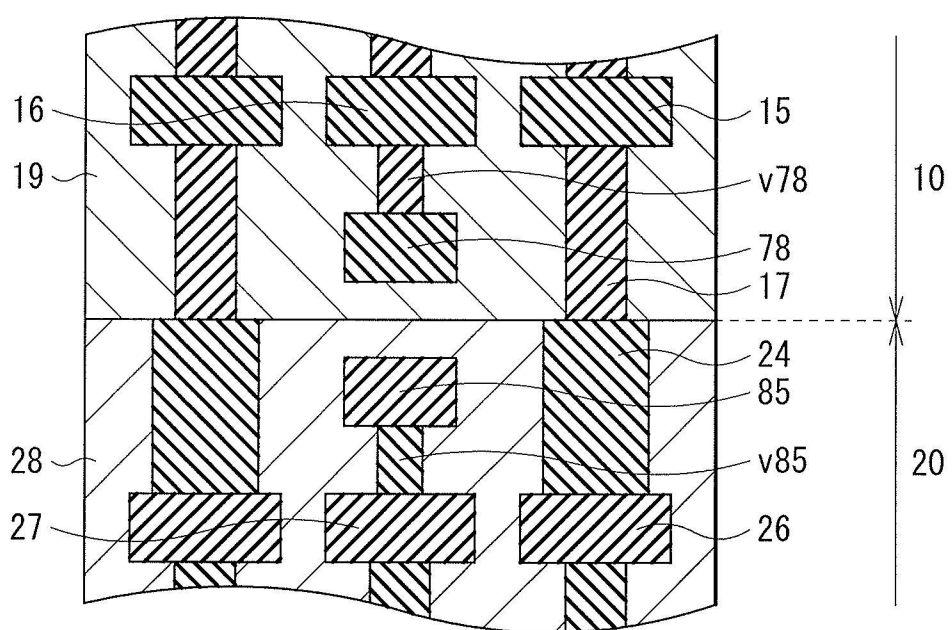
【圖34】



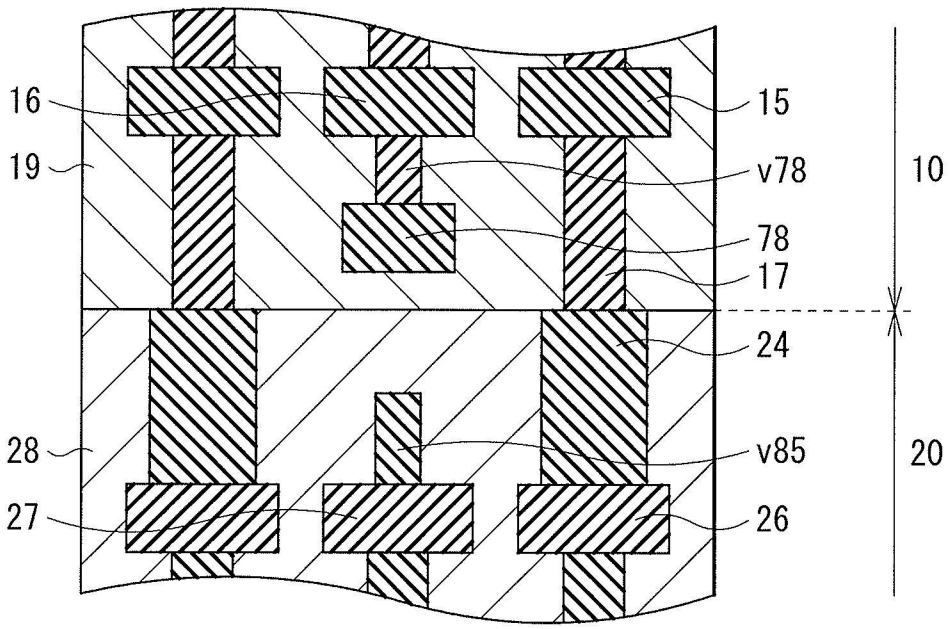
【圖35】



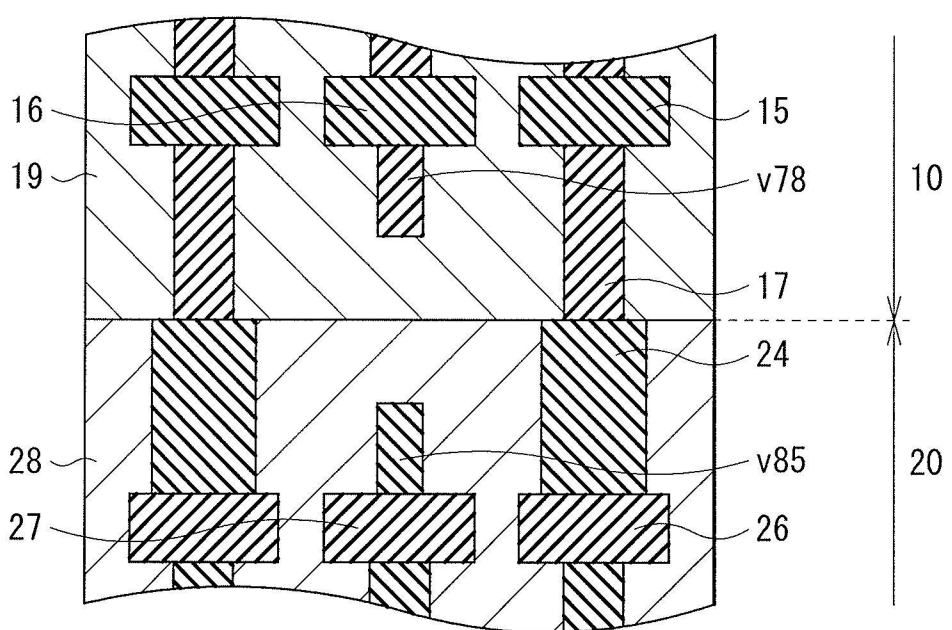
【圖36】



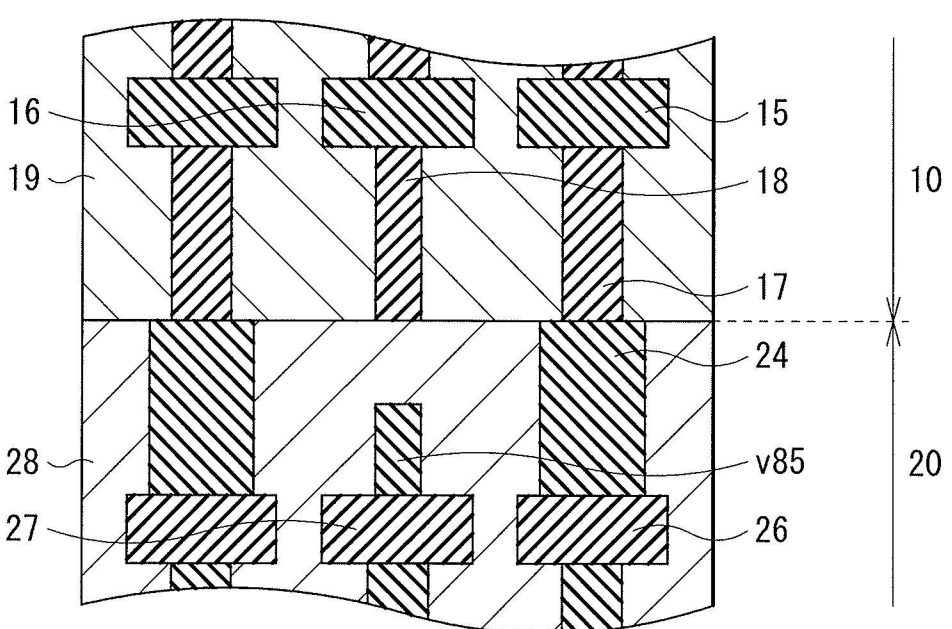
【圖37】



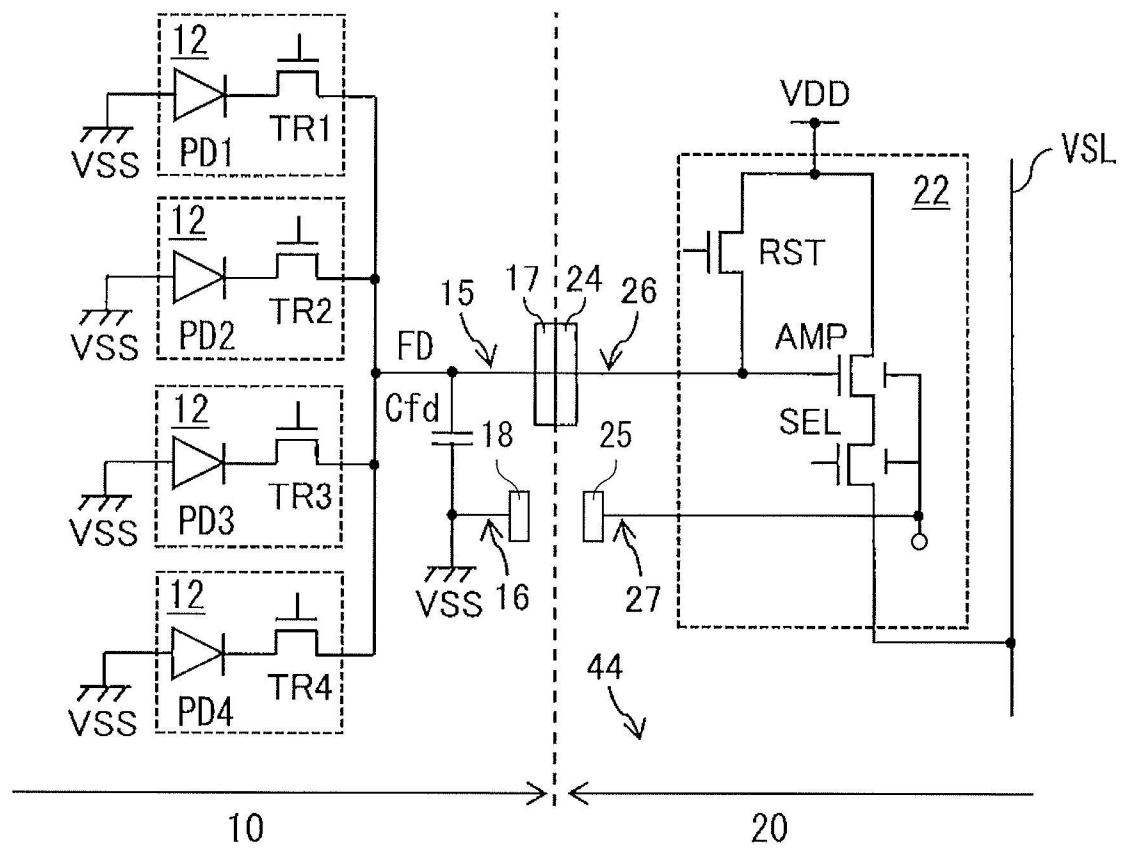
【圖38】



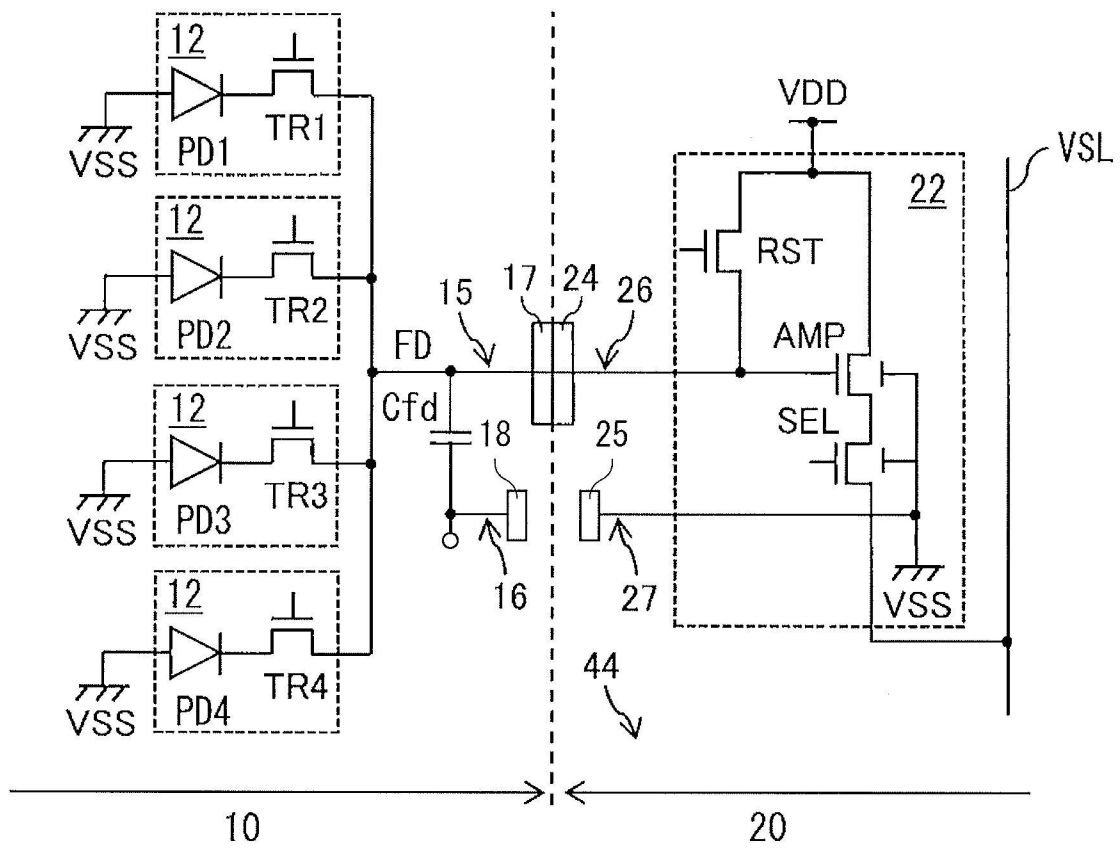
【圖39】



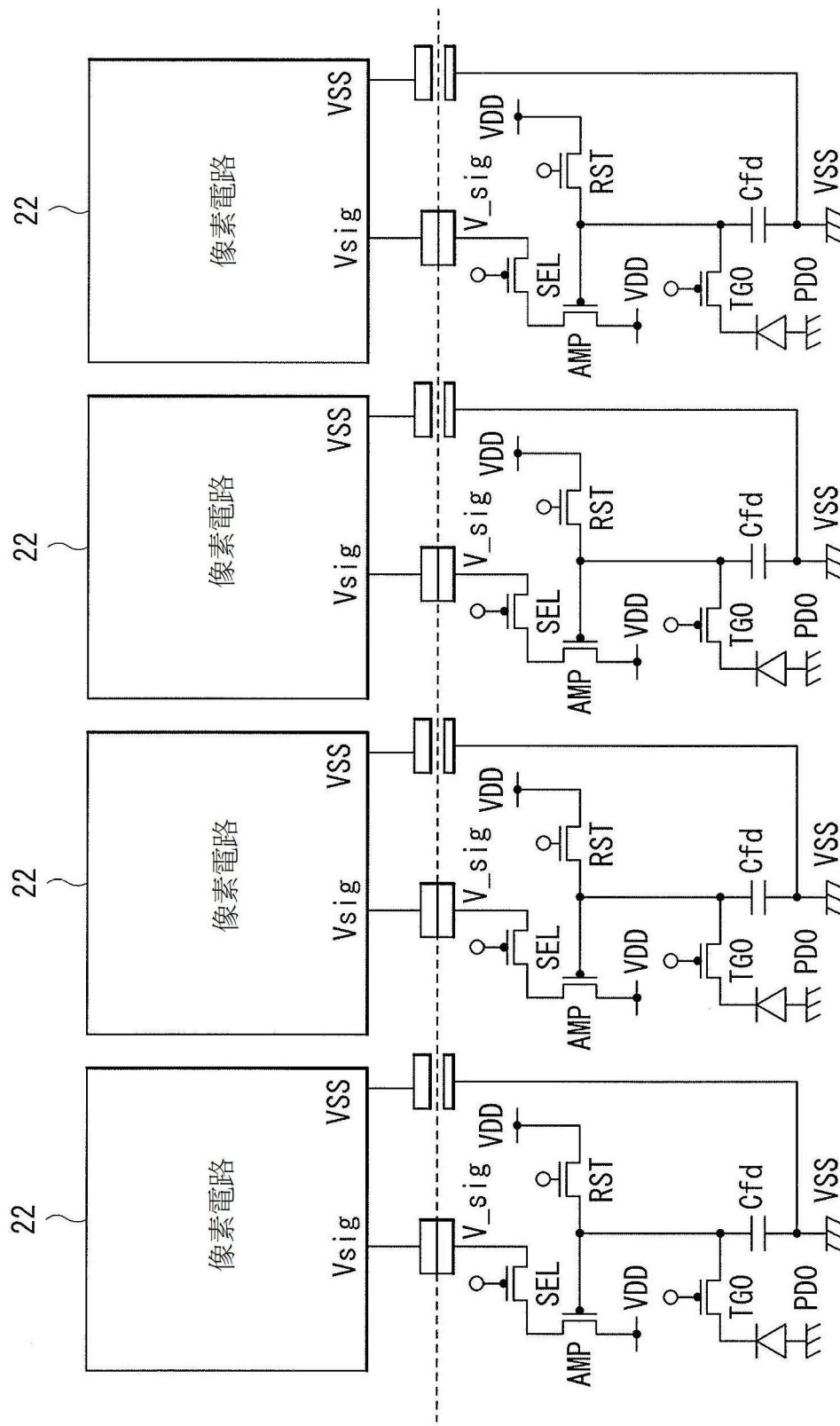
【圖40】



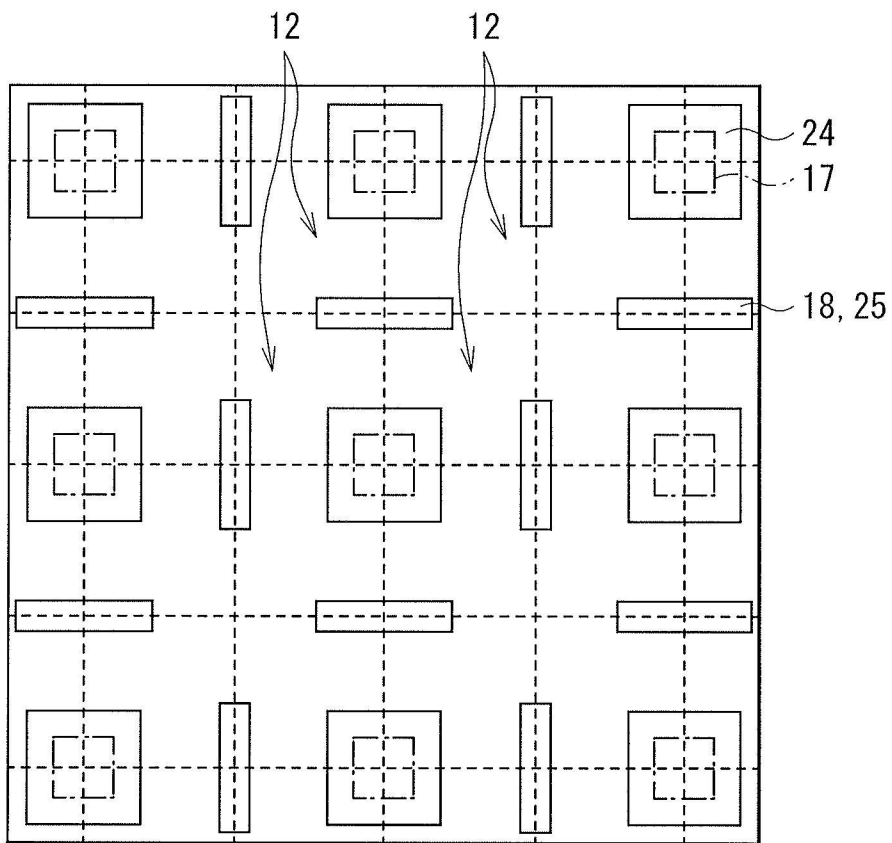
【圖41】



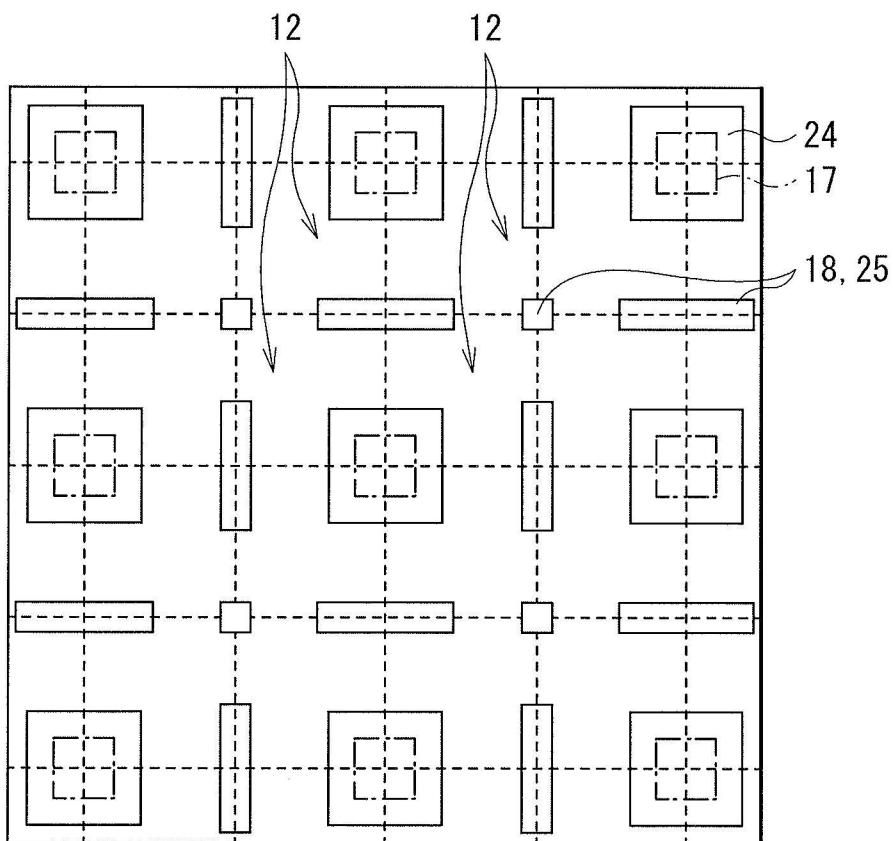
【圖42】



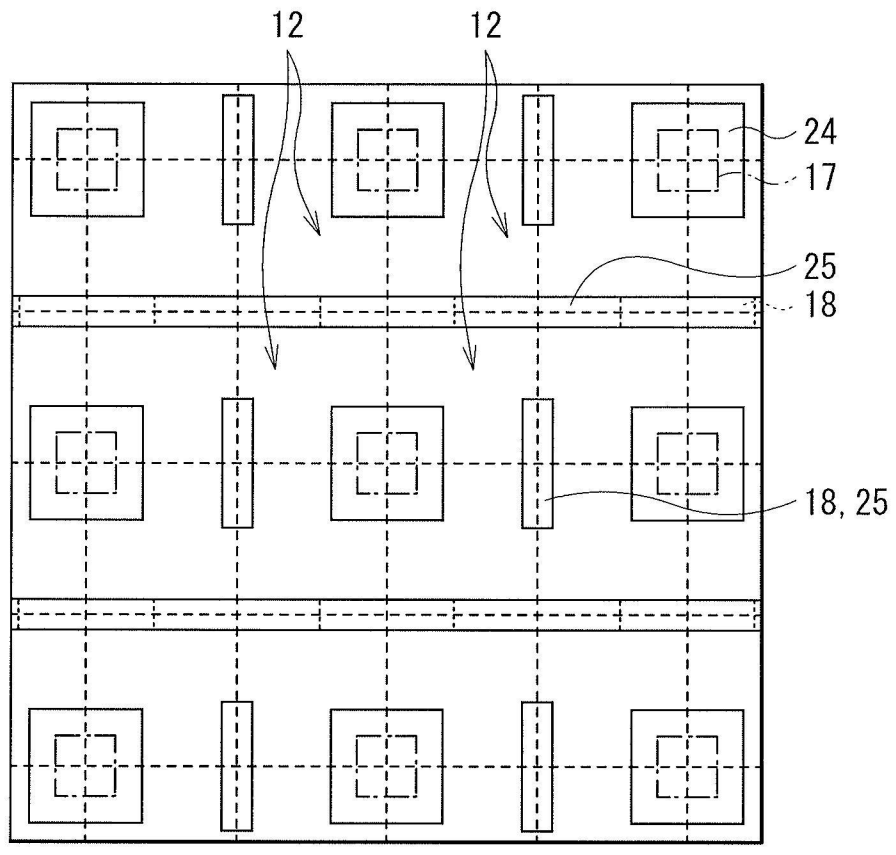
【圖43】



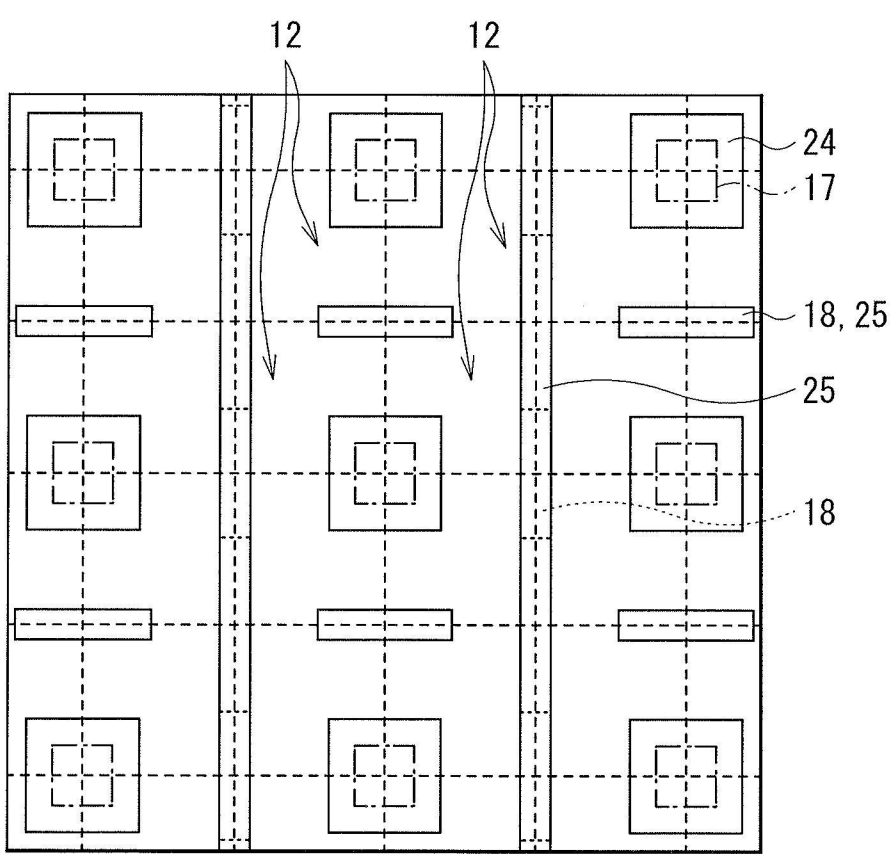
【圖44】



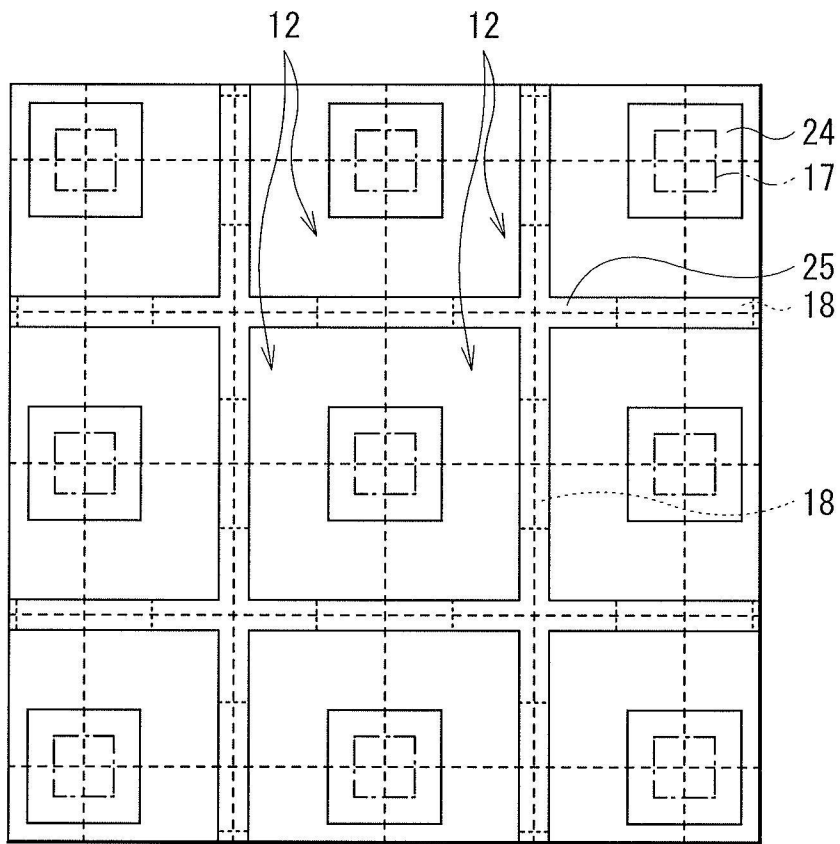
【圖45】



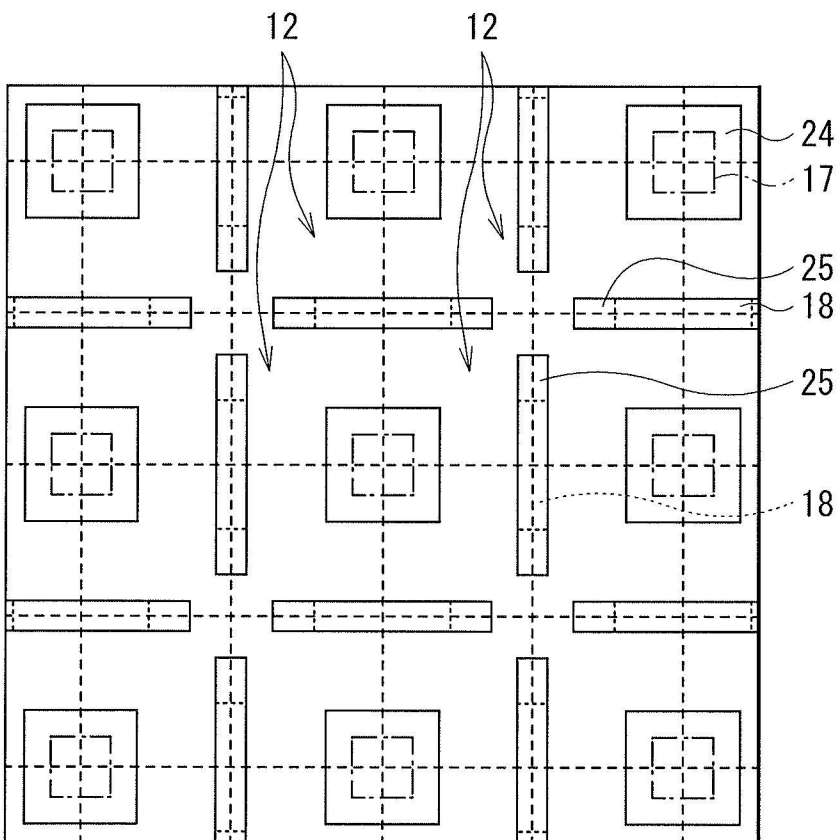
【圖46】



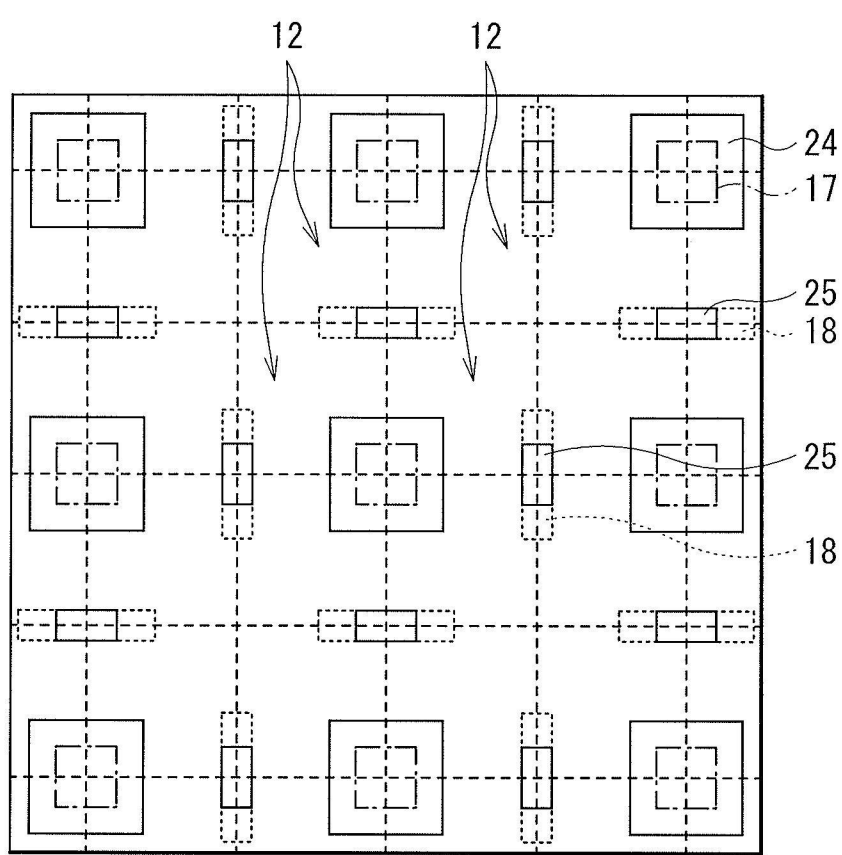
【圖47】



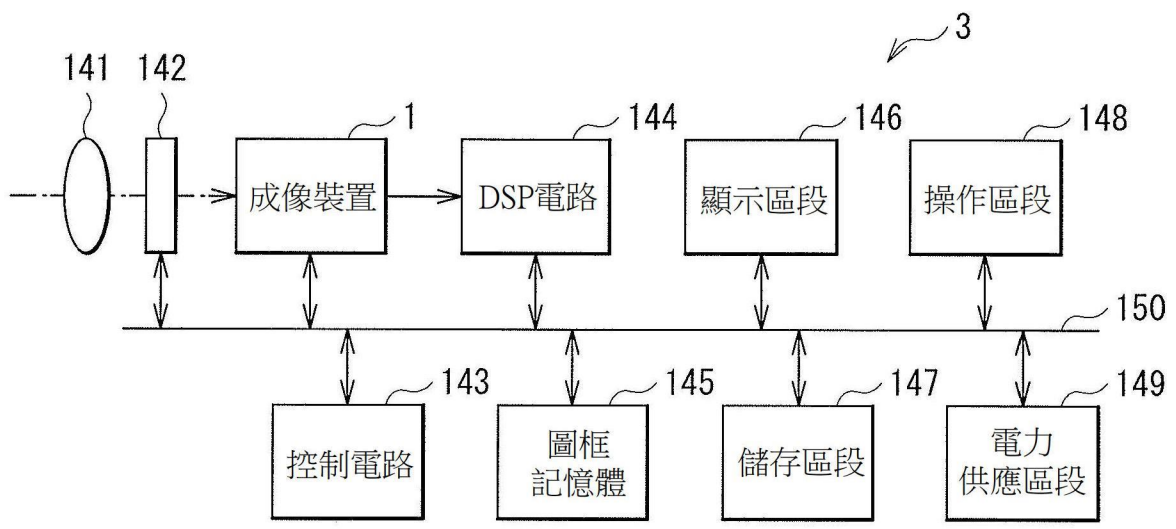
【圖48】



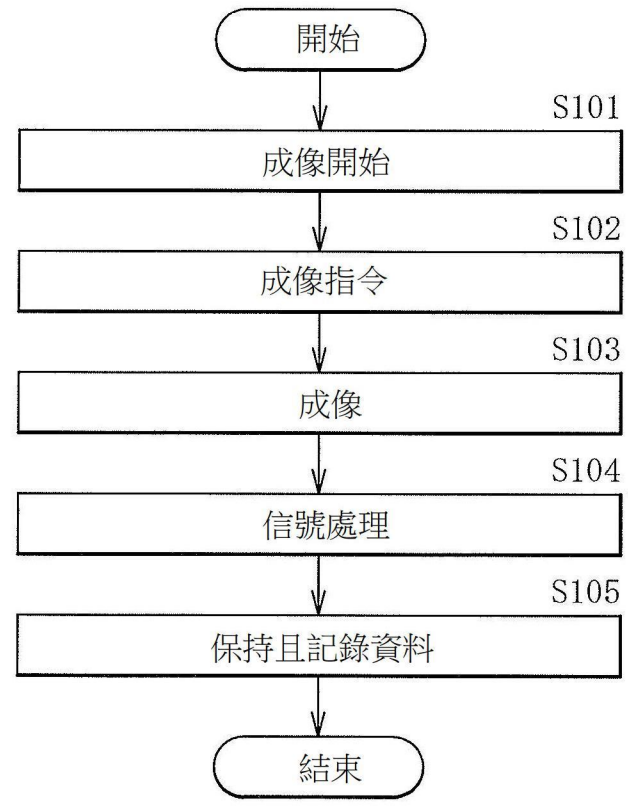
【圖49】



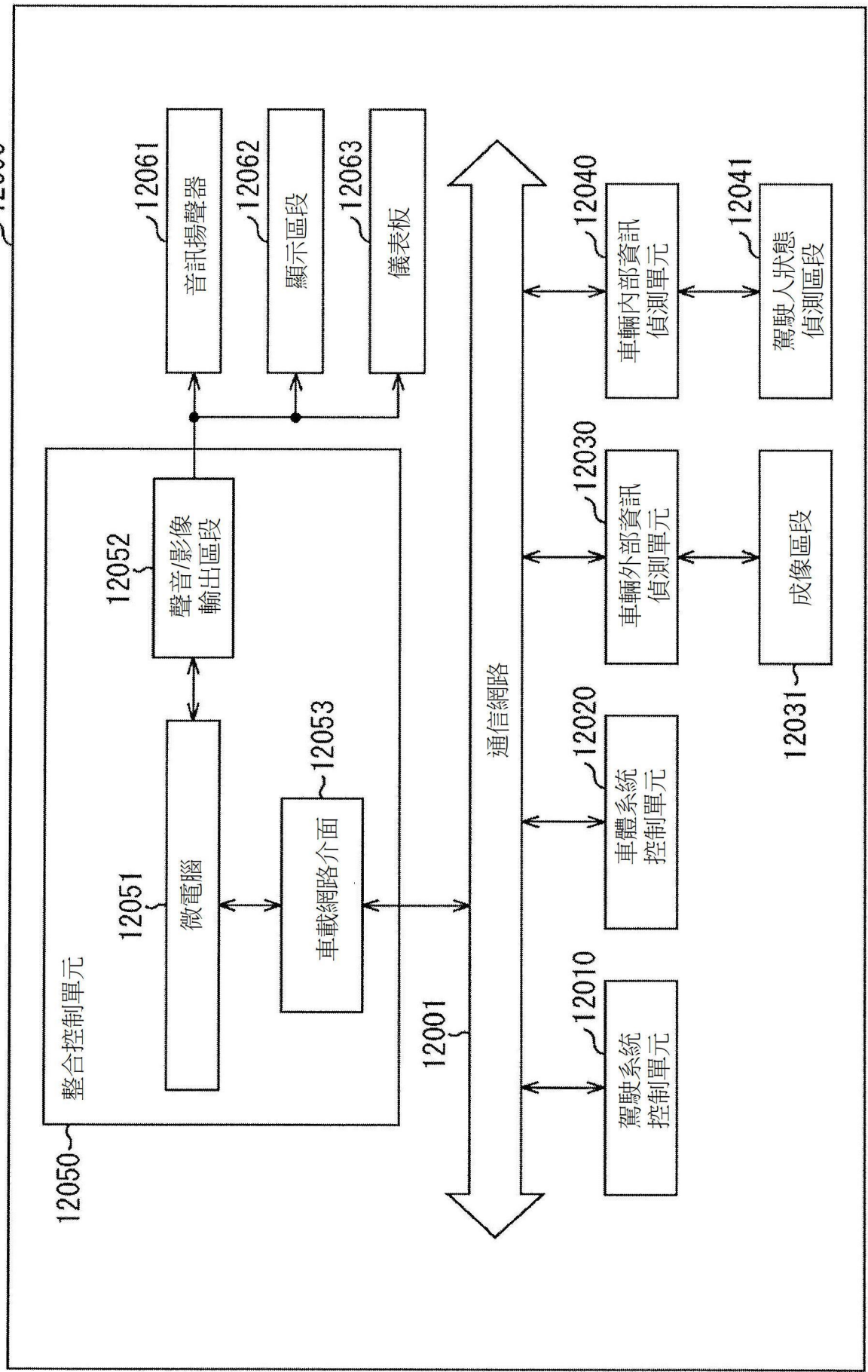
【圖50】



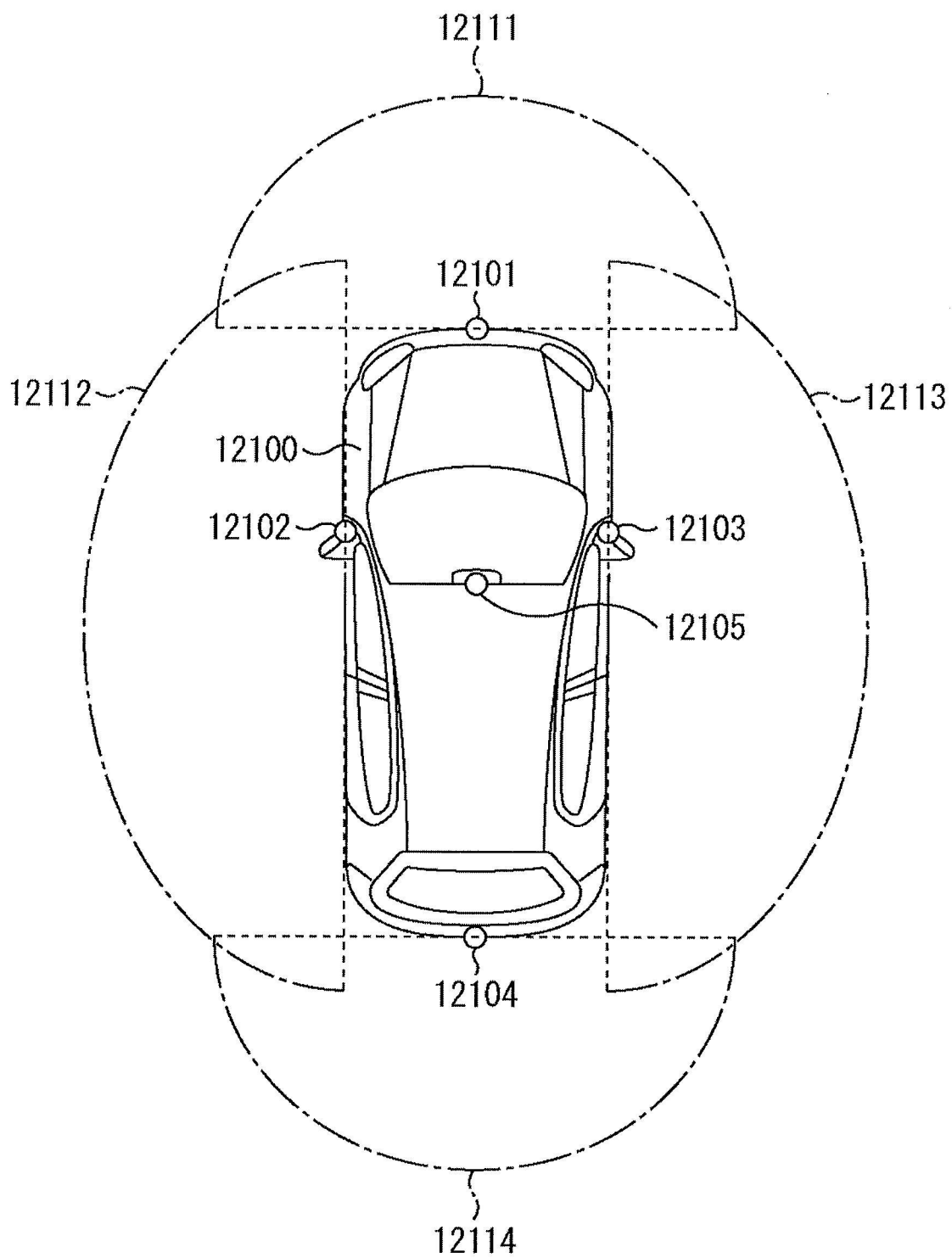
【圖51】



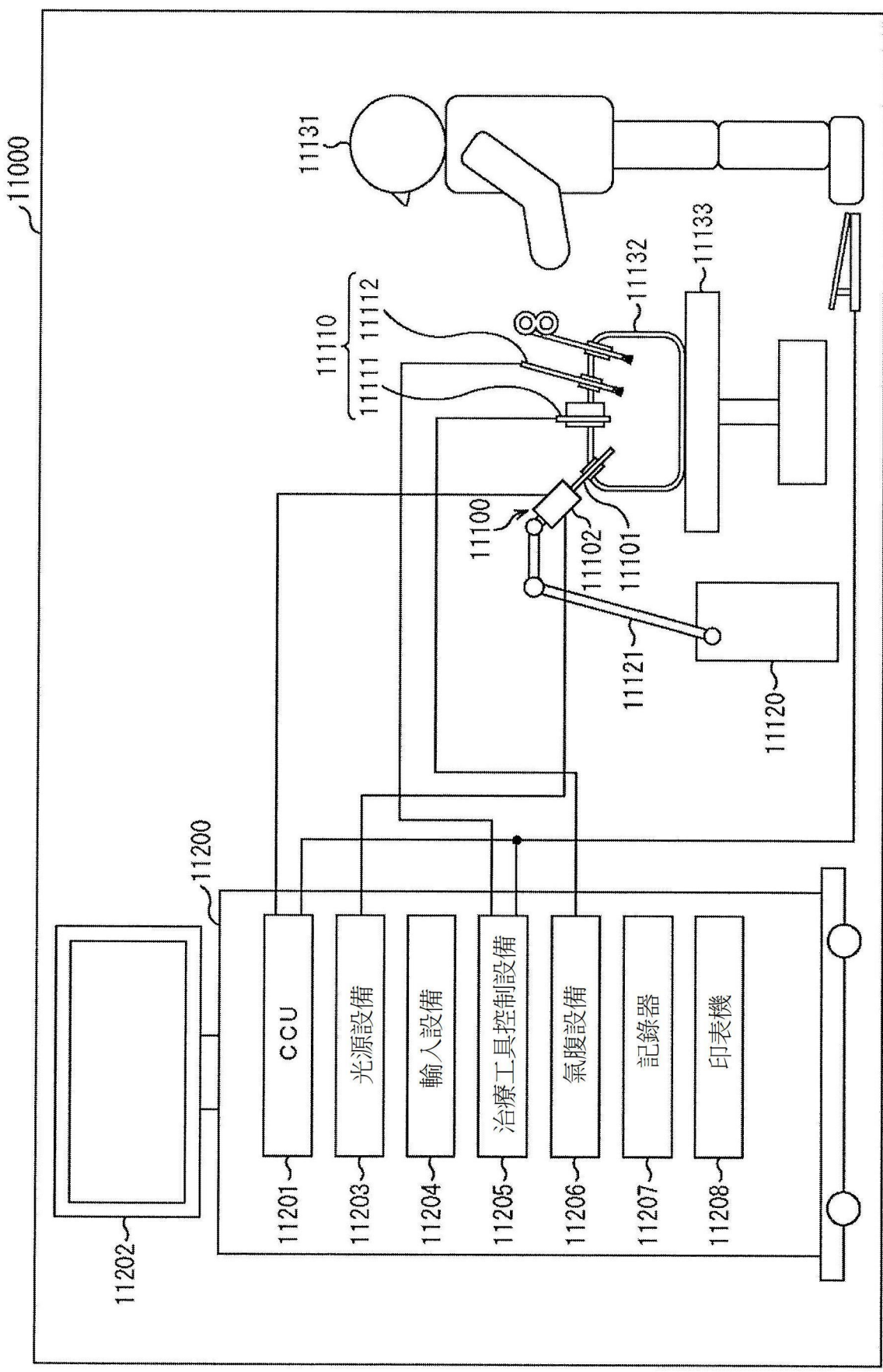
【圖52】



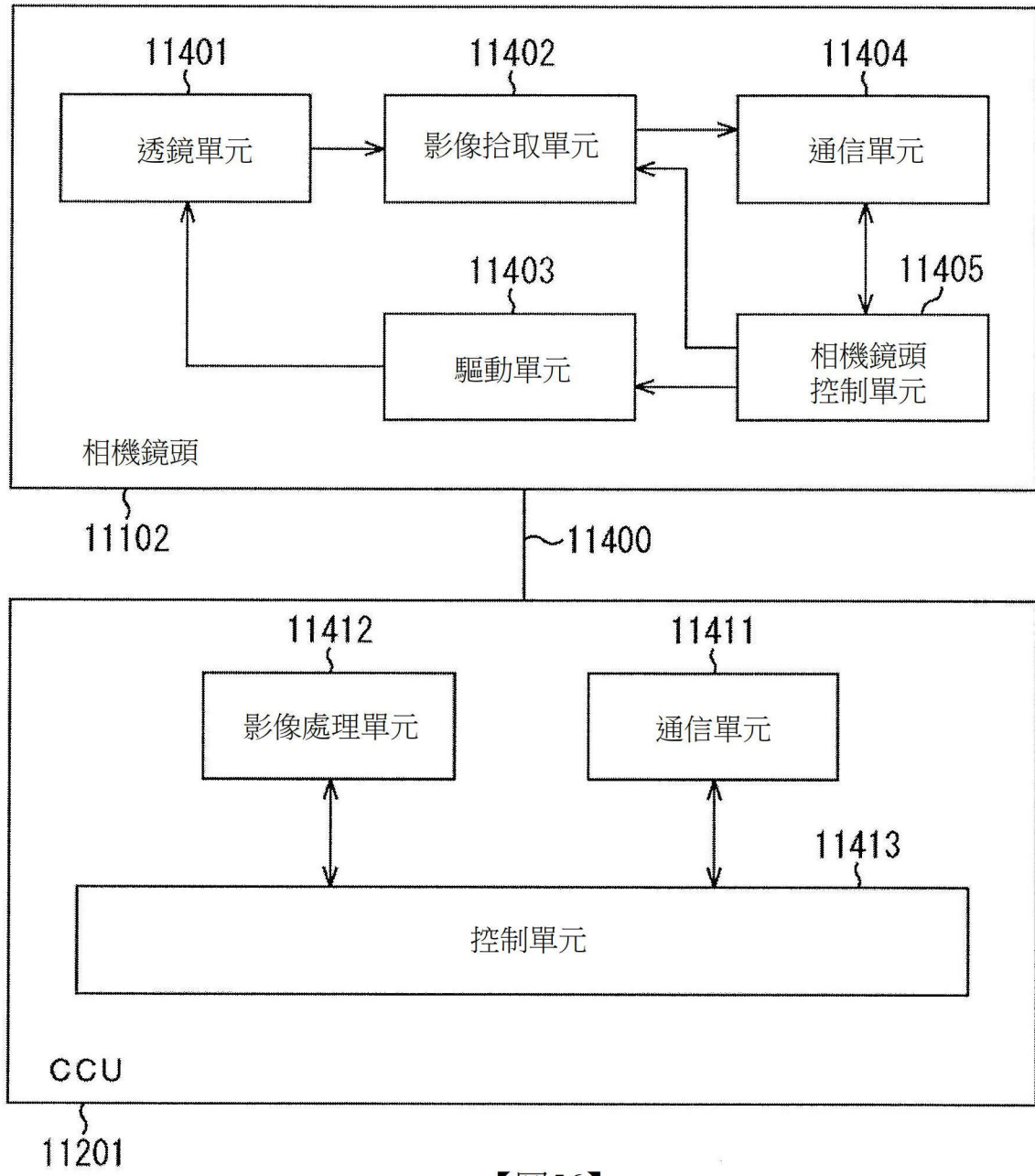
【圖53】



【圖54】



【圖55】



【圖56】