



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년05월28일
(11) 등록번호 10-2110615
(24) 등록일자 2020년05월07일

(51) 국제특허분류(Int. Cl.)
H03K 17/687 (2006.01) H04B 1/44 (2006.01)
(21) 출원번호 10-2014-0004273
(22) 출원일자 2014년01월14일
심사청구일자 2019년01월11일
(65) 공개번호 10-2014-0092256
(43) 공개일자 2014년07월23일
(30) 우선권주장
13/742,086 2013년01월15일 미국(US)
(56) 선행기술조사문헌
W02006011364 A1*
(뒷면에 계속)

(73) 특허권자
트리퀀트 세미컨덕터 인코퍼레이티드
미국 오리건주 (우편번호: 97124) 힐스보로 노스
이스트 브룩우드 파크웨이 2300
(72) 발명자
프라바카르 라비샨카르
미국 오레곤주 97124 힐스보로 노스이스트 브룩우
드 파크웨이 2300
푸리노 제임스 피 주니어
미국 오레곤주 97124 힐스보로 노스이스트 브룩우
드 파크웨이 2300
(74) 대리인
제일특허법인(유)

전체 청구항 수 : 총 27 항

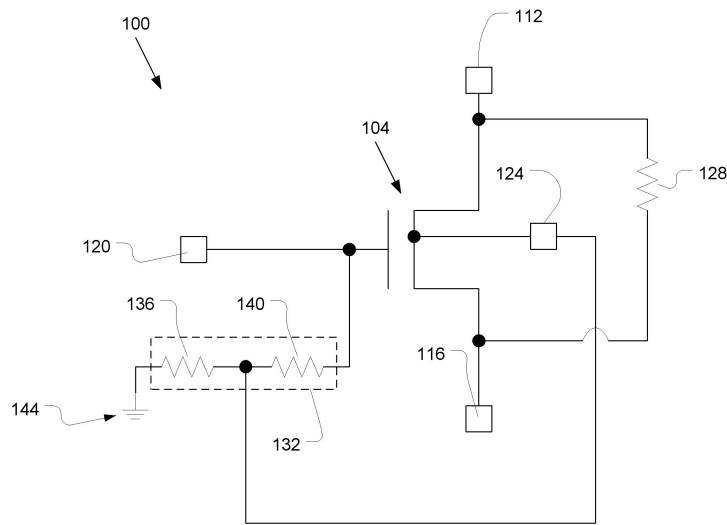
심사관 : 나병윤

(54) 발명의 명칭 저항 분배기를 구비하는 스위칭 디바이스

(57) 요약

실시예들은 하나 이상의 전계 효과 트랜지스터(FET)들을 포함하는 스위칭 디바이스를 제공한다. 실시예들에서, 제 1 저항 및 제 2 저항을 포함하는 저항 분배기는 전기적으로 FET의 게이트 단자 및 FET의 바디 단자 사이에 있는 위치에서 FET와 연결될 수 있다.

대표도



(56) 선행기술조사문헌

US5959488 A

US7158067 B2

US6924673 B2

US6958519 B2

US6989706 B2

KR100496863 B1

JP2012015608 A

US05959488 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

소스 단자, 게이트 단자, 드레인 단자 및 바디 단자를 포함하는 금속-산화막 반도체 전계 효과 트랜지스터 (metal-oxide-semiconductor field-effect transistor; MOSFET)와,

제 1 저항 및 제 2 저항을 가지는 저항 분배기(a resistive divider) - 상기 제 2 저항은 상기 게이트 단자와 상기 바디 단자 사이에 연결되어 있고, 상기 제 1 저항은 접지원에 연결되어 있음 -

를 포함하되,

상기 게이트 단자에는 DC 전압원이 연결되고, 상기 DC 전압원은 상기 게이트 단자 및 상기 저항 분배기에 일정한 DC 전압(constant DC voltage)을 제공하도록 구성되고,

상기 게이트 단자의 전압 및 상기 바디 단자의 전압은, 상기 일정한 DC 전압 및 상기 접지원의 접지 전압에 따라 달라지고 상기 소스 단자의 전압 및 상기 드레인 단자의 전압과는 무관하며,

상기 소스 단자 또는 상기 드레인 단자 중 적어도 하나는 무선 주파수 신호에 연결되는

회로.

청구항 2

제 1 항에 있어서,

상기 MOSFET는 n-형 MOSFET인

회로.

청구항 3

제 1 항에 있어서,

상기 MOSFET는 p-형 MOSFET인

회로.

청구항 4

제 1 항에 있어서,

상기 제 1 저항은 상기 접지원과 연결되는 제 1 접속부 및 상기 바디 단자와 연결되는 제 2 접속부를 포함하는

회로.

청구항 5

제 4 항에 있어서,

상기 제 2 저항은 상기 바디 단자와 연결되는 제 1 접속부 및 상기 게이트 단자와 연결되는 제 2 접속부를 포함하는

회로.

청구항 6

제 1 항에 있어서,

상기 저항 분배기는 상기 게이트 단자의 전압이 상기 접지 전압과 동일하지 않을 때 상기 바디 단자의 전압을 상기 게이트 단자의 전압과 상기 접지 전압 사이에서 바이어싱하도록 구성되는

회로.

청구항 7

제 6 항에 있어서,

상기 바디 단자의 전압은 상기 제 1 저항의 레지스턴스 및 상기 제 2 저항의 레지스턴스에 적어도 부분적으로 기초하여 사전결정된 전압인

회로.

청구항 8

제 7 항에 있어서,

상기 게이트 단자의 전압은 상기 접지 전압에 대하여 양(positive)인

회로.

청구항 9

제 7 항에 있어서,

상기 게이트 단자의 전압은 상기 접지 전압에 대하여 음(negative)인

회로.

청구항 10

제 1 항에 있어서,

상기 MOSFET 및 상기 저항 분배기를 포함하는 스위치와,

상기 스위치를 포함하는, 무선(radio frequency; RF) 프론트 엔드(front end), RF 송신기 또는 전력 변환기를 더 포함하는

회로.

청구항 11

일정한 DC 전압을 제공하도록 구성되는 DC 전력원과,

접지 전압을 제공하도록 구성되는 접지원과,

상기 DC 전력원 및 상기 접지원과 연결되는 하나 이상의 단위 셀을 포함하되, 상기 하나 이상의 단위 셀 중 하나의 단위 셀은,

바디 단자 및 게이트 단자를 가지는 금속-산화막 반도체 전계 효과 트랜지스터(MOSFET) - 상기 게이트 단자는, 상기 DC 전력원이 상기 게이트 단자에 상기 일정한 DC 전압을 제공하게 구성되도록, 상기 DC 전력원과 연결됨 - 와,

상기 접지원에 연결된 제 1 저항 및 상기 게이트 단자와 상기 바디 단자 사이에 연결된 제 2 저항을 포함하는, 캐패시터를 포함하지 않는 저항 분배기

를 포함하고,

상기 저항 분배기는, 상기 일정한 DC 전압이 상기 접지 전압과 동일하지 않을 때 상기 바디 단자의 전압을 상기 일정한 DC 전압과 상기 접지 전압 사이에서 바이어싱하도록 구성되어, 상기 바디 단자의 전압 및 상기 게이트 단자의 전압이 상기 일정한 DC 전압 및 상기 접지 전압에 따라 달라지고 소스 단자 및 드레인 단자의 전압과는 무관하게 하고,

상기 소스 단자 또는 상기 드레인 단자 중 적어도 하나는 무선 주파수 신호에 연결되며,

상기 MOSFET가 온 상태에 있을 때, 상기 바디 단자의 전압은 상기 제 1 저항과 상기 제 2 저항의 레지스턴스 비에 기초하고, 상기 소스 단자와 상기 게이트 단자 사이에서 신호원으로부터의 신호 전달을 강화시키는

회로.

청구항 12

제 11 항에 있어서,

상기 MOSFET는 p-형 MOSFET인

회로.

청구항 13

제 11 항에 있어서,

상기 MOSFET는 n-형 MOSFET인

회로.

청구항 14

제 11 항에 있어서,

상기 제 1 저항은 상기 접지원에 연결되는 제 1 접속부 및 상기 바디 단자에 연결되는 제 2 접속부를 포함하는

회로.

청구항 15

제 11 항에 있어서,

상기 제 2 저항은 상기 바디 단자에 연결되는 제 1 접속부 및 상기 게이트 단자에 연결되는 제 2 접속부를 포함하는

회로.

청구항 16

제 11 항에 있어서,

상기 저항 분배기는 상기 게이트 단자와 상기 바디 단자 사이에서 상기 게이트 단자 및 상기 바디 단자에 연결되는

회로.

청구항 17

제 16 항에 있어서,

상기 바디 단자의 전압은 상기 저항 분배기의 레지스턴스에 적어도 부분적으로 기초하여 사전결정된 전압인

회로.

청구항 18

제 17 항에 있어서,

상기 일정한 DC 전압은 상기 접지 전압에 대하여 양인

회로.

청구항 19

제 17 항에 있어서,

상기 일정한 DC 전압은 상기 접지 전압에 대하여 음인

회로.

청구항 20

금속-산화막 반도체 전계 효과 트랜지스터(MOSFET)와 DC 전력원 및 접지원을 연결시키는 단계 - 상기 MOSFET은 드레인 단자, 바디 단자, 소스 단자 및 게이트 단자를 포함함 - 와,

제 1 저항을 제 2 저항 및 상기 접지원에 직접 연결해서 저항 분배기를 형성하는 단계와,

상기 제 2 저항이 상기 바디 단자와 상기 게이트 단자 사이에 포지셔닝(positioning)되도록 상기 MOSFET의 상기 게이트 단자 및 상기 바디 단자를 상기 저항 분배기와 연결시켜, 상기 바디 단자 및 상기 게이트 단자의 전압이 상기 DC 전력원이 제공하는 일정한 DC 게이트 전압 및 상기 접지원의 접지 전압에 따라 달라지고 상기 소스 단자 및 상기 드레인 단자의 전압과는 무관하게 하는 단계와,

상기 소스 단자 또는 상기 드레인 단자 중 적어도 하나를 무선 주파수 신호에 연결시키는 단계를 포함하되,

상기 저항 분배기 내의 상기 제 1 저항의 레지스턴스 및 상기 제 2 저항의 레지스턴스는, 상기 게이트 단자가 상기 DC 전력원이 제공하는 상기 일정한 DC 게이트 전압에 있을 때 상기 소스 단자와 상기 게이트 단자 사이에서 신호원으로부터의 신호 전달을 강화시키기 위한 상기 바디 단자의 원하는 전압에 적어도 부분적으로 기초하고,

상기 일정한 DC 게이트 전압은 상기 접지원의 상기 접지 전압과 동일하지 않은

방법.

청구항 21

제 20 항에 있어서,
상기 MOSFET는 n-형 MOSFET인
방법.

청구항 22

제 20 항에 있어서,
상기 MOSFET는 p-형 MOSFET인
방법.

청구항 23

제 20 항에 있어서,
상기 제 1 저항의 제 1 접속부를 상기 접지원과 연결하는 단계와 상기 제 1 저항의 제 2 접속부를 상기 바디 단자와 연결하는 단계를 더 포함하는
방법.

청구항 24

제 20 항에 있어서,
상기 제 2 저항의 제 1 단자를 상기 게이트 단자와 연결하는 단계와 상기 제 2 저항의 제 2 단자를 상기 바디 단자와 연결하는 단계를 더 포함하는
방법.

청구항 25

제 20 항에 있어서,
상기 바디 단자의 원하는 전압은 상기 일정한 DC 게이트 전압과 상기 접지 전압 사이에 있는
방법.

청구항 26

제 25 항에 있어서,
상기 일정한 DC 게이트 전압은 상기 접지 전압에 대하여 양인
방법.

청구항 27

제 25 항에 있어서,
상기 일정한 DC 게이트 전압은 상기 접지 전압에 대해 음인
방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 일반적으로 회로 분야에 관한 것으로 특히 전계 효과 트랜지스터(field-effect transistor; FET)를 이용하는 스위칭 디바이스에 관한 것이다.

배경 기술

[0002] 무선 주파수(radio frequency; RF) 스위칭 디바이스는 많은 애플리케이션들, 예를 들어, 무선 통신 시스템들에서 RF 신호를 선택적으로 통과시키기 위해 사용된다. FET들을 포함하는 스위칭 디바이스들의 경우, FET를 "온(on)" 상태로 바이어싱하는데 게이트 단자에 적용되는 바이어스 전압이 요구될 수 있다. 일부 경우들에서, 이 인가된 전압들로 인해 FET의 본체는 중간 전압으로 "플로팅(floating)"될 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 목적은 상술한 문제를 해결하는 것이다.

과제의 해결 수단

[0004] 상술한 문제를 해결하기 위해, 본 발명에 따른 하나의 양태에 따르면, 하나 이상의 전계 효과 트랜지스터(FET)들을 포함하는 스위칭 디바이스가 제공된다. 실시예들에서, 제 1 저항 및 제 2 저항을 포함하는 저항 분배기는 전기적으로 FET의 게이트 단자 및 FET의 바디 단자 사이에 있는 위치에서 FET와 연결될 수 있다.

도면의 간단한 설명

[0005] 실시예들은 첨부 도면들의 도들에서 예에 의해 그러나 제한하지 않게 도시되며, 여기서 동일한 언급들은 유사한 요소들을 나타낸다:

도 1은 다양한 실시예들에 따른 스위칭 디바이스의 회로도를 도시하는 도면이다.

도 2는 n-형 FET의 예를 도시하는 도면이다.

도 3은 다양한 실시예들에 따른 스위칭 디바이스의 바디의 전압을 제어하는 방법의 흐름도를 도시하는 도면이다.

도 4는 다양한 실시예들에 따른 스위칭 디바이스의 회로도를 도시하는 도면이다.

도 5는 다양한 실시예들에 따른 예시 무선 통신 디바이스의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0006] 예시 실시예들의 다양한 양태들은 다른 당업자에게 당업자들의 연구의 본질을 전달하기 위해서 상기 당업자에 의해 통상적으로 이용되는 용어들을 이용하여 기술될 것이다. 그러나, 대안의 실시예들은 기술된 양태들의 일부만으로 실행될 수 있음이 당업자에게는 분명할 것이다. 설명을 위해서, 본 발명의 철저한 이해를 제공하기 위해 특정한 디바이스들 및 구성들이 진술된다. 그러나, 당업자에게는 대안의 실시예들이 특정한 세부사항들 없이도 실행될 수 있음이 분명할 것이다. 다른 경우에, 공지되어 있는 특징들은 예시 실시예들을 모호하게 하지 않도록 생략되거나 간소화된다.

[0007] 게다가, 다양한 동작들은 본 발명을 이해하는데 가장 도움을 주는 방식으로 다수의 별개의 동작들로서 차례로 기술될 것이다; 그러나, 이 설명의 순서는 이 동작들이 반드시 순서-의존적인 것을 함축하는 것으로 해석되어서

는 안 된다. 특히, 이 동작들은 제시의 순서로 수행될 필요는 없다.

- [0008] 어구 "하나의 실시예에서"가 반복해서 사용된다. 이 어구는 일반적으로 동일한 실시예를 칭하지 않거나, 그러할 수도 있다. 용어들 "comprising", "having" 및 "including"은 컨텍스트가 달리 지시하지 않으면, 동의어이다.
- [0009] 다양한 실시예들과 관련하여 이용될 수 있는 언어에 어떤 명확한 컨텍스트를 제공하는데 있어서, 어구들 "A/B" 및 "A 및/또는 B"는 (A), (B) 또는 (A 및 B)를 의미한다; 그리고 어구 "A, B 및/또는 C"는 (A), (B), (C), (A 및 B), (A 및 C), (B 및 C) 또는 (A, B 및 C)를 의미한다.
- [0010] 용어 "와 연결된다"는 이의 파생어들과 함께 본원에서 이용될 수 있다. "연결되는"은 다음 중 하나 이상을 의미한다. "연결되는"은 둘 이상의 요소들이 직접적인 물리적 또는 전기적 접촉 상태에 있음을 의미할 수 있다. 그러나, "연결되는"은 또한 둘 이상의 요소들이 서로 간접적으로 접촉하지만, 여전히 계속 서로에 대해 동작하거나 상호 작용하는 것을 의미할 수 있고, 하나 이상의 다른 요소들이 서로 연결된 것으로 칭해지는 요소들 사이에서 연결되거나 접속되는 것을 의미할 수 있다.
- [0011] 실시예들은 FET를 포함하는 스위칭 디바이스 또는 스위칭 회로를 포함할 수 있다. FET는 바디, 소스, 드레인 및 게이트를 포함할 수 있다. 이 회로는 FET와 연결되는 저항 분배기를 포함할 수 있다. 실시예들에서, 저항 분배기는 전기적으로 FET의 바디 및 접지 사이에 있는 장소에서 FET와 전기적으로 연결되는 제 1 저항을 포함할 수 있다. 저항 분배기는 전기적으로 FET의 바디 및 게이트 사이에 있는 장소에서 FET와 연결되는 제 2 저항을 더 포함할 수 있다. 일부 실시예들에서, 복수의 FET들 및 복수의 저항 분배기들은 스위칭 디바이스 또는 스위칭 회로들에서 이용될 수 있다.
- [0012] 도 1은 다양한 실시예들에 따른 스위칭 회로(100)를 도시한다. 스위칭 회로(100)(또는 회로(100)로 칭해진다)는 전계 효과 트랜지스터(FET)를 포함할 수 있다. FET(104)는 도 2를 참조하여 후술되는 바와 같이, 드레인 단자(112), 소스 단자(116), 게이트 단자(120) 및 각각의 드레인, 소스, 게이트 및 FET의 바디와 연결되는 바디 단자(124)를 포함할 수 있다. 일부 실시예들에서, 드레인 단자(112) 및 소스 단자(116)는 도 1에 도시된 바와 같이, 전기적으로 서로 연결될 수 있다. 일부 실시예들에서 드레인 단자(112) 및 소스 단자(116) 사이에서 전기 연결되는 저항(128)이 포함될 수 있다. 일부 실시예들에서, FET(104)는 강화 모드 FET일 수 있다. 추가로 또는 대안으로, FET(104)는 SOI(silicon on insulator) 디바이스 및/또는 벌크 상보성 금속-산화막-반도체(complementary metal-oxide-semiconductor; CMOS) 디바이스일 수 있다. 일부 실시예들에서 FET(104)는 금속-산화막-반도체 FET(MOSFET)일 수 있고 반면에 다른 실시예들에서 FET(104)는 절연-게이트 FET(IGFET) 또는 금속-절연체-반도체 FET(metal-insulator-semiconductor FET; MISFET)로서 칭해질 수 있다.
- [0013] 다양한 실시예들은 FET(104)의 바디의 전압을 바이어싱하는데 이용되는 바이어싱 방식을 제공한다. 바이어싱 방식은 본원에서 n-형 강화 모드 FET를 참조하여 논의된다. 그러나, 다른 실시예들에서, 바이어싱 방식은 p-형 FET와 같은 다른 유형의 FET에 의해 사용되고/되거나 이로 수정될 수 있다.
- [0014] 다양한 실시예들에서, FET(104)는 이후에 무선 주파수(RF) 신호로서 칭해지는 송신 신호의 스위칭을 용이하게 하기 위해 "오프" 상태 및 "온" 상태 사이에서 선택적으로 전이될 수 있다. 예를 들어, FET(104)는 소스 단자(116)에서 RF 신호를 수신하고 FET(104)가 "온" 상태에 있는 경우 이 RF 신호를 FET(104)를 통하여 드레인 단자(112)로 통과시킬 수 있다. FET(104)는 FET(104)가 "오프" 상태에 있는 경우 드레인 단자(112) 및 소스 단자(116) 사이에서 RF 신호가 통과되는 것을 방지할 수 있다.
- [0015] FET(104)는 게이트 단자(120)에서 FET(104)를 "오프" 상태 및 "온" 상태 사이에서 전이시키는 제어 신호를 수신할 수 있다. 예를 들어, 드레인 단자(112) 및 소스 단자(116)의 DC 전압에 관한 +2.5V의 DC 전압이 게이트 단자(120)에 인가될 수 있다. 일부 실시예들에서, 전압은 디코더(도 1에 도시되지 않음)에 인가될 수 있다. +2.5V는 RF 신호가 드레인 단자(112) 및 소스 단자(116) 사이에서 통과될 수 있게 드레인 단자(112) 및 소스 단자(116) 사이의 레지스턴스(resistance)가 매우 낮아지게 하여 FET(104)를 "온"시키는 효과를 가진다.
- [0016] 게이트 단자(120)에 양 전압을 인가하면 RF 신호는 FET(104)를 통해 흐르는 것이 가능해질 수 있는데 왜냐하면 FET(104)는 일반적으로 도 2에서의 NMOS FET에 도시된 바와 같이 4개의 파트들을 포함할 수 있기 때문이다. FET(104)는 드레인 단자(112)에 접속되는 드레인(200), 소스 단자(116)에 접속되는 소스(204) 및 게이트 단자(120)에 접속되는 게이트(208)로 구성될 수 있다. 실시예들에서, 드레인(200), 소스(204) 및 게이트(208)는 모두 금속 또는 도전성 재료, 예를 들어 알루미늄 또는 구리로 구성될 수 있다. 실시예들에서 드레인(200), 소스(204) 및 게이트(208)는 동일한 재료 또는 상이한 재료로 구성될 수 있다.
- [0017] FET(104)는 바디 단자(124)에 연결되는 바디(212)를 더 포함할 수 있다. FET(104)는 더 상세하게 후술되는 바와

같이, 드레인(200) 및 바디(212) 사이에 포지셔닝되는 n-형 드레인 부분(220) 및 소스(204) 및 바디(212) 사이에 포지셔닝되는 n-형 소스 부분(228)을 더 포함할 수 있다.

- [0018] 본원에서 사용되는 바와 같이, "단자"는 일반적으로 FET(104)의 요소로 칭해질 것이며 여기서 FET(104)는 회로 내의 다른 요소에 접속된다. 일부 실시예들에서 드레인(200) 및 드레인 단자(112)는 동일한 요소로 간주될 수 있고, 예를 들어, FET(104)는 드레인(200) 및 회로 내의 요소 사이의 직접 접속을 통해 회로 내의 다른 요소에 접속할 수 있다. 다른 실시예들에서 드레인 단자(112)는 드레인(200)에 전기적으로 연결되는 단자, 예를 들어 도전성 리드(lead)일 수 있다. 예를 들어, 이들의 다른 실시예들에서, FET(104)는 구리와 같은 금속 리드 또는 다른 도전성 리드일 수 있는 드레인 단자(112)를 통해 회로 내의 다른 요소와 접속할 수 있고, 드레인 단자(112)는 순서대로 드레인(200)에 연결될 수 있다. 유사하게, 소스(204) 및 소스 단자(116)는 드레인(200) 및 드레인 단자(112)에 대하여 상술한 바와 같이 서로 동일하거나 서로 전기적으로 연결될 수 있다. 유사하게 게이트(208) 및 게이트 단자(120)는 서로 동일하거나 서로 전기적으로 연결될 수 있다. 최종적으로, 바디(212) 및 바디 단자(124)는 서로 동일하거나 서로 연결될 수 있다. 일부 실시예들에서, 바디 단자(124)는 소스 단자(116)와 직접적으로 연결될 수 있다. 본원에서 사용되는 바와 같이, 요소들에 제공되는 명칭들은 FET(104)의 하나의 요소를 다른 요소와 구분하기 위한 것이고, 상이한 실시예들은 상이한 명칭들을 사용할 수 있는데, 예를 들어 n-형 드레인 부분(220)을 "드레인"이라 칭하고 n-형 소스 부분(228)을 FET(104)의 "소스"라 칭한다.
- [0019] FET(104)의 사용예로서, DC 전압이 게이트 단자(120)에 인가되고, 순서대로 게이트 단자(120)가 게이트(208)로 하여금 특정 전압 이득을 얻도록 할 수 있는 것으로서 논의가 될 것이다. 그러나, 일부 실시예들에서 DC 전압은 게이트(208)에 직접적으로 인가될 수 있다. 다른 예로서, RF 신호는 소스(204) 또는 소스 단자(116)에서 수신되고 FET(104)가 "온"일 때 FET(104)를 통해 드레인(200) 또는 드레인 단자(112)로 통과될 수 있다.
- [0020] 바디(212)는 p-형 재료, 예를 들어 보론 또는 알루미늄과 같은 III족 원소로 도핑된 실리콘 또는 게르마늄과 같은 IV족 원소로 구성될 수 있다. n-형 드레인 및 소스 부분들(220, 228)은 비소 또는 인과 같은 V족 원소로 도핑된 실리콘 또는 게르마늄과 같은 IV족 원소로 구성될 수 있다. n-형 드레인 및 소스 부분들(220, 228)은 바디(212)에 의해 서로 분리될 수 있다. 일반적으로, p-형 재료는 전자들이 부족하여 "정공(electron hole)들"을 가진다고 칭해진다. n-형 재료는 n-형 재료 내 또는 n-형 재료로부터의 전류로서 이동하는 것이 가능할 수 있는 여분의 전자들을 가지고, 따라서 "이동 전자들"을 가진다고 칭해질 수 있다.
- [0021] 상술한 바와 같이, FET(104)의 게이트(208)는 구리 또는 알루미늄과 같은 도전성 금속으로 구성될 수 있다. 다른 실시예들에서, 게이트(208)는 탄탈, 텅스텐 또는 질화 탄탈늄으로 구성될 수 있다. 다른 실시예들에서, FET(104)의 게이트(208)는 폴리실리콘 재료로 구성될 수 있다. 드레인(200), 소스(204), 게이트(208) 및 바디(212)는 모두 유전체(224), 예를 들어 이산화규소, 옥시질화 규소(silicon oxynitride) 또는 드레인(200) 및 소스(204) 사이에서 전자들의 흐름을 방지하는 어떤 다른 고-k 유전체에 의해 서로 격리될 수 있다.
- [0022] 게이트(208)가 게이트 단자(120)에 가해지는 양 전압으로 인해 양 전압을 얻을 때 FET(104)의 게이트(208) 및 나머지 사이에 정전계(electrostatic field)가 발생될 수 있다. 양 게이트 전압은 바디(212)의 p-형 재료 내의 자유 전자들을 끌어 당기면서 바디(212)의 p-형 재료 내의 정공들을 밀어낼 수 있다. 동시에, 양 게이트 전압은 n-형 드레인 및 소스 부분들(220, 228)에서 이동하는 전자들을 끌어당길 수 있다. 게이트(208)의 양 전압이 "임계 전압"으로 공지되어 있는 전압인 드레인(200) 및 소스(204)의 DC 전압에 비해 충분히 커지면, 바디(212)의 p-형 재료에서의 반발 및 바디(212) 내의 자유 전자들의 인력 및 n-형 드레인 및 소스 부분들(220, 228)에서의 이동 전자들은 전기 채널을 만들 수 있다. 전기 채널은 때때로 "반전층(inversion layer)"으로 칭해지고, n-형 드레인 및 소스 부분들(220, 228) 사이에 그리고 유전체(224) 바로 아래 있을 수 있다. 즉, n-형 드레인 및 소스 부분들(220, 228) 사이의 전기 채널은 직접적으로 바디(212) 및 유전체(224) 사이에 있을 수 있다. 일부 실시예들에서, 게이트 단자(120)에 가해지는 전압을 증가시키면 게이트(208)의 전압이 증가될 수 있고, 이 게이트(208)의 전압의 증가는 정전계의 크기를 증가시킨다. 정전계의 증가는 전기 채널의 크기를 증가시킬 수 있고, 따라서, 드레인(200) 및 소스(204) 사이에서 통과될 수 있는 전류의 양을 증가시킬 수 있다.
- [0023] 유사하게, -2.5V의 전압이 디코더에 의해 게이트 단자(120)에 가해질 수 있다. -2.5V는 드레인 단자(112) 및 소스 단자(116) 사이에서 어떠한 신호도 통과될 수 없도록 드레인 단자(112) 및 소스 단자(116) 사이에서 측정되는 FET(104)의 레지스턴스가 매우 높아지도록 할 수 있다. 게이트 단자(120)에서의 음의 전압은 게이트(208)로 하여금 음 전압을 획득하도록 하기 때문에 레지스턴스가 매우 높아지고, 이로 인해 음의 정전계가 생성된다. 음의 정전계는 동시에 p-형 바디(212) 내의 정공들을 끌어 당기고 n-형 드레인 및 소스 부분들(220, 228) 내의 이동 전자들을 밀어냄으로써, 소스(204) 및 드레인(200) 사이에서 전자들을 이동시킬 가능성을 없앤다. PMOS FET

가 NMOS FET(104) 대신 사용되는 다른 실시예들에서, 바디(212)는 n-형 재료일 수 있고 드레인 및 소스 부분들(220, 228)은 p-형 재료일 수 있다.

[0024] 일부 실시예들에서, 바디(212)의 전압이 게이트(208)의 전압을 "따르거나" 이 전압에 유사한 전압을 가지는 것이 바람직할 수 있다. 이것은 예를 들어, 양 전압이 게이트(208) 또는 게이트 단자(120)에 인가될 때 바디(212)가 양 전압을 획득하면, 드레인(200) 및 소스(204) 사이의 전기 채널이 강화됨으로써, FET(104)의 효율을 증가시킬 수 있기 때문에 바람직할 수 있다. 유사하게, 음의 전압이 게이트(208) 또는 게이트 단자(120)에 인가될 때 바디(212)가 음의 전압을 획득하면, n-형 드레인 및 소스 부분들(220, 228)의 반발은 증가될 수 있고, 이는 FET(104)의 레지스턴스를 증가시키고 임의의 신호 누설을 감소시킬 것이다.

[0025] 일부 경우들에서, PMOS FET과 같은 능동 소자는 다이오드로서 이용되어 바디 단자(124) 및 게이트 단자(120) 사이의 FET(104)와 연결되어 왔다. 게이트 단자(120)에서의 전압이 음, 예를 들어, -2.5V가 되면, 다이오드는 바디(212)의 전압이 음이 되도록 할 수 있고, 많은 실시예들에서 바디(212)의 전압은 게이트 단자(120)에서의 전압에 매우 근접할 수 있다. 예를 들어, 게이트 단자(120)에서의 전압이 -2.5V라면, 바디(212)의 전압은 -2.3V일 수 있다. 이 프로세스는 "부트스트랩핑(bootstrapping)"으로 칭해질 수 있다. 일부 실시예들에서 바디(212)의 전압이 게이트 단자(120)의 전압에 근접하게 유지되는 것이 바람직할 수 있고 다른 실시예들에서 +2.5V 또는 -2.5V의 전압이 게이트 단자(120)에 인가될 때 바디(212)의 전압이 매우 적은 양만을 변경, 예를 들어 1볼트의 수십분의 2 내지 3 볼트만을 변경시키는 것이 바람직할 수 있다.

[0026] 그러나, PMOS FET가 다이오드로서 이용되면, 바디(212)의 전압은 게이트(208)의 전압이 양이 되는 경우 임의의 값이 될 수 있다. 이 경우는 바디(212)의 전압이 "플로팅(floating)"하고 있다고 칭해질 수 있다. 바디(212)의 플로팅 전압은 문제가 있을 수 있는데 왜냐하면 바디(212)의 정확한 전압 및 전류가 공지되지 않으면 이로부터 회로 설계가 어려워질 수 있기 때문이다.

[0027] 구체적으로, 상술한 바와 같이, 소스(204) 및 드레인(200) 사이의 RF 신호 전달은 바디(212)의 전압의 각각의 증가 또는 감소에 의해 강화되거나 감소될 수 있다. 지체된 바와 같이, 게이트(208)의 전압이 양일 때 바디(212)의 전압이 증가되면, n-형 드레인 및 소스 부분들(220, 228) 사이의 채널은 더 클 수 있고 증가된 전류는 FET(104)를 통해 흐를 수 있다. 그러나, 바디(212)의 전압이 무엇인지 공지되지 않으면, FET(104)를 통해 흐르는 RF 신호 전류가 무엇일 수 있는지를 예측하는 것이 어려울 수 있다. 추가로, 바디(212)의 전압이 너무 높아지면, RF 신호의 전류는 상기 전압이 플로팅하거나 제어되지 않을 경우 매우 높아질 수 있다. 이 고전류로 인해 FET(104)는 가열될 수 있고, 이는 FET(104), FET(104)를 이용하는 회로, 또는 심지어 FET(104)를 이용하는 디바이스에 손상을 가할 수 있다.

[0028] 일부 실시예들에서, PMOS FET 대신 저항 분배기(132)가 이용될 수 있다. 저항 분배기(132)는 제 1 저항(136) 및 제 2 저항(140)을 포함할 수 있다. 제 1 저항(136)은 바디 단자(124) 및 접지(144) 사이에 배치될 수 있다. 제 2 저항(140)은 바디 단자(124) 및 게이트 단자(120) 사이에 배치될 수 있다.

[0029] 도 1에 도시된 바와 같은 저항 분배기(132)를 사용함으로써 상술한 다이오드, 예를 들어 능동 PMOS FET를 사용하는 것보다 현저한 이점들이 제공될 수 있다. 구체적으로, 저항 분배기(132)는, 게이트(208)가 디코더에 의해 자신에게 인가되는 양 전압 또는 음 전압을 가지는지의 여부와는 관계 없이, 바디(212)에서의 전압이 공지되어 있는 전압에 있는 게이트(208)의 전압을 따르는 것이 가능할 수 있다. 즉, 게이트(208)의 전압이 양이라면 저항 분배기(132)는 바디(212)의 "플로팅" 전압을 제거할 수 있고, 대신 바디(212)의 전압은 예측된 값일 수 있다.

[0030] 추가로, PMOS FET 다이오드는 PMOS FET를 "턴온" 또는 "턴오프"하는데 추가 전력 입력들을 필요로 할 수 있다. 저항 분배기(132)를 이용하는 회로는 수동일 수 있고 따라서 추가 전력 입력들을 요구하지 않는데, 왜냐하면 PMOS FET가 존재하지 않기 때문이다. 전력 입력들의 감소는 회로 설계를 간소화하고 FET(104)를 이용하는 회로의 비용들을 감소시킬 수 있다.

[0031] 제 1 저항(136) 및 제 2 저항(140)의 레지스턴스들은 특히 FET(104), 게이트 단자(120)에서의 전압, 드레인 단자(112)에서의 전압, 소스 단자(116)에서의 전압 및/또는 바디(212)의 전압이 게이트(208)의 전압을 따르기 위해 얼마나 근접한 것이 바람직한지 중 하나 이상에 대하여 선택될 수 있다. 하나의 예로서, 게이트(208)의 전압이 +2.5V일 때 바디(212)의 전압이 +0.1V인 것이 바람직하다면, 제 1 저항(136) 및 제 2 저항(140) 중 하나 또는 이 둘 모두는 게이트(208)의 전압이 +2.5V일 때 바디(212)의 전압이 +2.3V인 것이 바람직했던 경우와는 상이할 수 있다. 일부 실시예들에서, 게이트(208)가 소정의 전압에 있을 때 바디(212)의 전압은 적어도 부분적으로 제 1 저항(136) 대 제 2 저항(140)의 레지스턴스의 비에 기초할 수 있다.

- [0032] 도 3은 다양한 실시예들에 따라, 전압이 게이트 단자, 예를 들어 게이트 단자(120)에 인가될 때 FET의 바디(예를 들어, FET(104)의 바디(212))를 바이어싱하는 방법(300)의 흐름도를 도시한다. 구체적으로, 308에서 제 1 저항, 예를 들어 제 1 저항(136)은 바디 단자(124) 및 접지(144) 사이의 FET와 연결될 수 있다. 다음으로, 304에서 제 2 저항, 예를 들어 제 2 저항(140)은 게이트 단자(120) 및 바디 단자(124) 사이에 있는 FET(104)와 전기적으로 연결될 수 있다.
- [0033] 제 1 저항(136) 및 제 2 저항(140)의 레지스턴스를 적절하게 선택함으로써, 바디(212)의 전압은 자체가 게이트(208) 또는 게이트 단자(120)의 전압을 따르도록 바이어싱될 수 있다. 즉, 바디(212)는 게이트 단자(120)에 양 전압이 인가될 때 공지되는 양 전압을 가질 수 있다. 역으로 바디(212)는 게이트 단자(120)에 음 전압이 인가될 때 공지되는 음 전압을 가질 수 있다. 일부 실시예들에서, 바디(212)의 전압은, 게이트(208)와 비교될 때, 적어도 부분적으로 제 1 저항(136) 대 제 2 저항(140)의 레지스턴스의 비에 기초할 수 있다.
- [0034] 일부 실시예들에서, FET(104) 및 저항 분배기(132)는 함께 단위 셀로서 칭해질 수 있다. 일부 실시예들에서, 단위 셀은 FET(104)의 게이트 단자(120)와 연결되는 디코더를 더 포함할 수 있다. 일부 실시예들에서, 스위치는 복수의 FET들 및 저항 분배기들, 즉 복수의 단위 셀들을 포함할 수 있다. 이 실시예들에서, 복수의 단위 셀들은 서로 직렬 상태로 있을 수 있다. 복수의 단위 셀들을 직렬로 연결하는 것이 바람직할 수 있는데, 왜냐하면 상술한 바와 같이, FET(104)가 턴 "오프"될 때, 소스 단자(116) 및 드레인 단자(112) 사이에 더 큰 레지스턴스가 생성되기 때문이다. RF 신호의 전류가 매우 큰 경우, FET(104)는 손상을 입을 수 있다. 복수의 FET들을 직렬로 연결함으로써, 큰 RF 신호에 의해 발생하는 부하는 각각의 FET가 상기 부하의 일부만을 지니도록 분배될 수 있다. 이 방식으로 FET들의 수명이 연장될 수 있다.
- [0035] 도 4는 서로 직렬로 접속되어 있는 복수의 단위 셀들을 구비하는 스위칭 회로(400)의 예를 도시한다. 다른 실시예들은 추가 단위 셀들을 가질 수 있다. 일부 실시예들에서 스위칭 회로(400)는 직렬로 또는 신호 경로의 션트(shunt)에 있을 수 있다. 구체적으로, 도 4는 2개의 FET들, 제 1 FET(402) 및 제 2 FET(404)를 구비하는 스위칭 회로(400)의 하나의 실시예를 도시한다. 제 1 FET(402)는 제 1 FET(402)의 바디, 드레인, 소스 및 게이트(도시되지 않음)와 각각 연결되는 바디 단자(406), 드레인 단자(408), 소스 단자(410) 및 게이트 단자(412)를 포함할 수 있다. 제 2 FET(404)는 유사하게 제 2 FET(404)의 바디, 드레인, 소스 및 게이트(도시되지 않음)와 각각 연결되는 바디 단자(414), 드레인 단자(416), 소스 단자(418) 및 게이트 단자(420)를 포함할 수 있다. 제 1 FET(402)의 게이트 단자(412)는 게이트 단자(412)에 DC 전압을 제공하도록 구성되는 제 1 DC 전력 공급원(422)과 전기적으로 연결될 수 있고, 제 2 FET(404)의 게이트 단자(420)는 DC 전압을 게이트 단자(420)에 제공하도록 구성되는 제 2 DC 전력 공급원(424)과 연결될 수 있다. 일부 실시예들에서, 제 1 및 제 2 DC 전력 공급원들(422, 424)은 동일한 DC 전력 공급원일 수 있다. 실시예들에서, 제 1 및 제 2 DC 전력 공급원들(422, 424)은 또한 "디코더들"로서 칭해질 수 있다.
- [0036] 도 1과 관련하여 상술한 바와 같이, 제 1 FET(402)는 바디 단자(406) 및 접지(432) 사이에서 전기적으로 연결되는 제 1 저항(428) 및 바디 단자(406) 및 게이트 단자(412) 사이에 전기적으로 연결되는 제 2 저항(430)을 포함하는 저항 분배기(426)와 연결될 수 있다. 유사하게, 제 2 FET(404)는 바디 단자(414) 및 접지(432) 사이에서 전기적으로 연결되는 제 1 저항(436) 및 바디 단자(414) 및 게이트 단자(420) 사이에 전기적으로 연결되는 제 2 저항(438)을 포함하는 저항 분배기(434)와 연결될 수 있다.
- [0037] 스위칭 회로(400)의 일부 실시예들에서, 2개의 단위 셀들은 서로 직렬로 연결될 수 있다. 이 실시예들에서, 제 2 FET(404)의 드레인 단자(416)는 제 1 FET(402)의 소스 단자(410)와 연결될 수 있다. 더욱이, 제 1 FET(402)의 드레인 단자(408)는 RFin 단자(440)와 연결될 수 있고, 제 2 FET(404)의 소스 단자(418)는 RFout 단자(442)와 연결될 수 있다. 이 실시예에서, RFin 단자(440)는 스위칭 회로(400)의 제 1 및 제 2 FET들(402, 404)이 "온"일 때 스위칭 회로(400)를 통하여 지나가는 RF 신호의 소스일 수 있다. RFout 단자(442)는 RF 신호가 스위치를 나가는 장소일 수 있다. RFin 및 RFout 단자들(440, 442) 및 신호 플로우는 도 5와 관련하여 더 상세하게 후술된다.
- [0038] 일부 실시예들에서 RFout 단자(442)는 접지에 접속될 수 있고 반면에 RFin 단자(440)는 전력 공급원에 접속될 수 있다. 상술한 바와 같이, 구성들은 n-형 또는 NMOS FETs에 대하여 기술되지만, p-형 또는 PMOS FET들 또한 스위칭 회로(400)의 구성을 약간 수정한 스위칭 회로(400)에서 이용될 수 있다. 다른 실시예들에서, RFin 단자(440) 및 RFout 단자(442)는 회로의 다른 요소들에 접속될 수 있다. RFin 단자(440) 및 RFout 단자(442)의 접속들은 스위칭 회로(400)가 사용되는 애플리케이션에 좌우될 수 있다.
- [0039] 일부 실시예들에서, 제 1 FET(402)의 제 1 저항(428)의 레지스턴스는 제 2 FET(404)의 제 1 저항(436)의 레지

스턴스와 동일할 수 있다. 다른 실시예들에서, 2개의 제 1 저항들(428, 436)의 레지스턴스는 상이할 수 있다. 유사하게, 제 2 저항들(430, 438)의 레지스턴스는 스위칭 회로(400) 또는 FET들(402, 404)의 유형, 적용 또는 사용에 따라, 동일하거나 상이할 수 있다.

- [0040] 일부 실시예들에 따른 도 5에 예시 무선 통신 디바이스(500)의 블록도가 도시된다. 무선 통신 디바이스(500)는 하나 이상의 RF PA들(508)을 포함하는 RF 전력 증폭기(power amplifier; PA) 모듈(504)을 가질 수 있다. RF PA 모듈(504)은 RF PA들(508) 중 하나 이상과 연결되는 하나 이상의 RF 스위치들(512)을 더 포함할 수 있다. RF 스위치들(512)은 스위칭 회로들(100 및/또는 400)과 유사하거나 이들 스위칭 회로들을 포함할 수 있다.
- [0041] RA PA 모듈(504) 외에도, 무선 통신 디바이스(500)는 적어도 도시된 바와 같이 서로 연결되는 안테나 구조(514), Tx/Rx 스위치(518), 송수신기(522), 주 프로세서(526) 및 메모리(530)를 가질 수 있다. 무선 통신 디바이스(500)가 송신 및 수신 능력들을 가지고 있는 것으로 도시될지라도, 다른 실시예들은 송신 능력만을 또는 수신 능력만을 가지는 디바이스들을 포함할 수 있다. RF 스위치들(512)은 RF PA 모듈(504)에 포함되는 것으로 도시될지라도, 다른 실시예들에서, RF 스위치들(512)은 RF PA 모듈(504) 외에 또는 대신에 Tx/Rx 스위치(518) 및/또는 송수신기(522)와 같은 무선 통신 디바이스(500)의 다른 구성요소들 내에 포함될 수 있다. 다른 실시예들에서, RF 스위치들(512)은 RF 프론트 엔드, RF 송수신기 또는 전력 변환기의 구성요소들일 수 있다.
- [0042] 다양한 실시예들에서, 무선 통신 디바이스(500)는 모바일 전화기, 페이징 디바이스(paging device), 개인용 디지털 보조장치(personal digital assistant), 텍스트-메시징 디바이스, 휴대용 컴퓨터, 데스크탑 컴퓨터, 기지국, 가입자 스테이션, 액세스 포인트, 레이더, 위성 통신 디바이스 또는 RF 신호들을 무선 송신/수신할 수 있는 임의의 다른 디바이스일 수 있으나 이로 제한되지 않는다.
- [0043] 주 프로세서(526)는 무선 통신 디바이스(500)의 전체 동작을 제어하기 위해, 메모리(530) 내에 저장되는 기본 운영 시스템 프로그램을 실행할 수 있다. 예를 들어, 주 프로세서(526)는 송수신기(522)에 의해 신호들의 수신 및 신호들의 송신을 제어할 수 있다. 주 프로세서(526)는 메모리(530) 내에 상주하는 다른 프로세스들 및 프로그램들을 실행할 수 있고 원하는 경우 실행 프로세스에 의해 데이터를 메모리(530) 내로 또는 외부로 이동시킬 수 있다.
- [0044] 송수신기(522)는 주 프로세서(526)로부터 나가는 데이터(예를 들어, 음성 데이터, 웹 데이터, 이메일, 시그널링 데이터 등)를 수신할 수 있고, RFin 신호(들)를 생성하여 나가는 데이터를 표현하고 RFin 신호(들)를 RF PA 모듈(504)에 제공할 수 있다. 송수신기(522)는 또한 선택된 대역들에서 그리고 완충 전력 또는 백오프(backoff)-전력 모드들로 동작하도록 RF PA 모듈(504)을 제어할 수 있다. 일부 실시예들에서, 송수신기(522)는 OFDM 변조를 이용하여 RFin 신호(들)를 생성할 수 있다.
- [0045] RF PA 모듈(504)은 본원에서 기술되는 바와 같이 RFout 신호(들)를 제공하기 위해 RFin 신호(들)를 증폭할 수 있다. RFout 신호(들)는 Tx/Rx 스위치(518)로 전송된 후에 오버-더-에어(over-the-air; OTA) 송신을 위해 안테나 구조(514)로 전송될 수 있다. 일부 실시예들에서, Tx/Rx 스위치(518)는 듀플렉서(duplexer)를 포함할 수 있다. 유사한 방식으로, 송수신기(522)는 안테나 구조(514)로부터 Tx/Rx 스위치(518)를 통해 인입하는 OTA 신호를 수신할 수 있다. 송수신기(522)는 추가 프로세싱을 위해 인입하는 신호를 프로세싱하고 주 프로세서(526)에 송신할 수 있다.
- [0046] 하나 이상의 RF 스위치들(512)은 RF 신호(들)(예를 들어, RFin 신호(들) 및/또는 RFout 신호(들))를 무선 통신 디바이스(500)의 구성요소들로, 로부터 및/또는 내에서 선택적으로 통과시키는데 이용될 수 있다.
- [0047] 다양한 실시예들에서, 안테나 구조(514)는 예를 들어 다이폴 안테나(dipole antenna), 모노폴 안테나(monopole antenna), 패치 안테나(patch antenna), 루프 안테나(loop antenna), 마이크로스트립 안테나 또는 RF 신호들의 OTA 송신/수신에 적합한 임의의 다른 유형의 안테나를 포함하는 하나 이상의 양방향 및/또는 단방향 안테나들을 포함할 수 있다.
- [0048] 당업자는 무선 통신 디바이스(500)가 예에 의해 제공되고, 간소화 및 명료화를 위해 실시예들의 이해에 필요한 무선 통신 디바이스(500)의 구조 및 동작의 부분만이 도시 및 기술되는 것을 인식할 것이다. 다양한 실시예들은 특정한 요구들에 따라, 무선 통신 디바이스(500)와 연관되는 임의의 적절한 임무들을 수행하는 임의의 적절한 구성요소 또는 구성요소들의 연결을 고려한다. 더욱이, 무선 통신 디바이스(500)는 실시예들이 구현될 수 있는 디바이스들의 유형들을 제한하는 것으로 해석되지 않아야 하는 것이 이해된다.
- [0049] 본원에서는 방법들 및 장치들이 제공된다. 특정한 실시예들에서, 회로는 소스 단자, 게이트 단자, 드레인 단자 및 바디 단자를 포함하는 MOSFET를 포함할 수 있다. 상기 회로는 제 1 저항 및 제 2 저항을 가지며 게이트 단자

및 바디 단자 사이에서 이들과 연결되는 저항 분배기를 더 포함할 수 있다. 하나의 실시예에서, MOSFET은 n-형 MOSFET일 수 있다. 하나의 실시예에서, MOSFET은 p-형 MOSFET일 수 있다. 일부 실시예들에서, 제 1 저항은 접지와 연결되는 제 1 접속부 및 바디 단자와 연결되는 제 2 접속부를 포함할 수 있다. 일부 실시예들에서, 제 2 저항은 바디 단자와 연결되는 제 1 접속부 게이트 단자와 연결되는 제 2 접속부를 포함할 수 있다. 일부 실시예들에서, 저항 분배기는 게이트 단자의 전압이 접지 전압과 동일하지 않을 때 바디 단자의 전압을 게이트 단자의 전압 및 접지 전압 사이로 바이어싱하도록 구성될 수 있다. 다른 실시예들에서, 바디 단자의 전압은 적어도 부분적으로 제 1 저항의 레지스턴스 및 제 2 저항의 레지스턴스에 기초하여 미리 결정된 전압일 수 있다. 하나의 실시예에서, 게이트 단자의 전압은 접지 전압에 대해 양일 수 있다. 하나의 실시예에서, 게이트 단자의 전압은 접지 전압에 대해 음일 수 있다. 하나의 실시예에서, 회로는 MOSFET 및 저항 분배기를 포함하는 스위치, RF 프론트 엔드, RF 송신기 또는 상기 스위치를 포함하는 전력 변환기를 더 포함할 수 있다.

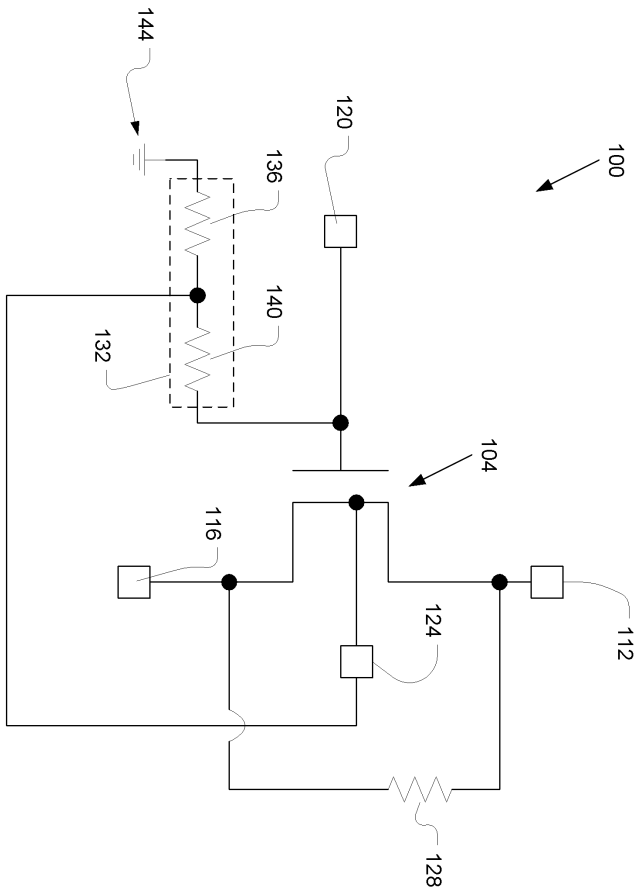
[0050] 하나의 실시예에서, 회로는 전력 전압을 제공하도록 구성되는 전력원, 접지 전압을 제공하도록 구성되는 접지원 및 전력원 및 접지원과 연결되는 하나 이상의 단위 셀들을 포함할 수 있다. 하나 이상의 단위 셀들의 단위 셀은 바디 단자, 게이트 단자, 소스 단자 및 드레인 단자를 가지는 MOSFET 및 제 1 저항 및 제 2 저항을 포함하는 저항 분배기를 포함할 수 있고, 저항 분배기는 게이트 단자의 전압이 접지 단자와 동일하지 않을 때 바디 단자의 전압을 게이트 단자의 전압 및 접지 전압 사이에서 바이어싱하도록 구성된다. 일부 실시예들에서, MOSFET은 p-형 MOSFET일 수 있다. 일부 실시예들에서, MOSFET은 n-형 MOSFET일 수 있다. 일부 실시예들에서, 제 1 저항은 접지원과 연결되는 제 1 접속부 및 바디 단자와 연결되는 제 2 접속부를 포함할 수 있다. 일부 실시예들에서, 제 2 저항은 바디 단자와 연결되는 제 1 접속부 및 게이트 단자와 연결되는 제 2 접속부를 포함할 수 있다. 일부 실시예들에서, 저항 분배기는 게이트 단자 및 바디 단자와 그리고 이들 사이에서 연결될 수 있다. 일부 실시예들에서, 바디 단자의 전압은 적어도 부분적으로 저항 분배기의 레지스턴스에 기초하는 미리 결정된 전압일 수 있다. 일부 실시예들에서, 게이트 단자의 전압은 접지 전압에 대해 양일 수 있다. 일부 실시예들에서, 게이트 단자의 전압은 접지 전압에 대해 음일 수 있다.

[0051] 일부 실시예들은 MOSFET를 전력원 및 접지원과 연결시키는 것을 포함하는 방법을 제공할 수 있다. MOSFET은 드레인 단자, 바디 단자, 소스 단자 및 게이트 단자를 포함할 수 있다. 상기 방법은 저항 분배기가 바디 단자 및 게이트 단자 사이에 포지셔닝되도록, MOSFET의 바디 단자 및 게이트 단자를 저항 분배기와 연결시키는 것을 더 포함할 수 있다. 제 1 저항의 레지스턴스 및 제 2 저항의 레지스턴스는 게이트 단자가 접지원의 접지 전압과 동일하지 않은 게이트 전압에 있을 때 원하는 바디 단자의 전압에 적어도 부분적으로 기초할 수 있다. 일부 실시예들에서 MOSFET은 n-형 MOSFET 또는 p-형 MOSFET일 수 있다. 일부 실시예들에서, 상기 방법은 제 1 저항의 제 1 접속을 접지원과 연결시키고, 제 1 저항의 제 2 접속부를 바디 단자에 연결시키는 것을 더 포함할 수 있다. 일부 실시예들에서, 상기 방법은 제 2 저항의 제 1 단자를 게이트 단자에 연결시키고, 제 2 저항의 제 2 단자를 바디 단자에 연결시키는 것을 더 포함할 수 있다. 일부 실시예들에서, 원하는 바디 단자의 전압은 게이트 전압 및 접지 전압 사이에 있을 수 있다. 일부 실시예들에서, 게이트 전압은 접지 전압에 대해 양일 수 있다. 일부 실시예들에서, 게이트 전압은 접지 전압에 대해 음일 수 있다.

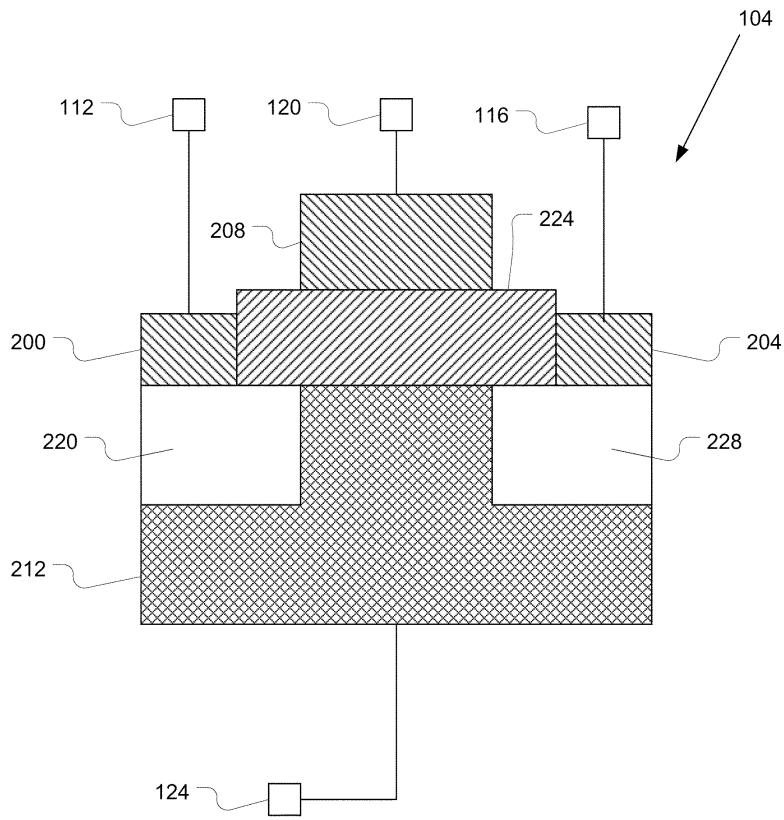
[0052] 본 발명이 상술한 실시예들에 의해 기술되었을지라도, 동일한 목적들을 달성하도록 계산되는 광범위한 대안 및/또는 등가의 구현들이 본 발명의 범위를 벗어나지 않고 도시되고 기술되는 특정한 실시예들 대신 대체될 수 있음이 당업자에 의해 인정될 것이다. 당업자는 본 발명의 내용들이 광범위한 실시예들에서 구현될 수 있음을 즉시 인정할 것이다. 본 설명은 제한하는 대신 설명하는 것으로 간주되도록 의도된다.

도면

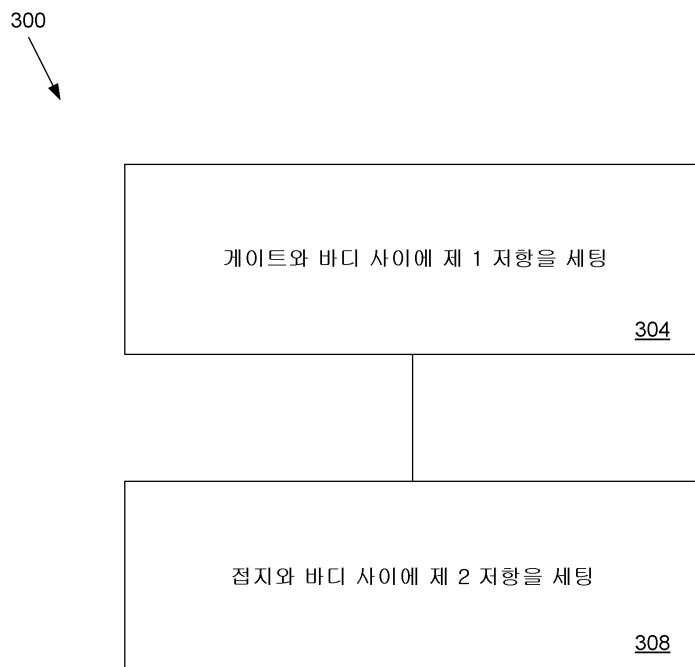
도면1



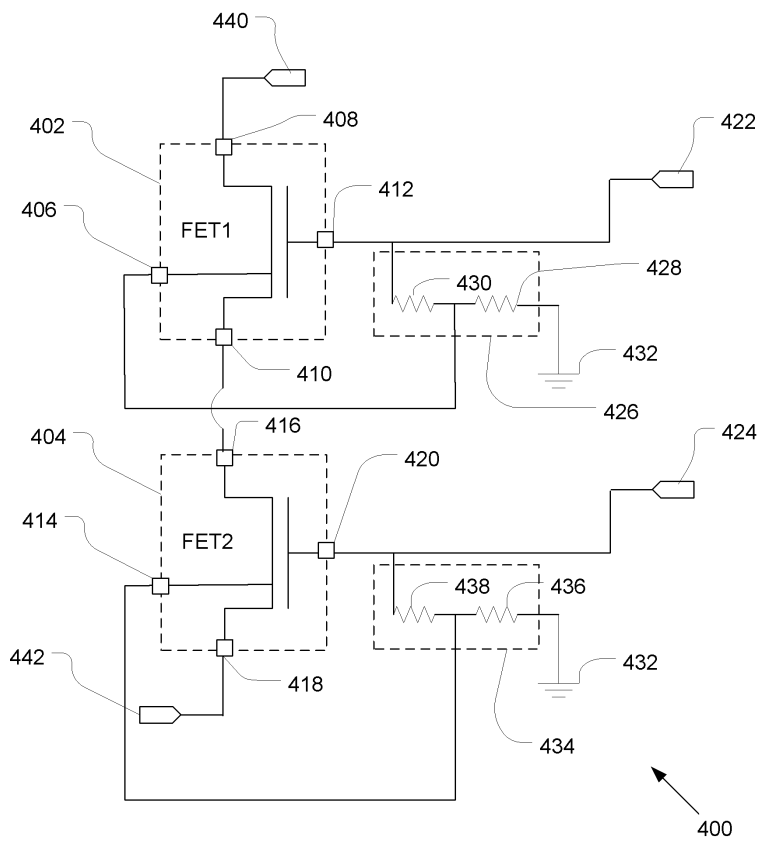
도면2



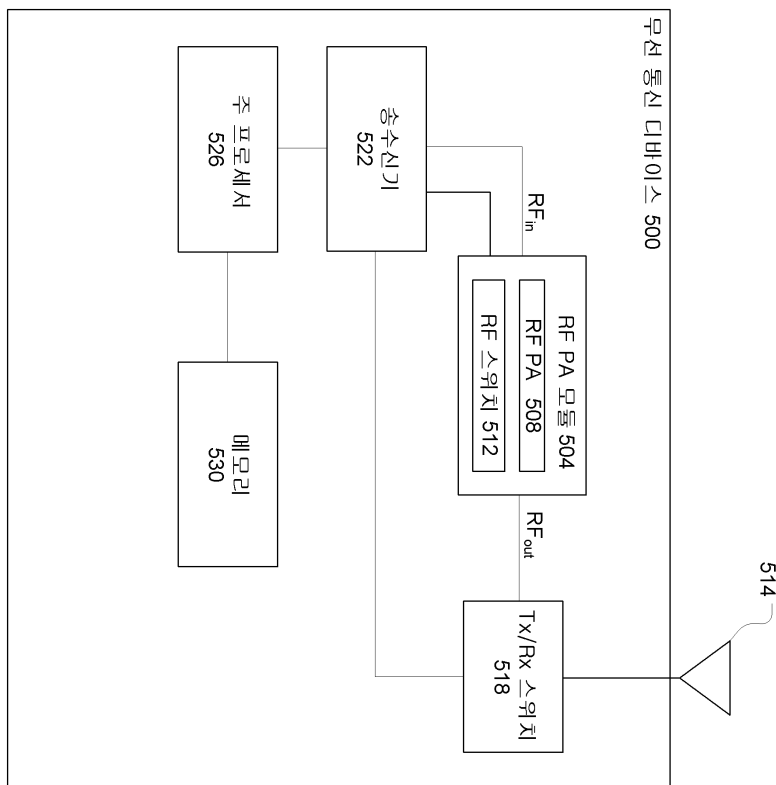
도면3



도면4



도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항11

【변경전】

상기 전지 전압

【변경후】

상기 접지 전압