

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 5 月 22 日 (22.05.2014)



(10) 国际公布号
WO 2014/075360 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2012/085625
- (22) 国际申请日: 2012 年 11 月 30 日 (30.11.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210464915.9 2012 年 11 月 16 日 (16.11.2012) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: FINFET AND METHOD FOR MANUFACTURE THEREOF

(54) 发明名称: FinFET 及其制造方法

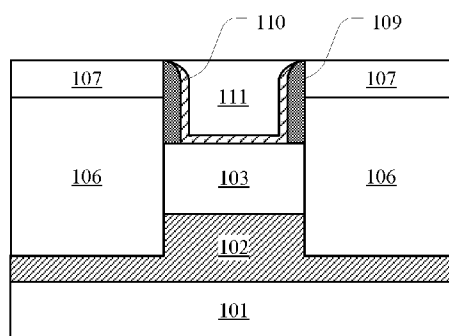


图9b/ Fig. 9b

(57) Abstract: A FinFET and method for manufacture thereof, the method of manufacturing the FinFET comprising: forming a through-stopping layer (102) on a semiconductor substrate (101); forming a first semiconductor layer (103) on the through-stopping layer (102); forming a source region and a drain region (106) in the semiconductor layer (103); forming a semiconductor fin from the first semiconductor layer (103), the source region and the drain region (106) contacting the semiconductor fin on the two ends of the semiconductor fin; and forming a gate stacking across the semiconductor fin, the gate stacking including a gate conductor and a gate dielectric (110) interposed between the gate conductor (111) and the semiconductor fin. Through the after fin technology to manufacture the FinFET, the method is in favor of the integration of the high K gate dielectric and the metal gate and the source region and the drain region as the stress source.

(57) 摘要:

[见续页]

WO 2014/075360 A1



一种 FinFET 及其制造方法，该制造 FinFET 的方法包括：在半导体衬底（101）上形成穿透阻止层（102）；在穿透阻止层（102）上形成第一半导体层（103）；在第一半导体层（103）中形成源区和漏区（106）；由第一半导体层（103）形成半导体鳍片，源区和漏区（106）在半导体鳍片的两端与半导体鳍片接触；以及形成跨越半导体鳍片的栅堆叠，栅堆叠包括栅极导体和夹在栅极导体（111）和半导体鳍片之间的栅极电介质（110）。该方法通过后鳍工艺制造 FinFET，有利于集成高 K 栅极电介质和金属栅极以及作为应力源的源区和漏区。

FinFET 及其制造方法

本申请要求了 2012 年 11 月 16 日提交的、申请号为 201210464915.9、发明名称为“FinFET 及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体技术，更具体地，涉及具有鳍片的场效应晶体管（FinFET）及其制造方法。

背景技术

集成电路技术的一个重要发展方向是金属氧化物半导体场效应晶体管（MOSFET）的尺寸按比例缩小，以提高集成度和降低制造成本。然而，众所周知的是随着 MOSFET 的尺寸减小会产生短沟道效应。随着 MOSFET 的尺寸按比例缩小，栅极的有效长度减小，使得实际上由栅极电压控制的耗尽层电荷的比例减少，从而阈值电压随沟道长度减小而下降。当栅极长度小于 30 纳米时，常规的 MOSFET 难以控制短沟道效应。

为了抑制短沟道效果，在美国专利 US6, 413, 802 中公开了在 SOI 上形成的 FinFET，包括在半导体材料的鳍片（Fin）的中间形成的沟道区，以及在鳍片两端形成的源/漏区。栅电极在沟道区的两个侧面包围沟道区（即双栅结构），从而反型层形成在沟道各侧上。鳍片中的沟道区厚度很薄，使得整个沟道区都能受到栅极的控制，因此能够起到抑制短沟道效应的作用。

通过向 MOSFET 的沟道区施加合适的应力，可以提高载流子的迁移率，从而减小导通电阻并提高器件的开关速度。当形成的器件是 n 型 MOSFET 时，应当沿着沟道区的纵向方向对沟道区施加拉应力，并且沿着沟道区的横向方向对沟道区施加压应力，以提高作为载流子的电子的迁移率。相反，当晶体管是 p 型 MOSFET 时，应当沿着沟道区的纵向方向对沟道区压应力，并且沿着沟道区的横向方向对沟道区施加拉应力，以提高作为载流子的空穴的迁移率。

采用与半导体衬底的材料不同的半导体材料形成源区和漏区，可以产生期望的应力。对于 n 型 MOSFET，在 Si 衬底上形成的 Si:C 源区和漏区可以沿着沟道区的纵向方向对沟道区施加拉应力。对于 p 型 MOSFET，在 Si 衬底上形成的 SiGe 源区和漏区可

以沿着沟道区的纵向方向对沟道区施加压应力。用于提供应力的源区和漏区应当具有一定的体积以产生所需的应力，因此，在应力增强的 MOSFET 中通常采用体硅衬底。

然而，期望在体硅上形成 FinFET 以及进一步利用应力改善器件的性能。

发明内容

本发明的目的是提供一种应力增强的 FinFET 及其制造方法。

根据本发明的一方面，提供一种制造 FinFET 的方法，包括：在半导体衬底上形成穿通阻止层；在穿通阻止层上形成第一半导体层；在第一半导体层中形成源区和漏区；由第一半导体层形成半导体鳍片，源区和漏区在半导体鳍片的两端与半导体鳍片接触；以及形成横跨半导体鳍片的栅堆叠，栅堆叠包括栅极导体和夹在栅极导体和半导体鳍片之间的栅极电介质。

根据本发明的另一方面，提供一种 FinFET，包括：半导体衬底；位于半导体衬底上的穿通阻止层；位于穿通阻止层上的半导体鳍片；位于穿通阻止层上的源区和漏区，源区和漏区在半导体鳍片的两端与半导体鳍片接触；以及位于半导体鳍片的顶部和侧壁上的栅堆叠，其中栅堆叠包括栅极导体和夹在栅极导体和半导体鳍片之间的栅极电介质。

本发明的方法通过后鳍 (fin-last) 工艺制造 FinFET，其中首先形成源区和漏区，然后形成半导体鳍片和栅堆叠。该方法可以将高 k 栅介质层和金属栅极集成到鳍型场效应晶体管中，减小器件的短沟道效应，有利于集成高 K 栅极电介质和金属栅以及作为应力源的源区和漏区，从而改善器件性能。通过与半导体鳍片不同的材料形成与半导体鳍片的两端接触的源区和漏区，可以根据器件类型可以向半导体鳍片施加不同的应力，从而增加沟道载流子的迁移率。

附图说明

图 1-9 示出了根据本发明的方法制造 FinFET 的各个阶段的半导体结构的示意图，其中在图 1-4、5b-59b 中示出了沿沟道区的纵向方向的截面图，在图 5c-9c 中示出了沿沟道区的横向方向的截面图，在图 5a-9a 中示出半导体结构的俯视图。

具体实施方式

以下将参照附图更详细地描述本发明。在各个附图中，相同的元件采用类似的附

图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。

为了简明起见，可以在一幅图中描述经过数个步骤后获得的半导体结构。

应当理解，在描述器件的结构时，当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时，可以指直接位于另一层、另一个区域上面，或者在其与另一层、另一个区域之间还包含其它的层或区域。并且，如果将器件翻转，该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

如果为了描述直接位于另一层、另一个区域上面的情形，本文将采用“直接在……上面”或“在……上面并与之邻接”的表述方式。

在本申请中，术语“半导体结构”指在制造半导体器件的各个步骤中形成的整个半导体结构的统称，包括已经形成的所有层或区域；术语“沟道区的纵向方向”指从源区到漏区和方向，或相反的方向；术语“沟道区的横向方向”在与半导体衬底的主表面平行的平面内与沟道区的纵向方向垂直的方向。例如，对于在(100)上硅晶片上形成的MOSFET，沟道区的纵向方向通常沿着硅晶片的<110>方向，沟道区的横向方向通常沿着硅晶片的<011>方向。

在下文中描述了本发明的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。

除非在下文中特别指出，MOSFET的各个部分可以由本领域的技术人员公知的材料构成。半导体材料例如包括III-V族半导体，如GaAs、InP、GaN、SiC，以及IV族半导体，如Si、Ge。栅极导体可以由能够导电的各种材料形成，例如金属层、掺杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层栅极导体或者是其他导电材料，例如为TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax、MoNx、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni₃Si、Pt、Ru、Ir、Mo、HfRu、RuO_x和所述各种导电材料的组合。栅极电介质可以由SiO₂或介电常数大于SiO₂的材料构成，例如包括氧化物、氮化物、氧氮化物、硅酸盐、铝酸盐、钛酸盐，其中，氧化物例如包括SiO₂、HfO₂、ZrO₂、Al₂O₃、TiO₂、La₂O₃，氮化物例如包括Si₃N₄，硅酸盐例如包括HfSiO_x，铝酸盐例如包括LaAlO₃，钛酸盐例如包括SrTiO₃，氧氮化物例如包括SiON。并且，栅极电介质不仅可以由本领域的技术人员公知的材料形成，也可以采用将来开发的用于栅极电介质的材料。

按照本发明的实施例，执行图1至9中所示的以下步骤以制造应力增强的MSOFET，

在图中示出了不同阶段的半导体结构的截面图。如果必要，在图中还示出了俯视图，在俯视图中采用线 AA 表示沿沟道区的纵向方向的截取位置，采用线 BB 表示沿沟道区的横向方向的截取位置。

该方法开始于图 1 所示的半导体结构，在半导体衬底 101 上依次形成穿通阻止层（punch-through stopper layer）102、第一半导体层 103、第一氧化物层 104 和第一氮化物层 105。半导体衬底 101 例如由 Si 组成。如果需要，对半导体衬底 101 可以进行阱注入和阱退火。穿通阻止层 102 例如由掺杂半导体材料组成，厚度约为 10–50nm。第一半导体层 103 将用于形成半导体鳍片，例如由 Si 组成，厚度约为 20–100nm。第一氧化物层 104 例如由氧化硅组成，厚度约为 2–10nm。第一氮化物层 105 例如由氮化硅组成，厚度约为 50–150nm。正如已知的那样，第一氧化物层 104 可以减轻半导体衬底 101 和第一氮化物层 105 之间的应力。衬底氮化物层 105 在随后的蚀刻步骤中用作化学机械抛光（CMP）的停止层，以及用作蚀刻的硬掩模。

用于形成上述各层的工艺是已知的。例如，通过电子束蒸发（EBM）、化学气相沉积（CVD）、原子层沉积（ALD）、溅射等沉积工艺形成穿通阻止层 102 和第一半导体层 103。例如，通过热氧化形成第一氧化物层 104。例如，通过化学气相沉积形成第一氮化物层 105。

在一个优选的实施例中，穿通阻止层 102 是在半导体衬底 101 上外延生长的例如 Si 或 SiGe 的半导体层。对穿通阻止层 102 原位掺杂，其掺杂浓度例如为 $1e18-2e19/cm^3$ 。对于 p 型 FinFET 采用 n 型杂质，如 As 或 P，对于 n 型 FinFET 采用 p 型杂质，如 In、BF₂ 或 B。穿通阻止层 102 的掺杂类型与源区和漏区的掺杂类型相反，从而可以阻断 FinFET 的源区和漏区经由半导体衬底 101 的漏电流路径。

然后，通过旋涂在第一氮化物层 105 上形成光致抗蚀剂层 PR1，并通过其中包括曝光和显影的光刻工艺将光致抗蚀剂层 PR1 形成用于限定将要形成的半导体鳍片的纵向尺寸（即长度）的图案。利用光致抗蚀剂层 PR1 作为掩模，通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，或者通过其中使用蚀刻剂溶液的湿法蚀刻，从上至下依次去除第一氮化物层 105、第一氧化物层 104、第一半导体层 103 的暴露部分。该蚀刻进一步去除穿通阻止层 102 的一部分，例如通过控制蚀刻时间，使得该蚀刻在穿通阻止层 102 中的一定深度位置停止，如图 2 所示。通过在溶剂中溶解或灰化去除光致抗蚀剂层 PR1。

该蚀刻形成用于源区和漏区的开口。应当注意，在图 2 及随后的图中示出的半导

体结构仅仅是半导体衬底 101 上的一部分，例如，位于浅沟槽隔离（STI，未示出）围绕的有源区中。正如本领域的技术人员可以理解的那样，尽管在图中示出的蚀刻部分为台阶状态，但在大多数情形下，该蚀刻部分实际上是半导体结构中的沟槽或开口。

然后，通过已知的沉积工艺，在开口内形成第二半导体层 106，如图 3 所示。在优选的实施例中，第二半导体层 106 可以是仅仅在开口内生长并填充开口的一部分的外延半导体层。替代地，第二半导体层 106 可以是在半导体结构上形成的覆盖层以填充开口，然后通过采用第一氮化物层 105 作为停止层的化学机械抛光（CMP）去除开口外的部分，以及进行回蚀刻，使得第二半导体层 106 仅仅填充开口的一部分。

第二半导体层 106 包括位于第一半导体层 103 两侧的两个部分，用于形成 FinFET 的源区和漏区。而且，第二半导体层 106 与第一半导体层 103 不同的材料组成，从而可以向将要形成的半导体鳍片施加应力。。例如，对于 p 型 FinFET，第二半导体层 106 由 SiGe 组成且掺入原子百分比约为 15-75% 的 Ge，对于 n 型 FinFET，第二半导体层 106 由 Si:C 组成且掺入原子百分比约为 0.5-2% 的 C。

第二半导体层 106 的侧面与第一半导体层 103 的侧面相邻，从而可以向第一半导体层 103 中的沟道区施加合适的应力。优选地，第二半导体层 106 的顶部可以与第一半导体层 103 的顶部齐平，或者更高，以最大化与第一半导体层 103 的接触面积，从而相应地最大化应力作用。

然后，通过已知的沉积工艺，在半导体衬底上形成覆盖的第二氧化物层 107，然后通过采用第一氮化物层 105 作为停止层的 CMP 去除开口外的部分，使得第二氧化物层 107 填充开口的剩余部分，如图 4 所示。

然后，通过旋涂在半导体结构上形成光致抗蚀剂层 PR2，并通过其中包括曝光和显影的光刻工艺将光致抗蚀剂层 PR2 形成用于限定将要形成的半导体鳍片的横向尺寸（即宽度）的图案。利用光致抗蚀剂层 PR2 和第二氧化物层 107 作为掩模，通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，或者通过其中使用蚀刻剂溶液的湿法蚀刻，从上至下依次去除第一氮化物层 105、第一氧化物层 104 和第一半导体层 103 的暴露部分。该蚀刻在穿通阻止层 102 的顶部停止，如图 5a、5b 和 5c 所示。通过在溶剂中溶解或灰化去除光致抗蚀剂层 PR2。

应当注意，由于蚀刻速率较低，第二氧化物层 107 可以在该蚀刻中作为硬掩模。然而，该第二氧化物层 107 也可能部分地受到蚀刻使得厚度减小。

该蚀刻使得第一半导体层 103 形成半导体鳍片，其中不仅限定了该半导体鳍片的

宽度，而且形成暴露半导体鳍片的侧壁的开口。如上所述，尽管在图 5c 中示出的蚀刻部分为台阶状态，但该蚀刻部分实际上是半导体结构中的沟槽或开口。该半导体鳍片的两端与第二半导体层 106 形成的源区和漏区接触。第一氧化物层 104 和第一氮化物层 105 位于该半导体鳍片的顶部。

然后，通过已知的沉积工艺，在半导体结构上形成覆盖的第二氮化物层 108，接着可以对第二氮化物层 108 进行 CMP 以获得平整的表面，如图 6a、6b 和 6c 所示。

然后，在未使用掩模的情形下，通过选择性的干法蚀刻或湿法蚀刻，相对于第一氧化物层 104 和第二氧化物层 107 去除第二氮化物层 108 的一部分，如图 7a、7b 和 7c 所示。第二氮化物层 108 仅仅保留位于开口底部的一部分。该蚀刻进一步去除位于第二氮化物层 108 下方的第一氮化物层 105，从而暴露半导体鳍片的顶部。

然后，通过已知的沉积工艺，在半导体结构上形成共形的第三氧化物层。第三氧化物层例如由氧化硅组成，厚度约为 5-10nm。以第二氮化物层 108 作为停止层，例如采用反应离子蚀刻，对第三氧化物层进行各向异性蚀刻，使得仅仅第三氧化物层位于第二半导体层 106 和第二氧化物层 107 的侧壁上的部分保留而形成栅极侧墙 109，如图 8a、8b 和 8c 所示。第一半导体层 103 的厚度（即鳍片的侧壁的高度）远小于第二半导体层 106 和第二氧化物层 107 的在开口内的暴露侧壁的高度，结果在对第三氧化物层进行各向异性蚀刻时，可以完全去除第三氧化物层位于鳍片侧壁上的部分。此外，在蚀刻中，第二氧化物层 107 也可能部分地受到蚀刻使得厚度减小。

然后，通过已知的沉积工艺，在半导体结构上依次形成共形的电介质层以及覆盖的栅极材料层。电介质层至少覆盖半导体鳍片的顶部和侧壁。电介质层例如由高 K 材料组成，优选为 HfO_2 ，厚度约为 2-4nm。栅极材料层的厚度应当足以填充开口。接着，以第二氧化物层 107 作为停止层进行化学机械抛光，去除电介质层和多晶硅层位于开口外部的部分，从而形成包括栅极电介质 110 和栅极导体 111 的栅堆叠，如图 9a、9b 和 9c 所示。栅极导体 111 位于第一半导体层 103 形成的半导体鳍片的顶部和两个侧壁上，中间夹着栅极电介质 110。栅极导体 111 沿着半导体鳍片的宽度方向延伸，与第二半导体层 106 中的源区和漏区之间由栅极侧墙 109 隔开，与穿通阻止层 102 之间由作为隔离层的第二氮化物层 108 隔开。

在优选的实施例中，在形成电介质层和形成栅极材料层之间，还可以共形的阈值调节金属层（未示出），用于进一步调节 FinFET 的阈值电压。阈值调节金属层例如由选自 TaN、TaAlN、TiAlN 等的一种金属组成，厚度约为 3-15nm。

在图 9a、9b 和 9c 所示的步骤之后，在半导体结构上形成层间绝缘层、位于层间绝缘层中并且到达第二半导体层 106 中的源区和漏区以及到达栅极导体 111 的通孔、位于层间绝缘层上表面的布线或电极，从而完成 MOSFET 的其他部分。

尽管在上述实施例中描述了应力增强的 p 型 MOSFET 及其中使用的应力源的材料，但本发明同样适应于应力增强的 n 型 MOSFET。在 n 型 MOSFET 中，半导体衬底 101 例如由 Si 组成，第一半导体层 101 例如由 Si 组成，第二半导体层 106 例如由 Si:C 组成，用于形成源区和漏区，并且作为沿着沟道区的纵向方向对沟道区施加拉应力的应力源。除了应力源的材料不同之外，可以采用与上述方法类似的方法制造应力增强的 n 型 MOSFET。

尽管在上述实施例中描述了第一氧化物层 104、第二氧化物层 107 以及用于形成栅极侧墙 109 的第三氧化物层，以及第一氮化物层 105、第二氮化物层 108，但上述氧化物层和氮化物层的材料可以互换。也即，第一氧化物层 104、第二氧化物层 107 和第三氧化物层可以改为由氮化物组成，同时，第一氮化物层 105、第二氮化物层 108 可以改为由氧化物组成。

进一步地，本领域的技术人员可以理解，在替代的实施例中，上述氧化物层和氮化物层的材料可以由各种绝缘材料替代。也即，第一氧化物层 104、第二氧化物层 107 和第三氧化物层可以改为由第一绝缘材料组成，同时，第一氮化物层 105、第二氮化物层 108 可以改为由第二绝缘材料组成。重要的是第一绝缘材料和第二绝缘材料具有不同的蚀刻速率，使得可以相对于第一绝缘材料选择性地去除第二绝缘材料，以及相对于第二绝缘材料选择性地去除第一绝缘材料。

以上描述只是为了示例说明和描述本发明，而非意图穷举和限制本发明。因此，本发明不局限于所描述的实施例。对于本领域的技术人员明显可知的变型或更改，均在本发明的保护范围之内。

权 利 要 求

1、一种制造 FinFET 的方法，包括：

在半导体衬底上形成穿通阻止层；

在穿通阻止层上形成第一半导体层；

在第一半导体层中形成源区和漏区；

由第一半导体层形成半导体鳍片，源区和漏区在半导体鳍片的两端与半导体鳍片接触；以及

形成横跨半导体鳍片的栅堆叠，栅堆叠包括栅极导体和夹在栅极导体和半导体鳍片之间的栅极电介质。

2、根据权利要求 1 所述的方法，其中穿通阻止层是半导体衬底上的外延层，并且原位掺杂成与源区和漏区的掺杂类型相反的掺杂类型。

3、根据权利要求 2 所述的方法，其中穿通阻止层的掺杂浓度约为 $1e18-2e19/cm^3$ 。

4、根据权利要求 1 所述的方法，其中形成源区和漏区包括：

蚀刻第一半导体层以形成到达穿通阻止层的第一开口；以及

通过在开口中外延生长半导体材料，形成源区和漏区。

5、根据权利要求 4 所述的方法，其中第一开口限定半导体鳍片的长度，并且形成半导体鳍片的步骤包括：

蚀刻第一半导体层以形成到达穿通阻止层的第二开口，从而形成半导体鳍片，第二开口限定半导体鳍片的宽度。

6、根据权利要求 5 所述的方法，其中在形成半导体鳍片的步骤和形成栅堆叠的步骤之间，还包括：

在第二开口的底部形成隔离层。

7、根据权利要求 5 所述的方法，其中形成栅堆叠的步骤包括：

在第二开口与源区和漏区相邻的侧壁形成栅极侧墙；

在第二开口内半导体鳍片的顶部和侧壁上形成栅极电介质；以及

在栅极电介质上形成栅极导体。

8、根据权利要求 1 所述的方法，其中，半导体鳍片由第一半导体材料组成，源区和漏区由与第一半导体材料不同的第二半导体材料组成，使得源区和漏区沿着半导体鳍片的纵向方向对半导体鳍片施加应力。

9、根据权利要求 8 所述的方法，其中所述 FinFET 为 p 型，并且第一半导体材料为 Si，第二半导体材料由 SiGe 组成且掺入原子百分比约为 15-75% 的 Ge。

10、根据权利要求 8 所述的方法，其中所述 FinFET 为 n 型，并且第一半导体材料为 Si，第二半导体材料由 Si:C 组成且掺入原子百分比约为 0.5-2% 的 C。

11、一种 FinFET，包括：

半导体衬底；

位于半导体衬底上的穿通阻止层；

位于穿通阻止层上的半导体鳍片；

位于穿通阻止层上的源区和漏区，源区和漏区在半导体鳍片的两端与半导体鳍片接触；以及

位于半导体鳍片的顶部和侧壁上的栅堆叠，其中栅堆叠包括栅极导体和夹在栅极导体和半导体鳍片之间的栅极电介质。

12、根据权利要求 11 所述的 FinFET，其中穿通阻止层是半导体衬底上的外延层，并且原位掺杂成与源区和漏区的掺杂类型相反的掺杂类型。

13、根据权利要求 12 所述的 FinFET，其中穿通阻止层的掺杂浓度约为 $1\text{e}18\text{-}2\text{e}19/\text{cm}^3$ 。

14、根据权利要求 11 所述的 FinFET，还包括：

栅极侧墙，该栅极侧墙隔开栅极导体与源区和漏区。

15、根据权利要求 11 所述的 FinFET，还包括：

隔离层，该隔离层隔开栅极导体和穿通阻止层。

16、根据权利要求 11 所述的 FinFET，其中，半导体鳍片由第一半导体材料组成，源区和漏区由与第一半导体材料不同的第二半导体材料组成，使得源区和漏区沿着半导体鳍片的纵向方向对半导体鳍片施加应力。

17、根据权利要求 16 所述的 FinFET，其中所述 FinFET 为 p 型，并且第一半导体材料为 Si，第二半导体材料由 SiGe 组成且掺入原子百分比约为 15-75% 的 Ge。

18、根据权利要求 16 所述的 FinFET，其中所述 FinFET 为 n 型，并且第一半导体材料为 Si，第二半导体材料由 Si:C 组成且掺入原子百分比约为 0.5-2% 的 C。

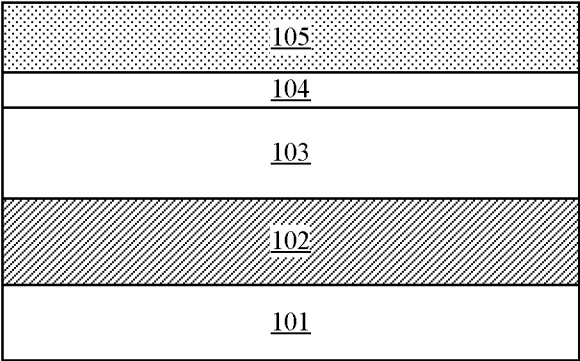


图1

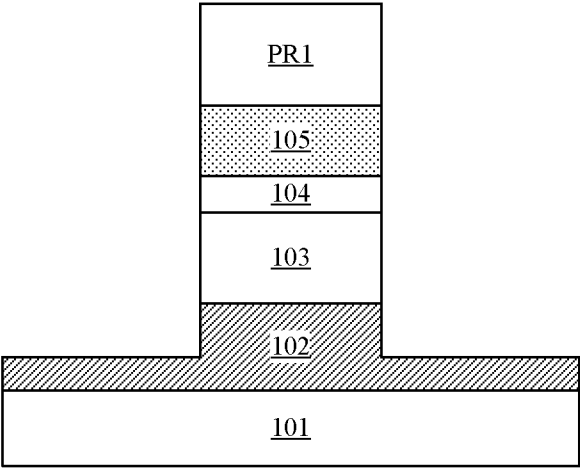


图2

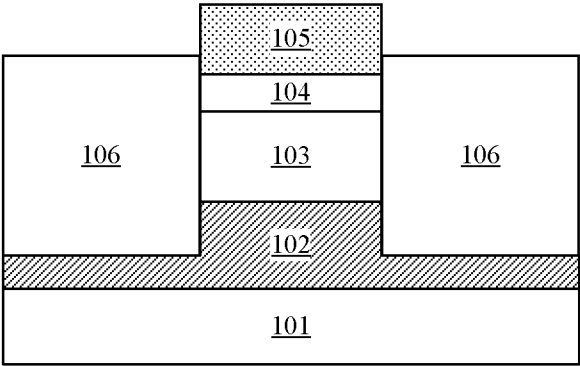


图3

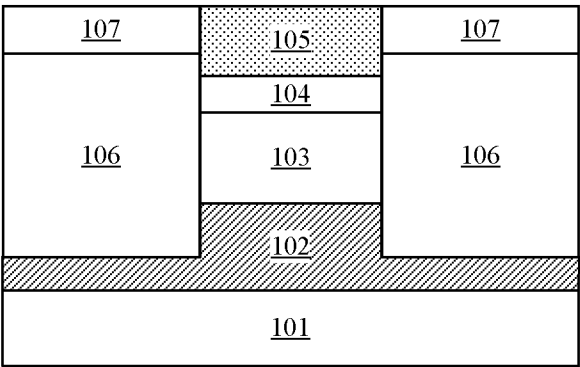


图4

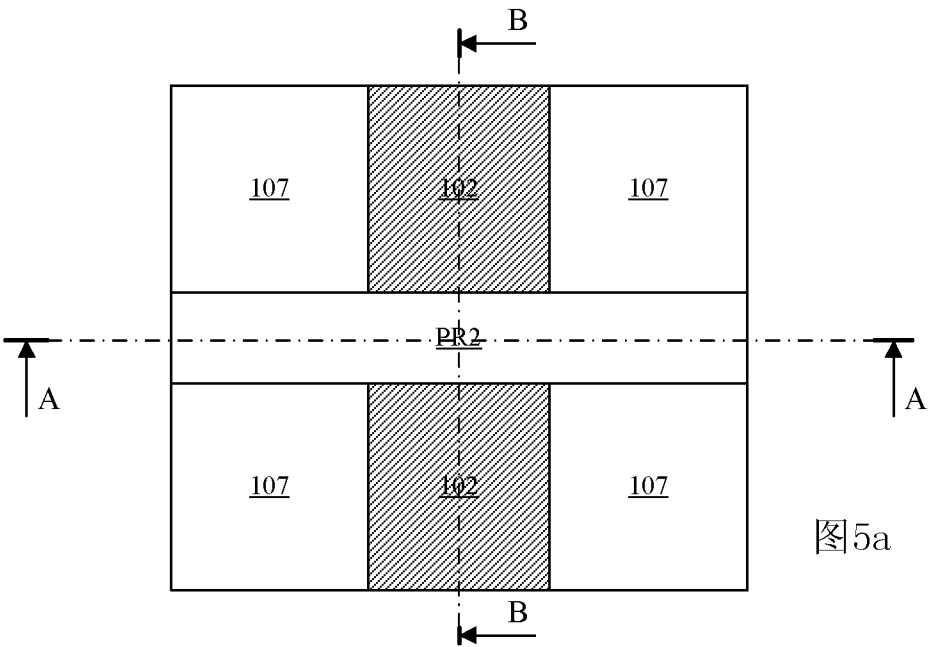


图5a

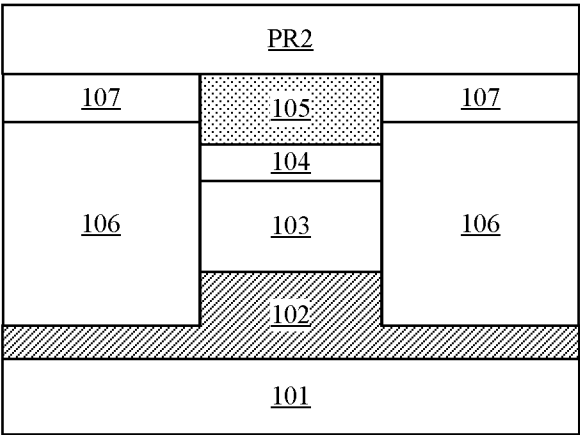


图5b

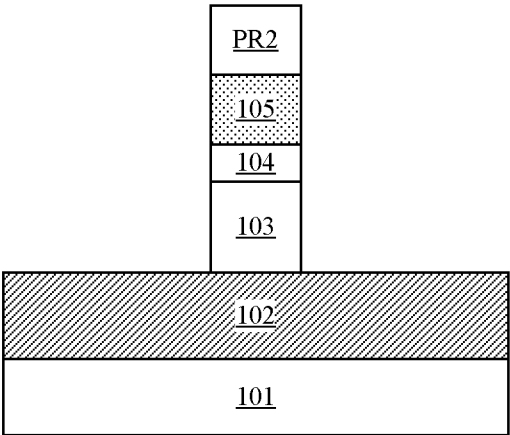


图5c

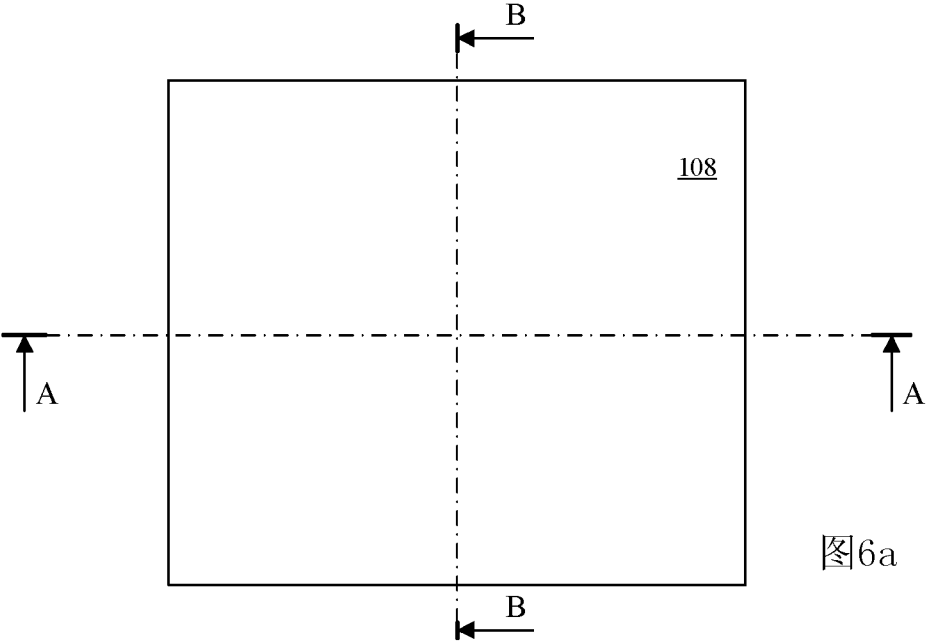


图6a

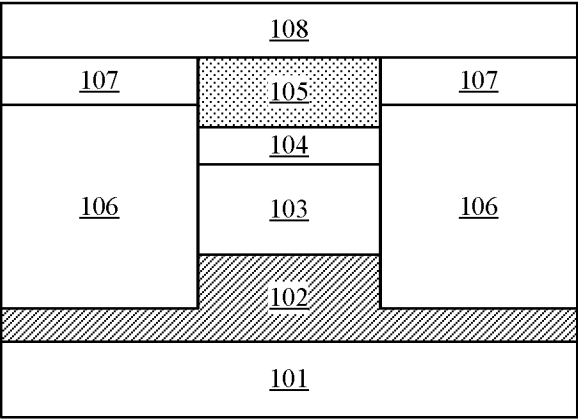


图6b

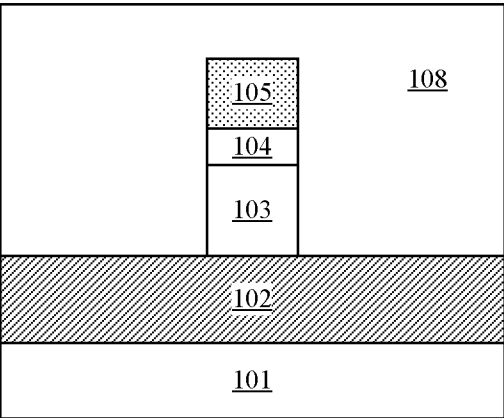
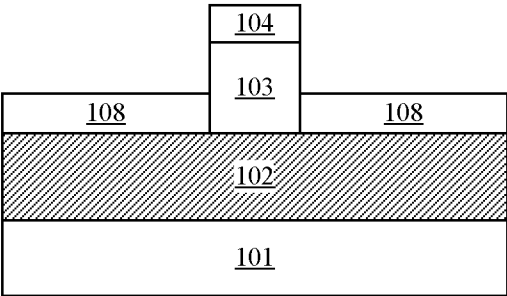
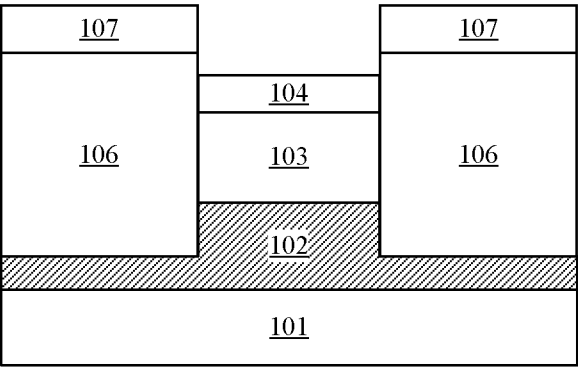
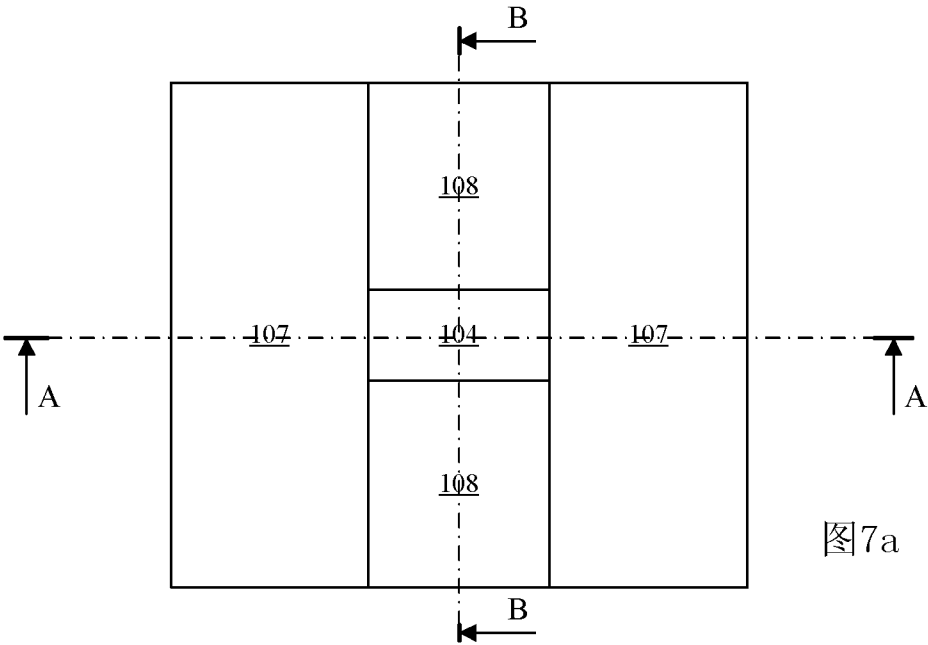


图6c



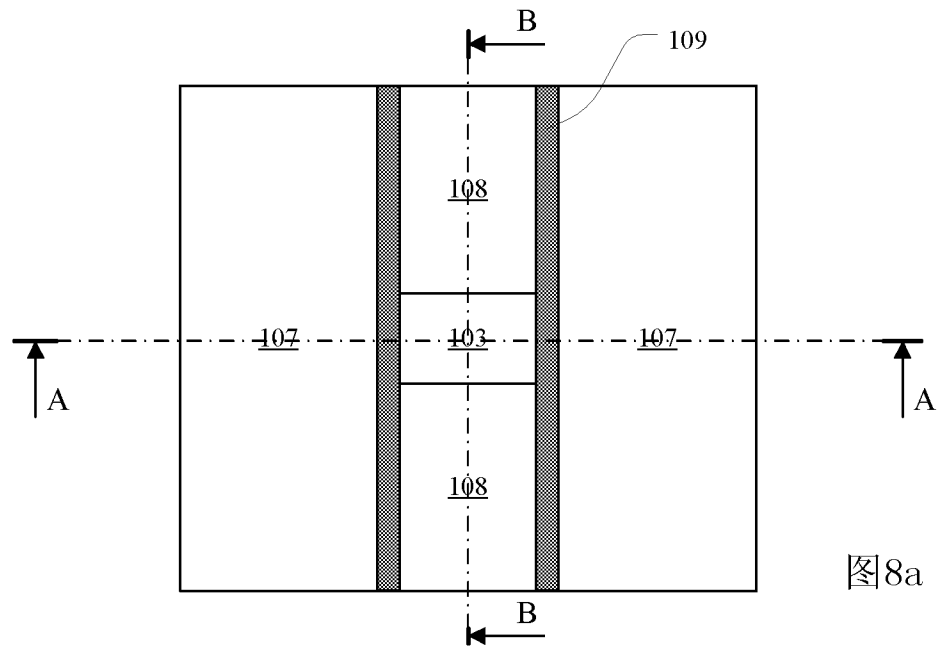


图8a

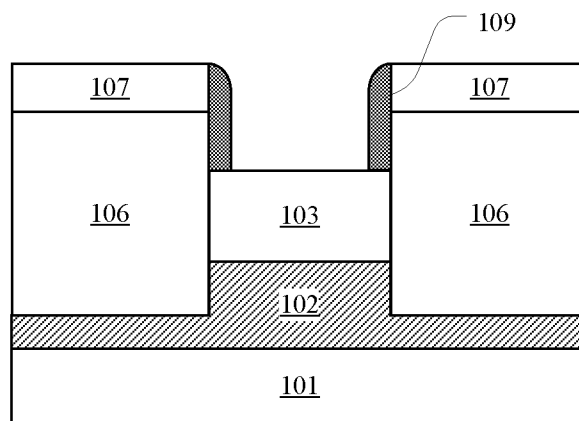


图8b

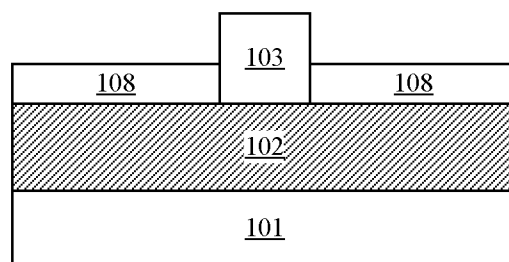


图8c

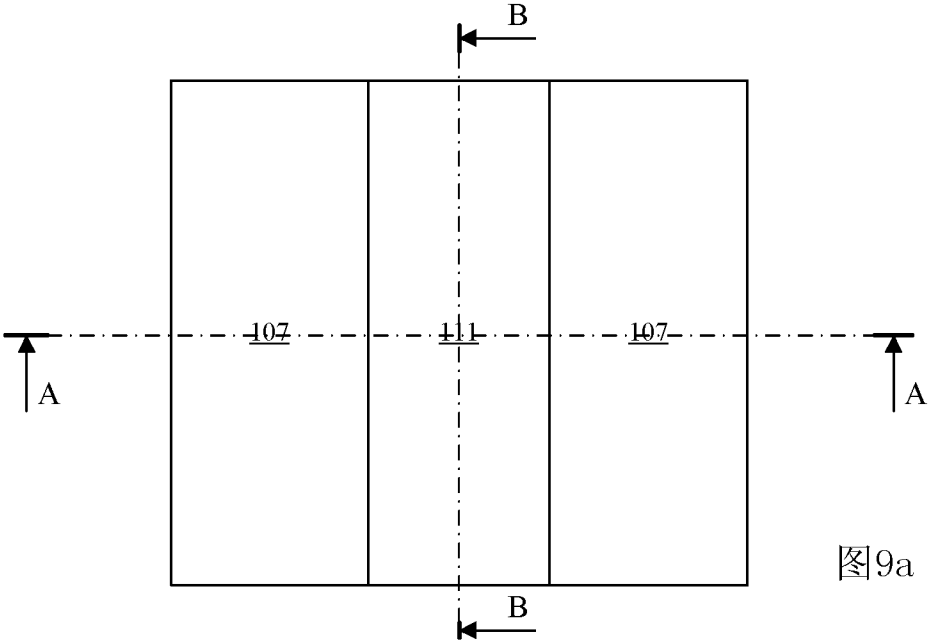


图9a

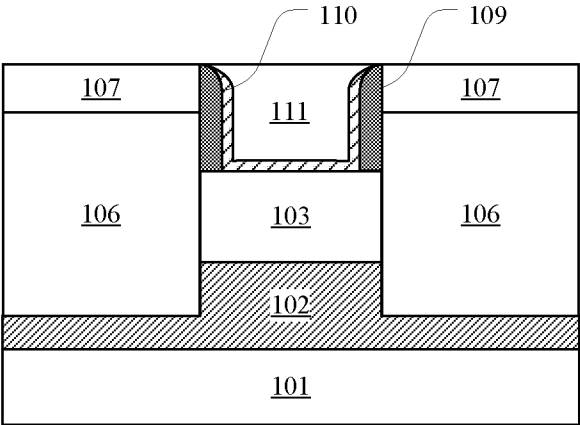


图9b

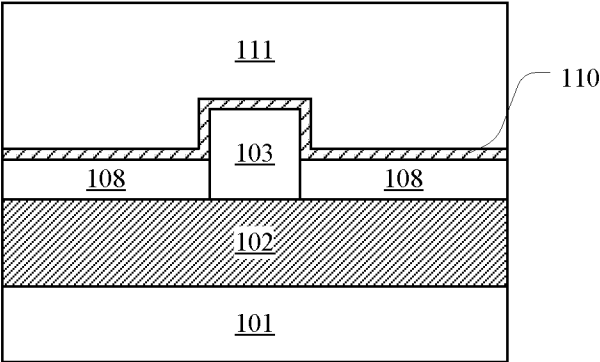


图9c

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/085625

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-; H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CPRSABS, MOABS, HKABS, TWABS, DWPI, SIPOABS, CPEA, JPABS, TWTXT, CNTXT: finfet, CHINESE ACADEMY OF SCIENCES, stop, punch through, penetration, pressure, rear fin, rear fin process, source zone, contact, method, source, finned field effect transistor, top, both ends, penetrat+ w through w stop+, PTS, fin w last+, punch w through w stopper

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2004/0195624 A1 (NATIONAL TAIWAN UNIVERSITY), 07 October 2004 (07.10.2004), claim 8, description, paragraphs [0043]-[0051], and figure 1	11-18
Y	CN 102217074 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.), 12 October 2011 (12.10.2011), description, paragraphs [0002]-[0013]	11-18
A	TWI 252554 B (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.), 01 April 2006 (01.04.2006), the whole document	1-18
A	US 2004/0166642 A1 (CHEN, H. Y. et al.), 26.08.2004 (26.08.2004), the whole document	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01 August 2013 (01.08.2013)	Date of mailing of the international search report 22 August 2013 (22.08.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer GU, Wenwen Telephone No.: (86-10) 82245120

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/085625

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2004/0195624 A1	07.10.2004	TW 200421611 A	16.10.2004
		TWI 231994 B	01.05.2005
CN 102217074 A	12.10.2011	WO 2010032174 A1	25.03.2010
		US 2011/0169101 A1	14.07.2011
TWI 252554 B	01.04.2006	None	
US 2004/0166642 A1	26.08.2004	US 6855606 B2	15.02.2005
		TWI 222222 B	11.10.2004
		TW 200417026 A	01.09.2004
		US 2005/0121706 A1	09.06.2005

国际检索报告

国际申请号

PCT/CN2012/085625

A. 主题的分类

H01L 21/336 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-; H01L 29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS,CPRSABS,MOABS,HKABS,TWABS,DWPI,SIPOABS,CPEA,JPABS,TWTXT,CNTXT:finfet,穿通阻止,中国科学院,阻止,穿通,贯穿,压力,后鳍,后鳍工艺,源区,接触,方法,源,鳍式场效应管,顶,两端, penetrat+ w through w stop+, PTS, fin w last+, punch w through w stopper

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US2004/0195624 A1 (NATIONAL TAIWAN UNIVERSITY) 07.10 月 2004 (07.10.2004) 权利要求 8、说明书【0043】-【0051】段、附图 1	11-18
Y	CN102217074 A (台湾积体电路制造股份有限公司) 12.10 月 2011 (12.10.2011) 说明书第【0002】-【0013】段	11-18
A	TWI252554 B(台湾积体电路制造股份有限公司)01.4 月 2006(01.04.2006) 全文	1-18
A	US2004/0166642 A1 (CHEN Hao-Yu 等) 26.08.2004 (26.08.2004) 全文	1-18



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

01.8 月 2013 (01.08.2013)

国际检索报告邮寄日期

22.8 月 2013 (22.08.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

顾雯雯

电话号码: (86-10) 82245120

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/085625

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2004/0195624 A1	07.10.2004	TW200421611 A	16.10.2004
		TWI231994 B	01.05.2005
CN102217074 A	12.10.2011	WO2010032174 A1	25.03.2010
		US2011/0169101 A1	14.07.2011
TWI252554 B	01.04.2006	无	
US2004/0166642 A1	26.08.2004	US6855606 B2	15.02.2005
		TWI222222 B	11.10.2004
		TW200417026 A	01.09.2004
		US2005/0121706 A1	09.06.2005