

402808

88年9月3日 修正補充
 第 86116551 號專利申請案
 中文說明書修正本

民國 88 年 9 月 呈

公告本

申請日期	86 年 11 月 6 日
案 號	86116551
類 別	H01L 27/10

A4

C4

402 402808

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體記憶裝置
	英 文	
二、發明 人 創作	姓 名	(1) 宮武伸一 (2) 加瀬重和 (3) 中村正行
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都羽村市小作台二丁目一六一二四 多迷爾羽三〇一 (2) 日本國埼玉縣浦和市針ヶ谷一八一一五佐藤 大樓一〇一 (3) 日本國東京都青梅市河辺町五二五七 線色福林一〇一
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾·愛斯·愛工程股份有限公司 日立超エル·エス·アイ·エンジニアリング株式会社
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地 (2) 日本國東京都小平市上水本町五丁目二〇番一 號
	代 表 人 姓 名	(1) 金井務 (2) 鈴木仁一郎

裝

訂

線

402808

88年9月3日 修正補充
 第 86116551 號專利申請案
 中文說明書修正本

民國 88 年 9 月 呈

公告本

申請日期	86 年 11 月 6 日
案 號	86116551
類 別	H01L 27/10

A4

C4

402 402808

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體記憶裝置
	英 文	
二、發明 人 創作	姓 名	(1) 宮武伸一 (2) 加瀬重和 (3) 中村正行
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都羽村市小作台二丁目一六-二四 多迷爾羽三〇一 (2) 日本國埼玉縣浦和市針ヶ谷一-八-一五佐藤 大樓一〇一 (3) 日本國東京都青梅市河辺町五-二五-七 線色福林一〇一
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾·愛斯·愛工程股份有限公司 日立超エル·エス·アイ·エンジニアリング株式会社
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地 (2) 日本國東京都小平市上水本町五丁目二〇番一 號
	代 表 人 姓 名	(1) 金井務 (2) 鈴木仁一郎

裝

訂

線

402808

申請日期	86 年 11 月 6 日
案 號	86116551
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	<input type="checkbox"/> 長谷川雅俊 <input type="checkbox"/> 梶谷一彦
	國 籍	<input type="checkbox"/> 日本 <input type="checkbox"/> 日本 <input type="checkbox"/> 日本國東京都青梅市野上六五七-五若草寮二〇七
	住、居所	<input type="checkbox"/> 日本國埼玉縣入間市下谷ヶ貫九〇五-六
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝 訂 線

經濟部智慧財產局員工消費合作社印製

402808

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 1996年12月2日 8-336444 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ ）

發明之背景

本發明係關於半導體記憶裝置，主要是關於利用於在記憶用電容器使用高電介質或強電介質之大記憶容量之動態型 R A M（隨機存取記憶體）有效之技術者。

於動態型 R A M 中，由約 2 5 6 M 位元至 1 G 位元地，記憶容量之增大進展著。爲了記憶容量化之增大之故，記憶單元之尺寸有必要更小地形成。

又，爲了半導體記憶裝置之性能提昇或誤動作防止之故，改善在上述記憶電容器之板極電極供給電壓之電路，於特開昭 6 2 - 8 4 4 9 1 以及特開平 6 - 2 1 5 5 6 3 被公開著。

發明摘要

爲了資訊記憶用電容器之小尺寸化之故，使用高電介質（例如 T a ₂ O ₅）或強電介質（例如 B S T、P Z T 膜）作爲電介質之場合，如下之問題之產生介經本發明者之檢討得以判明。在上述記憶電容器之板極（共通）電極供給動作電壓之中間電壓之場合，在電源投入之後，在使上述由多數之電容器並聯連接而形成之板極電壓爲上述中間電位時，有必要花費比較長之時間。但是，在先前之動態型 R A M 中，在上述板極電壓之電壓設定無顧慮，輸入控制信號時，內部電路與上述板極電壓之建立無關地開始動作，讀出或寫入動作爲可能。

但是，依據本發明者等之研究，在使資訊記憶用電容

五、發明說明()

器小型化之場合，特別是在使用上述之高電介質膜或強電介質膜以小型化之場合，其之耐壓比較低，判明在電介質膜等之劣化等特性有不好之影響。

本發明之目地在於提供：介經簡單之構成，實現高積體化與高信賴性之半導體記憶裝置。本發明之上述以及其它之目地與新的特徵，由本說明書之記述以及所附圖面可以明白。

本專利申請所公開揭露之發明之中，簡單說明其代表者之概要時，如下述者。即，於具有由位址選擇用 M O S F E T 及資訊記憶用電容器形成，由中間電位形成之板極電壓被供給在上述資訊記憶用電容器之共通電極而形成之記憶體單元之半導體記憶裝置，上述板極電壓到達接近中間電位之規定之電位時，利用電壓檢出電路或計時電路間接的檢測出，在上述規定電位以下時，禁止上述字元線之選擇動作或使互補位元線預充電狀態地為上述中間電位，上述板極電壓在規定之電位到達上述規定電位後，解除上述動作可以做記憶體存取。

發明之詳細說明

在圖 1 表示關於本發明之動態型 R A M 之一實施例之概略佈置圖。於同一圖中，構成動態型 R A M 之各電路方塊圖之中，關於本發明之部份被明白表示著，此為介經眾知之半導體積體電路之製造技術，於如單結晶矽之 1 個之半導體基板上形成。

五、發明說明（ 6 ）

此實施例之動態型 R A M 雖無特別限制，但設為具有約 6 4 M（百萬）位元之記憶容量。記憶陣列全體為由分為 4 個之記憶方塊構成。對於半導體晶片之長度方向，被分為左右各 2 個之記憶佈置，在中央部份設置位址輸入電路、資料輸入輸出電路及由鉚線墊列形成之輸入輸出界面電路以及電源產生電路等。

如上述者，對於半導體晶片之長度方向，被分為左右各 2 個、上下各 2 個之 4 個形成之記憶方塊之中，上下配置之各 2 個成為 1 組，在其之中央部側配置主字元驅動器 M W D。此主字元驅動器 M W D 形成貫通上述 1 個之記憶方塊地被延長之主字元線之選擇信號。1 個之記憶方塊連接構成在上述主字元線方向 4 K 位元，在與其正交未圖示出之互補位元線（或也稱資料線）方向 4 K 之記憶容量之動態型記憶單元。此種記憶方塊全體設置 4 個之故，成為具有 $4 \times 4 K \times 4 K = 6 4 M$ 位元之大記憶容量。

上述 1 個之記憶方塊對於主字元線方向被分割為 8 個。於被分割之每 1 記憶方塊設置副字元驅動器 S W D。副字元驅動器 S W D 對於主字元線被分割為 $1 / 8$ 之長度，形成與其平行延長之副字元線之選擇信號。在此實施例中，減少主字元線之數目之故，換言之時，為了使主字元線之配線節距寬鬆之故，雖無特別限制，但對於 1 個之主字元線，於互補位元線方向配置由 4 條形成之副字元線。如此在主字元線方向被分割為 8 條，以及對於互補位元線方向，由被分配各 4 條之副字元線之中選擇 1 條之副字元線

五、發明說明（ 4 ）

之故，配置後述之副字元選擇線驅動器。此副字元選擇線驅動器形成由延長於上述副字元驅動器之配置方向之 4 條之副字元選擇線之中選擇 1 個之選擇信號。

於同一圖中，與半導體晶片之長度方向平行配置之 S A 為讀出放大器，設置於晶片接近中央之 column Dec 為欄譯碼器。而且，設置於中央部使上述記憶方塊上下分割之 A C T R L 為陣列控制電路，供給位址譯碼器或動作必要之時機信號。

如上述之 1 個之記憶陣列對於互補位元線方向具有 4 K 位元之記憶容量。但是，對於 1 個之互補位元線，連接 4 K 之記憶單元時，互補位元線之寄生電容增大，介經與微細之資訊記憶用電容器之電容量比而讀出之信號位準，變成無法獲得之故，對於互補位元線方向也 1 6 分割。即，介經上述讀出放大器 S A，互補位元線被分割為 1 6 分割。雖無特別限制，但如後述者，讀出放大器 S A 介經共用讀出方式而構成，除了配置於記憶陣列之兩端之讀出放大器外，以讀出放大器為中心，左右設置互補位元線，選擇性地連接於左右哪一個之互補位元線。

在圖 2 表示說明上述記憶陣列之主字元線與副字元線之關係用之主要部份方塊圖。於同一圖中，作為代表 2 條之主字元線 M W L 0 與 M W L 1 被表示著。這些之主字元線 M W L 0、介經主字元驅動器 M W D 0 被選擇。介經同樣之主字元驅動器，主字元線 M W L 1 也被選擇。

在上述 1 個之主字元線 M W L 0，對於其之延長方向

五、發明說明(6)

8組之副字元線被設置著。在同一圖中，其中之2組之副字元線被代表性地為例表示著。副字元線SWL為偶數0~6與奇數1~7之合計8條之副字元線交互地配置於1個之記憶單元陣列。除了與主字元驅動器鄰接之偶數0~6，配置於主字元線之遠端側（字元驅動器之相反側）之奇數1~7之外，配置於記憶單元陣列間之副字元驅動器SWD形成以其為中心之左右之記憶方塊之副字元線之選擇信號。

如上述者，記憶方塊於主字元線方向雖被分為8條，但如上述者，實質上介經副字元驅動器SWD對應於2個之記憶方塊之副字元線被同時選擇之故，實質上成為被分為4個。如上述者，在副字元線分為偶數0~6與奇數1~7，分別在記憶方塊之兩側配置副字元驅動器SWD之構成中，配合記憶單元之配置高密度被配置之副字元線SWL之實質上之節距，在副字元驅動器SWD之中可以緩和為2倍，可以將副字元驅動器SWD與副字元線SWL0等有效率地佈置之。

上述副字元驅動器SWD，對於4條之副字元線0~6（1~7）共通地供給選擇信號。又，通過反向器電路供給反轉信號。設置由上述4個之副字元線之中選擇1個之副字元線用之副字元選擇線FX。副字元選擇線FX由FX0~FX7之8條構成，其中之偶數副字元選擇線FX0~FX6供給於上述偶數列之副字元驅動器0~6，其中奇數副字元選擇線FX1~FX7供給於上述奇數

五、發明說明（6）

列之副字元驅動器 1 ~ 7。雖無特別限制，但副字元選擇線 F X 0 ~ F X 7 在陣列之週邊部，介經第 2 層之金屬配線層 M 2 而形成，在介經相同之第 2 之金屬配線層 M 2 而構成之主字元線 M W L 0 ~ M W L n 之交叉部份，介經第 3 層之金屬配線層 M 3 而構成。

在圖 3 表示說明上述主字元線與讀出放大器之關係用之主要部份方塊圖。在同一圖中，代表性的以 1 條之主字元線 M W L 表示。此主字元線 M W L 介經主字元驅動器 M W D 而被選擇。鄰接於上述主字元驅動器，設置對應於上述偶數副字元線之副字元驅動器 S W D。

在同一圖中，設置與上述主字元線 M W L 平行配置之未圖示出之副字元線正交之互補位元線（Pair Bit Line）。在此實施例中，雖無特別限制，但是互補位元線也分為偶數列與奇數列，分別與其對應以記憶單元陣列為中心，在左右讀出放大器 S A 被分開。讀出放大器 S A 如上述者，為共用讀出方式，在端部之讀出放大器 S A 中，實質上沒有設置為單邊之互補位元線，通過後述之共用開關 M O S F E T 與互補位元線連接。

在上述記憶方塊之兩側分散配置讀出放大器 S A 之構成中，互補位元線被分為奇數列與偶數列之故，可以使讀出放大器之節距緩和。反之而言，成為可以高密度配置互補位元線，確保形成讀出放大器 S A 之元件區域。沿著上述讀出放大器 S A 之排列輸入輸出線被配置著。此輸入輸出線通過欄開關連接於上述互補位元線。欄開關由開關

五、發明說明()

M O S F E T 構成。此開關 M O S F E T 之閘極為被連接於欄譯碼器 (C O L U M N D E C O D E R) 之選擇信號被傳達之欄選擇線 Y S 。

在圖 4 表示關於本發明之動態型 R A M 之讀出放大部之一實施例之主要部份電路圖。在同一圖中，夾於記憶單元陣列 M M A T 0 與 M M A T 1 而配置之讀出放大器

S A 1 及與其相關之電路被為例表示著。記憶單元陣列 (記憶方塊) M M A T 1 以黑盒子表示，設置在端部之讀出放大器 S A 0 也以黑盒子表示。

動態型記憶單元對應於設置在記憶方塊 M M A T 0 之副字元線 S W L ，以 4 個為代表為例表示著。動態型記憶單元由位址選擇用 M O S F E T Q_m 與資訊記憶用電容器 C_s 構成。上述位址選擇用 M O S F E T Q_m 之閘極被連接於副字元線 S W L ，此 M O S F E T Q_m 之汲極 (或源極) 被連接於位元線，在源極 (或汲極) 連接由資訊記憶電容器 C_s 之一方之電極形成之蓄積節點。資訊記憶用電容器 C_s 之另一方之電極被共通化，後述之板極電壓 V P L 被施加著。

一對之互補位元線如同圖所示地被平行配置，為了取得位元線之電容平衡等之故，因應需要適當地使交叉。相關之互補位元線介經共用開關 M O S F E T Q_1 及 Q_2 與讀出放大器之單位電路之輸入輸出節點連接。讀出放大器 S A 1 之單位電路由閘極與汲極交叉連接成門鎖狀態之 N 通道型 M O S F E T Q_5 ， Q_6 以及 P 通道型

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (6)

M O S F E T Q 7 , Q 8 構成。

上述 N 通道型 M O S F E T Q 5 與 Q 6 之源極被連接於共通源極線 C S N 。 P 通道型 M O S F E T Q 7 與 Q 8 之源極被連接於共通源極線 C S P 。在上述共通源極線 C S N 與 C S P 分別設置未圖示出之 N 通道型 M O S F E T 與 P 通道型 M O S F E T 之電源開關 M O S F E T ，介經讀出放大器之活性化信號，上述電源開關 M O S F E T 成爲 O N 狀態，進行讀出放大器之動作所必要之電壓供給。

在上述讀出放大器之單位電路之輸入輸出節點設置使互補位元線短路之 M O S F E T Q 1 1 ，以及由在互補位元線供給預充電電壓 H V C 之開關 M O S F E T Q 9 與 Q 1 0 形成之預充電電路。這些之 M O S F E T Q 9 ~ Q 1 1 之閘極共通地被供給預充電信號 P C 。

M O S F E T Q 1 2 與 Q 1 3 構成介經欄選擇信號 Y S 而被開關控制之欄開關。在此實施例中，做成介經 1 個之欄選擇信號 Y S 可以選擇 4 對之位元線。即，在以黑盒子表示之讀出放大器 S A 0 也設置同樣之欄開關。如此夾住記憶方塊 M M A T 0 介經 2 個之讀出放大器 S A 0 與 S A 1 ，在互補位元線之中，分開爲偶數列之位元線與奇數列之位元線，使對應上述讀出放大器 S A 0 與 S A 1 。

因此，上述欄選擇信號 Y S 爲可以選擇對應在讀出放大器 S A 1 側爲例表示之 2 對之位元線，及設置在讀出放大器 S A 0 側未圖示出之剩下之 2 對之位元線，合計 4 對

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

之互補位元線。這些之各 2 對之互補位元線對通過上述欄開關被連接於各 2 對之共通輸入輸出線 I / O。

讀出放大器 S A 1 通過共用開關 M O S F E T Q 3 與 Q 4，連接於記憶方塊 M M A T 1 之同樣之奇數列之互補位元線。記憶方塊 M M A T 1 之偶數列之互補位元線通過對應上述共用開關 M O S F E T Q 1 與 Q 2 之共用開關 M O S F E T 連接於配置在記憶方塊 M M A T 1 之右側未圖示出之讀出放大器 S A 2。介經如此之反覆形式，被連接於設置在由記憶陣列分割形成之記憶方塊（上述記憶單元陣列）間之讀出放大器。

例如，在記憶方塊，M M A T 0 之副字元線 S W L 被選擇時，讀出放大器 S A 0 之右側共用開關 M O S F E T，與讀出放大器 S A 1 之左側共用開關 M O S F E T Q 1 以及 Q 2 成爲 O N 狀態。但是，在上述端部之讀出放大器 S A 0 只有設置上述右側共用開關 M O S F E T。信號 S H L 爲左側共用選擇信號，信號 S H R 爲右側共用選擇信號。

在圖 5 表示關於本發明之動態型 R A M 之週邊部份之一實施例之概略方塊圖。動態控制電路 T G 接受由外部端子供給之列位址選通脈衝信號 / R A S、欄位址選通脈衝信號 / C A S、寫入啓動信號 / W E 以及輸出啓動信號 / O E，動作模式之判定，與其對應形成內部動作必要之各種之時機信號。在此詳細說明書以及圖面中，/ 使用爲低位準意味動作位準。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(10)

信號 R 1 與 R 3 為列系之內部時機信號，使用於列系之選擇動作之用。時機信號 $\phi X L$ 為取得列系位址使之保持之信號，被供給於列系位址緩衝器 R A B。即，列系位址緩衝器 R A B 介經上述時機信號 $\phi X L$ 取得由位址端子 A 0 ~ A i 輸入之位址，使之保持於閘鎖電路。

時機信號 $\phi Y L$ 為取得欄系位址使之保持之信號，被供給於欄位址緩衝器 C A B。即，欄位址緩衝器 C A B 介經上述時機信號 $\phi Y L$ 取得由位址端子輸入之欄位址信號，保持於閘鎖電路。

信號 $\phi R E F$ 為更新模式時產生之信號，被供給於設置在列位址緩衝器之輸入部之多路轉換器 M X X，在更新模式之時控制切換為介經更新位址計數器電路 R F C 而形成之更新用位址信號。更新位址計數器電路 R F C 計算介經時機控制電路 T G 而形成之更新用步進脈衝 $\phi R C$ 產生更新位址信號。在此實施例中，使之具有自動更新與單元更新。

時機信號 ϕX 為字元線選擇時機信號，被供給於譯碼器 X I B，根據下位 2 位元之位址信號之解讀信號，形成 4 個之字元線選擇時機信號 X i B。時機信號 ϕY 為欄選擇時機信號，被供給於欄系譯碼器 Y P D，欄選擇信號 A y i x、A y j x、A y k x 被輸出。

時機信號為指示寫入動作之控制信號，時機信號 ϕR 為指示讀出動作之控制信號，這些之時機信號 ϕW 與 ϕR 被供給於輸入輸出電路 I / O，在寫入動作時，活性化含

五、發明說明(1)

輸入輸出電路 I / O 之輸入緩衝器，使輸出緩衝器為輸出高阻抗狀態。相對於此，在讀出動作時，活性化上述輸出緩衝器，使輸入緩衝器為高阻抗狀態。

時機信號 $\phi M S$ 雖無特別限制，為指示記憶陣列動作之信號，被供給於列位址緩衝器 R A B，與此時機同步，選擇信號 M s i 被輸出。時機信號 $\phi S A$ 為指示讀出放大器之動作之信號。依據此時機信號 $\phi S A$ ，讀出放大器之後述之活性化脈衝 S A E 被形成。

在此實施例中，列系之冗長電路 X - R E D 作為代表為例的被表示著。即，上述電路 X - R E D 含有記憶不良位址之記憶電路與位址比較電路。比較被記憶之不良位址與由列位址緩衝器 R A B 輸出之內部位址信號 B X i，不一致時，使信號 X E 為高位準，使信號 X E B 為低位準，使正規電路之動作有效。上述被輸入之內部位址信號

B X i 與記憶之不良位址一致時，使信號 X E 為低位準，禁止正規電路之不良主字元線之選擇動作，同時，使信號 X E B 為高位準，使選擇 1 個之預備主字元線之選擇信號 X R i B 輸出。

板極電壓產生電路 V P L G 接受由未圖示出之外部端子供給之電源電壓 V C C 與電路之接地電位 V S S，形成對應於上述互補位元線之高位準與低位準之中間電位之板極電壓，供給於上述記憶單元之共通電極（板極）。雖無特別限制，但此板極電壓也可以與上述互補位元線之半預充電電壓 H V C 共通使用。或形成上述中間電壓，分別通

五、發明說明(2)

過輸出電路使不會受到相互影響，作為上述板極電壓 V P L 或半預充電電壓 H V C 而輸出亦可。

在此實施例中，設置監視板極電壓之電壓檢出電路 V P L M。此電壓檢出電路 V P L M 設定為接近上述中間電位之規定之基準電壓，比較相關之基準電壓與上述板極電壓 V P L，形成其之比較輸出信號 ϕM 。此比較輸出信號 ϕM 被供給於上述時機控制電路 T G。上述時機控制電路 T G 介經上述板極電壓較規定電壓低時之上述比較輸出信號 ϕM ，列系之時機信號 R 1，R 3 等之產生被禁止。例如，使 \neg R A S 信號為低位準，使列系之位址選擇電路動作進行記憶存取，字元線之選擇動作被禁止，或互補位元線之預充電電路使維持預充電動作。

上述時機控制電路 T G 介經上述板極電壓較規定電壓高時之上述比較輸出信號 ϕM ，列系之時機信號 R 1，R 3 等之產生為有效。例如，使 \neg R A S 信號為低位準，使列系之位址選擇電路動作進行記憶存取時，上述時機信號 R 1，R 3 等產生，預充電電路之預充電動作之終了，字元線之選擇動作或讀出放大器之動作開始。

雖無特別限制，但上述電壓檢出電路 V P L M 介經測試模式時產生之測試信號 T S T，使其動作為無效。即，在為測試模式時，上述電壓檢出電路 V P L M 之動作實質上為停止，上述檢出輸出信號 ϕM 為無效。即，即使此檢出輸出信號 ϕM 為表示上述板極電壓較規定電壓低時者，使禁止上述記憶存取之機能無效。即，與板極電壓無關地

五、發明說明 (13)

由外部來之記憶存取為可能。

在圖 6 表示上述電壓檢出電路之一實施例之電路圖。同一圖之各電路元件雖與上述圖 4 所示之電路元件一部分重複，但希望理解分別具有個別之電路機能。在此實施例中，雖無特別限制，但使用介經差動電路之電壓比較電路。在差動 MOSFET Q1 之閘極，介經以電阻 R1 與 R2 分壓電源電壓而形成之基準電壓（監視電壓 VM）被供給著。即，監視電壓 VM 被設定為 $V_M = R_2 \times V_{CC} / (R_1 + R_2)$ 之電壓。上述監視電壓 VM 在上述電源電壓 VCC 為 3.3V 時，上述板極電壓 VPL 被設定為其之一半之 1.65V，防止資訊記憶用電容器之電介質膜之耐壓劣化之目地之故，與其對應上述監視電壓 VM 設定為 $V_{CC} / 4$ 以上之約 1V 之程度。

在上述差動 MOSFET Q1 與被設為差動對之 MOSFET Q2 之閘極，板極電壓 VPL 被供給著。在 MOSFET Q1 與 Q2 之共通連接源極與接地電位點之間，設置流過偏壓電流之 MOSFET Q3。為了降低上述差動電路消耗之電流之故，上述 MOSFET 其之尺寸被小型地形成，使之只流過上述電壓比較動作必要之最小電流。以上之 MOSFET Q1 ~ Q3 介經 N 通道型而構成。在上述 MOSFET Q1 與 Q2 之汲極設置由 P 通道型 MOSFET Q4 與 Q5 形成之電流鏡形態之負荷電路。上述電壓比較電路在上述 $V_M > V_{PL}$ 時，MOSFET Q1 成為 ON 狀態，形成高位準之輸出信號

五、發明說明(4)

，上述 $V_M < V_{PL}$ 時，輸出信號反轉，形成低位準之輸出信號。

由上述 MOSFET Q2 與 Q5 之共通連接之汲極獲得之上述輸出信號雖無特別限制，但是通過“與非”(NAND) 閘極電路 G1 作為上述檢出輸出信號 ϕ_M 被輸出。在上述“與非”閘極電路 G1 之另一方之輸入，作為控制信號於測試模式時使監視電路停止用之信號通過反向電路 N1 作為控制信號 ϕ_A 被供給著。即，上述信號 A 為高位準時(“H”)，為監視電路啟動，上述電壓比較輸出介經上述“與非”閘極電路 G1 被反轉，作為電壓檢出信號(板極電壓監視信號) ϕ_M 被輸出。上述信號 A 為低位準(“L”)時，監視電路為無關(don't care)，與上述電壓比較輸出無關地電壓檢出信號 ϕ_M 為高位準。介經如此，在測試模式時，例如即使 $V_M > V_{PL}$ 時，上述信號 ϕ_M 設為高位準，後述之記憶存取為可能。

在圖 7 表示說明關於本發明之動態型 RAM 之電源投入後之動作用之概略波形圖。介經電源投入，電源電壓 VCC 上昇。如此電源之後，列位址選通脈衝信號 /RAS 被設為低位準，即使進行記憶存取，上述板極電壓 V_{PL} 介經很大數目之記憶單元被共通連接，具有大之寄生電容之故，其之電位具有比較大之時間常數，只能緩慢上昇。

此時，在上述電壓檢出電路中，上述之板極電壓 V_{PL} 較監視電壓 V_M 低之故，使上述板極電壓監視信號

訂

五、發明說明(5)

ϕM 為低位準之故，不管上述信號 ϕRAS 被設為低位準，字元線之選擇信號 $\phi 1$ 、讀出放大器之驅動信號 ϕs 為低位準不變，字元線成為非選擇狀態，位元線被維持為對應上述板極電壓 VPL 之預充電電壓。因此，在資訊記憶電容器之兩電極實質上沒有產生電位差，不會被施加非所希望之高電壓之故，高電介質膜或強電介質膜不會劣化。

上述板極電壓 VPL 在上昇至上述 $1/4$ 以上之例如 $1V$ 程度時，介經上述電壓檢出電路使上述板極電壓監視信號 ϕM 為高位準。因此，信號 ϕRAS 被設為低位準時，因應於此，字元線之選擇信號 $\phi 1$ 、讀出放大器驅動信號 ϕs 產生，在此時對應被輸入之位址信號之字元線為選擇狀態，介經讀出放大器之放大動作，位元線之電位變化為高位準/低位準。

此時，介經上述字元線之選擇動作，被連接於位元線之記憶單元之資訊記憶電容器中，上述板極電壓 VPL 幾乎上昇至 $1V$ 程度，在成為高位準之位元線之電位 $3.3V$ 被傳達至蓄積節點之電容器之兩電極間，只被施加上述 $2.2V$ ，在成為低位準之位元線之電位 $0V$ 被傳達至蓄積節點之電容器之兩電極間，只被施加上述 $1V$ 。

假定，關於上述之板極電壓監視機能不存在之動態型 RAM ，如上述者電源電壓之後板極電壓 VPL 幾乎為 $0V$ 之狀態，字元線被設為選擇狀態讀出放大器動作時，在被設為高位準之位元線之電位 $3.3V$ 被傳達至蓄積節點之電容器之兩電極間，上述 $3.3V$ 之大電壓被施加。

五、發明說明(6)

此電壓 3.3 V 通常動作無當然是，即使與將電源電壓 V_{CC} 設定為如 5.3 V 之高電壓進行老化時相比，也是大之電壓。即，在通常動作中，上述板極電壓 V_{PL} 成為 $V_{CC} / 2$ 之 1.65 V 之故，在電容器之兩極間對於位元線之高位準 / 低位準，只有施加上述 1.65 V ，在上述老化時，也只施加 $V_{CC} / 2$ 之 2.65 V 。

在此實施例中，介經附加上述之板極電壓監視機能，在資訊記憶電容器之兩電極，上述老化時之 2.65 V 成為最大施加電壓之故，明白對於相關之電壓高電介質膜或強電介質膜具有所希望之耐壓特性地製造之即可。

圖 8 A、8 B 以及 8 C 表示說明關於本發明之動態型 RAM 之列系時機信號之控制電路用之電路圖。圖 8 A 中，於接受由 RAS 墊來之輸入信號之緩衝器使用“與非”閘極電路 G 2，以上述板極電壓監視信號 ϕM 控制相關“與非”閘極電路 G 2。介經如此，上述信號 ϕM 為低位準時，關閉相關閘極電路 G 2 之閘極，禁止輸入信號（ ϕ / RAS ）之輸入，禁止字元線選擇信號 $\phi 1$ 以及讀出放大器驅動信號 ϕs 之兩方之產生。

在圖 8 B 中，在形成字元線選擇信號 $\phi 1$ 之路徑設置“與非”閘極電路 G 3，介經以上述板極電壓監視信號 ϕM 控制相關閘極電路 G 3，只禁止字元線之選擇動作。即，使字元線為非選擇狀態時，例如讀出放大器被活性化之位元線之電位，即使被變化成高位準 / 低位準，記憶單元之資訊記憶電容器不被連接於上述位元線，在電源投入

五、發明說明(7)

之後，可以防止在記憶單元之資訊記憶電容器被施加如上述之高電壓。

在圖 8 C 中，在形成讀出放大器驅動信號 ϕ_s 之路徑設置“與非”閘極電路 G 4，介經以上述板極電壓監視信號 ϕ_M 控制相關閘極電路 G 4，禁止讀出放大器之放大動作。即，使字元線為選擇狀態，記憶單元即使被連接於位元線，讀出放大器未被活性化時，位元線之電位相等於預充電電位，即板極電壓之故，電源投入之後，可以防止在記憶單元之資訊記憶電容器被施加上述之高電壓。

在圖 9 表示關於本發明之記憶單元之一實施例之概略元件構造剖面圖。此實施例之記憶單元除了構成電容器之電介質膜為由高介電常數材料或強介電常數材料形成之電容器外，基本上為與先前之動態型記憶單元類似之構成。介經閘極絕緣膜與形成於其上之第 1 層之多晶矽層，字元線被構成著，位址選擇用 MOSFET Q_m 被形成。此位址選擇用 MOSFET Q_m 之一方之源極、汲極擴散層，於 2 個之 MOSFET 被共通化，通過接觸孔 (plug)，雖無特別限制，被連接於由第 2 層多晶矽層形成之位元線。

在此實施例中，使積體密度高之故，雖無特別限制，在上述位址選擇用 MOSFET Q_m 之上部形成強電介質電容器。即，位址選擇用 MOSFET Q_m 之另一方之源極、汲極對於接觸孔被連接於電容器 C_s 之一方之電極之蓄積電極。電容器 C_s 由蓄積電極與高電介質膜或強電介質膜以及另一方之電極構成，相關之另一方之電極介經共

五、發明說明(48)

通板極線與其他之記憶單元被共通化，板極電壓 V_{PL} 被施加。

在上述元件形成領域上形成第 1 層之鋁層 M_1 或第 2 層鋁層 M_2 。上述第 1 層之鋁層 M_1 雖無特別限制，但為了減少字元線之電阻值，與字元線以規定之簡單連接作為字元分流器使用。第 2 層之鋁層 M_2 雖無特別限制，使用於 Y 選擇信號線、電源電壓線等。又，必要時在其上形成第 3 層之鋁層 M_3 。

上述電介質膜使用高介電常數材料 Ta_2O_5 ，強介電常數材料使用 PZT 或 BST，兩側之電極雖無特別限制，使用 Pt 等合金。其它，強電介質膜可以使用 $BaMgF_4$ 等，關於此種強電介質電容器之形成方法，例如雜誌『半導體·世界』1991年12月號、PP. 122-125 有詳細說明。

在圖 10 表示說明本發明用之高介電常數材料之電壓—電流特性圖。在同一圖中，高介電常數材料以 Ta_2O_5 膜為例表示著。如同一圖所示者，於 Ta_2O_5 膜對於對板極電壓，特別是對於負方向明白耐壓小。即，比較之故，雖然先前之 ONO 膜之特性圖被表示著，但與此相比，明白上述 Ta_2O_5 膜之遺漏電流大，耐壓小。關於其它之強介電常數材料表示也與上述有相同之傾向。

圖 11A、11B 表示電源投入時加於記憶單元之電壓之說明圖。在圖 11A 中，表示等價電路，圖 11B 表示其時之電位。電源投入之後字元線被設為高位準，而且

五、發明說明(19)

讀出放大器被活性化，使位元線之電位為高位準／低位準時，板極電壓 V_{PL} 還是 $0V$ 狀態時，位元線之高位準（ H ）之 V_{CC} 成為施加於電容器之兩電極。相對於此，在定常狀態中，板極電壓 V_{PL} 被設定為 $V_{CC} / 2$ 之故，如 $V_{CC} / 2$ 者只被施加上述電源投入之後之一半之電壓。

如上述實施例者，在使用 Ta_2O_5 膜之場合，將監視電壓設定為如 $V_{CC} / 4$ 之 $1V$ 以下時，由上述圖 10 之特性可以理解地，對於板極電壓對於負電壓可以適合於耐壓小。即，使遺漏電流之容許值為 $10^{-8} A / cm^2$ 時，負側為 $1V$ 正側為 $2V$ 以上之故，情況良好。在圖 12 表示本發明之其它之一實施例之動態型 RAM 使用之計時電路之電路圖。關於此實施例，上述板極電壓 V_{PL} 之上昇，著眼於具有一定之時間常數上昇，代替監視板極電壓 V_{PL} 者，以計時電路量測對應於板極電壓之上昇時間之時間。即，電源投入之後經過一定時間，板極電壓 V_{PL} 當作到達上述規定之電壓，使上述字元線之選擇或讀出放大器之動作被許可。

在同一圖中，表示量測上述一定時間之計時電路。將反向器電路 N_2 、 N_3 以及電阻 R_3 與由電容器 C_1 形成之延遲電路（時間常數電路）與“非或”閘極電路 G_5 成環狀地連接形成環型振盪器。關於電源投入之後，計數電路部之輸出 ϕ_T 被設為低位準，使上述“非或”閘極電路 G_5 之閘極為開狀態，實質上作為反向器電路動作。介經

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (20)

如此，進行對應上述反向器電路 N 2、N 3、延遲電路以及“非或”閘極電路 G 5 之信號傳播延遲時間（週期 $T / 2$ ）之週波數之振盪動作，形成基本時鐘脈衝 ϕc 。

介經此振盪動作形成之振盪脈衝 ϕc 被供給於計數器電路部，進行計數動作。此計數器電路部之計數輸出 ϕT 由低位準變化為高位準之時間係對應於上述板極電壓 $V P L$ 花費於如上述之約上昇 $1 V$ 程度之時間而被決定。介經如此，相關計時輸出 ϕT 可以與如上述之板極電壓監視信號 ϕM 同樣地使用。即，圖 8 A、8 B、8 C 代替信號 ϕM 使用上述計時信號 ϕT ，在圖 8 A 中，使用於控制停止字元線選擇信號 $\phi 1$ 與讀出放大器驅動信號 ϕs ，在圖 8 B 中，使用於控制只停止字元線選擇信號 $\phi 1$ ，在圖 8 C 中，使用於控制只停止讀出放大器驅動信號 ϕs 。上述信號 ϕT 產生時，為了低消耗電力化之故，使上述振盪電路之動作以及計數動作停止。

在圖 1 3 中表示說明關於本發明之其它之一實施例之動態型 R A M 之電源投入後之動作用之概略波形圖。介經電源投入，電源電壓 $V C C$ 上昇。此種電源之後，列位址選通脈衝信號 $\phi R A S$ 即使被設為低位準，進行記憶存取，上述板極電壓 $V P L$ 介經龐大數目之記憶單元被共通連接而具有大寄生電容之故，其電位具有比較大之時間常數只可以緩慢上昇。

此時，在上述計時電路中，如上樹脂板極電壓 $V P L$ 在比監視電壓 $V M$ 低之時間帶，使信號 ϕT 為低位準之故

五、發明說明(21)

，不管上述信號 ϕ_1 被設為低位準，字元線之選擇信號 ϕ_1 、讀出放大器之驅動信號 ϕ_s 被設為低位準不變，字元線成為非選擇狀態，位元線被維持為對應上述板極電壓 V_{PL} 之預充電電壓。因此，在資訊記憶電容器之兩電極實質上沒有產生電位差，不會施加非所希望之高電壓之故，高電介質膜或強電介質膜不會劣化。

上述板極電壓 V_{PL} 成為當作上昇至上述 $1/4$ V_{CC} 以上之例如 $1V$ 程度之時間時，介經上述計時電路使上述計時輸出信號 ϕ_T 為高位準。因此，信號 ϕ_1 被設為低位準時，對應其，字元線之選擇信號 ϕ_1 、讀出放大器驅動信號 ϕ_s 被產生，對應於此時被輸入之位址信號之字元線被設為選擇狀態，介經讀出放大器之放大動作，位元線之電位變化為高位準/低位準。介經如此，與上述相同地，介經上述字元線之選擇動作，被連接於位元線之記憶單元之資訊記憶電容器中，上述板極電壓 V_{PL} 幾乎上昇至 $1V$ 程度，在被設為高位準之位元線之電位

$3.3V$ 被傳達至蓄積節點之電容器之兩電極間，只施加上述 $2.2V$ ，在被設為低位準之位元線之電位 $0V$ 被傳達至蓄積節點之電容器之兩電極間，只施加上述 $1V$ 。

在圖 14 表示關於本發明之半導體記憶裝置使用之板極電壓產生電路之一實施例之電路圖。介經 $MOSFET$ 之源極與汲極被共通連接，閘極電容作為電容器使用而形成之串聯形態之電容器 C_1 與 C_2 ，電源電壓 V_{CC} 被分壓形成 $V_{CC}/2$ 之基準電壓。雖無特別限制，但在上述

五、發明說明 (2)

電容器 C 1 與 C 2 分別設置由二極體型態之 M O S F E T 以及電阻元件形成之高電阻電路所形成之直流電流路徑，追從電源電壓 V C C ，使基準電壓安定地形成。

上述基準電壓被供給於其之臨界值電壓比較小之 N 通道型 M O S F E T Q 1 0 與 P 通道型 M O S F E T Q 1 1 之源極。這些之 M O S F E T Q 1 0 與 Q 1 1 介經分別之閘極與汲極被共通連接而成爲二極體型態。而且，雖無特別限制，但在上述 M O S F E T Q 1 0 與 Q 1 1 之汲極側，作爲定電流源之 P 通道型 M O S F E T Q 2 0 與 N 通道型 M O S F E T Q 2 1 分別被設置著，被供給偏壓電流。介經如此，M O S F E T Q 1 0 與 Q 1 1 使供給於源極之基準電壓對應於其之閘極，源極間之臨界值電壓，使位準移動。

爲了驅動上述定電流 M O S F E T Q 2 0 、 Q 2 1 之故，上述基準電壓被供給於 P 通道型 M O S F E T Q 2 2 之閘極，在此處形成定電流。此 P 通道型 M O S F E T Q 2 2 之汲極電流被供給於由 N 通道型 M O S F E T 形成之電流鏡電路，在一方面，使用於驅動設置在上述 P 通道型 M O S F E T Q 1 1 之汲極側之 N 通道型之定電流 M O S F E T Q 2 1 ，另一方面，通過電流鏡電路設置在上述 N 通道型 M O S F E T Q 1 0 之汲極側之 P 通道型之定電流 M O S F E T Q 2 0 被驅動著。

介經上述 N 通道型 M O S F E T Q 1 0 被位準移動之基準電壓被供給於 N 通道型 M O S F E T Q 1 2 之閘極。

(請先閱讀背面之注意事項再填寫本頁)

訂 錄

五、發明說明 (23)

介經上述 P 通道型 MOSFET Q11 被位準移動之基準電壓被供給於 P 通道型 MOSFET Q13 之閘極。上述 N 通道型 MOSFET Q12 與 P 通道型 MOSFET Q13 作為源極跟隨器而動作，其之源極被共通化而連接於輸出端子。這些之 MOSFET Q12 與 Q13 使具有較上述位準移動用之 MOSFET Q10 與 Q11 之臨界值電壓大之臨界值電壓。

因此，與基準電壓相等之輸出電壓為 $V_{CC} / 2$ 時，上述輸出 MOSFET Q12 與 Q13，在閘極、源極間只施加較其之臨界值電壓小之電壓之故，成為 OFF 狀態，平常不流過直流電流。假如，對於上述基準電壓 ($V_{CC} / 2$) 輸出電壓降低，較上述 MOSFET Q10 與 Q12 之臨界值電壓之相差部份還大時，上述 MOSFET Q12 成為 ON 狀態，作用為使上述輸出電壓上昇。反之，對於上述基準電壓 ($V_{CC} / 2$) 輸出電壓上昇，較上述 MOSFET Q11 與 Q13 之臨界值電壓之相差部份還大時，上述 MOSFET Q13 成為 ON 狀態，作用為使上述輸出電壓下降基本上，介經如此之控制作用，使輸出電壓對應上述基準電壓而設定為 $V_{CC} / 2$ 。

在此實施例中，為了使感度高之故，使上述輸出 MOSFET Q12 與 Q13 作為放大元件作用。即，在這些之 MOSFET Q12 與 Q13 之汲極側設置上述同樣之定電流 MOSFET Q23、Q24 作為負荷，介經

五、發明說明(24)

其之汲極之放大輸出，使之驅動 P 通道型之輸出

M O S F E T Q 1 4 與 N 通道型之輸出 M O S F E T Q

1 5。即，對於上述基準電壓 ($V_{CC} / 2$) 輸出電壓降低，較上述 M O S F E T Q 1 0 與 Q 1 2 之臨界值電壓之相差部份大，上述 M O S F E T Q 1 2 成爲 O N 狀態時，介經其之汲極輸出，M O S F E T Q 1 4 成爲 O N 狀態，動作爲使上述輸出電壓上昇。

反之，對於上述基準電壓 ($V_{CC} / 2$) 輸出電壓上昇，較上述 M O S F E T Q 1 1 與 Q 1 3 之臨界值電壓之相差部份大，上述 M O S F E T Q 1 3 成爲 O N 狀態時，介經其之汲極輸出，M O S F E T Q 1 5 成爲 O N 狀態，作用爲使上述輸出電壓降低。在此實施例中，此種控制能力在電源投入時大，使板極電壓 V_{PL} 之上昇快速，在平常狀態時，使之謀求板極電壓 V_{PL} 之安定化與低消耗電力化。

爲了上述之控制能力之切換之故，在上述 P 通道型 M O S F E T Q 1 4 之源極側設置作爲電源供給裝置之由 P 通道型形成之電源開關 M O S F E T Q 1 6 與 Q 1 7，在上述 N 通道型 M O S F E T Q 1 5 之源極側設置作爲電路之接地電位供給裝置之由 N 通道型形成之電源開關 M O S F E T Q 1 8 與 Q 1 9。上述 M O S F E T Q 1 6 與 Q 1 8 其之尺寸 W (通道寬) 大大的形成，使具有大電流供給能力。上述 M O S F E T Q 1 7 與 Q 1 9 其之尺寸 W 小小的形成，使具有小電流供給能力。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (5)

電源投入監視電路為由電阻 R_L 與電容器 C_L 形成之時間常數電路，遵循其之時間常數 τ 形成上昇信號 Ψ_A 。此信號 Ψ_A 到達 CMOS 反向器電路之邏輯臨界值電壓止，其之輸出信號成為高位準，如圖 15 之動作圖所示者，使上述大尺寸之 MOSFET Q18 與介經其之反轉信號之 MOSFET Q16 為 ON 狀態。即，電源投入之後，上述板極電壓產生電路使流過大之輸出電流，使板極電壓 V_{PL} 之上昇高速。上述信號 Ψ_A 超過 CMOS 反向器電路之邏輯臨界值電壓時，其之輸出信號成為低位準，使上述小尺寸之 MOSFET Q17 與介經其之反轉信號之 MOSFET Q19 為 ON 狀態。即，上述板極電壓 V_{PL} 到達 $V_{CC} / 2$ 後，上述板極電壓產生電路使只流過被限制之比較小之輸出電流，以謀求板極電壓 V_{PL} 之安定化。

介經如此，如圖 15 所示者，與未附加上述高速驅動機能之場合相比，上述板極電壓 V_{PL} 之上昇可以快速之故，在與此相稱使用上述計時電路之場合，上述設定時間變短。在監視板極電壓之方式，監視上述板極電壓 V_{PL} 之電位之故，遵循其之電位變化，電源投入後比較短之時間之記憶存取為可能。

在圖 16 表示此發明適用之同步 DRAM（以下，只稱為 SDRAM）之一實施例之概略方塊圖。同一圖所示之 SDRAM 雖無特別限制，但是為介經眾知之半導體積體電路之製造技術而形成在如單結晶矽之 1 個之半導體基

五、發明說明 (26)

板上。

此實施例之 S D R A M 具備構成記憶體 0 (B A N K 0) 之記憶陣列 (M E M O R Y A R R A Y) 2 0 0 A ，與構成記憶體 1 (B A N K 1) 之記憶陣列 (M E M O R Y A R R A Y) 2 0 0 B 。上述各別之記憶陣列 2 0 0 A ， 2 0 0 B 具備成矩陣配置之動態型記憶單元，遵循圖時，被配置於同一欄之記憶單元之選擇子端子被結合於每欄之字元線 (未圖示出) ，配置於同一行之記憶單元之資料輸入輸出端子於每行被結合於互補資料線 (未圖示出) 。

記憶陣列 2 0 0 A 之未圖示出之字源線介經列譯碼器 (R O W D E C O D E R) 2 0 1 A 順著列位址信號之譯碼結果， 1 條被驅動為選擇位準。記憶陣列 2 0 0 A 之未圖示出之互補資料線被結合於讀出放大器以及欄選擇電路 (S E N S E A M P L I F I E R & I / O B U S) 2 0 2 A 。讀出放大器以及欄選擇電路 2 0 2 A 之讀出放大器 (S E N S E A M P L I F I E R) 為介經由記憶單元之資料讀出，檢測個別之互補資料線顯現之微小電位差而放大之放大電路。其之欄開關電路為將互補資料線個別選擇，使之導通於互補共通資料線 (I / O B U S) 用之開關電路。欄開關電路介經欄譯碼器 (C O L U M N D E C O D E R) 2 0 3 A 遵循欄位址信號之譯碼結果而被選擇動作。

在記憶陣列 2 0 0 B 側也與上述相同地，設置列譯碼

五、發明說明(7)

器 (R O W D E C O D E R) 2 0 1 B , 讀出放大器以及欄選擇電路 (S E N S E A M P L I F I E R & I / O B U S) 2 0 2 B 以及欄譯碼器 (C O L U M N D E C O D E R) 2 0 3 B 。 上述記憶體 2 0 0 A 與 2 0 0 B 之互補共通資料線 (I / O B U S) 通過後述之畫像處理等之用之移位寄存器 (S H I F T R E G I S T E R) 2 1 2 , 被連接於輸入緩衝器 (I N P U T B U F F E R) 2 1 0 之輸出端子以及輸出緩衝器 (O U T P U T B U F F E R) 2 1 1 之輸入端子。輸入緩衝器 2 1 0 之輸入端子以及輸出緩衝器 2 1 1 之輸出端子被連接於 8 位元之資料輸入輸出端子 I / O 0 ~ I / O 7 。

由位址輸入端子 A 0 ~ A 1 1 供給之列位址信號與欄位址信號，以多路傳輸形式被取於欄位址緩衝器 (C O L U M N A D D R E S S B U F F E R) 2 0 5 與列位址緩衝器 (R O W A D D R E S S B U F F E R) 2 0 6 。 被供給之位址信號被保持於個別之緩衝器 2 0 5 與 2 0 6 。 列位址緩衝器 2 0 6 於更新動作模式中，將由更新計數器 (R E F R E S H C O U N T E R) 2 0 8 輸出之更新位址信號作為列位址信號而取得。欄位址緩衝器 2 0 5 之輸出作為欄位址計數器 (C O L U M N A D D R E S S C O U N T E R) 2 0 7 之預置資料而被供給，欄位址計數器 2 0 7 因應後述之指令等指定之動作模式，將上述作為預置資料之欄位

五、發明說明 (8)

址信號，或該欄位址信號依序增加之值向著欄譯碼器
203A、203B輸出。

控制器 (CONTROL LOGIC &
TIMING GENERATOR) 213 雖無特別限制，但是時鐘脈衝信號 CLK、時鐘脈衝啓動信號 CKE、晶片選擇信號 /CS、欄位址選通脈衝信號 /CAS (記號 / 意味被賦予之信號為低啓動之信號)、列位址選通脈衝信號 /RAS、寫入啓動信號 /WE、資料輸入輸出罩幕控制信號 DQM 等之外部控制信號，與由位址輸入端子 A0 ~ A11 之控制資料以及基準電壓 Vref 被供給，依據這些之信號之位準之變化或時機等形成控制 SDRAM 之動作模式以及上述電路方塊之動作用之內不時機信號者，具備爲了其之控制器邏輯與模式寄存器。

時鐘脈衝信號 CLK 被設爲 SDRAM 之主時鐘脈衝，其他之外部輸入信號與該內部時鐘脈衝信號之上昇邊緣同步。晶片選擇信號 /CS 介經該低位準指示指令輸入循環之開始。晶片選擇信號 /CS 爲高位準時 (晶片非選擇狀態) 或其他之輸入不具有意義。但是，後述之記憶體之選擇狀態或脈衝串動作等之內部動作因往晶片非選擇狀態之變化不會被影響。/RAS、/CAS、/WE 之各信號與通常之 DRAM 之對應信號機能不同，被設爲在定義後述之指令循環時有意義之信號。

時鐘啓動信號 CKE 爲指示以下之信號之有效性之信號，該信號 CKE 爲高位準時，接下來之時鐘脈衝信號

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (29)

C L K 之上昇邊緣為有效，在低位準時為無效。再者，雖未圖示出但於讀出模式時，進行對於輸出緩衝器 2 1 1 之輸出啓動之控制之外部控制信號也被供給於控制器 2 1 3，該信號例如在高位準時，輸出緩衝器 2 1 1 被設為高輸出阻抗狀態。

上述列位址信號介經與時鐘脈衝信號 C L K (內部時鐘脈衝) 之上昇邊緣同步之後述之列位址選通脈衝。記憶體主動指令循環之 A 0 ~ A 1 0 之位準而被定義。由

A 1 1 來之輸入於上述列位址選通脈衝。記憶體主動指令循環時，被視為記憶體選擇信號。即，A 1 1 之輸入為低位準時，記憶體 B A N K A 被選擇，高位準時，記憶體 B A N K B 被選擇。記憶體之選擇控制雖無特別限制，但可以介經只有選擇記憶體側之列譯碼器之活性化、非選擇記憶體側之欄開關電路之全非選擇、只有選擇記憶體側之輸入緩衝器 2 1 0 以及輸出緩衝器 2 1 1 之連接等之處理而進行之。

後述之預充電指令循環之 A 1 0 之輸入指示對於互補資料線等之預充電動作之樣式，其之高位準指示預充電之對象為雙方之記憶體，其之低位準指示以 A 1 1 指示之一方之記憶體為預充電之對象。

上述欄位址信號介經與時鐘脈衝信號 C L K (內部時鐘脈衝) 之上昇邊緣同步之讀出或寫入指令 (後述之欄位址。讀出指令、欄位址。寫入指令) 循環之 A 0 ~ A 8 之位準而被定義。而且，如此被定義之欄位址被設為脈衝串

五、發明說明 (30)

存取之開始位址。

上述之位址信號、時鐘脈衝信號、各控制信號以及資料輸入輸出信號採用上述 S S T L 或 G T L 之類的小振幅之界面。即，在上述位址緩衝器或時鐘脈衝緩衝器以及控制輸入緩衝器與資料輸入緩衝器，使用與上述實施例相同之差動電路，在其之輸入附加如上述實施例之靜電保護電路與類似於其之空電路。

接著，說明介經指令被指示之 S D R A M 之主要動作模式。

(1) 模式寄存器設定指令 (M0)

係爲了設定上述模式寄存器 30 用之指令，介經 \overline{CS} 、 \overline{RAS} 、 \overline{CAS} 、 \overline{WE} = 低位準該指令被指定，應設定之資料 (寄存器設定資料) 通過 A0 ~ A11 被給予。寄存器設定資料雖無特別限制，但被設爲脈衝串長短、CAS 保持、寫入模式等。雖無特別限制，但是可以設定之脈衝串長短爲 1, 2, 4, 8, 全頁，可以設定之 CAS 保持爲 1, 2, 3，可以設定之寫入模式爲脈衝串寫入與單獨寫入。

上述 CAS 保持爲指示介經後述之欄位址。讀出指令而被指示之讀出動作中，由 \overline{CAS} 之下降至緩衝器 211 之輸出動作止，花費內部之時鐘脈衝信號之幾個循環者。至讀出資料確定止資料之讀出用之內部動作時間爲必要，將其因應內部時鐘信號之使用週波數而設定者。換言之，在使用週波數高之內部時鐘脈衝信號之場合，將

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 §1)

C A S 保持相對地設定為大之值，使用週波數之低之內部時鐘脈衝信號之場合，將 C A S 保持相對地設定為小之值。雖無特別限制，但於後述之圖像處理動作中，必要時，為了確保字元線之切換時間，可以將 C A S 保持設定為大之值而使用。

(2) 列位址選通脈衝 . 記憶體動作指令 (A c)

此為介經列位址選通脈衝之指示與 A 1 1 使記憶體之選擇有效之指令，介經 $\overline{C S}$ ， $\overline{R A S}$ = 低位準、 $\overline{C A S}$ ， $\overline{W E}$ = 高位準而被指示，此時供給 A 0 ~ A 1 0 之位址作為列位址信號，供給 A 1 1 之信號作為記憶體之選擇信號而被取得。取得動作如上述者，與內部時鐘脈衝信號之上昇邊緣同步而進行。例如，該指令被指定時，介經其被指定之記憶體之字元線被選擇，連接於該字元線之記憶單元被導通於分別與其對應之互補資料線。

(3) 欄位址 . 讀出指令 (R e)

此指令為開始脈衝串讀出動作所必要之指令，同時，為給予欄位址選通脈衝之指示之指令，介經 $\overline{C S}$ ， $\overline{C A S}$ = 低位準、 $\overline{R A S}$ ， $\overline{W E}$ = 高位準而被指示，此時供給 A 0 ~ A 8 之欄位址作為欄位址信號被取得。介經此被取得之欄位址信號作為脈衝串開始位址而供給於欄位址計數器 2 0 7。介經此被指示之脈衝串讀出動作，這之前在列位址選通脈衝 . 記憶體動作指令循環中，記憶體與其之字元線之選擇被進行，該選擇字元線之記憶單元與內部時鐘脈衝同步，遵循由欄位準計數器 2 0 7 輸出之

(請先閱讀背面之注意事項再填寫本頁)

訂
為

五、發明說明 (2)

位址信號被依序選擇連續被讀出。連續被讀出之資料被設為介經上述脈衝串長度而被指定之個數。又，由輸出緩衝器 211 之資料讀出開始具有在上述 C A S 保持中被規定之內部時鐘脈衝信號之循環數而進行。

(4) 欄位址 . 寫入指令 (W r)

寫入動作之形態為在模式寄存器中脈衝串被設定時，開始該脈衝串寫入動作所必要之指令，寫入動作之形態為在模式寄存器中單獨寫入被設定時，開始該單獨寫入動作所必要之指令。再者，該指令給予單獨寫入以及脈衝串寫入之欄位址選通脈衝之指示。該指令介經 \neg C S ， \neg C A S ， \neg W E = 低位準、 \neg R A S = 高位準而被指示，此時供給於 A 0 ~ A 8 之位址作為欄位址信號被取入。介經此被取入之欄位址信號與脈衝串寫入中，作為脈衝串啟動位址被供給於欄位址計數器 207。介經此被指示之脈衝串寫入動作之順序也與脈衝串讀出動作同樣地進行。但是，在寫入動作時並非 C A S 保持，寫入資料之取入由該欄位址 . 寫入指令循環開始。

(5) 預充電指令 (P r)

此被設為對於介經 A 10 ， A 11 而被選擇之記憶體之預充電動作之開始指令，介經 \neg C S ， \neg R A S ， \neg W E = 低位準、 \neg C A S = 高位準而被指示。

(6) 自動更新指令

此指令為開始自動更新所必要之指令，介經 \neg C S ， \neg R A S ， \neg C A S = 低位準、 \neg W E ， C K E = 高位準

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (3)

而被指示。

(7) 脈衝串停止，於全頁指令

對於全部之記憶記憶體使對於全頁之脈衝串動作停止用所必要之指令，在全頁以外之脈衝串動作不管。此指令介經 CS ， WE = 低位準、 RAS ， CAS = 高位準而被指示。

(8) 無操作指令 (Nop)

此為指示不進行實質動作之指令，介經 CS = 低位準、 RAS ， CAS ， WE 之高位準而被指示。

於 SDRAM 中，在一方之記憶體脈衝串動作不進行時，在其途中，指定別的記憶體，低位址選通脈衝。記憶體主動指令被供給時，在該實行中之一方之記憶體之動作不會有任何影響，該別的記憶體之低位址系之動作設為可能。例如，SDRAM 具有將由外部供給之資料、位址、以及控制信號保持於內部之裝置，其保持內容，特別是位址以及控制信號，雖無特別限制，但是成為被保持於每一記憶體。或介經低位址選通脈衝。記憶體主動指令循環而被選擇之記一方塊之字原現 1 條份之資料，在欄系動作之前為了預先讀出動作之故，被門鎖於未圖示出之門鎖電路。

因此，資料輸入輸出端子 $\text{I/O}0 \sim \text{I/O}7$ 終資料不衝突之情形下，處理未終了之指令實行中，該實行中之指令產生對於與作為處理對象之記憶體不同之記憶體之預充電指令、低位準選通脈衝。記憶體主動指令，可以預先

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (4)

使內部動作開始。

S D R A M 可以定義為與依據外部時鐘脈衝信號 C L K 而形成之內部時鐘脈衝信號同步，輸入輸出資料、位址或 / R A S 、 / C A S 等之各種控制信號之記憶體。S D R A M 為可以使與 D R A M 同樣之大容量記憶體與 S R A M (靜態型 R A M) 匹敵之高速動作者，又，對於被選擇之 1 條之字元線可以存取幾個之資料係介經脈衝串長度指定，於內藏之欄位址計數器 2 0 7 依序切換欄系之選擇狀態，可以連續讀出或寫入複數個之資料。

在此實施例中，設置計時器 (T I M E R) 2 0 9 。在 S D R A M 中，著眼於上述之時鐘脈衝信號 C L K 被供給，計時器電路 2 0 9 計算上述時鐘脈衝信號 C L K ，進行電源投入時之時間量測。介經如此，內藏上述之振盪電路成爲不需要。此計時器電路 2 0 9 之輸出信號 ϕT 使用於停止上述之字元線選擇信號或讀出放大器之活性化信號。於 S D R A M 中，亦可代替設置上述計時器電路 2 0 9 ，監視板極電壓 V P L ，與上述相同地停止字元線之選擇動作或使讀出放大器活性化之驅動信號。

由上述之實施例可以獲得之作用效果如下。即，

(1) 於具有由位址選擇用 M O S F E T 及資訊記憶用電容器形成，由中間電位形成之板極電壓被供給在上述資訊記憶用電容器之共通電極而形成之記憶體單元之半導體記憶裝置，上述板極電壓到達接近中間電位之規定之電位時，利用電壓檢出電路或計時電路間接的檢測出，在上

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (5)

述規定電位以下時，禁止上述字元線之選擇動作或使互補位元線預充電狀態地為上述中間電位，上述板極電壓在規定之電位到達上述規定電位後，解除上述動作可以做記憶體存取，在上述電容器之高電介質膜或強電介質膜只施加較平常狀態以及老化狀態還小之電壓，可以獲得可以實現電容器之高信賴性之效果。

(2) 依據上述(1)之上述資訊記憶用電容器之電介質膜，即使使用強介電率材料或高介電率材料之耐壓強度對於上述互補位元線之高位準與低位準之電壓差為弱者，上述位元線電壓差以上之電位不會被施加，可以獲得以小尺寸可以得到大容量之記憶單元之材料選擇範圍變大之效果。

(3) 介經使板極電壓產生電路之輸出電流能力於電源投入之後變大，可以使板極電壓 V_{PL} 之上昇高速，進行上述電容器之電介質膜之保護，可以獲得使電源投入至可以記憶存取止之時間變短之效果。

以上依據實施例具體說明介經本發明者完成之發明，但本發明並不限於上述實施例者，在不脫離其之要旨之範圍內，不用說可以有種種變形之可能。例如，形成板極電壓監視信號之電壓比較電路使用上述之基準電壓之外，也可以如圖 14 之電源投入監視電路使用者而使用 CMOS 反向器電路之邏輯臨界值電壓。此場合，在通常之 CMOS 反向器電路中，被設為如 $V_{CC} / 2$ 之比較高之電壓，介經使 N 通道型 MOSFET 之尺寸比 P 通道型

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(6)

M O S F E T 之尺寸大，使邏輯臨界值電壓降低至上述 1 V 程度止，或使用 N 通道 M O S F E T 之閘極、源極間之臨界值電壓以檢測板極電壓者。

上述計時器電路除了如上述者，計算脈衝之外，也可以為使用於圖 1 4 之電源投入監視電路，利用時間常數電路以進行類比之時間量測者。板極電壓產生電路也可以為圖 1 4 所示之在 M O S F E T Q 1 2 與 Q 1 3 形成板極電壓者。在此場合，設置於上述 M O S F E T Q 1 2 與 Q 1 3 之汲極側之定電流源 M O S F E T 可以省略。

板極電壓 V P L 如上述者，為設定於互補位元線之高位準與低位準之中間電位者，如上述者，位元線之高位準被設為 V C C 之故，成為被設定為 $V C C / 2$ 。因此，位元線之高位準與低位準之中間電位與上述電源電壓 V C C 沒有關係地被設定，而係對應上述中間電位而被設定者。或對應於使用之高電介質層或強電介質之板極電壓之正方向與負方向之耐壓，使各別之遺漏電流相等地，設定為由位元線之中間電位偏離者以可。

此發明使用由位址選擇用 M O S F E T 與資訊記憶用電容器形成之記憶單元，在電容器使用高介電率材料或強介電率材料而構成之動態型 R A M、同步動態型 R A M 或強電介質記憶體等之各種半導體記憶裝置可以廣泛利用，相關之半導體記憶裝置也可以內藏於包含控制其之控制電路等之各種半導體積體電路裝置。

簡單說明介經本專利申請案所揭露之發明之中代表性

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(§7)

者而獲得之效果時，有如下述者。即，於具有由位址選擇用 M O S F E T 及資訊記憶用電容器形成，由中間電位形成之板極電壓被供給在上述資訊記憶用電容器之共通電極而形成之記憶體單元之半導體記憶裝置，上述板極電壓到達接近中間電位之規定之電位時，利用電壓檢出電路或計時電路間接的檢測出，在上述規定電位以下時，禁止上述字元線之選擇動作或使互補位元線預充電狀態地為上述中間電位，上述板極電壓在規定之電位到達上述規定電位後，解除上述動作可以做記憶體存取，在上述電容器之高電介質膜或強電介質膜只施加較平常狀態以及老化狀態還小之電壓，可以實現電容器之高信賴性。

圖面之簡單說明

圖 1 表示關於本發明之動態型 R A M 之一實施例之概略佈置圖。

圖 2 為說明圖 1 之動態型 R A M 之記憶陣列之主字元線與副字元線之關係用之主要部份方塊圖。

圖 3 為說明圖 1 之動態型 R A M 之主字元線與讀出放大器之關係用之主要部份方塊圖。

圖 4 表示關於本發明之動態型 R A M 之讀出放大器部之一實施例之主要部份電路圖。

圖 5 表示關於本發明之動態型 R A M 之週邊部份之一實施例之概略方塊圖。

圖 6 表示圖 5 所示之電壓檢出電路之一實施例之電路

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(8)

圖。

圖 7 為說明關於本發明之動態型 R A M 之電源投入之後之動作用之概略波形圖。

圖 8 A、8 B、8 C 為說明關於本發明之動態型 R A M 之列系時機信號之控制電路用之電路圖。

圖 9 表示關於本發明之記憶單元之一實施例之概略元件構造剖面圖。

圖 1 0 為說明本發明用之高電介質材料之電壓 - 電流特性圖。

圖 1 1 A、圖 1 1 B 為說明電源投入時之施加於上述記憶單元之電壓用之說明圖。

圖 1 2 表示使用於本發明之其它之一實施例之計時電路之電路圖。

圖 1 3 為說明關於本發明之其它之一實施例之動態型 R A M 之電源投入之後之動作用之概略波形圖。

圖 1 4 表示使用於關於本發明之半導體記憶裝置之板極電壓產生電路之一實施例之電路圖。

圖 1 5 為說明上述板極電壓產生電路之動作之電源投入時之動作之概略用之波形圖。

圖 1 6 表示本發明適用之同步 D R A M 之一實施例之概略方塊圖。

主要元件對照表

C s : 資訊記憶用電容器

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (9)

C A B : 欄位址緩衝器

N 2 , N 3 : 反向器電路

Q 1 , Q 2 , Q 3 , Q 4 : 共用開關 M O S F E T

Q 5 , Q 6 : N 通道型 M O S F E T

Q 7 , Q 8 : P 通道型 M O S F E T

Q m : 位址選擇用 M O S F E T

R A B : 列位址緩衝器

R F C : 更新位址計數器電路

S A 0 , S A 1 : 讀出放大器

T G : 時機控制電路

V P L G : 板極電壓產生電路

Y S : 欄選擇信號

/ C A S : 欄位址選通脈衝信號

/ O E : 輸出啓動信號

/ R A S : 列位址選通脈衝信號

/ W E : 寫入啓動信號

2 0 0 A , 2 0 0 B : 記憶體陣列

2 0 1 A : 列譯碼器

2 0 2 A : 欄選擇電路

2 0 3 B : 欄譯碼器

四、中文發明摘要(發明之名稱： 半導體記憶裝置)

本發明係關於半導體記憶裝置，主要是關於利用於在記憶用電容器使用高電介質或強電介質之大記憶容量之動態型RAM(隨機存取記憶體)有效之技術者。於具有由位址選擇用MOSFET及資訊記憶用電容器形成，由中間電位形成之板極電壓被供給在上述資訊記憶用電容器之共通電極而形成之記憶體單元之半導體記憶裝置，上述板極電壓到達接近中間電位之規定之電位時，利用電壓檢出電路或計時電路間接的檢測出，在上述規定電位以下時，禁止上述字元線之選擇動作或使互補位元線預充電狀態地為上述中間電位，上述板極電壓在規定之電位到達上述規定電位後，解除上述動作可以做記憶體存取。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第 86116551 號專利申請案

中文申請專利範圍修正本

民國 89 年 6 月修正

1. 一種半導體記憶裝置，其特徵為具有：

複數之字元線；

與上述複數之字元線交叉之一對之互補位元線；

配置於上述複數之字元線與上述互補位元線之一方之位元線之交叉部之複數記憶單元，其中各記憶單元具有資訊記憶電容器與選擇 M O S F E T，各選擇 M O S F E T 具有連接於對應設置在對應位元線與上述資訊記憶電容器之一方之電極之間之源極。汲極通路之字元線的閘極；

在上述資訊記憶電容器之另一方之電極共通地供給板極電壓之板極電壓供給電路，其中上述板極供給電路為：

接受電源電壓與電路之接地電位，形成被設定為在供給上述互補位元線之高位準電位與低位準電位之中間電位之上述板極電壓地構成之；以及

檢測上述板極電壓是否到達規定之電位之板極電壓檢出電路，其中

上述板極電壓未到達上述規定電位之場合，上述字元線被禁止為選擇狀態，上述板極電壓到達上述規定電位之場合，上述禁止被解除。

2. 如申請專利範圍第 1 項記載之半導體記憶裝置，其中上述資訊記憶用電容器之電介質膜為介經強電介質或高電介質而構成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

3 . 如申請專利範圍第 1 項記載之半導體記憶裝置，其中上述資訊記憶用電容器之電介質膜為 Ta_2O_5 膜。

4 . 如申請專利範圍第 1 項記載之半導體記憶裝置，其中上述資訊記憶用電容器之電介質膜為 BST 膜。

5 . 如申請專利範圍第 1 項記載之半導體記憶裝置，其中上述資訊記憶用電容器之電介質膜為 PZT 膜。

6 . 一種半導體記憶裝置，其特徵為具有：

複數之字元線；

與上述複數之字元線交叉之一對之互補位元線；

配置於上述複數之字元線與上述互補位元線之一方之位元線之交叉部之複數記憶單元，其中各記憶單元具有資訊記憶電容器與選擇 MOSFET，各選擇 MOSFET 具有連接於對應設置在對應位元線與上述資訊記憶電容器之一方之電極之間之源極、汲極通路與對應之字元線之閘極；以及

在上述資訊記憶電容器之另一方之電極共通地供給板極電壓之板極電壓供給電路，其中上述板極供給電路為：

接受電源電壓與電路之接地電位，形成被設定為在供給上述互補位元線之高位準電位與低位準電位之中間電位之上述板極電壓地構成之，

量測對應上述板極電壓由電源投入時之電壓至到達規定之電位止所需要之時間而設定之規定時間之計時器電路；

上述電源投入後經過上述規定時間以前，上述字元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

之選擇動作被禁止，上述電源投入後經過上述規定時間後，上述動作被解除。

7. 如申請專利範圍第6項記載之半導體記憶裝置，其中上述資訊記憶用電容器之電介質膜為Ta₂O₅膜。

8. 如申請專利範圍第6項記載之半導體記憶裝置，其中上述資訊記憶用電容器之電介質膜為BST膜。

9. 如申請專利範圍第6項記載之半導體記憶裝置，其中上述資訊記憶用電容器之電介質膜為PZT膜。

10. 如申請專利範圍第1項、第2項或第6項記載之半導體記憶裝置，其中上述板極電壓供給電路包含：

將電源電壓與電路之接地電位分壓，形成上述中間電壓之電壓產生電路，以及

使上述中間電壓在電源電壓側位準移動閘極，源極間電壓份以形成第1之電壓之二極體形態之N通道型之第1MOSFET，以及

使上述中間電壓在電路之接地電位側位準移動閘極，源極間電壓份以形成第2之電壓之二極體形態之P通道型之第2MOSFET，以及

上述第1之電壓被供給於閘極，其之源極被連接於輸出端子之N通道型之第1輸出MOSFET，以及

上述第2之電壓被供給於閘極，其之源極被連接於輸出端子之P通道型之第2輸出MOSFET，以及

設置於上述第1輸出MOSFET之汲極側，供給電流之P通道型之第3輸出MOSFET，以及

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

設置於上述第 2 輸出 MOSFET 之汲極側，供給電流之 N 通道型之第 4 輸出 MOSFET，以及

在上述第 1 輸出 MOSFET 之汲極連接閘極，在上述輸出端子連接汲極之 P 通道型之第 3 輸出 MOSFET，以及

在上述第 2 輸出 MOSFET 之汲極連接閘極，在上述輸出端子連接汲極之 N 通道型之第 4 輸出 MOSFET，以及

設置於上述第 3 之輸出 MOSFET 之源極側，在電源投入後之一定期間被設為 ON 狀態，流過比較大電流之 P 通道型之第 1 之電源開關 MOSFET，以及至少在上述一定期間後流過比較小電流之 P 通道型之第 2 之電源開關 MOSFET，以及

設置於上述第 4 之輸出 MOSFET 之源極側，流過比較小電流之 N 通道型之第 3 之電源開關 MOSFET。

1 1 . 如申請專利範圍第 1 項記載之半導體記憶裝置，其中上述計時器電路係介經計算由外部端子供給之時鐘脈衝信號以形成上述規定時間之量測輸出者。

1 2 . 如申請專利範圍第 1 0 項記載之半導體記憶裝置，其中上述計時器電路係介經計算由外部端子供給之時鐘脈衝信號以形成上述規定時間之量測輸出者。

1 3 . 一種半導體記憶裝置，其特徵為具有：

(a) 複數之字元線；

(b) 與上述複數之字元線交叉之一對之互補位元線

六、申請專利範圍

：

(c) 配置於上述複數之字元線與上述互補位元線之一方之位元線之交叉部之複數記憶單元，其中各記憶單元具有資訊記憶電容器與選擇 M O S F E T，各選擇 M O S F E T 具有連接於對應設置在對應位元線與上述資訊記憶電容器之一方之電極之間之源極。汲極通路與對應之字元線之閘極；

(d) 被連接於上述一對之互補位元線之讀出放大器，其中該讀出放大器對上述一對之互補位元線供給高位準電位與低位準電位；

(e) 在上述資訊記憶電容器之另一方之電極供給板極電壓之板極電壓供給電路，其中上述板極成爲上述高位準電位與低位準電位之中間電位地，上述板極電壓供給電路被構成著；以及

(f) 上述板極電壓供給電路之動作開始後，檢測上述板極電壓是否到達規定電位之板極電壓檢出電路，

其中上述資訊記憶電容器其之電介質膜含強電介質或高電介質，以及

其中上述板極電壓在到達上述規定電位之前，對於上述記憶單元之存取動作被禁止。

14. 如申請專利範圍第13項記載之半導體記憶裝置，其中介經禁止上述複數之字元線之選擇狀態，上述存取動作之禁止成立。

15. 一種半導體記憶裝置，其特徵爲具有：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

(a) 複數之字元線；

(b) 與上述複數之字元線交叉之一對之互補位元線

；

(c) 配置於上述複數之字元線與上述互補位元線之一方之位元線之交叉部之複數記憶單元，其中各記憶單元具有資訊記憶電容器與選擇 M O S F E T ，各選擇

M O S F E T 具有連接於對應設置在對應位元線與上述資訊記憶電容器之一方之電極之間之源極。汲極通路與對應之字元線之閘極；

(d) 被連接於上述一對之互補位元線之讀出放大器，其中該讀出放大器對上述一對之互補位元線供給高位準電位與低位準電位；

(e) 在上述資訊記憶電容器之另一方之電極供給板極電壓之板極電壓供給電路，其中上述板極成爲上述高位準電位與低位準電位之中間電位地，上述板極電壓供給電路被構成著；以及

(f) 量測對於上述半導體記憶裝置之電源投入後之規定期間之計時器電路，

其中上述資訊記憶電容器其之電介質膜含強電介質或高電介質，以及

其中在經過上述規定期間之前，對於上述記憶單元之存取動作被禁止。

16. 如申請專利範圍第15項記載之半導體記憶裝置，其中上述存取動作之禁止係介經禁止上述複數之字元

(請先閱讀背面之注意事項再填寫本頁)

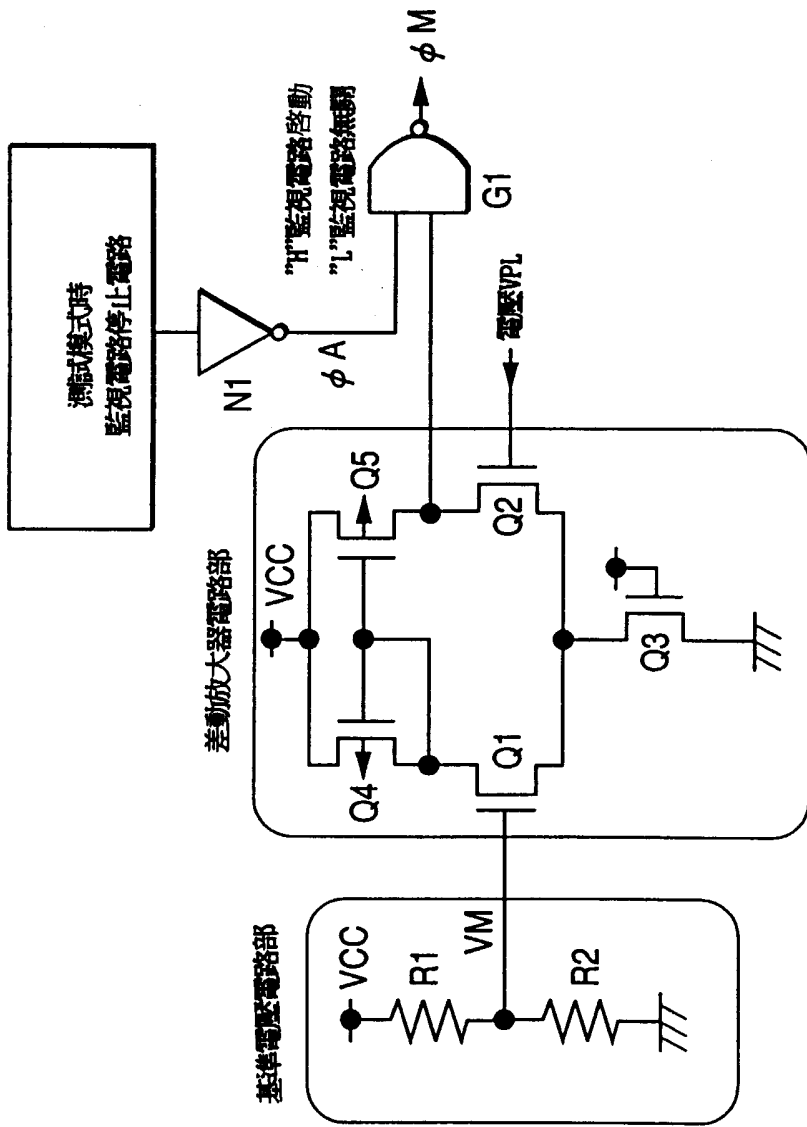
裝

訂

線

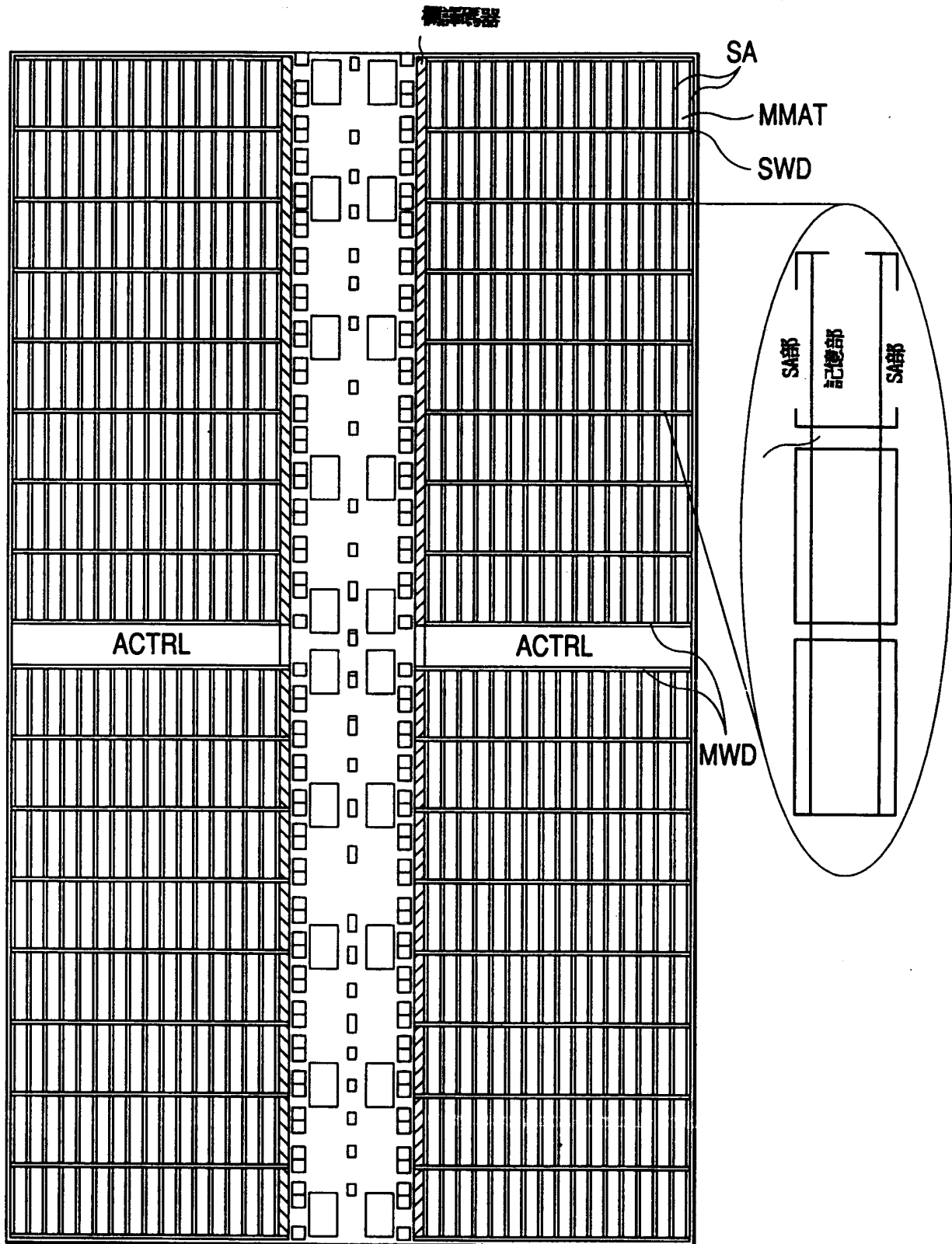
88年9月3日 修正
補充

第 6 圖

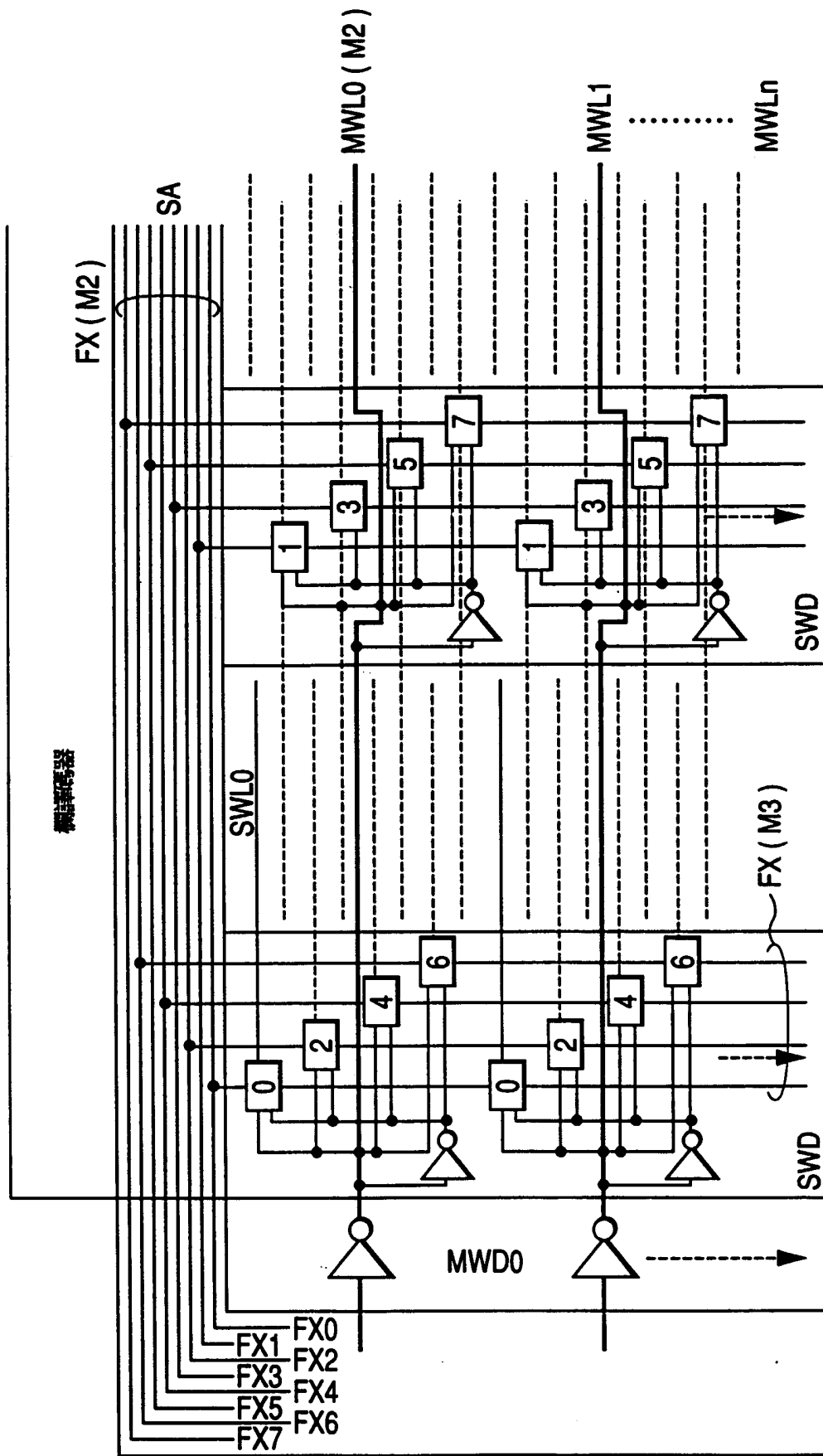


$$\text{監視電壓 } VM = \frac{R2}{R1+R2} VCC$$

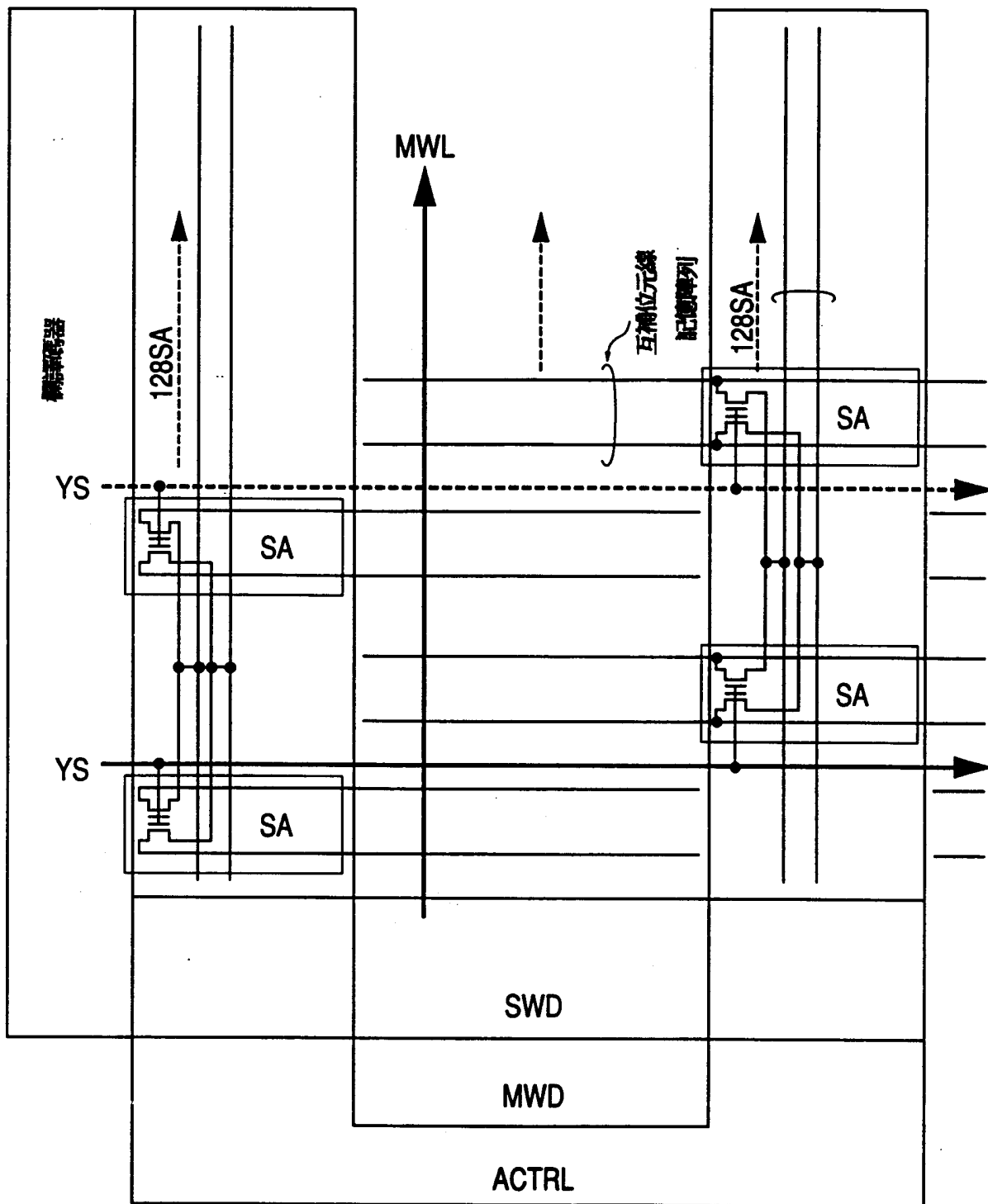
第 1 圖



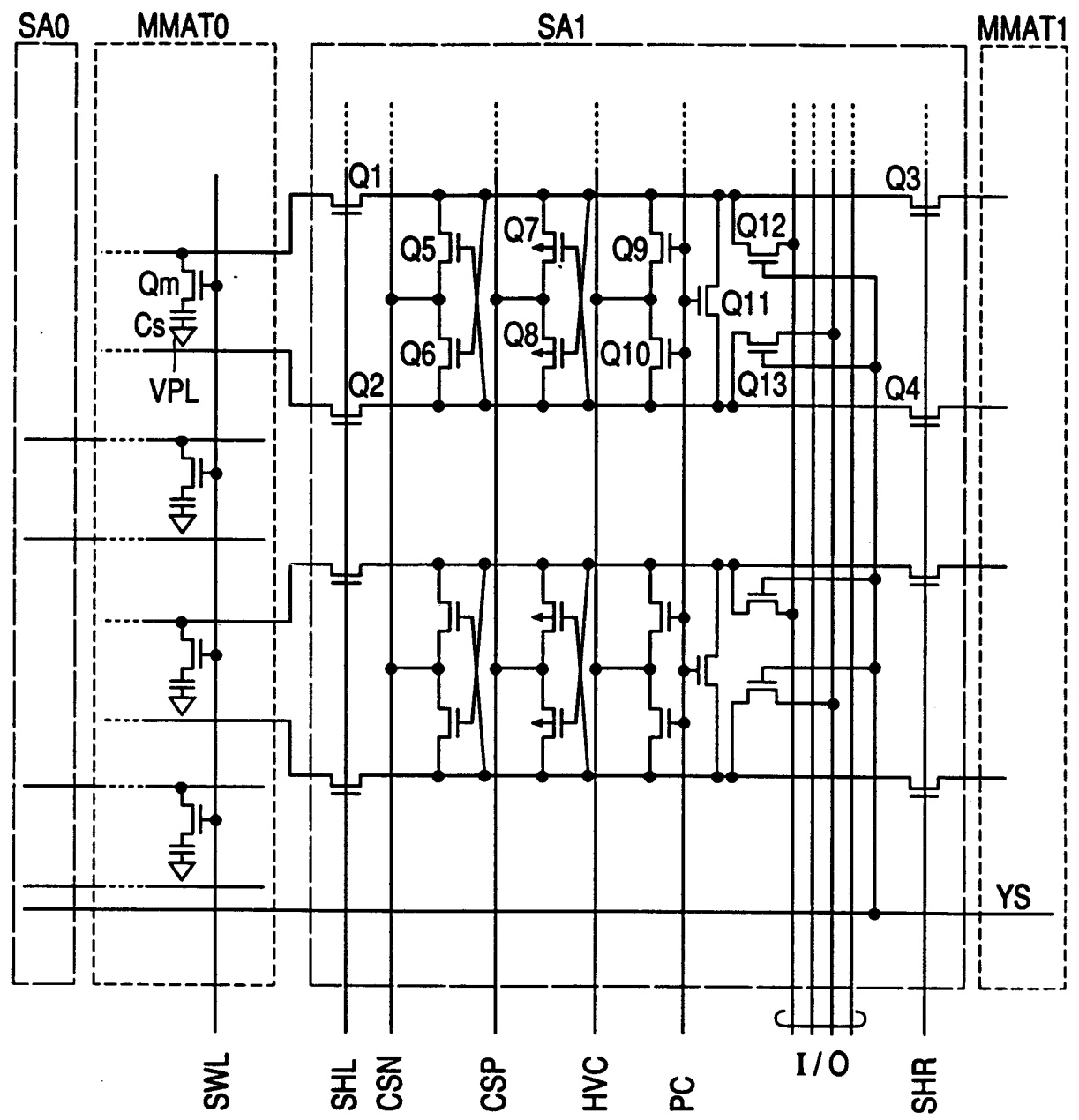
第 2 圖



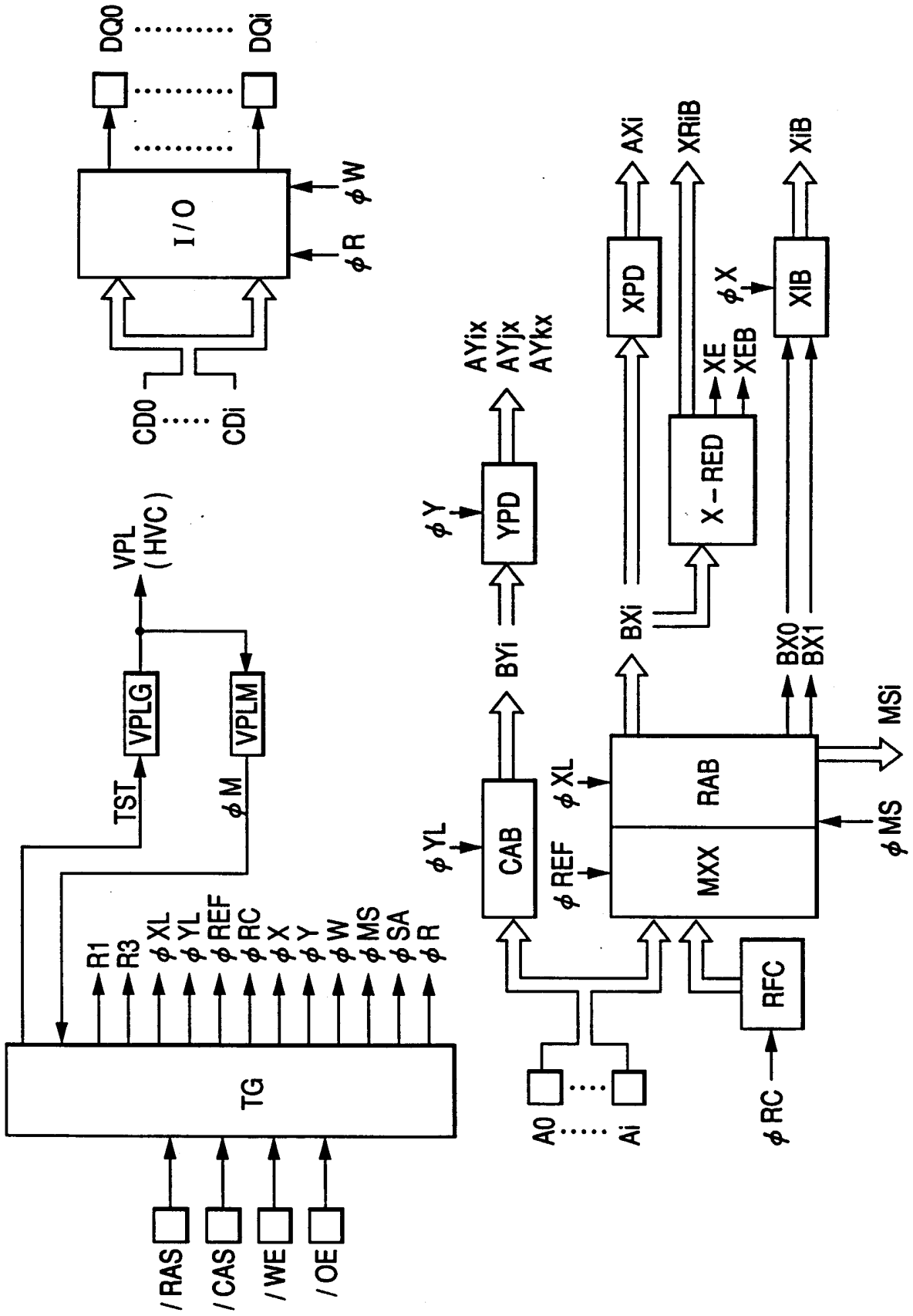
第 3 圖



第 4 圖

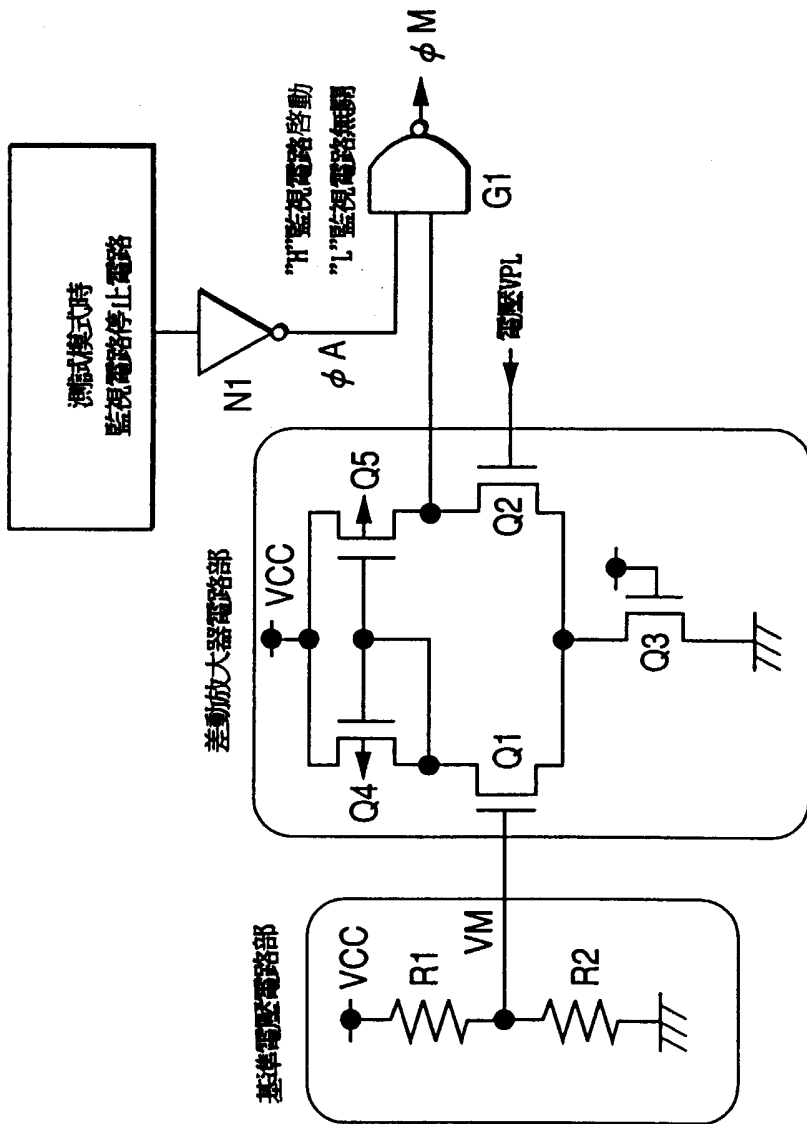


第 5 圖



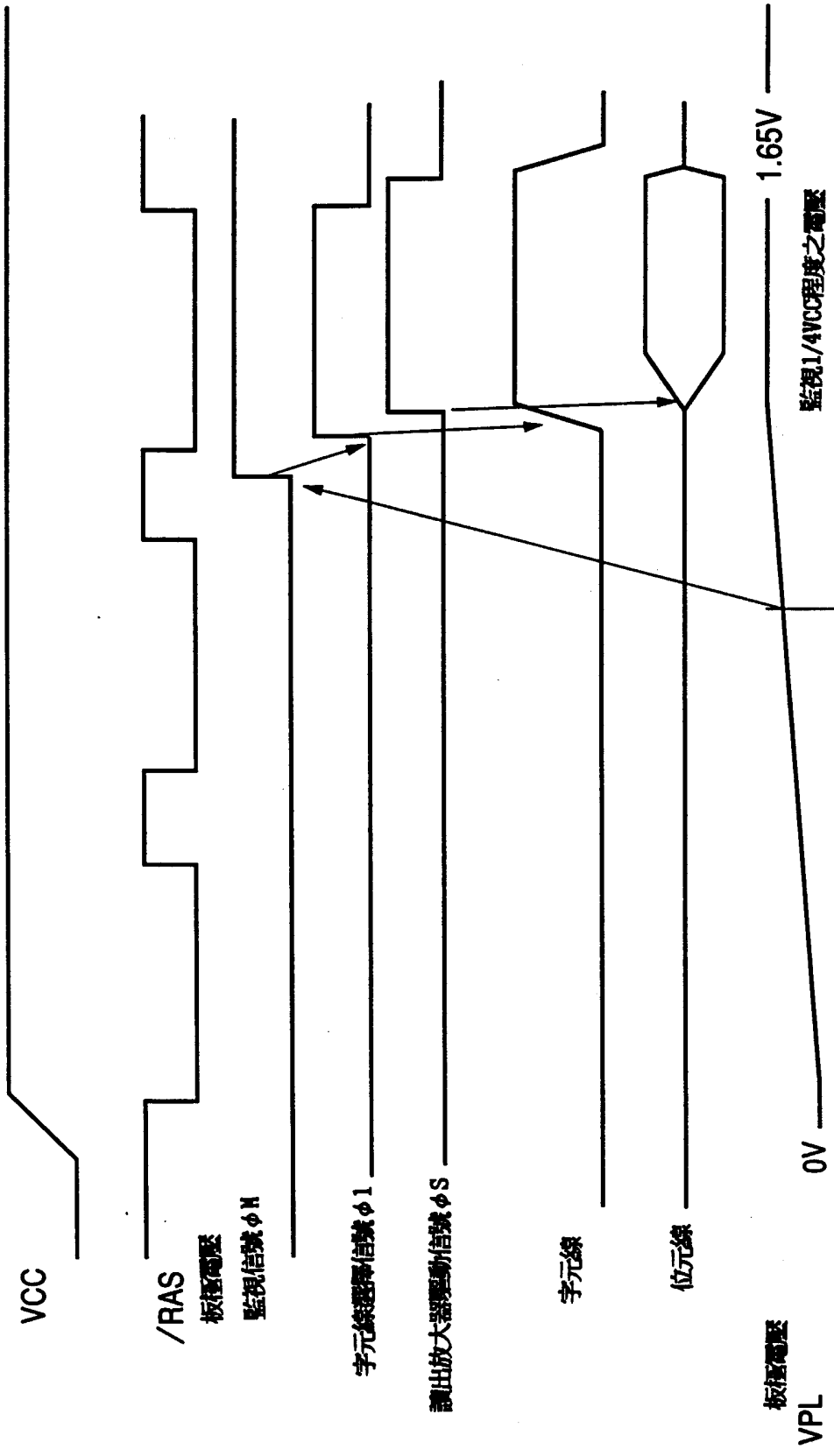
88年9月3日 修正
補充

第 6 圖

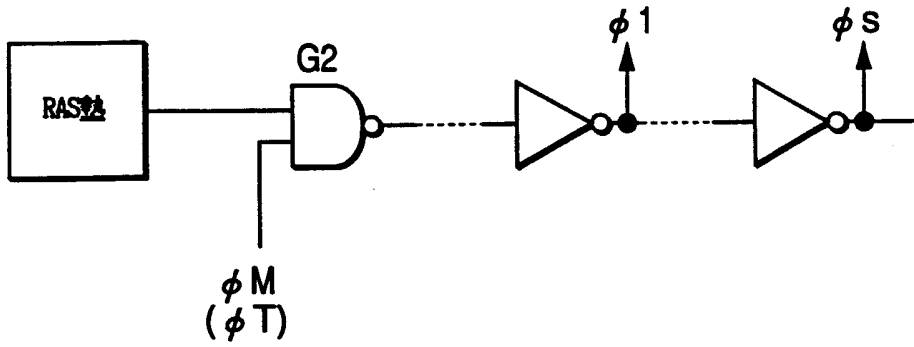


$$\text{監視電壓 } VM = \frac{R2}{R1+R2} VCC$$

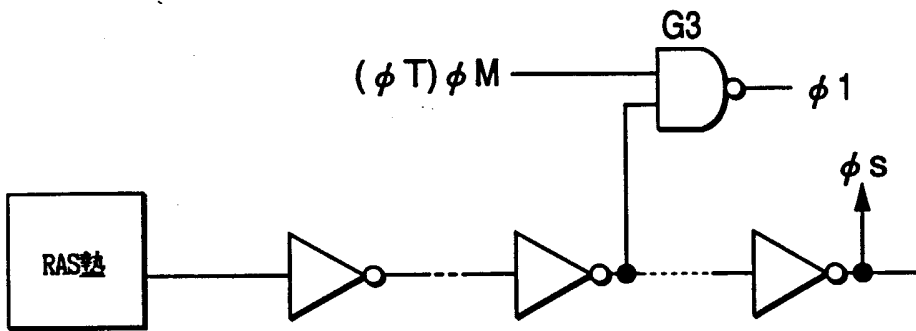
第7圖



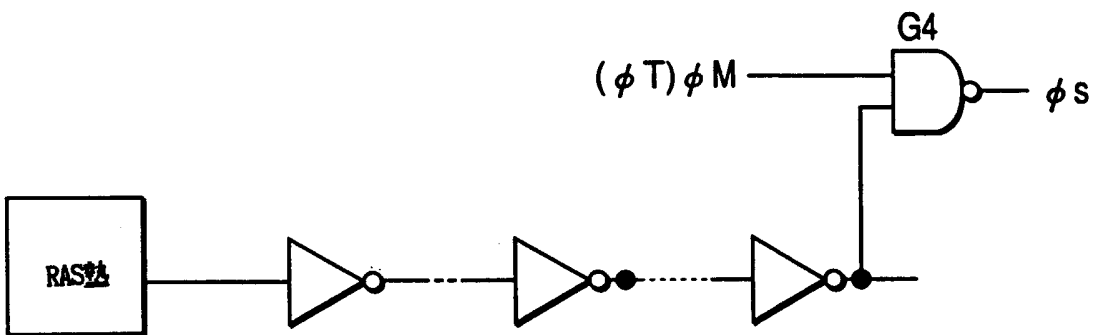
第 8 圖 A



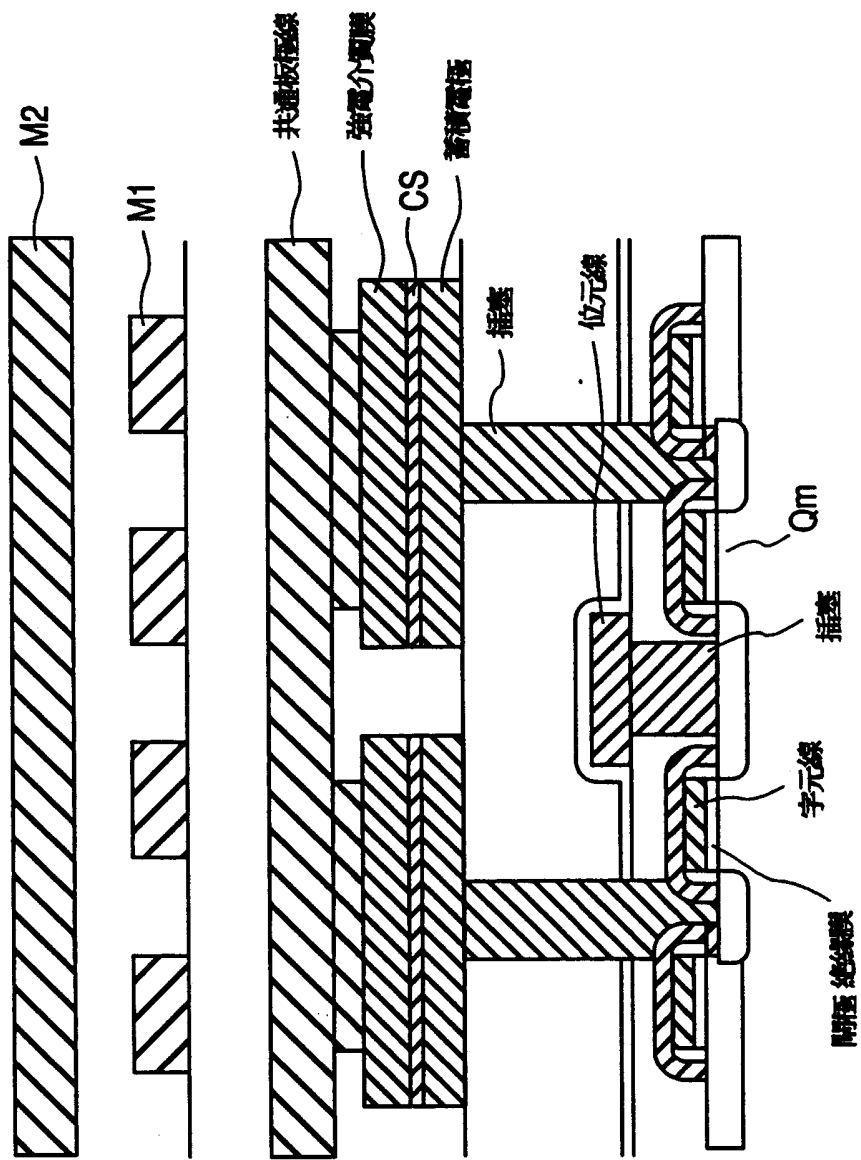
第 8 圖 B



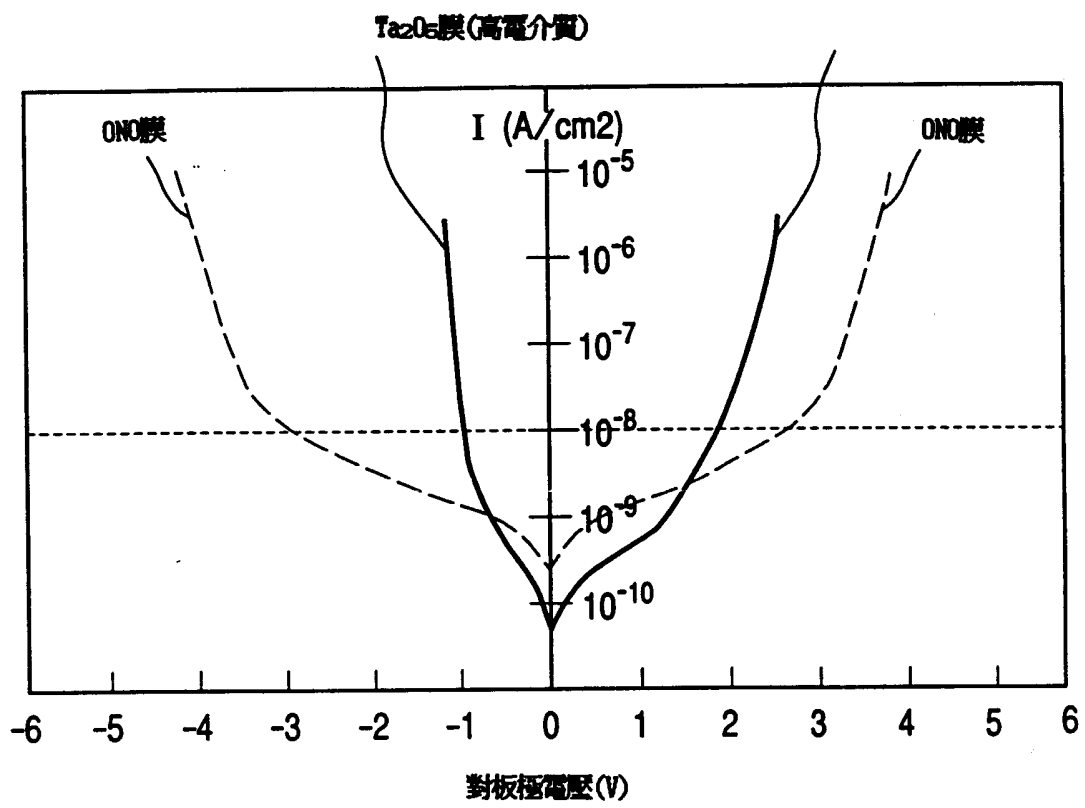
第 8 圖 C



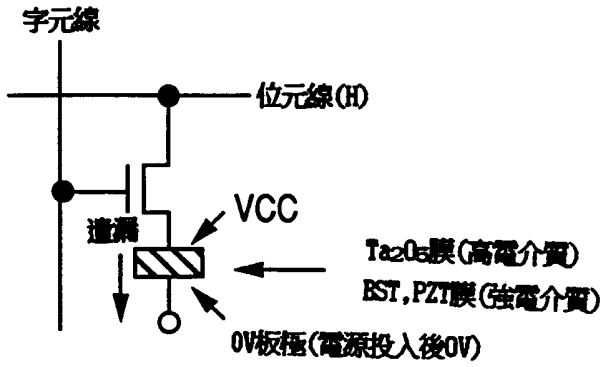
第 9 圖



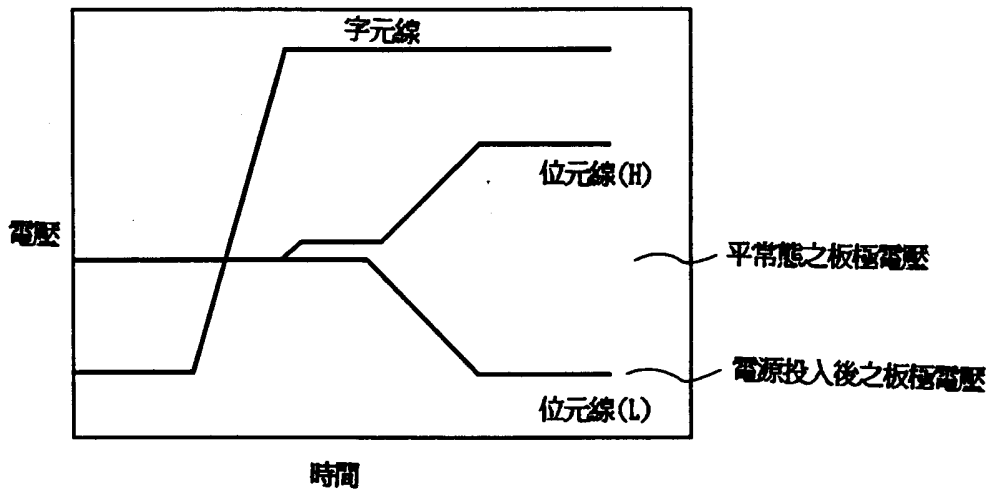
第10圖



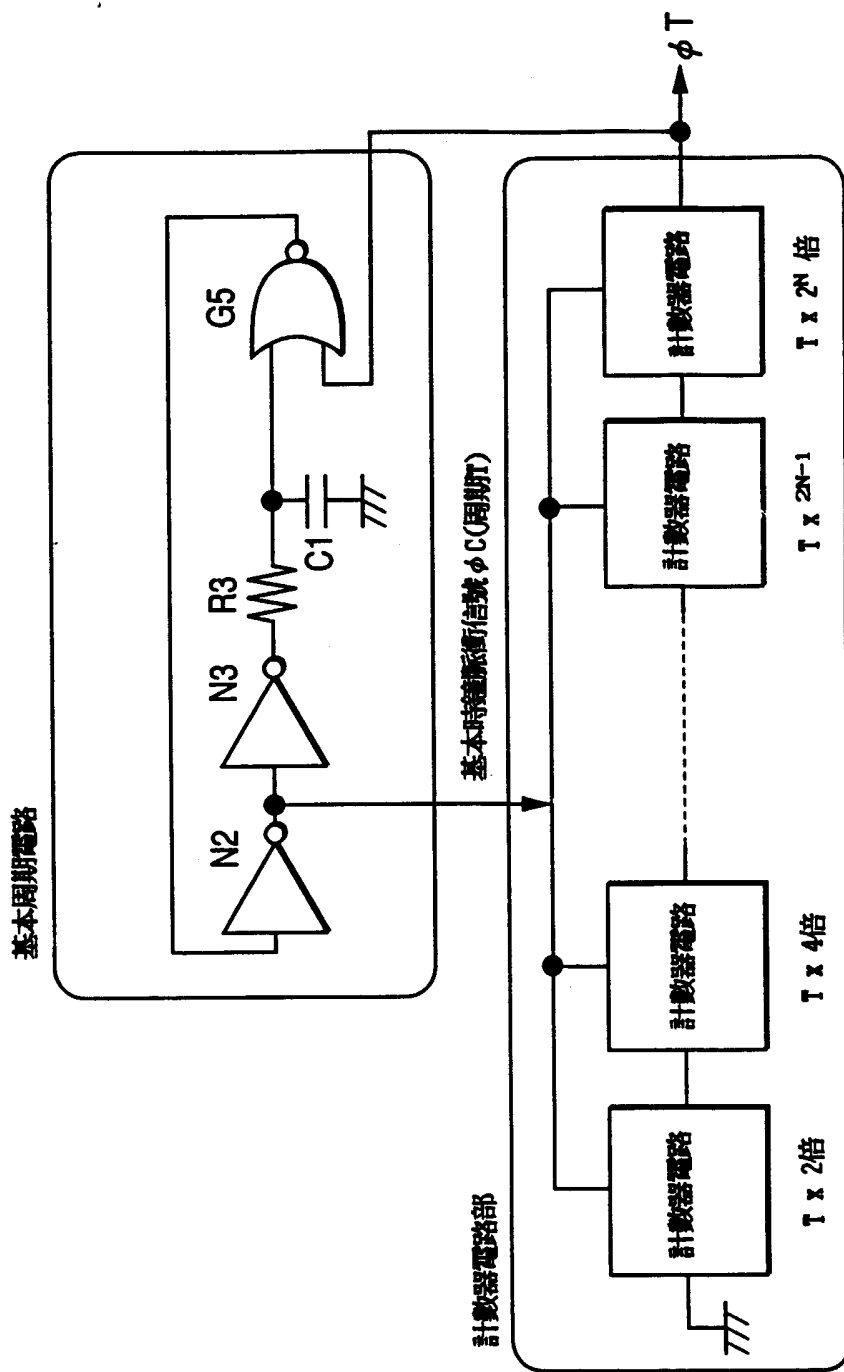
第11圖A



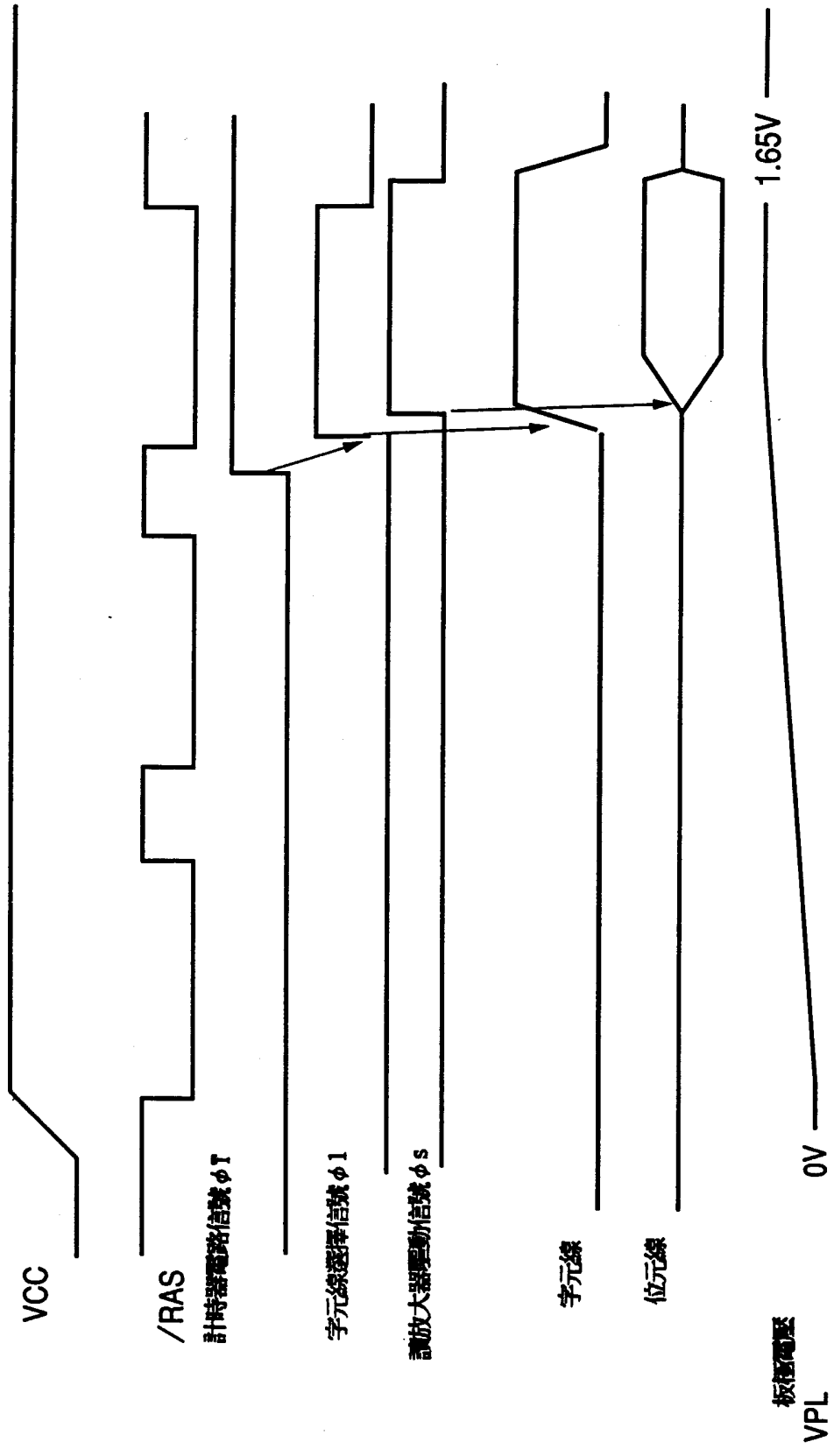
第11圖B



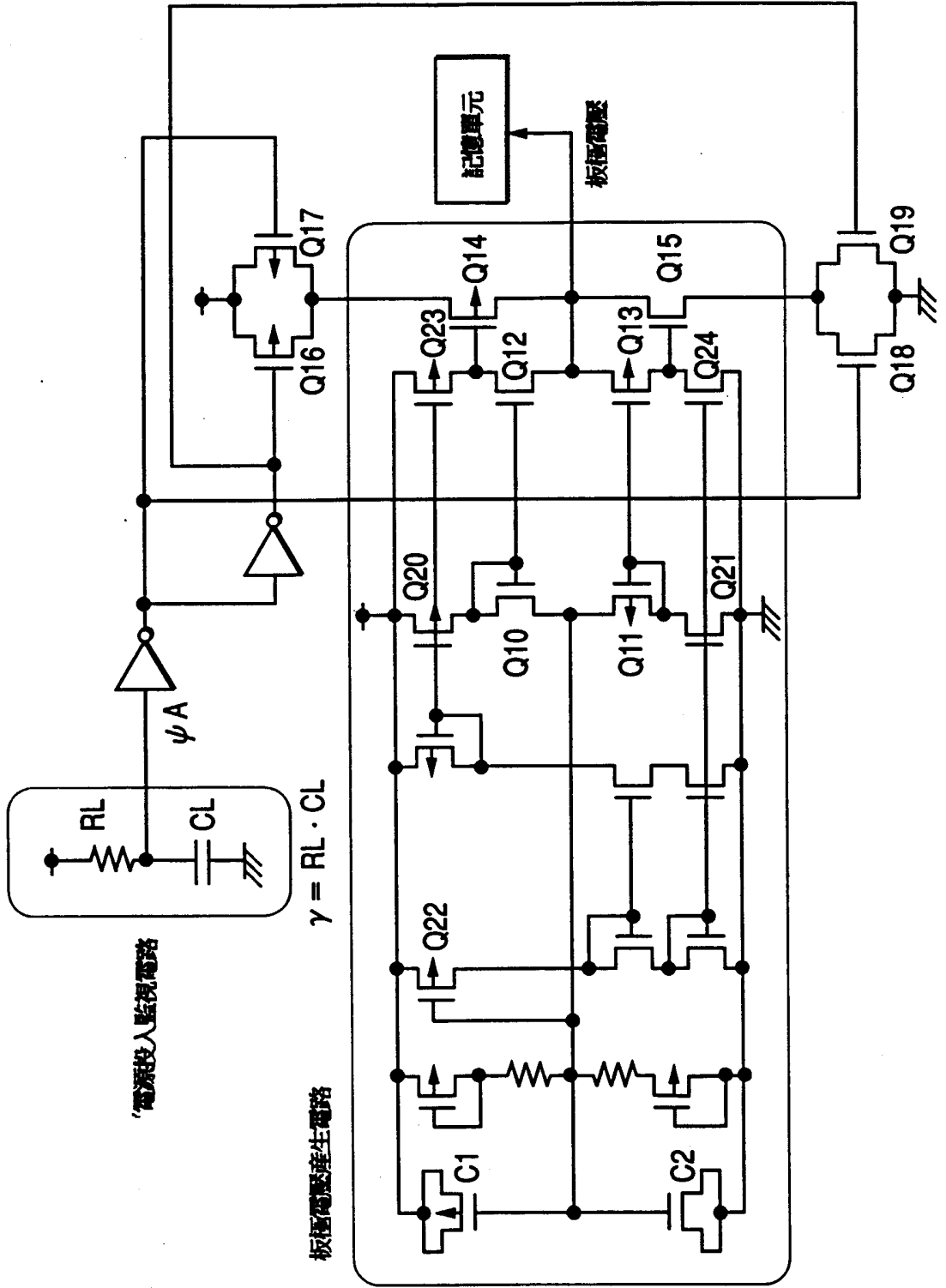
第12圖



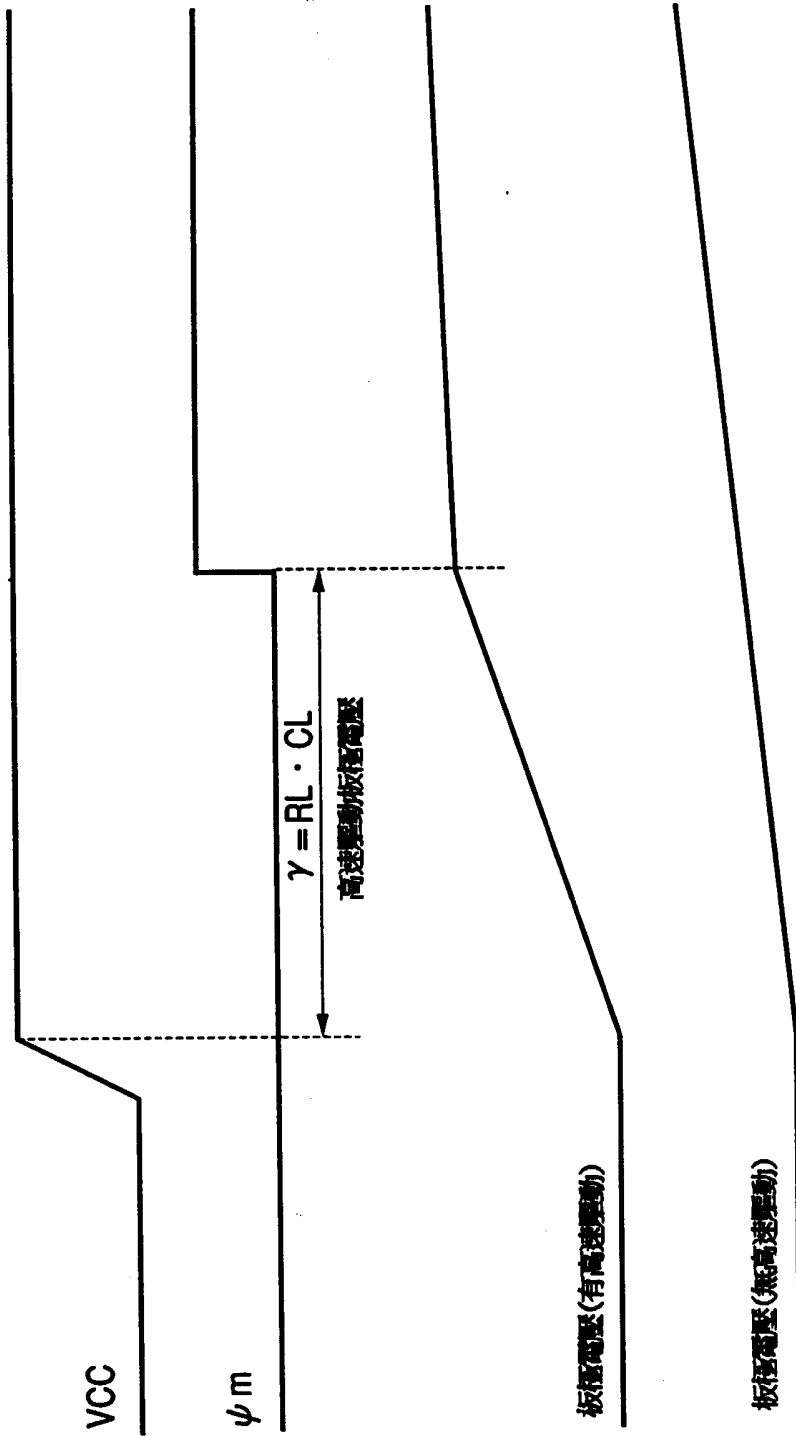
第13圖



第14圖



第15圖



第16圖

